【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】令和6年11月8日(2024.11.8)

【公開番号】特開2024-81723(P2024-81723A)
【公開日】令和6年6月18日(2024.6.18)
【年通号数】公開公報(特許)2024-112
【出願番号】特願2024-50625(P2024-50625)
【国際特許分類】
H04N 19/12(2014.01)
H04N 19/176(2014.01)
H04N 19/46(2014.01)
【ＦＩ】
H04N 19/12
H04N 19/176
H04N 19/46

【手続補正書】
【提出日】令和6年10月30日(2024.10.30)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
符号化のためにプロセッサが実行する方法であって、
符号化のための対象ファイルに関する情報を受信するステップであって、前記符号化のための対象ファイルは、圧縮されたビデオ又は画像データのファイル、及び、非圧縮のビデオ又は画像データのファイルのうちの１つであるステップと、
前記対象ファイルの符号化において、第１サイズタイプの第１変換コア行列を使用するか、又は前記第１サイズタイプよりも小さい第２サイズタイプの第２変換コア行列を使用するかを決定するステップであって、前記第１サイズタイプの第１変換コア行列は８ビットの主変換コア行列であり、前記８ビットの主変換コア行列は、８ビットで表されるコア行列であって６４ポイント以上のサイズを有するコア行列を有するステップと、
前記第１サイズタイプの第１変換コア行列を使用することを決定した場合に、前記符号化のための対象ファイルを、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列を使用して、符号化するステップと、
前記第１サイズタイプよりも小さい前記第２サイズタイプの第２変換コア行列を使用することを決定した場合に、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列から、前記第２サイズタイプの第２変換コア行列を抽出し、前記符号化のための対象ファイルを、抽出された前記第２サイズタイプの第２変換コア行列を使用して、符号化するステップと、
を含み、前記第１変換コア行列は、６４ポイント８ビットの主変換コア行列であり、前記６４ポイント８ビットの主変換コア行列は、３２ポイント８ビットの主変換コア行列を構築するために使用される３１個の整数と、付加的な３２個の整数とを使用して構築され、
前記８ビットの主変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つであり、
前記第２変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳ

Ｔ－７のうちの何れか１つである、方法。
【請求項２】
前記付加的な３２個の整数は、ｂｆ、ｂｇ、ｂｈ、ｂｉ、ｂｊ、ｂｋ、ｂｌ、ｂｍ、ｂｎ、ｂｏ、ｂｐ、ｂｑ、ｂｒ、ｂｓ、ｂｔ、ｂｕ、ｂｖ、ｂｗ、ｂｘ、ｂｙ、ｂｚ、ｃａ、ｃｂ、ｃｃ、ｃｄ、ｃｅ、ｃｆ、ｃｇ、ｃｈ、ｃｉ、ｃｊ、ｃｋ及び、それらの正負変換を含み、
前記付加的な３２個の整数である｛ｂｆ，ｂｇ，ｂｈ，ｂｉ，ｂｊ，ｂｋ，ｂｌ，ｂｍ，ｂｎ，ｂｏ，ｂｐ，ｂｑ，ｂｒ，ｂｓ，ｂｔ，ｂｕ，ｂｖ，ｂｗ，ｂｘ，ｂｙ，ｂｚ，ｃａ，ｃｂ，ｃｃ，ｃｄ，ｃｅ，ｃｆ，ｃｇ，ｃｈ，ｃｉ，ｃｊ，ｃｋ｝は、｛９１，９０，９０，９０，８８，８７，８６，８４，８３，８１，７９，７７，７３，７１，６９，６５，６２，５９，５６，５２，４８，４４，４１，３７，３３，２８，２４，２０，１５，１１，７，２｝に等しい、請求項１に記載の方法。
【請求項３】
Ｎポイント８ビットのＤＣＴ－８主変換コア行列又はＮポイント８ビットのＤＳＴ－７変換コア行列を導出する場合に、前記Ｎポイント８ビットのＤＣＴ－８主変換コア行列を構築するのに使用されるＭ個の固有の数値のセットは、前記Ｎポイント８ビットのＤＳＴ－７変換コア行列を構築するＭ個の固有の数値の同じセットである、請求項１に記載の方法。
【請求項４】
ＭはＮに等しい、請求項３に記載の方法。
【請求項５】
前記８ビットの主変換コア行列の偶数行又は奇数行の、左半分又は右半分は、前記第２変換コア行列に類似する行列を形成する、請求項１に記載の方法。
【請求項６】
前記８ビットの主変換コア行列及び前記第２変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７の何れか１つと同一である請求項１に記載の方法。
【請求項７】
前記８ビットの主変換コア行列は８ビット６４ポイントのＤＣＴ－２変換行列であり、前記第２変換コア行列は８ビット３２ポイントのＤＣＴ－２変換行列である請求項６に記載の方法。
【請求項８】
Ｍ個の固有の数値で構成される、８ビットＮポイントの前記主変換コア行列は、以下のステップ：
スケール因子$2^{B-2}\times log_2(N)$で、$Tl=T0\times 2^{B-2}\times log_2(N)$となるように浮動小数点数で構成されるオリジナル変換コアＴ０をスケーリングすることで、初期変換コア行列Ｔｌを導出するステップであって、Ｂ＝８であり、バイアスベクトルであるＴ０の行ベクトルは互いに直交し、各行ベクトルのノルムが１である、ステップと、
調整された主変換コア行列Ｔ２を構築するための、前記Ｍ個の固有の数値の選択済みセットに、オフセットを追加することで、前記調整された変換コア行列Ｔ２を導出するステップと、
$(T1*T1^{T}-2^{2B-4}\times log_2(N)^{2}\times I)$の全ての要素の絶対値の合計としてコスト値Ｃを計算するステップであって、ＩはＮ×Ｎ単位行列であるステップと、
計算されたオフセット値をＴ２に追加することで、Ｔ２に対する前記コスト値が最小化されるように、前記調整された変換コア行列Ｔ２を更新するステップであって、前記調整された変換コア行列Ｔ２は、前記８ビットＮポイントの主変換コア行列として出力されるステップと、
により導出される、請求項１に記載の方法。
【請求項９】
Ｍ個の固有の数値の選択済みセットにオフセット値の全ての可能な組み合わせを試すこ

とで前記コスト値Ｃを最小化した後、Ｔ２が前記８ビットＮポイントの主変換コア行列として出力されるステップをさらに含む請求項８に記載の方法。
【請求項１０】
符号化のためにプロセッサが実行する方法であって、
符号化のための対象ファイルに関する情報を受信するステップであって、前記符号化のための対象ファイルは、圧縮されたビデオ又は画像データのファイル、及び、非圧縮のビデオ又は画像データのファイルのうちの１つであるステップと、
前記対象ファイルの符号化において、第１サイズタイプの第１変換コア行列を使用するか、又は前記第１サイズタイプよりも小さい第２サイズタイプの第２変換コア行列を使用するかを決定するステップであって、前記第１サイズタイプの第１変換コア行列は８ビットの主変換コア行列であり、前記８ビットの主変換コア行列は、８ビットで表されるコア行列であって６４ポイント以上のサイズを有するコア行列を有するステップと、
前記第１サイズタイプの第１変換コア行列を使用することを決定した場合に、前記符号化のための対象ファイルを、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列を使用して、符号化するステップと、
前記第１サイズタイプよりも小さい前記第２サイズタイプの第２変換コア行列を使用することを決定した場合に、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列から、前記第２サイズタイプの第２変換コア行列を抽出し、前記符号化のための対象ファイルを、抽出された前記第２サイズタイプの第２変換コア行列を使用して、符号化するステップと、
を含み、前記第１変換コア行列は、１２８ポイント８ビットの主変換コア行列であり、前記１２８ポイント８ビットの主変換コア行列は、６４ポイント８ビットの主変換コア行列を構築するための６３個の整数と、付加的な６４個の整数を使用して構築され、
前記８ビットの主変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つであり、
前記第２変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つである、方法。
【請求項１１】
前記付加的な６４個の整数は、ｃｌ、ｃｍ、ｃｎ、ｃｏ、ｃｐ、ｃｑ、ｃｒ、ｃｓ、ｃｔ、ｃｕ、ｃｖ、ｃｗ、ｃｘ、ｃｙ、ｃｚ、ｄａ、ｄｂ、ｄｃ、ｄｄ、ｄｅ、ｄｆ、ｄｇ、ｄｈ、ｄｉ、ｄｊ、ｄｋ、ｄｌ、ｄｍ、ｄｎ、ｄ＿、ｄｐ、ｄｑ、ｄｒ、ｄｓ、ｄｔ、ｄｕ、ｄｖ、ｄｗ、ｄｘ、ｄｙ、ｄｚ、ｅａ、ｅｂ、ｅｃ、ｅｄ、ｅｅ、ｅｆ、ｅｇ、ｅｈ、ｅｉ、ｅｊ、ｅｋ、ｅｌ、ｅｍ、ｅｎ、ｅｏ、ｅｐ、ｅｑ、ｅｒ、ｅｓ、ｅｔ、ｅｕ、ｅｖ、ｅｗ及び、それらのそれぞれの正負変換を含み、
前記付加的な６４個の整数である｛ｃｌ，ｃｍ，ｃｎ，ｃｏ，ｃｐ，ｃｑ，ｃｒ，ｃｓ，ｃｔ，ｃｕ，ｃｖ，ｃｗ，ｃｘ，ｃｙ，ｃｚ，ｄａ，ｄｂ，ｄｃ，ｄｄ，ｄｅ，ｄｆ，ｄｇ，ｄｈ，ｄｉ，ｄｊ，ｄｋ，ｄｌ，ｄｍ，ｄｎ，ｄ＿，ｄｐ，ｄｑ，ｄｒ，ｄｓ，ｄｔ，ｄｕ，ｄｖ，ｄｗ，ｄｘ，ｄｙ，ｄｚ，ｅａ，ｅｂ，ｅｃ，ｅｄ，ｅｅ，ｅｆ，ｅｇ，ｅｈ，ｅｉ，ｅｊ，ｅｋ，ｅｌ，ｅｍ，ｅｎ，ｅｏ，ｅｐ，ｅｑ，ｅｒ，ｅｓ，ｅｔ，ｅｕ，ｅｖ，ｅｗ｝は、｛９０，９０，９０，９０，９０，９０，８９，８９，８９，８８，８８，８７，８６，８６，８５，８４，８３，８２，８１，８０，７９，７８，７７，７６，７５，７３，７２，７１，６９，６８，６６，６５，６３，６２，６０，５８，５８，５５，５３，５１，４９，４８，４５，４４，４２，４０，３８，３６，３４，３２，２９，２７，２５，２３，２１，１９，１７，１５，１２，１０，８，６，３，１｝に等しい、請求項１０に記載の方法。
【請求項１２】
符号化のためにプロセッサが実行する方法であって、
符号化のための対象ファイルに関する情報を受信するステップであって、前記符号化のための対象ファイルは、圧縮されたビデオ又は画像データのファイル、及び、非圧縮のビデオ又は画像データのファイルのうちの１つであるステップと、

前記対象ファイルの符号化において、第１サイズタイプの第１変換コア行列を使用するか、又は前記第１サイズタイプよりも小さい第２サイズタイプの第２変換コア行列を使用するかを決定するステップであって、前記第１サイズタイプの第１変換コア行列は８ビットの主変換コア行列であり、前記８ビットの主変換コア行列は、８ビットで表されるコア行列であって６４ポイント以上のサイズを有するコア行列を有するステップと、
前記第１サイズタイプの第１変換コア行列を使用することを決定した場合に、前記符号化のための対象ファイルを、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列を使用して、符号化する第１符号化ステップと、
前記第１サイズタイプよりも小さい前記第２サイズタイプの第２変換コア行列を使用することを決定した場合に、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列から、前記第２サイズタイプの第２変換コア行列を抽出し、前記符号化のための対象ファイルを、抽出された前記第２サイズタイプの第２変換コア行列を使用して、符号化する第２符号化ステップと、
前記第１符号化ステップにおいて符号化された対象ファイル、又は前記第２符号化ステップにおいて符号化された対象ファイルを含む符号化されたビデオビットストリームを生成するステップと
を含み、前記第１変換コア行列は、６４ポイント８ビットの主変換コア行列であり、前記６４ポイント８ビットの主変換コア行列は、３２ポイント８ビットの主変換コア行列を構築するために使用される３１個の整数と、付加的な３２個の整数とを使用して構築され、
前記８ビットの主変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つであり、
前記第２変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つである、方法。

【請求項１３】

符号化のためにプロセッサが実行する方法であって、
符号化のための対象ファイルに関する情報を受信するステップであって、前記符号化のための対象ファイルは、圧縮されたビデオ又は画像データのファイル、及び、非圧縮のビデオ又は画像データのファイルのうちの１つであるステップと、
前記対象ファイルの符号化において、第１サイズタイプの第１変換コア行列を使用するか、又は前記第１サイズタイプよりも小さい第２サイズタイプの第２変換コア行列を使用するかを決定するステップであって、前記第１サイズタイプの第１変換コア行列は８ビットの主変換コア行列であり、前記８ビットの主変換コア行列は、８ビットで表されるコア行列であって６４ポイント以上のサイズを有するコア行列を有するステップと、
前記第１サイズタイプの第１変換コア行列を使用することを決定した場合に、前記符号化のための対象ファイルを、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列を使用して、符号化する第１符号化ステップと、
前記第１サイズタイプよりも小さい前記第２サイズタイプの第２変換コア行列を使用することを決定した場合に、６４ポイント以上のサイズを有する前記８ビットの主変換コア行列から、前記第２サイズタイプの第２変換コア行列を抽出し、前記符号化のための対象ファイルを、抽出された前記第２サイズタイプの第２変換コア行列を使用して、符号化する第２符号化ステップと、
前記第１符号化ステップにおいて符号化された対象ファイル、又は前記第２符号化ステップにおいて符号化された対象ファイルを含む符号化されたビデオビットストリームを生成するステップと
を含み、前記第１変換コア行列は、１２８ポイント８ビットの主変換コア行列であり、前記１２８ポイント８ビットの主変換コア行列は、６４ポイント８ビットの主変換コア行列を構築するための６３個の整数と、付加的な６４個の整数を使用して構築され、
前記８ビットの主変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つであり、

前記第２変換コア行列は、ＤＣＴ－２、ＤＣＴ－５、ＤＣＴ－８、ＤＳＴ－ｌ及びＤＳＴ－７のうちの何れか１つである、方法。

【請求項１４】

符号化する装置であって、

コンピュータプログラムコードを記憶するように構成される少なくとも１つのメモリと、

前記少なくとも１つのメモリにアクセスし、前記コンピュータプログラムコードに基づき動作するように構成される少なくとも１つのプロセッサと、

を含み、

前記コンピュータプログラムコードは、請求項１ないし１３のうちの何れか１項に記載の方法を前記少なくとも１つのプロセッサに実行させる、装置。

【請求項１５】

請求項１－１３のうちの何れか１項に記載の方法を前記プロセッサに実行させるコンピュータプログラム。