



(12) 发明专利申请

(10) 申请公布号 CN 105321922 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201410258047. 8

(22) 申请日 2014. 06. 11

(71) 申请人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工区经三路 26 号

(72) 发明人 陈家庆 廖国成 高金利

(74) 专利代理机构 北京律盟知识产权代理有限公司
11287

代理人 林斯凯

(51) Int. Cl.
H01L 23/498(2006. 01)
H01L 21/48(2006. 01)

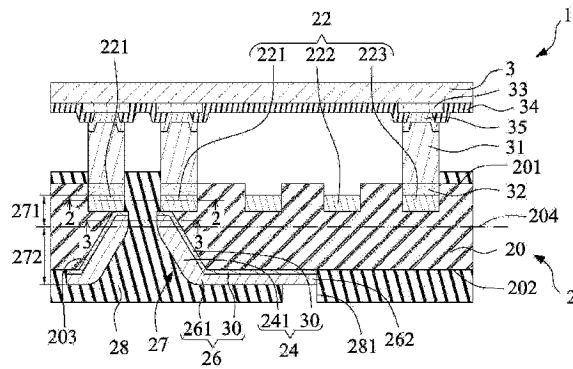
权利要求书3页 说明书6页 附图12页

(54) 发明名称

内埋图形衬底及其制造方法及半导体封装结构

(57) 摘要

本发明涉及一种内埋图形衬底及其制造方法及半导体封装。所述内埋图形衬底包括衬底本体、第一线路层、多个导电通道及第二线路层。所述第一线路层内埋于所述衬底本体的第一表面中且显露于所述衬底本体的第一表面。所述第一线路层包括彼此间隔开的多个个别接垫。所述导电通道位于所述衬底本体的一通孔中且彼此间隔开。每一导电通道连接每一个个别接垫及所述第二线路层。



1. 一种内埋图形衬底,其包括:
衬底本体,其具有第一表面、第二表面及至少一个通孔;
第一线路层,其内埋于所述衬底本体的第一表面,且显露于所述衬底本体的第一表面,所述第一线路层包括多个个别接垫,所述个别接垫彼此间隔一间隙;
多个导电通道,其位于同一通孔中,所述导电通道彼此间隔一间隙,且每一导电通道连接每一个个别接垫;以及
第二线路层,其位于所述衬底本体的第二表面上,所述导电通道连接到所述第二线路层,其中每一导电通道、每一个个别接垫及所述第二线路层形成导电组件,所述导电组件具有第一部分及第二部分,其中所述第一部分与所述第二部分不对称。
2. 根据权利要求1所述的内埋图形衬底,其中所述导电通道与所述第二线路层一体成形。
3. 根据权利要求1所述的内埋图形衬底,其中所述第一线路层从所述衬底本体的第一表面凹陷。
4. 根据权利要求1所述的内埋图形衬底,进一步包括绝缘材料,位于所述导电通道间的间隙。
5. 根据权利要求4所述的内埋图形衬底,其中所述绝缘材料进一步位于所述个别接垫间的间隙。
6. 根据权利要求4所述的内埋图形衬底,其中所述绝缘材料的材质与所述衬底本体的材质不同。
7. 根据权利要求1所述的内埋图形衬底,其中所述衬底本体具有假想中心线,其位于所述第一表面及所述第二表面的中间,所述导电组件根据所述假想中心线而区分成所述第一部分及第二部分,所述第一部分包含所述个别接垫及所述导电通道的部分,所述第二部分所述导电通道的部分及所述第二线路层。
8. 根据权利要求1所述的内埋图形衬底,其中所述导电组件的所述第一部分的形状与所述第二部分的形状不同。
9. 一种半导体封装结构,其包括:
内埋图形衬底,其包括:
衬底本体,其具有第一表面、第二表面及至少一个通孔;
第一线路层,其内埋于所述衬底本体的第一表面,且显露于所述衬底本体的第一表面,所述第一线路层包括多个个别接垫,所述个别接垫彼此间隔一间隙;
多个导电通道,其位于同一通孔中,所述导电通道彼此间隔一间隙,且每一导电通道连接每一个个别接垫;以及
第二线路层,其位于所述衬底本体的第二表面上,所述导电通道连接到所述第二线路层,其中每一导电通道、每一个个别接垫及所述第二线路层形成导电组件,所述导电组件具有第一部分及第二部分,其中所述第一部分与所述第二部分不对称;以及
芯片,其面对所述衬底本体的第一表面,且电连接到所述第一线路层。
10. 根据权利要求9所述的半导体封装结构,其中所述芯片具有多个电连接组件,所述电连接组件连接所述个别接垫。
11. 根据权利要求9所述的半导体封装结构,其中所述导电通道与所述第二线路层一

体成形。

12. 根据权利要求 9 所述的半导体封装结构,其中所述内埋图形衬底的所述第一线路层从所述衬底本体的第一表面凹陷。

13. 根据权利要求 9 所述的半导体封装结构,其中所述内埋图形衬底进一步包括绝缘材料,其位于所述导电通道间的间隙。

14. 根据权利要求 9 所述的半导体封装结构,其中所述绝缘材料进一步位于所述个别接垫间的间隙。

15. 根据权利要求 9 所述的半导体封装结构,其中所述绝缘材料的材质与所述衬底本体的材质不同。

16. 根据权利要求 9 所述的半导体封装结构,其中所述衬底本体具有假想中心线,其位于所述第一表面及所述第二表面的中间,所述导电组件根据所述假想中心线而区分成所述第一部分及所述第二部分,所述第一部分包含所述个别接垫及所述导电通道之部分,所述第二部分所述导电通道的部分及所述第二线路层。

17. 根据权利要求 9 所述的半导体封装结构,其中所述导电组件的所述第一部分的形状与所述第二部分的形状不同。

18. 一种内埋图形衬底的制造方法,其包括以下步骤:

(a) 在载体上形成第一线路层,所述第一线路层包括多个个别接垫,所述个别接垫彼此间隔一间隙;

(b) 在所述载体上形成衬底本体,以覆盖所述第一线路层;

(c) 形成通孔以贯穿所述衬底本体,且显露所述个别接垫;以及

(d) 形成第一金属以在所述通孔中形成多个导电通道,每一导电通道连接每一个别接垫。

19. 根据权利要求 18 所述的制造方法,其中所述步骤 (a) 中,所述第一线路层与所述载体之间进一步包括底部金属层;所述步骤 (b) 中,所述衬底本体形成于所述底部金属上;所述步骤 (d) 之后进一步包括移除所述底部金属层的步骤。

20. 根据权利要求 18 所述的制造方法,其中所述步骤 (c) 之后进一步包括在所述衬底本体、显露的通孔及显露的所述个别接垫上形成第二金属层;所述步骤 (d) 中,所述第一金属形成于所述第二金属层上;所述步骤 (d) 之后进一步包括移除未被所述第一金属覆盖的第二金属层的步骤。

21. 根据权利要求 20 所述的制造方法,其中所述第一金属为电镀铜,且所述第二金属为化学铜。

22. 根据权利要求 18 所述的制造方法,其中所述步骤 (c) 之后,进一步包括:

(c1) 将光阻层形成于所述衬底本体上,且位于所述个别接垫间的间隙,其中所述光阻层具有开口,以显露所述通孔;

其中步骤 (d) 在未被所述光阻层覆盖的位置形成第一金属,以在所述通孔中形成多个导电通道;且所述步骤 (d) 之后进一步包括:

(e) 移除所述光阻层及所述载体。

23. 根据权利要求 22 所述的制造方法,其中所述步骤 (e) 中,所述导电通道彼此间隔一间隙,且所述步骤 (e) 之后进一步包括在所述导电通道间的间隙形成绝缘材料的步骤。

24. 根据权利要求 23 所述的制造方法,其中所述绝缘材料进一步形成于所述个别接垫间的间隙。

内埋图形衬底及其制造方法及半导体封装结构

技术领域

[0001] 本发明涉及一种衬底及其制造方法及半导体封装结构。具体地说,本发明涉及一种内埋图形衬底及其制造方法,以及包含所述内埋图形衬底的半导体封装结构。

背景技术

[0002] 常规内埋图形衬底中,位于最外层的线路层内埋于衬底本体的表面,且显露于所述基材本体的表面。所述衬底本体更包括导电通道 (Via),其贯穿所述衬底本体。所述线路层包括多个导电迹线接垫 (Conductive Trace Pad) 及至少一个导电通道接垫 (Via Pad),所述导电通道连接所述导电通道接垫。所述导电迹线接垫的直径通常为 $25\ \mu\text{m}$,然而,所述导电通道接垫的直径通常为 $120\ \mu\text{m}$ 。所述导电通道接垫显然过大,且只能传递一种信号,严重占用电路布局的空间,而无法达到细间距 (Fine Pitch) 的需求。

发明内容

[0003] 本发明的一方面涉及一种内埋图形衬底。在一实施例中,所述内埋图形衬底包括衬底本体、第一线路层、多个导电通道及第二线路层。所述衬底本体具有第一表面、第二表面及至少一个通孔。所述第一线路层内埋于所述衬底本体的第一表面,且显露于所述衬底本体的第一表面。所述第一线路层包括多个个别接垫,所述个别接垫彼此间隔一间隙。所述导电通道位于同一通孔中,所述导电通道彼此间隔一间隙,且每一导电通道连接每一个个别接垫。所述第二线路层位于所述衬底本体的第二表面上,所述导电通道连接到所述第二线路层,其中每一导电通道、每一个个别接垫及所述第二线路层形成导电组件,所述导电组件具有第一部分及第二部分,其中所述第一部分与所述第二部分不对称。

[0004] 在本实施例中,原本为所述第一线路层的一个导电通道接垫 (Via Pad) 被分割成多个个别接垫,且不同的个别接垫可通过不同的导电通道而电连接到所述第二线路层的不同导电区域,而可传递多种信号。因此,可增加电路布局的弹性 (增加线路密度),而达到细间距 (Fine Pitch) 的需求。

[0005] 本发明的另一方面涉及一种半导体封装结构。在一实施例中,所述半导体封装结构包括内埋图形衬底及芯片。所述内埋图形衬底包括衬底本体、第一线路层、多个导电通道及第二线路层。所述衬底本体具有第一表面、第二表面及至少一个通孔。所述第一线路层内埋于所述衬底本体的第一表面,且显露于所述衬底本体的第一表面。所述第一线路层包括多个个别接垫,所述个别接垫彼此间隔一间隙。所述导电通道位于同一通孔中,所述导电通道彼此间隔一间隙,且每一导电通道连接每一个个别接垫。所述第二线路层位于所述衬底本体的第二表面上,所述导电通道连接到所述第二线路层,其中每一导电通道、每一个个别接垫及所述第二线路层形成导电组件,所述导电组件具有第一部分及第二部分,其中所述第一部分与所述第二部分不对称。所述芯片面对所述衬底本体的第一表面,且电性连接到所述第一线路层。

[0006] 本发明的另一方面涉及一种内埋图形衬底的制造方法。在一实施例中,所述制

造方法包括以下步骤：(a) 在载体上形成第一线路层，所述第一线路层包括多个个别接垫，所述个别接垫彼此间隔一间隙；(b) 在所述载体上形成衬底本体，以覆盖所述第一线路层；(c) 形成通孔以贯穿所述衬底本体，且显露所述个别接垫；及 (d) 形成第一金属，以在所述通孔中形成多个导电通道，每一导电通道连接每一个别接垫。

附图说明

[0007] 图 1 显示本发明半导体封装结构的一实施例的剖视示意图。

[0008] 图 2 显示图 1 中沿着 2-2 的剖视图。

[0009] 图 3 显示图 1 中沿着 3-3 的剖视图。

[0010] 图 4 到图 13A 显示本发明内埋图形衬底的制造方法的一实施例的示意图。

[0011] 图 14 显示本发明半导体封装结构的制造方法的一实施例的示意图。

具体实施方式

[0012] 参考图 1，显示本发明半导体封装结构的一实施例的剖视示意图。所述半导体封装结构 1 包括内埋图形衬底 2 及芯片 3。所述内埋图形衬底 2 包括衬底本体 20、第一线路层 22、多个导电通道 24、第二线路层 26 及绝缘材料 28。

[0013] 所述衬底本体 20 具有第一表面 201、第二表面 202 及至少一个通孔 203。所述衬底本体 20 为绝缘材料或电介质材料，例如：聚丙烯 (Polypropylene, PP)。所述第一线路层 22 内埋于所述衬底本体 20 的第一表面 201，且显露于所述衬底本体 20 的第一表面 201。所述第一线路层 22 的显露表面大致上与所述衬底本体 20 的第一表面 201 共平面，或者所述第一线路层 22 从所述衬底本体 20 的第一表面 201 凹陷（即，所述第一线路层 22 的显露表面与所述衬底本体 20 的第一表面 201 不共平面）。

[0014] 在本实施例中，所述第一线路层 22 为图案化导电线路层，其包括多个个别接垫 221、多个导电迹线 (Conductive Trace) 222 及多个导电迹线接垫 (Conductive Trace Pad) 223。所述第一线路层 22 的材质为电镀铜 (Electroplated Copper)，其利用电镀工艺所形成。

[0015] 所述导电通道 24 位于同一通孔 203 中。所述导电通道 24 彼此互不连接，且每一导电通道 24 连接每一个别接垫 221。在本实施例中，每一所述导电通道 24 包括第一金属 241 及第二金属层 30，所述第二金属层 30 位于所述第一金属 241 及所述通孔 203 的侧壁之间。即，在工艺上，所述第二金属层 30 先形成所述通孔 203 的侧壁，之后，所述第一金属 241 再形成于所述第二金属层 30 上。所述第一金属 241 的材质为电镀铜，其利用电镀工艺所形成；所述第二金属层 30 为化学铜，其利用化学镀方法所形成。可以理解的是，如果省略所述第二金属层 30，那么所述第一金属 241 即为所述导电通道 24。

[0016] 所述第二线路层 26 位于所述衬底本体 20 的第二表面 202 上，所述导电通道 24 连接到所述第二线路层 26。在本实施例中，所述第二线路层 26 并未内埋于或内埋于所述衬底本体 20 的第二表面 202。在本实施例中，所述第二线路层 26 为图案化导电线路层，其包括第一金属 261 及第二金属层 30，所述第二金属层 30 位于所述第一金属 261 及所述衬底本体 20 的第二表面 202 之间。即，在工艺上，所述第二金属层 30 先形成于所述衬底本体 20 的第二表面 202，之后，所述第一金属 261 再形成于所述第二金属层 30 上。所述第一金属

261 的材质为电镀铜,其利用电镀工艺所形成;所述第二金属层 30 为化学铜,其利用化学镀方法所形成。可以理解的是,如果省略所述第二金属层 30,那么所述第一金属 261 即为所述第二线路层 26。在本实施例中,第一金属 261 及所述第一金属 241 为同一层金属,即,所述导电通道 24 与所述第二线路层 26 一体成形。

[0017] 每一导电通道 24、每一个别接垫 221 及所述第二线路层 26 形成导电组件 27。所述导电组件 27 具有第一部分 271(包含个别接垫 221 及导电通道 24 的上半部)及第二部分 272(包含导电通道 24 的下半部及所述第二线路层 26),其中所述导电组件 27 的所述第一部分 271 与第二部分 272 不对称。在本实施例中,所述衬底本体 20 具有假想中心线 204,位于所述第一表面 201 及所述第二表面 202 的中间,所述导电组件 27 是根据所述假想中心线 204 而区分成所述第一部分 271 及第二部分 272。所述导电组件 27 的所述第一部分 271 的形状或厚度与所述第二部分 272 的形状或厚度不同而形成不对称。举例来说,所述通孔 203 为锥状,因此,所述导电通道 24 的上半部及所述导电通道 24 的下半部即不对称。此外,所述导电通道 24 的上半部与所述个别接垫 221 间具有阶梯形状,而所述导电通道 24 的下半部与所述第二线路层 26 间则无此阶梯形状。并且,所述个别接垫 221 的厚度与所述第二线路层 26 的厚度可能不同而形成不对称。

[0018] 所述绝缘材料 28 位于所述导电通道 24 间的间隙,以电隔绝所述导电通道 24。所述绝缘材料 28 更位于所述个别接垫 221 间的间隙,以电隔绝所述个别接垫 221。在本实施例中,所述绝缘材料 28 为防焊材料(Solder Mask),其与所述衬底本体 20 的材质不同。然而,可以理解的是,所述绝缘材料 28 的材质也可与所述衬底本体 20 的材质相同。所述绝缘材料 28 更位于所述衬底本体 20 的第一表面 201 及第二表面 202,且于所需位置具有开口,以显露用以电性连接到外部的区域。在本实施例中,所述绝缘材料 28 于所述衬底本体 20 的第二表面 202 具有开口 281 以显露部分所述第二线路层 26(即,接垫 262)。

[0019] 所述芯片 3 面对所述衬底本体 20 的第一表面 201,且电连接到所述第一线路层 22。在本实施例中,所述芯片 3 具有多个导电柱(Conductive Pillar)31、多个预焊料(Pre-solder)32、多个芯片接垫(Chip Pad)33、一保护层 34 及多个球下金属层(UBM)35。所述芯片接垫 33 位于所述芯片 3 的表面上。所述保护层 34 覆盖所述芯片 3 的所述表面及部分所述芯片接垫 33,且具有多个开口以显露部分所述芯片接垫 33。在本实施例中,所述保护层 34 为防焊层,其材质为例如聚酰亚胺(Polyimide,PI)。所述球下金属层 35 位于所述保护层 34 的开口,且接触所述芯片接垫 33。所述导电柱 31 位于所述球下金属层 35 上。每一预焊料 32 位于每一导电柱 31 的末端。所述预焊料 32 直接接触所述第一线路层 22 的所述个别接垫 221 及所述导电迹线接垫 223。

[0020] 参考图 2,显示图 1 中沿着 2-2 的剖视图。如图所示,所述个别接垫 221 有四个,其彼此间隔一间隙。所述个别接垫 221 为扇形,且可组成一个圆形。所述间隙为十字形,且所述绝缘材料 28 位于所述间隙。在其它实施例中,所述间隙为一字形,所述个别接垫 221 有二个,且所述个别接垫 221 为半圆形。

[0021] 参考图 3,显示图 1 中沿着 3-3 的剖视图。如图所示,所述导电通道 24 有四个,其彼此间隔一间隙。所述导电通道 24 为扇形,且可组成一个圆形。所述间隙为十字形,且所述绝缘材料 28 位于所述间隙。在其它实施例中,所述间隙为一字形,所述导电信道 24 有二个,且所述导电通道 24 为半圆形。所述导电通道 24 的形状及位置对应所述个别接垫 221

的形状及位置。此外,所述第二线路层 26 会包括四个导电区域,其互不连接而且彼此间隔一间隙。所述导电区域的形状及位置对应所述导电通道 24 的形状及位置。

[0022] 在本实施例中,原本为所述第一线路层 22 的一个导电通道接垫 (Via Pad) 被分割成四个独立的个别接垫 221,且不同的个别接垫 221 可通过不同的导电通道 24 而电连接到所述第二线路层 26 的不同导电区域,而可传递四种信号。因此,可增加电路布局的弹性(增加线路密度),而达到细间距 (Fine Pitch) 的需求。

[0023] 参考图 4 到图 13A,显示本发明内埋图形衬底的制造方法的一实施例的示意图。参考图 4 及图 4A,其中图 4A 为图 4 中沿着线 4A-4A 的剖视图。提供载体 (Carrier) 10,所述载体 10 具有第一表面 101 及第二表面 102。接着,在所述载体 10 的第一表面 101 形成底部金属层 12。在本实施例中,所述底部金属层 12 为铜箔,其具有第一表面 121 及第二表面 122。所述底部金属层 12 的第二表面 122 压合或黏着于所述载体 10 的第一表面 101 上。

[0024] 接着,在所述载体 10 上的所述底部金属层 12 上形成所述第一线路层 22。在本实施例中,所述第一线路层 22 的材质为电镀铜,其利用电镀工艺以形成于所述底部金属层 12 的第一表面 121 上。所述第一线路层 22 为图案化导电线路层,其包括多个个别接垫 221、多个导电迹线 (Conductive Trace) 222 及多个导电迹线接垫 (Conductive Trace Pad) 223。所述个别接垫 221 有四个,其彼此间隔一间隙。所述个别接垫 221 为扇形,且可组成一个圆形。所述间隙为十字形。

[0025] 参考图 5 及图 5A,其中图 5A 为图 5 中沿着线 5A-5A 的剖视图。在所述载体 10 上的所述底部金属层 12 上形成衬底本体 20,以覆盖所述第一线路层 22 及所述底部金属层 12。所述衬底本体 20 为绝缘材料或电介质材料,例如:聚丙烯 (Polypropylene, PP),其利用压合技术以附着到所述第一线路层 22 及所述底部金属层 12 上。压合后,所述衬底本体 20 具有第一表面 201 及第二表面 202,其中所述衬底本体 20 的第一表面 201 接触所述底部金属层 12 的第一表面 121,且所述第一线路层 22 内埋于或内埋于所述衬底本体 20 的第一表面 201。

[0026] 此时,虽然所述第一线路层 22 完全被所述衬底本体 20 覆盖住,但经由 X 光可以从所述第二表面 202 找到所述个别接垫 221,且由于所述个别接垫 221 的特殊形状,可以准确地定义出所述个别接垫 221 的几何中心点 13,以利后续工艺。

[0027] 参考图 6 及图 6A,其中图 6A 为图 6 中沿着线 6A-6A 的剖视图。接着,根据所述几何中心点 13 形成通孔 203 以贯穿所述衬底本体 20,且显露所述个别接垫 221。在本实施例中,所述通孔 203 利用激光加工所形成,且所述通孔 203 为锥状。

[0028] 参考图 7 及图 7A,其中图 7A 为图 7 中沿着线 7A-7A 的剖视图。在所述衬底本体 20 的第二表面 202、显露的通孔 203 及显露的所述个别接垫 221 上形成第二金属层 30。所述第二金属层 30 为化学铜,其利用化学镀方法所形成。

[0029] 参考图 8 及图 8A,其中图 8A 为图 8 中沿着线 8A-8A 的剖视图。光阻层 14 形成于所述衬底本体 20 上的所述第二金属层 30 上,且位于所述个别接垫 221 间的间隙。在本实施例中,所述第一光阻层 14 为干膜 (Dry Film),其具有开口 141,以显露所述通孔 203 的第二金属层 30。如果需要的话,所述光阻层 14 更具有图案,所述图案对应所述第二线路层 26。

[0030] 参考图 9 及图 9A,其中图 9A 为图 9 中沿着线 9A-9A 的剖视图。在未被所述光阻层

14 覆盖的位置形成第一金属 241、261, 以在所述通孔 203 中形成多个导电通道 24, 且在所述衬底本体 20 的第二表面 202 形成所述第二线路层 26。在本实施例中, 所述第一金属 241、261 为电镀铜, 其利用电镀方式所形成。所述导电通道 24 位于同一通孔 203 中。所述导电通道 24 彼此互不连接, 且每一导电通道 24 连接每一个别接垫 221。在本实施例中, 每一所述导电通道 24 包括所述第一金属 241 及所述第二金属层 30。可以理解的是, 如果省略所述第二金属层 30, 那么所述第一金属 241 即为所述导电通道 24。所述导电通道 24 连接到所述第二线路层 26。在本实施例中, 所述第二线路层 26 更具有接垫 262。

[0031] 参考图 10 及图 10A, 其中图 10A 为图 10 中沿着线 10A-10A 的剖视图。移除所述光阻层 14 及所述载体 10。在本实施例中, 所述光阻层 14 及所述载体 10 以剥除 (Strip) 方式移除。

[0032] 参考图 11 及图 11A, 其中图 11A 为图 11 中沿着线 11A-11A 的剖视图。移除所述底部金属层 12。在本实施例中, 所述底部金属层 12 以蚀刻 (Etching) 方式移除。由于要确保所述底部金属层 12 完全被移除, 因此蚀刻时间略长, 而对所述第一线路层 22 造成过蚀 (Over-etching), 使得所述第一线路层 22 从所述衬底本体 20 的第一表面 201 凹陷, 即, 所述第一线路层 22 的显露表面与所述衬底本体 20 的第一表面 201 不共平面。

[0033] 参考图 12 及图 12A, 其中图 12A 为图 12 中沿着线 12A-12A 的剖视图。接着, 以蚀刻方式移除未被所述第一金属 261 覆盖的第二金属层 30, 以形成所述第二线路层 26 的图案。在本实施例中, 所述第二线路层 26 并未内埋于或内埋于所述衬底本体 20 的第二表面 202。在本实施例中, 所述第二线路层 26 为图案化导电线路层, 其包括所述第一金属 261 及所述第二金属层 30。可以理解的是, 如果省略所述第二金属层 30, 那么所述第一金属 261 即为所述第二线路层 26。在本实施例中, 所述第一金属 261 及所述第一金属 241 为同一层金属。

[0034] 此时, 每一导电通道 24、每一个别接垫 221 及所述第二线路层 26 形成导电组件 27。所述导电组件 27 具有第一部分 271 (包含个别接垫 221 及导电通道 24 的下半部) 及第二部分 272 (包含导电通道 24 的上半部及所述第二线路层 26), 其中所述导电组件 27 的所述第一部分 271 与所述第二部分 272 不对称。在本实施例中, 所述衬底本体 20 具有假想中心线 204, 位于所述第一表面 201 及所述第二表面 202 的中间, 所述导电组件 27 根据所述假想中心线 204 而区分成所述第一部分 271 及所述第二部分 272。所述导电组件 27 的所述第一部分 271 的形状或厚度与所述第二部分 272 的形状或厚度不同而形成不对称。举例来说, 所述通孔 203 为锥状, 因此, 所述导电通道 24 的上半部及所述导电通道 24 的下半部即不对称。此外, 所述导电通道 24 的下半部与所述个别接垫 221 间具有阶梯形状, 而所述导电通道 24 的上半部与所述第二线路层 26 间则无此阶梯形状。并且, 所述个别接垫 221 的厚度与所述第二线路层 26 的厚度可能不同而形成不对称。

[0035] 参考图 13 及图 13A, 其中图 13A 为图 13 中沿着线 13A-13A 的剖视图。在所述导电通道 24 间的间隙形成绝缘材料 28, 且所述绝缘材料 28 更形成于所述个别接垫间 221 的间隙。在本实施例中, 所述绝缘材料 28 为防焊材料 (Solder Mask), 其与所述衬底本体 20 的材质不同。然而, 可以理解的是, 如果再增设一层衬底本体 20, 那么所述绝缘材料 28 即为所述衬底本体 20 的材质。

[0036] 所述绝缘材料 28 更位于所述衬底本体 20 的第一表面 201 及第二表面 202, 且于

所需位置具有开口,以显露用以电连接到外部的区域。在本实施例中,所述绝缘材料 28 于所述衬底本体 20 的第二表面 202 具有开口 281 以显露部分所述第二线路层 26(即,接垫 262)。

[0037] 接着,进行切割工艺,且上下翻转 180 度以形成多个如图 1 及图 14 所示的内埋图形衬底 2。

[0038] 参考图 14,显示本发明半导体封装结构的制造方法的实施例的示意图。提供所述内埋图形衬底 2 及所述芯片 3。所述内埋图形衬底 2 包括所述衬底本体 20、所述第一线路层 22、所述导电通道 24、所述第二线路层 26、所述绝缘材料 28 及所述第二金属层 30。所述芯片 3 具有所述导电柱 31、所述预焊料 32、多个芯片接垫 33、一保护层 34 及多个球下金属层 35。所述芯片接垫 33 位于所述芯片 3 的表面上。所述保护层 34 覆盖所述芯片 3 的所述表面及部分所述芯片接垫 33,且具有多个开口以显露部分所述芯片接垫 33。在本实施例中,所述保护层 34 为防焊层,其材质为例如聚酰亚胺 (Polyimide,PI)。所述球下金属层 35 位于所述保护层 34 的开口,且接触所述芯片接垫 33。所述导电柱 31 位于所述球下金属层 35 上。所述预焊料 32 位于所述导电柱 31 上。接着,将所述芯片 3 的所述导电柱 31 及所述预焊料 32 面对所述衬底本体 20 的第一表面 201。接着,将所述芯片 3 的所述预焊料 32 连接到所述第一线路层 22。在本实施例中,所述预焊料 32 直接接触所述第一线路层 22 的所述个别接垫 221 及所述导电迹线接垫 223,以形成如图 1 所述的所述半导体封装结构 1。

[0039] 上述实施例仅为说明本发明的原理及其功效,而非用以限制本发明。因此,所属领域的技术人员对上述实施例进行修改及变化仍不脱离本发明的精神。本发明的权利范围应如所附权利要求书所列。

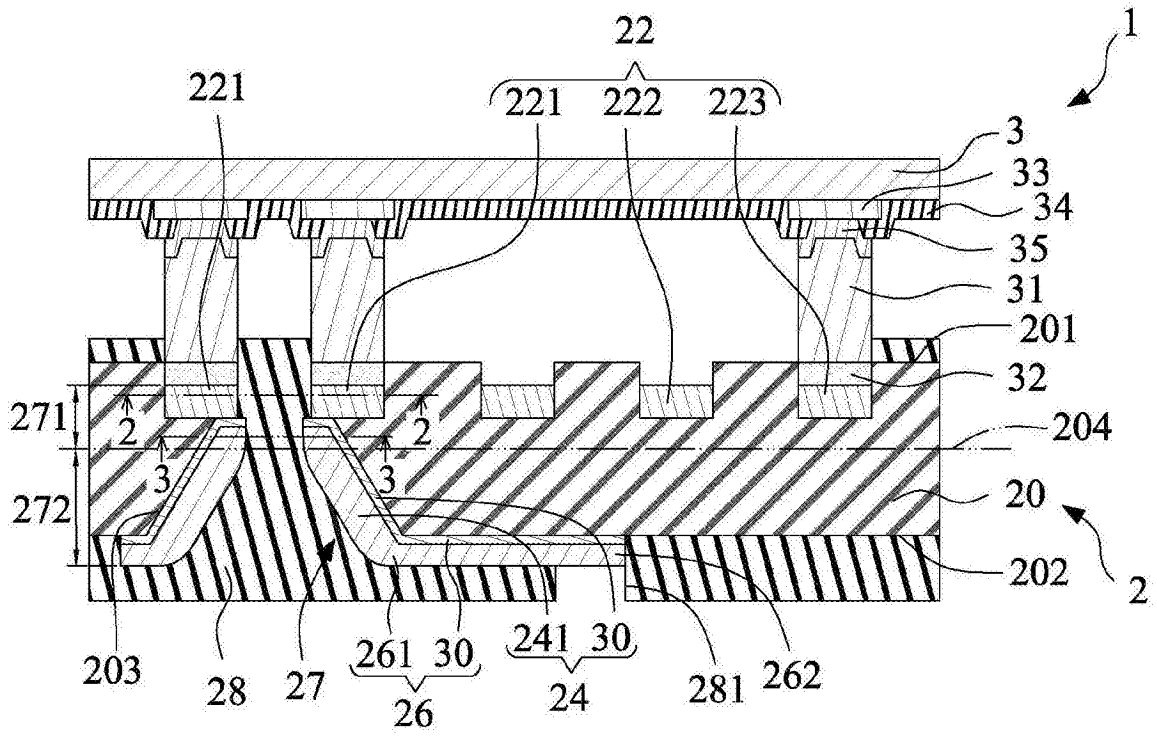


图 1

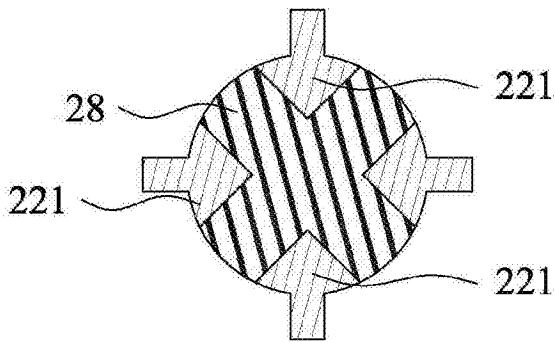


图 2

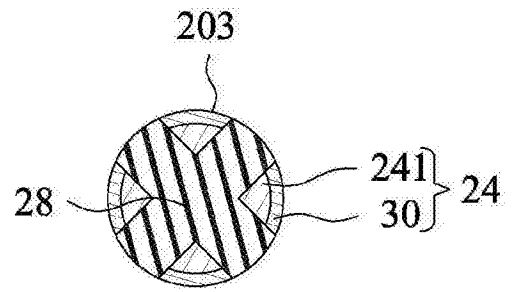


图 3

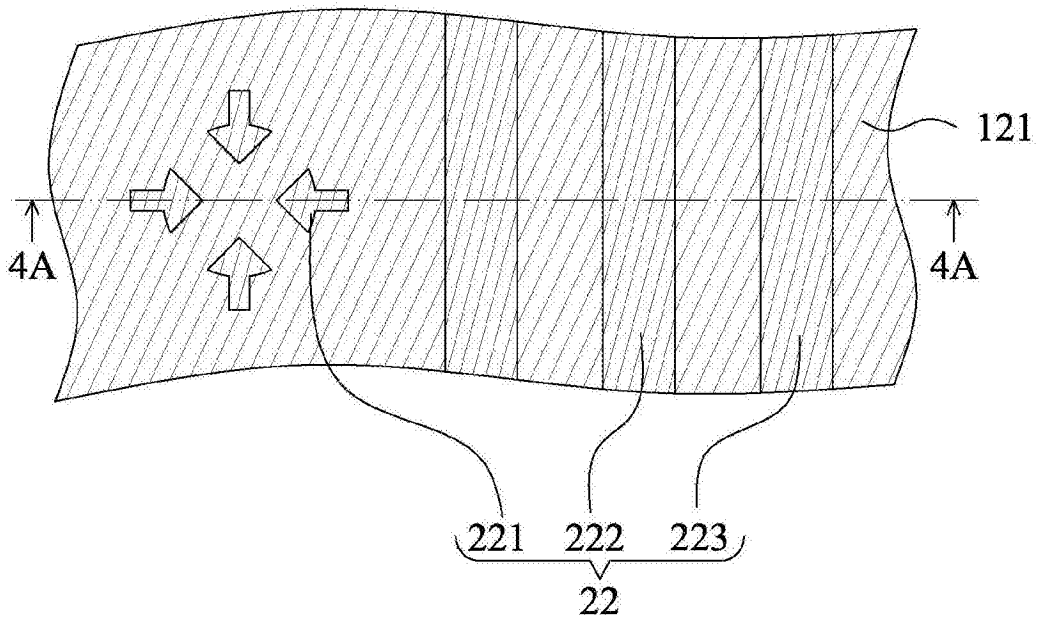


图 4

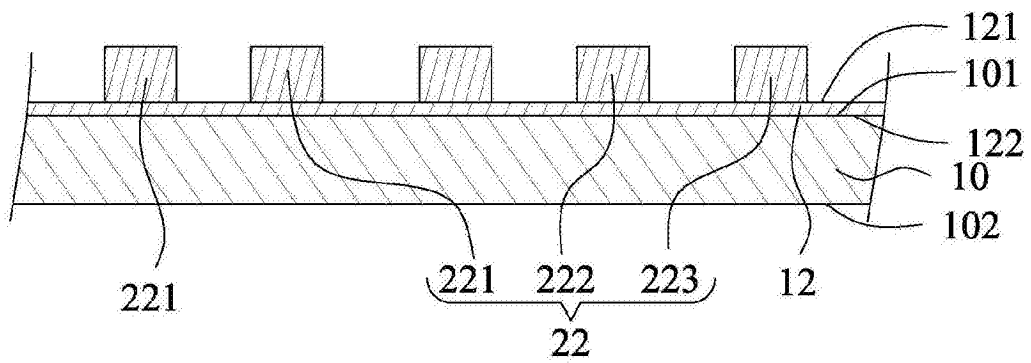


图 4A

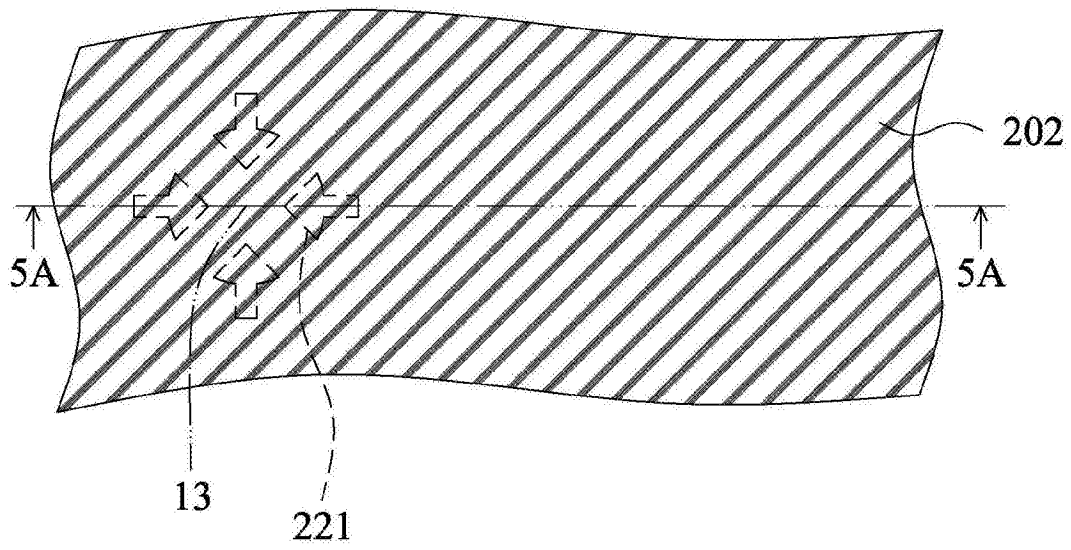


图 5

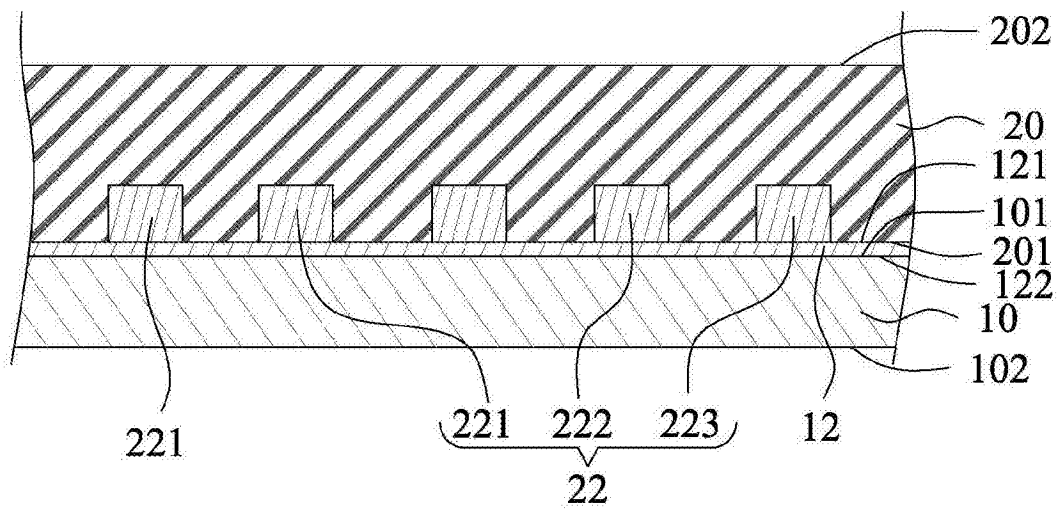


图 5A

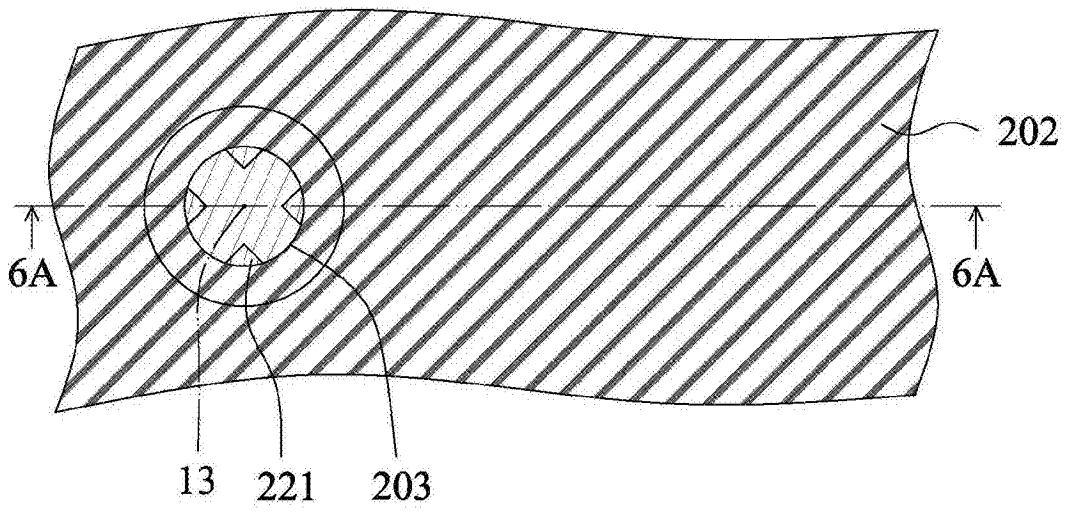


图 6

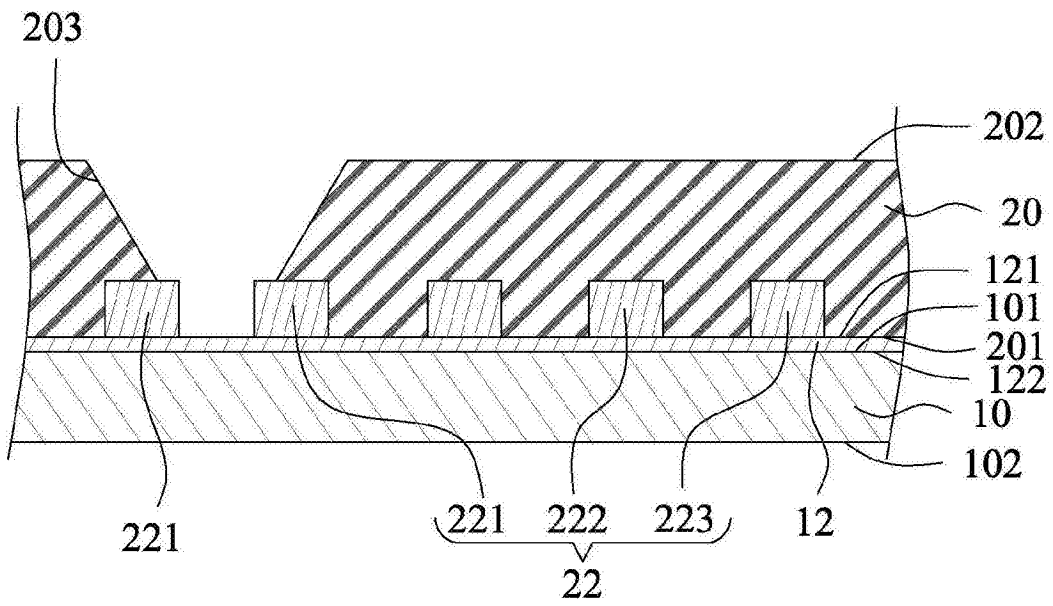


图 6A

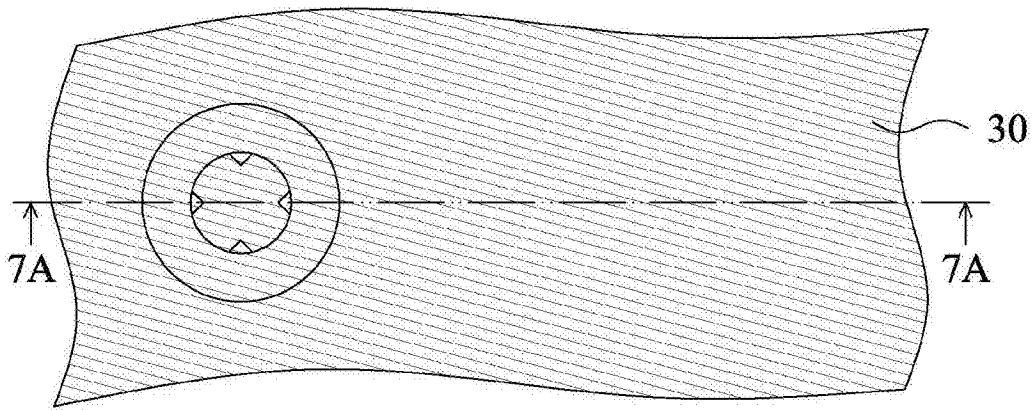


图 7

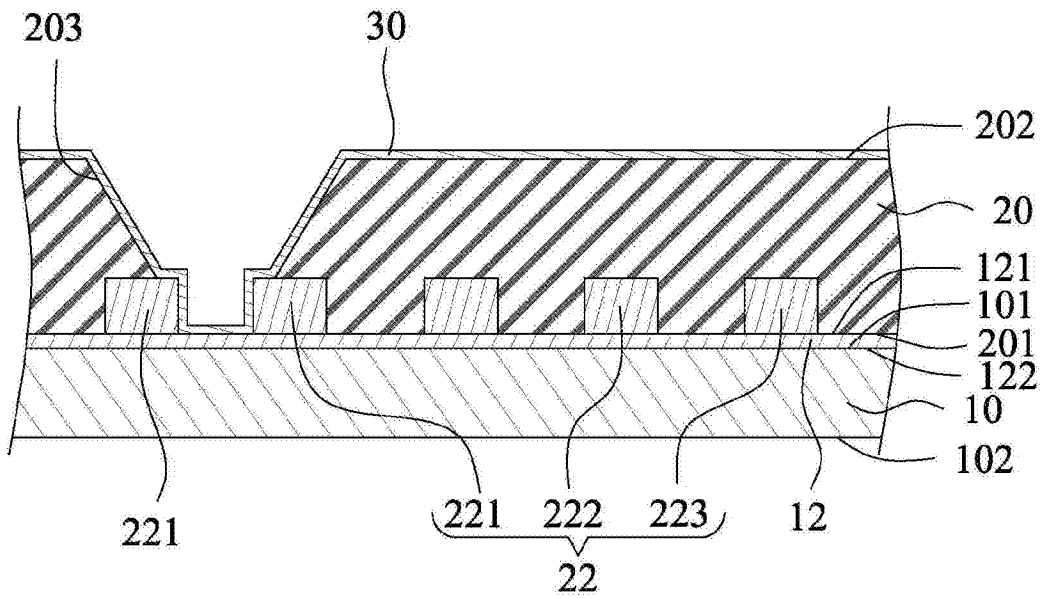


图 7A

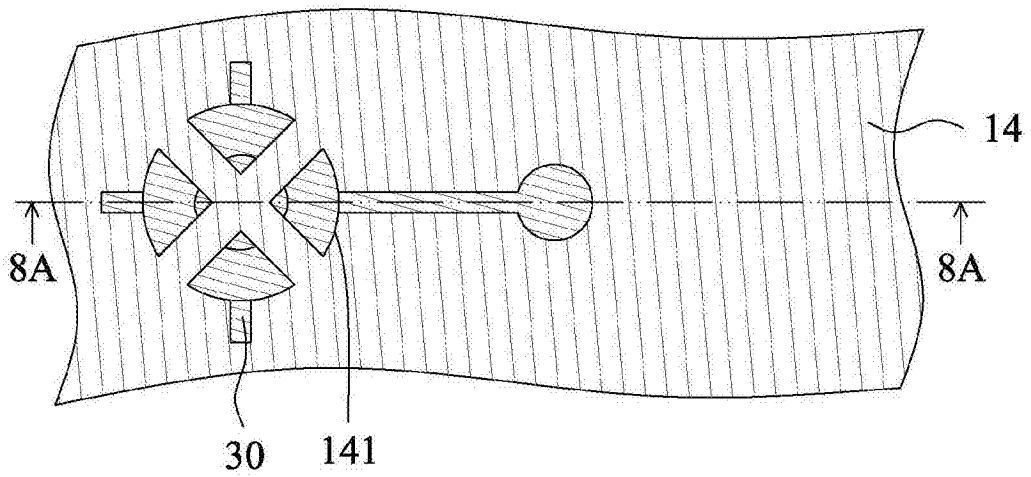


图 8

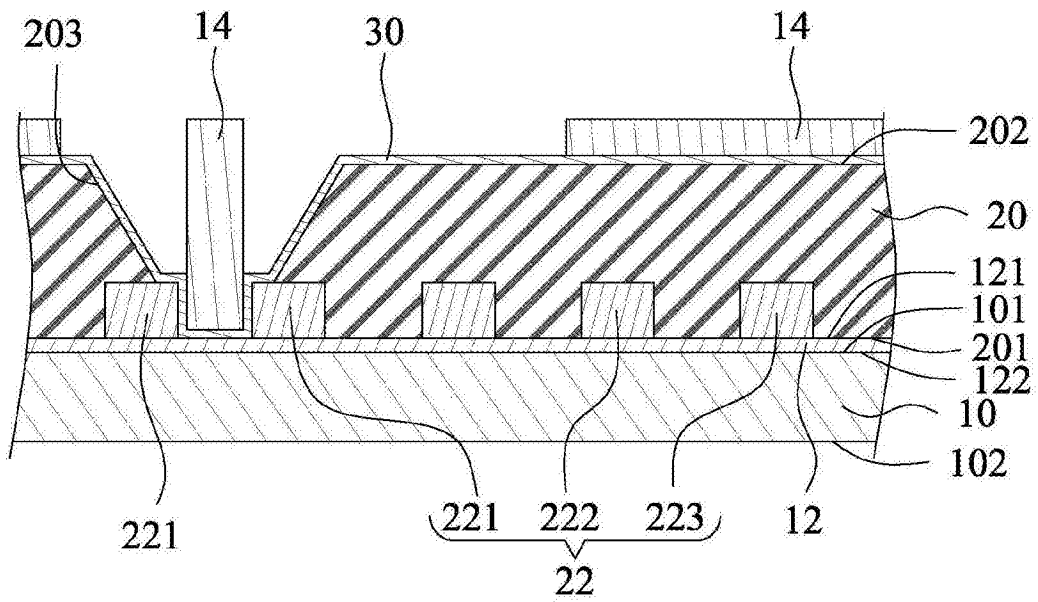


图 8A

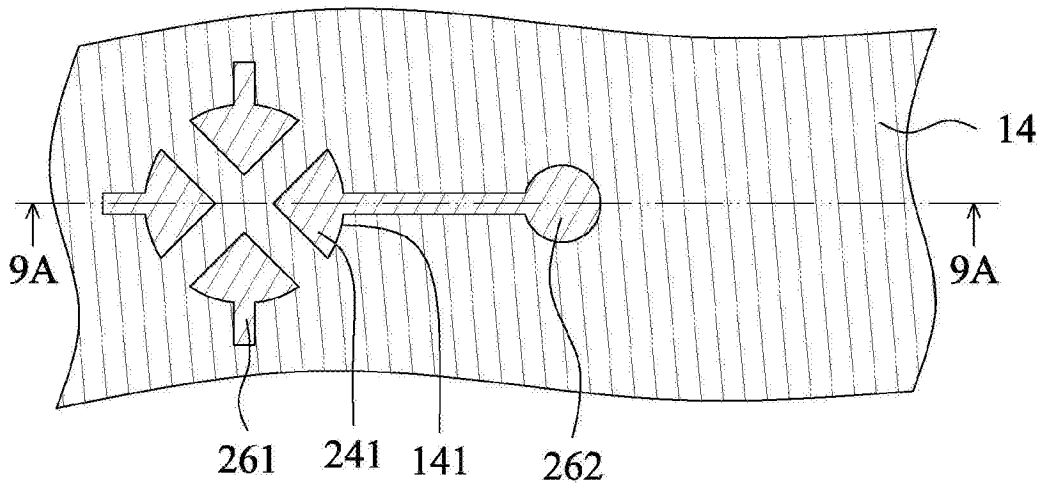


图 9

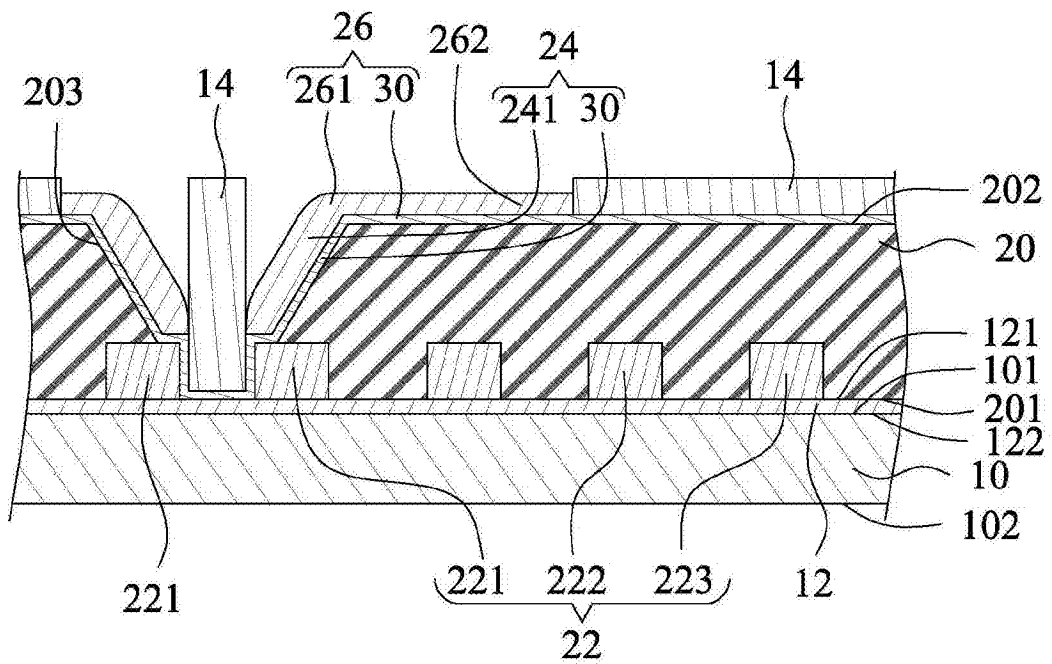


图 9A

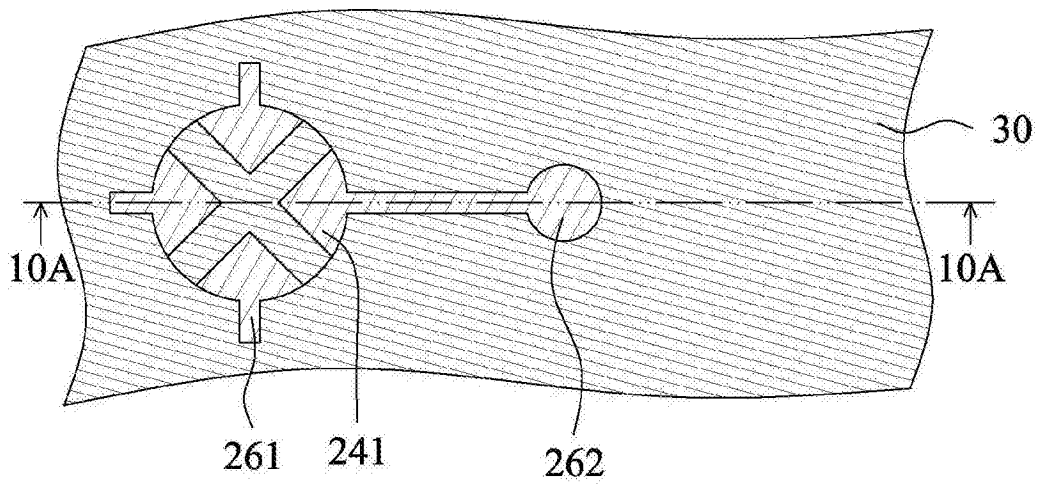


图 10

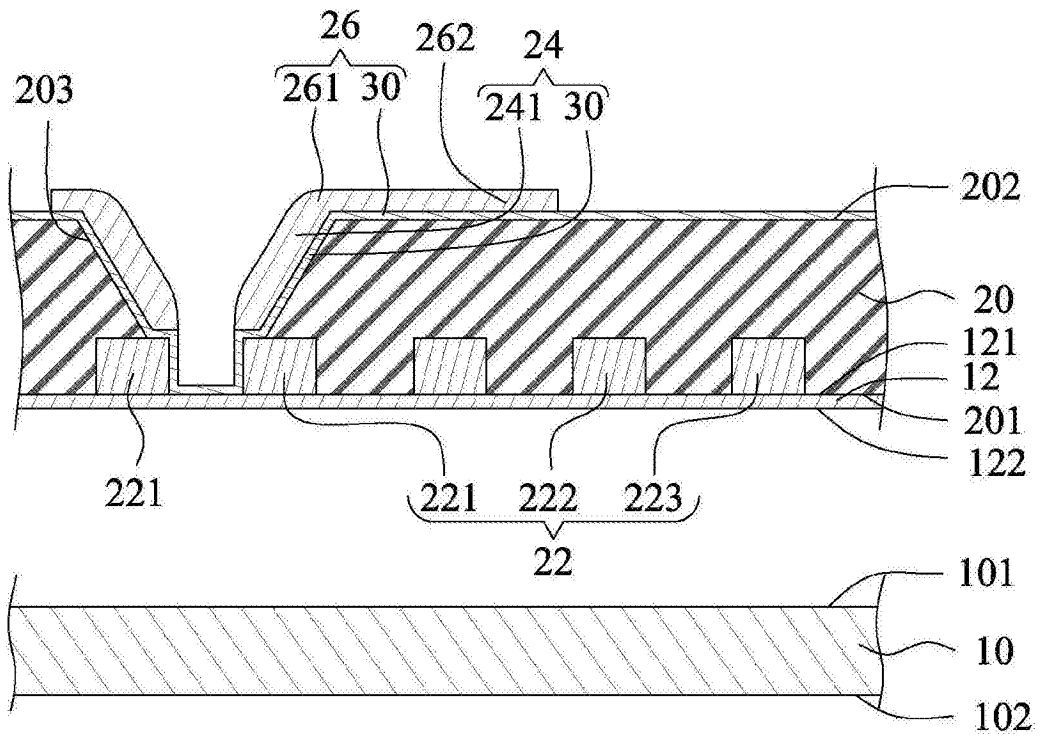


图 10A

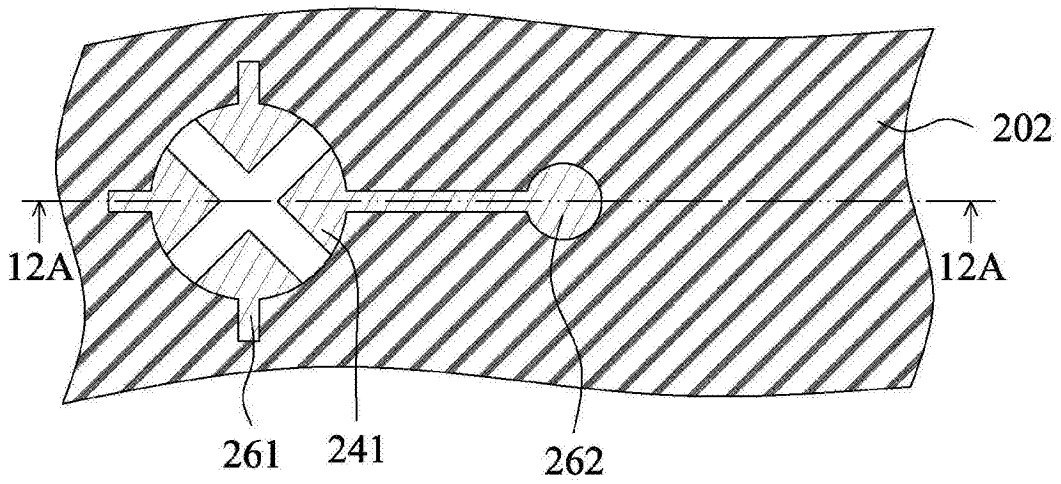


图 12

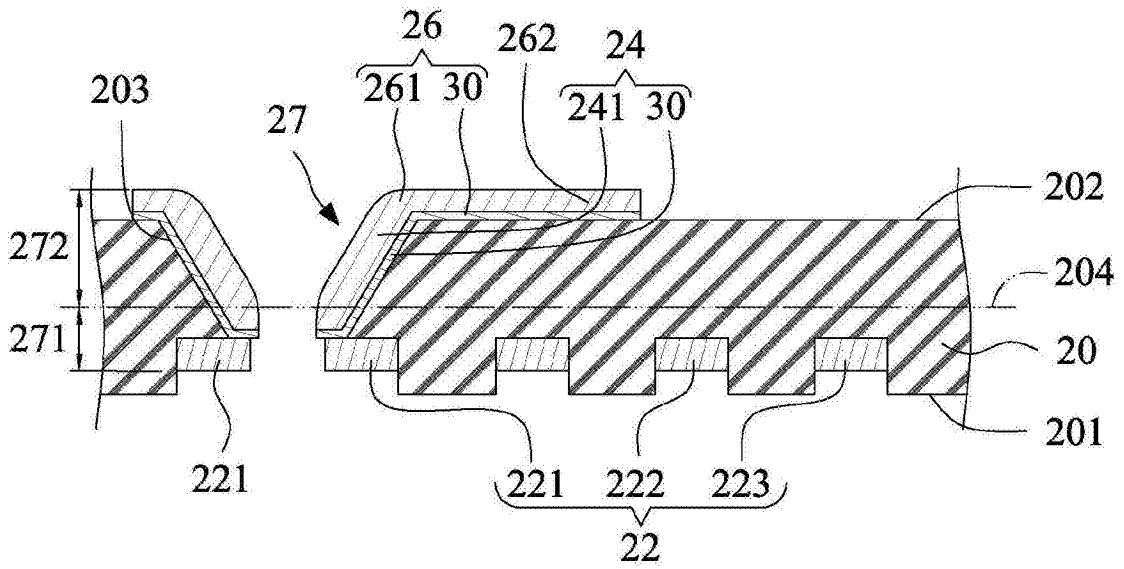


图 12A

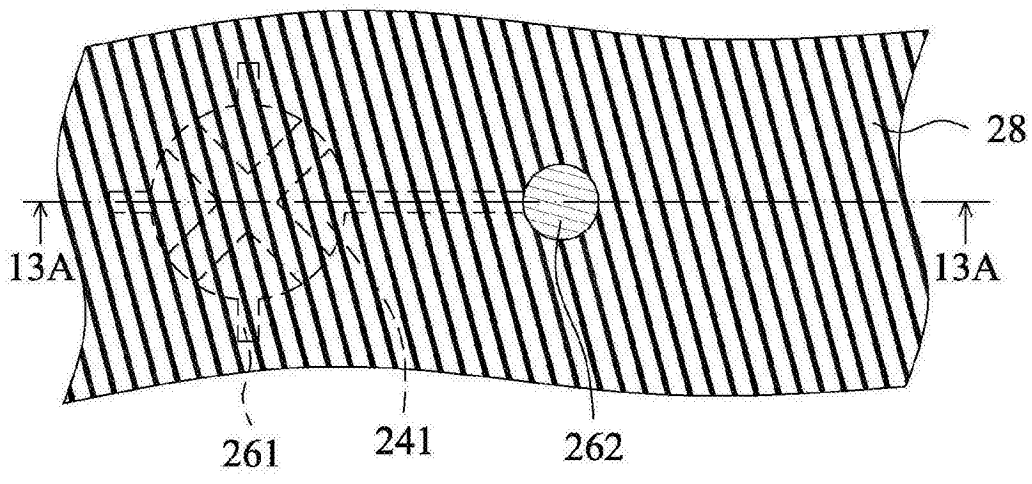


图 13

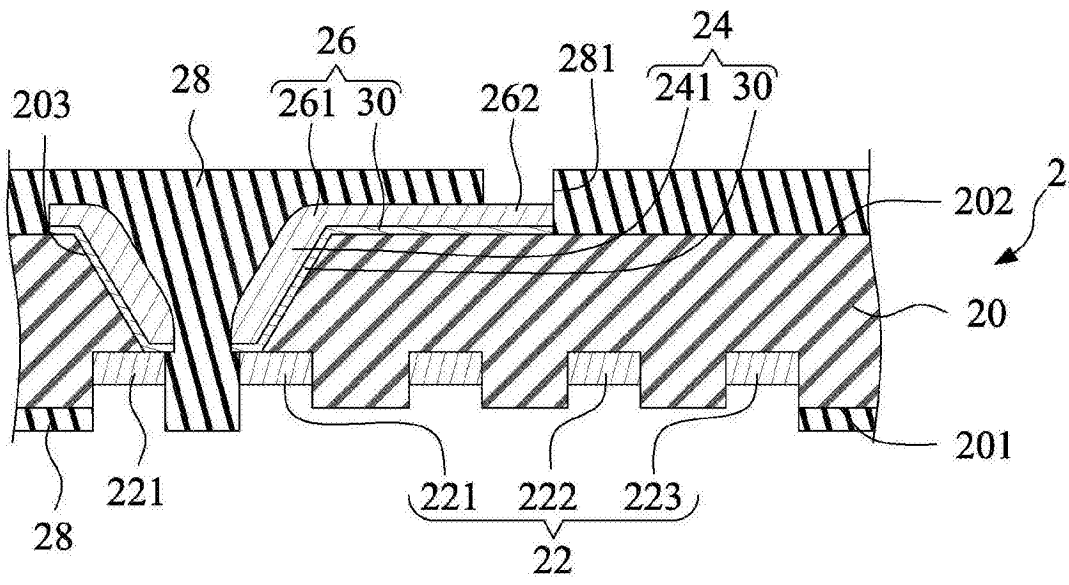


图 13A

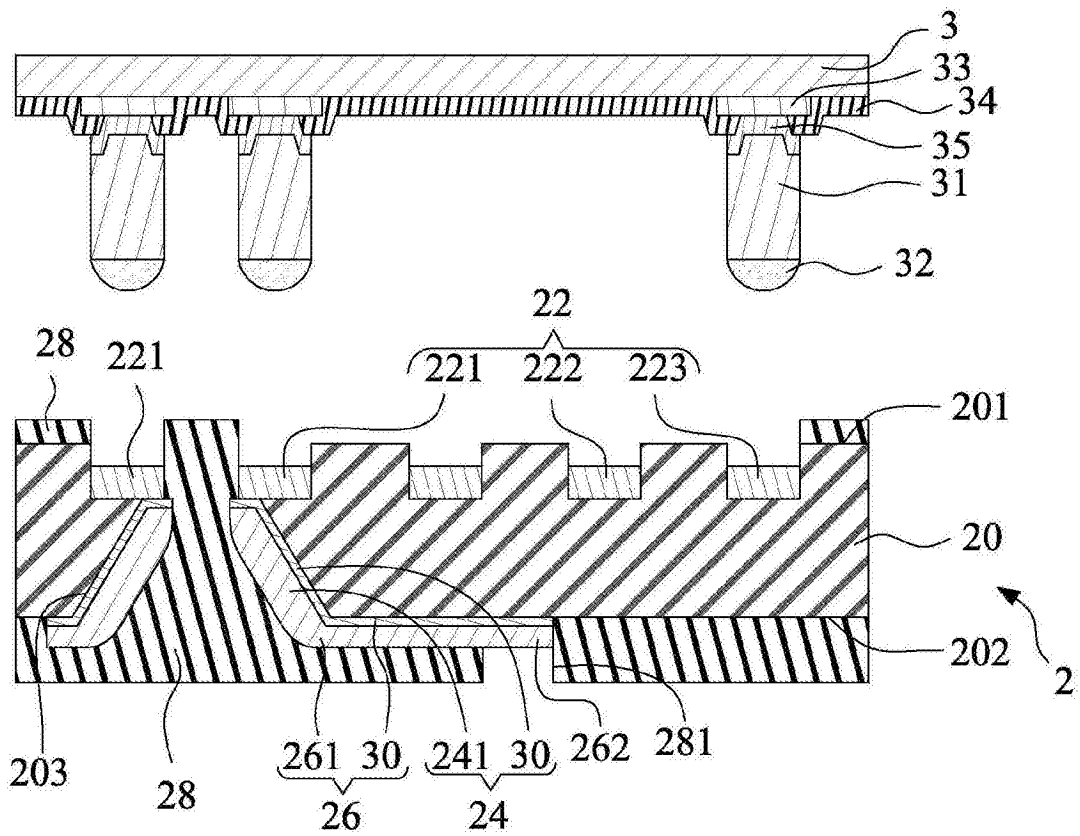


图 14