(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-18362
(P2005-18362A)
(43)公開日　平成17年1月20日(2005.1.20)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G06F 12/14	G06F 12/14	320E	5B017
G11C 16/02	G06F 12/14	320C	5B025
	G11C 17/00	601P	

審査請求 未請求　請求項の数 4　OL　（全 11 頁）

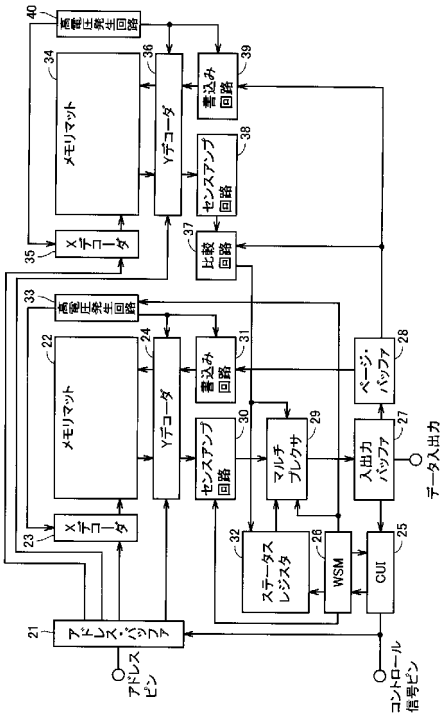
(21)出願番号　特願2003-181377(P2003-181377)
(22)出願日　平成15年6月25日(2003.6.25)

(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(71)出願人　501203458
株式会社ルネサスソリューションズ
東京都千代田区大手町二丁目６番２号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊

最終頁に続く

(54)【発明の名称】半導体メモリ

(57)【要約】
【課題】半導体メモリの複写を認めつつも、不正利用者に対してその動作を禁止した半導体メモリを提供すること。
【解決手段】メモリマット３４は、通常の記憶領域であるメモリマット２２以外に設けられ、外部からのデータ読出しが不可能となっている。ページバッファ２８には、外部から入力された情報が格納される。比較回路３７は、メモリマット３４に格納されるセキュリティ情報とページ・バッファ２８に格納される情報とを比較し、その比較結果がステータスとして外部へ出力される。不正コピーが行なわれた場合でも、メモリマット３４の情報はコピーされないので、外部装置はステータスを参照することによって、この半導体メモリが不正にコピーされたものであるか否かを容易に判定することが可能となる。
【選択図】　図２



【特許請求の範囲】
【請求項１】
通常の記憶領域以外に設けられ、外部からの読出しが不可能な特定記憶領域と、
外部から入力された情報が格納されるバッファ手段と、
前記特定記憶領域に格納されるセキュリティ情報と前記バッファ手段に格納される情報とを比較するための比較手段と、
前記比較手段による比較結果をステータスとして外部へ出力するための出力手段とを含む半導体メモリ。
【請求項２】
通常の記憶領域以外に設けられ、外部からの読出しが不可能な特定記憶領域と、
外部から入力された情報が格納されるバッファ手段と、
前記特定記憶領域に格納されるセキュリティ情報と前記バッファ手段に格納される情報とを比較するための比較手段と、
前記比較手段によって一致が検出されない場合には、前記半導体メモリの一部の動作を停止させるための制御手段とを含む半導体メモリ。
【請求項３】
前記半導体メモリはさらに、前記比較手段によって一致が検出された場合に、前記特定記憶領域へのデータ書込みを許可するデータ書込み許可手段を含む、請求項１または２記載の半導体メモリ。
【請求項４】
前記半導体メモリは不揮発性メモリであって、さらに、前記比較手段によって一致が検出された場合に、前記特定記憶領域のデータ消去を許可するデータ消去許可手段を含む、請求項１～３のいずれかに記載の半導体メモリ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、不揮発性メモリなどの半導体メモリに関し、特に、不正な複製を防止した半導体メモリに関する。
【０００２】
【従来の技術】
近年、不揮発性メモリが広く利用されるようになってきている。一般に、ランダムアクセスが可能な不揮発性メモリにおいては、メモリセルに書込まれているデータを読出すことができるので、不揮発性メモリに書込まれている内容を他の不揮発性メモリに不正に複写することが可能である。これを防止する技術として、特開平１１－２０３２０６号公報、特開２００１－５７２９号公報および特開平３－７３０４３号公報に開示された発明がある。
【０００３】
特開平１１－２０３２０６号公報に開示された不揮発性メモリのセキュリティ回路において、セキュリティ回路の出力制御部は、読出し回路によって読出された情報がセキュリティの解除を示しているときは、読出し回路によって読出されたデータの外部への出力を許可する。また、上記情報がセキュリティのロック状態を示しているときは、プログラムベリファイの動作時に第１検出回路によって上記データが全て“０”であると検知されたとき、または消去ベリファイの動作時に第２検知回路によって上記データが全て“１”であると検知されたときに、上記データの外部への出力を許可する。
【０００４】
特開２００１－５７２９号公報に開示された不揮発性メモリにおいては、パスワード領域にトラップアドレスを設定し、そのトラップアドレスを避けてアクセスする場合にのみパスワード領域の読出しを許可し、トラップアドレスによりアクセスされる場合は読出しを禁止し、または無意味なデータを出力し、またはパスワード領域の情報を破壊する。また、パスワード領域のアクセスの順番を任意に設定可能にし、その設定された順番でアクセ

スされる場合にのみパスワード領域の読出しを許可し、設定された順番以外でアクセスされる場合は読出しを禁止し、または無意味なデータを出力し、またはパスワード領域の情報を破壊する。

【０００５】

また、特開平３－７３０４３号公報に開示されたデータ処理装置においては、不揮発性記憶素子からなりバス拡張モードを禁止するか否かを設定する拡張禁止ビットと、ＥＰＲＯＭ（Ｅｒａｓａｂｌｅ ａｎｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）内のデータを機密にするか否かを設定するためのプロテクトビットを有する保護回路とを設けるとともに、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）モードを設定すると拡張禁止ビットが選択されるように構成して、モード制御回路に上記拡張禁止ビットの読出し信号を入力して、ビットに対して書込みがなされているときには、シングルチップマイコンのバス拡張モードを禁止させるようにポートを制御する。

【０００６】

【特許文献１】

特開平１１－２０３２０６号公報

【０００７】

【特許文献２】

特開２００１－５７２９号公報

【０００８】

【特許文献３】

特開平３－７３０４３号公報

【０００９】

【発明が解決しようとする課題】

不正な複写を防止していない不揮発性メモリにおいては、メモリセルに書込まれているデータを自由に読出すことができるため、ＲＯＭライタを使用すれば容易に複写が可能である。したがって、正当ユーザ以外の者が不正使用することが可能であるという問題点がある。

【００１０】

また、上述した特許文献においては、不揮発性メモリに格納されたデータの読出し自体を禁止して、不正な複写を防止したものである。しかし、不揮発性メモリの複製は許可し、その動作だけを禁止したい場合もある。

【００１１】

本発明の目的は、半導体メモリの複写を認めつつも、不正利用者に対してその動作を禁止した半導体メモリを提供することである。

【００１２】

【課題を解決するための手段】

本発明のある局面に従えば、半導体メモリは、通常の記憶領域以外に設けられ、外部からの読出しが不可能な特定記憶領域と、外部から入力された情報が格納されるバッファ手段と、特定記憶領域に格納されるセキュリティ情報とバッファ手段に格納される情報とを比較するための比較手段と、比較手段による比較結果をステータスとして外部へ出力するための出力手段とを含む。

【００１３】

本発明の別の局面に従えば、半導体メモリは、通常の記憶領域以外に設けられ、外部からの読出しが不可能な特定記憶領域と、外部から入力された情報が格納されるバッファ手段と、特定記憶領域に格納されるセキュリティ情報とバッファ手段に格納される情報とを比較するための比較手段と、比較手段によって一致が検出されない場合には、半導体メモリの一部の動作を停止させるための制御手段とを含む。

【００１４】

【発明の実施の形態】

（第１の実施の形態）

図１は、本発明の第１の実施の形態における半導体記憶装置の概略構成を示すブロック図である。この半導体記憶装置は、半導体メモリ２と、半導体メモリ２に対するデータの読出し、書込みなどの制御を行なうＭＣＵ（Ｍｉｃｒｏ Ｃｏｎｔｒｏｌｌｅｒ Ｕｎｉｔ）１とを含む。半導体メモリ２は、フラッシュメモリなどの不揮発性メモリによって構成される。

【００１５】

ＭＣＵ１は、半導体メモリ２へ制御信号３を出力することによって、データ・バス４を介したデータの書込み／読出しを行なう。ＭＣＵ１は内部に、プログラムなどを記憶したＲＯＭ（Ｒｅａｄ Ｏｎｌｙ Ｍｅｍｏｒｙ）、ＲＡＭ（Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）などのメモリを有しており、メモリに格納されたプログラムを実行することによって半導体メモリに対するデータの読出し、書込みなどの処理を行なう。

【００１６】

図２は、本発明の第１の実施の形態における半導体メモリ２の概略構成を示すブロック図である。この半導体メモリ２は、ＭＣＵ１から出力されたアドレスを保持するアドレス・バッファ２１と、通常のデータが格納されるメモリマット２２と、アドレス・バッファ２１に保持されるアドレスをデコードして、メモリマット２２のいずれかのワード線を活性化するＸデコーダ２３と、アドレス・バッファ２１に保持されるアドレスをデコードして、メモリマット２２のいずれかのビット線を活性化するＹデコーダ２４と、ＭＣＵ１から受けた制御信号３に応じてデータの入出力等の制御を行なうＣＵＩ２５と、ＭＣＵ１から受けたコマンドを解釈して半導体メモリ２の全体的な制御を行なうＷＳＭ（Ｗｒｉｔｅ Ｓｔａｔｅ Ｍａｃｈｉｎｅ）２６と、ＭＣＵ１に対して入出力されるデータを保持する入出力バッファ２７と、１ページ分の書込みデータを保持するページ・バッファ２８と、メモリマット２２から読出されたデータおよびステータスのいずれかを選択して入出力バッファ２７へ出力するマルチプレクサ２９と、メモリマット２２からの読出しデータを増幅するセンスアンプ回路３０と、ページ・バッファ２８に保持されるデータをメモリマット２２に書込む書込み回路３１と、ステータスを保持するステータスレジスタ３２と、書込み回路３１などに供給する高電圧を発生させる高電圧発生回路３３とを含む。これらは、一般的な不揮発性メモリ（フラッシュメモリ）の構成と同様である。

【００１７】

半導体メモリ２はさらに、データ書込みのみが行なえ、パスワードなどの情報が格納されるメモリマット３４と、アドレス・バッファ２１に保持されるアドレスをデコードして、メモリマット３４のいずれかのワード線を活性化するＸデコーダ３５と、アドレス・バッファ２１に保持されるアドレスをデコードして、メモリマット３４のいずれかのビット線を活性化するＹデコーダ３６と、メモリマット３４から読出されたデータとページ・バッファ２８に保持されるデータとを比較する比較回路３７と、メモリマット３４からの読出しデータを増幅するセンスアンプ回路３８と、ページ・バッファ２８に保持されるデータをメモリマット３４に書込む書込み回路３９と、書込み回路３９などに供給する高電圧を発生させる高電圧発生回路４０とを含む。これらは、本発明の第１の実施の形態において新たに追加された構成である。

【００１８】

図２に示すように、メモリマット３４からの読出しデータを増幅するセンスアンプ回路３８は、入出力バッファ２７に接続されないため、メモリマット３４に書込まれたデータは外部へ出力されることはない。

【００１９】

ＭＣＵ１がメモリマット３４（以下、特定領域とも呼ぶ。）にパスワードなどのデータを書込む場合、ＭＣＵ１は特定領域書込み専用コマンドを半導体メモリ２へ発行する。この特定領域書込み専用コマンドは、入出力バッファ２７およびＣＵＩ２５を介してＷＳＭ２６に入力される。ＷＳＭ２６は、コマンドが特定領域書込み専用コマンドであると判定すると、ＭＣＵ１から出力されるデータを順次ページ・バッファ２８に書込む。ページ・バッファ２８に１ページ分のデータが書込まれると、書込み回路３９はページ・バッファ２

８に格納されるデータをＹデコーダ３６を介してメモリマット３４に書込む。

【００２０】

また、特定領域に書込まれたデータとページ・バッファ２８に格納されるデータとを比較する場合、ＭＣＵ１は特定領域比較専用コマンドを半導体メモリ２へ発行する。この特定領域比較専用コマンドは、入出力バッファ２７およびＣＵＩ２５を介してＷＳＭ２６に入力される。ＷＳＭ２６は、コマンドが特定領域比較専用コマンドであると判定すると、メモリマット３４に格納されるデータを読出す。比較回路３７は、メモリマット３４から読出されたデータと、ページ・バッファ２８に格納されるデータとを比較し、その比較結果がステータスレジスタ３２に格納される。ＭＣＵ１は、マルチプレクサ２９および入出力バッファ２７を介してステータスレジスタ３２に格納されるステータスを読出すことによって、特定領域３４に格納されるデータとページ・バッファ２８に格納されるデータとが一致するか否かを判定することができる。

【００２１】

図３は、本発明の第１の実施の形態における半導体記憶装置の特定領域３４へのデータ書込みの処理手順を説明するためのフローチャートである。まず、ＭＣＵ１から特定領域書込み専用コマンドが入力されると（Ｓ１１）、ＷＳＭ２６によってこのコマンドが解釈される。

【００２２】

続いて、特定領域３４に書込まれるパスワードなどのデータがＭＣＵ１から出力され、そのデータが順次ページ・バッファ２８に格納される（Ｓ１２）。ＭＣＵ１から受けたコマンドが特定領域書込み専用コマンドであるので、書込み回路３９はページ・バッファ２８に格納されたデータをメモリマット３４に順次書込む。メモリマット３４への書込みが正常に終了すると、ＭＣＵ１はステータスレジスタ３２に格納されるステータスを読出して、処理を終了する（Ｓ１３）。

【００２３】

図４は、本発明の第１の実施の形態における半導体記憶装置の特定領域３４のデータ消去の処理手順を説明するためのフローチャートである。まず、ＭＣＵ１から特定領域消去専用コマンドが入力されると（Ｓ２１）、ＷＳＭ２６によってこのコマンドが解釈される。

【００２４】

ＭＣＵ１から受けたコマンドが特定領域消去専用コマンドであるので、書込み回路３９は特定領域３４のデータ消去を開始する。メモリマット３４のデータ消去が正常に終了すると、ＭＣＵ１はステータスレジスタ３２に格納されるステータスを読出して、処理を終了する（Ｓ２２）。

【００２５】

図５は、本発明の第１の実施の形態における半導体記憶装置の特定領域３４に格納されたデータの比較の処理手順を説明するためのフローチャートである。まず、ＭＣＵ１から特定領域比較専用コマンドが入力されると（Ｓ３１）、ＷＳＭ２６によってこのコマンドが解釈される。

【００２６】

続いて、比較されるデータ（ユーザが入力した、認証するためのパスワード等）がＭＣＵ１から出力され、そのデータが順次ページ・バッファ２８に格納される（Ｓ３２）。ＭＣＵ１から受けたコマンドが特定領域比較専用コマンドであるので、比較回路３７は特定領域３４に格納されたデータを順次読出し、ページ・バッファ２８に格納されたデータと比較し、その比較結果がステータスとしてステータスレジスタに格納される（Ｓ３３）。

【００２７】

最後に、ステータスレジスタ３２に格納されたステータスが、マルチプレクサ２９および入出力バッファ２７を介してＭＣＵ１へ出力され（Ｓ３４）、処理を終了する。

【００２８】

なお、ページ・バッファ２８に格納される比較対象のデータは、たとえば、ユーザがキーボードなどを用いて入力した個人パスワードなどである。特定領域３４には、予めこの個

人パスワードが登録されており、特定領域３４に格納されたデータと、ページ・バッファ２８に格納されたデータとが比較されて認証が行なわれる。

【００２９】

図６は、本発明の第１の実施の形態における半導体記憶装置の実際の使用例を説明するためのフローチャートである。この処理手順においては、図５を用いて説明した特定領域３４の比較処理が挿入されており、処理の途中で半導体メモリ２へのアクセスが許可されているか否かを判定するものである。

【００３０】

まず、ＭＣＵ１は、他の処理を実行し（Ｓ４１）、半導体メモリ２へアクセスする場合に、特定領域比較専用コマンドを半導体メモリ２へ発行する。半導体メモリ２は、図５に示す処理を実行してＭＣＵ１へステータスを出力する。ＭＣＵ１は、半導体メモリ２から受けたステータスを参照して、特定領域３４の内容の一致が確認されなければ、すなわち認証に失敗すれば（Ｓ４２，ＮＧ）、処理を中止する。また、特定領域３４の内容の一致が確認されれば、すなわち認証に成功すれば（Ｓ４４，ＯＫ）、ＭＣＵ１は他の処理を実行する（Ｓ４４）。

【００３１】

上述したように、特定領域３４の内容は外部へ出力されないので、半導体メモリ２に格納されたデータを、他の半導体メモリにコピーした場合でも、特定領域３４の内容（パスワード）が他の半導体メモリにコピーされることはない。したがって、ＭＣＵ１が図６に示す処理を実行する場合、不正にコピーされた半導体メモリからは特定領域３４の内容が一致しないことを示すステータスが返ってくるので、以降の処理が実行されなくなる。このようにして、不正にコピーされた半導体メモリに格納されたプログラムが実行されるのを防止することできる。

【００３２】

また、半導体メモリ２において、比較回路３７が特定領域３４の内容が一致しないことを検出した場合にＭＣＵ１からの全てのコマンド、または一部のコマンドを受付けなくして、不正にコピーされた半導体記憶装置の動作を停止するようにしてもよい。

【００３３】

以上説明したように、本実施の形態における半導体記憶装置によれば、比較回路３７が特定領域３４に格納されたデータと、ＭＣＵ１から受けてページ・バッファ２８に格納されたデータとを比較し、比較結果をステータスとしてＭＣＵ１へ返すようにしたので、ＭＣＵ１は半導体メモリが不正にコピーされたものであるか否かを判定することができ、不正にコピーされた半導体メモリに格納されたプログラムが実行されるのを防止することが可能となった。

【００３４】

（第２の実施の形態）

本発明の第１の実施の形態の半導体記憶装置においては、特定領域書込み専用コマンドおよび特定領域消去専用コマンドを用いれば、特定領域３４に格納されるデータを書換えることができる。したがって、これらの専用コマンドを利用した不正コピーを防止することができない。本発明の第２の実施の形態の半導体記憶装置においては、さらにセキュリティ機能を強化したものである。

【００３５】

本発明の第２の実施の形態における半導体記憶装置の概略構成および半導体メモリの概略構成は、図１に示す第１の実施の形態における半導体記憶装置の概略構成および図２に示す第１の実施の形態における半導体メモリ２の概略構成と同様である。したがって、重複する構成および機能の詳細な説明は繰返さない。

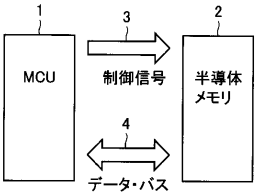
【００３６】

図７は、本発明の第２の実施の形態における半導体記憶装置の特定領域３４へのデータ書込みの処理手順を説明するためのフローチャートである。まず、ＭＣＵ１から特定領域書込み専用コマンドが入力されると（Ｓ５１）、ＷＳＭ２６によってこのコマンドが解釈さ

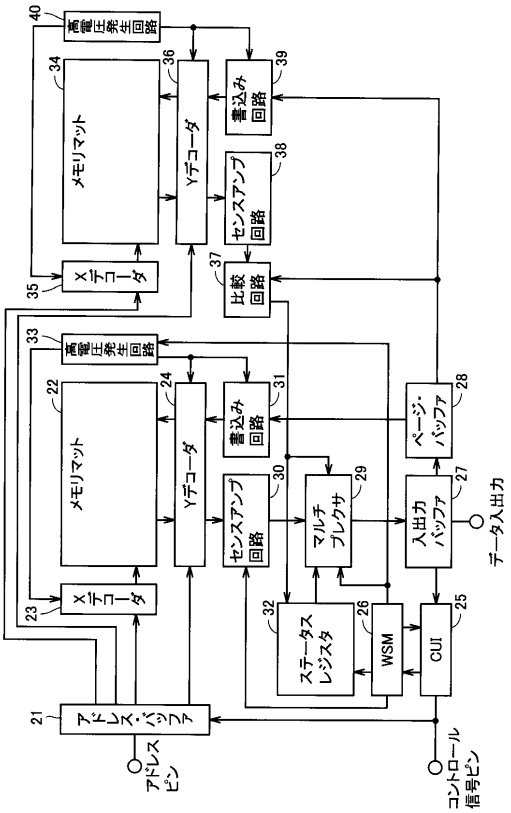
れる。
【００３７】
続いて、特定領域３４に格納されるパスワードなどのデータと比較するためのデータがＭＣＵ１から出力され、そのデータが順次ページ・バッファ２８に格納される（Ｓ５２）。比較回路３７は、特定領域３４に格納されたデータを順次読出し、ページバッファ２８に格納されたデータと比較する（Ｓ５３）。
【００３８】
特定領域３４の内容の一致が確認されなければ、すなわち認証に失敗すれば（Ｓ５３，ＮＧ）、データ書込みを中止する（Ｓ５４）。また、特定領域３４の内容の一致が確認されれば、すなわち認証に成功すれば（Ｓ５３，ＯＫ）、特定領域３４に書込まれるパスワードなどのデータがＭＣＵ１から出力され、そのデータが順次ページ・バッファ２８に格納される（Ｓ５５）。
【００３９】
書込み回路３９は、ページ・バッファ２８に格納されたデータをメモリマット３４に順次書込む。そして、メモリマット３４への書込みが正常に終了すると、ＭＣＵ１はステータスレジスタ３２に格納されるステータスを読出して、処理を終了する（Ｓ５６）。
【００４０】
図８は、本発明の第２の実施の形態における半導体記憶装置の特定領域３４のデータ消去の処理手順を説明するためのフローチャートである。まず、ＭＣＵ１から特定領域消去専用コマンドが入力されると（Ｓ６１）、ＷＳＭ２６によってこのコマンドが解釈される。
【００４１】
続いて、特定領域３４に格納されるパスワードなどのデータと比較するためのデータがＭＣＵ１から出力され、そのデータが順次ページ・バッファ２８に格納される（Ｓ６２）。比較回路３７は、特定領域３４に格納されたデータを順次読出し、ページバッファ２８に格納されたデータと比較する（Ｓ６３）。
【００４２】
特定領域３４の内容の一致が確認されなければ、すなわち認証に失敗すれば（Ｓ６３，ＮＧ）、データ消去を中止する（Ｓ６４）。また、特定領域３４の内容の一致が確認されれば、すなわち認証に成功すれば（Ｓ６３，ＯＫ）、書込み回路３９は特定領域３４のデータ消去を開始する。メモリマット３４のデータ消去が正常に終了すると、ＭＣＵ１はステータスレジスタ３２に格納されるステータスを読出して、処理を終了する（Ｓ６５）。
【００４３】
以上説明したように、本実施の形態における半導体記憶装置によれば、特定領域書込み専用コマンドまたは特定領域消去専用コマンドの実行時に、比較回路３７が特定領域３４に格納されたデータと、ＭＣＵ１から受けてページ・バッファ２８に格納されたデータとを比較し、一致する場合にのみ特定領域３４へのデータ書込みまたは特定領域３４のデータ消去を行なうようにしたので、本発明の第１の実施の形態における効果と比較して、半導体メモリ２のセキュリティをさらに高めることが可能となった。
【００４４】
今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。
【００４５】
【発明の効果】
本発明のある局面によれば、比較手段が、特定記憶領域に格納されるセキュリティ情報とバッファ手段に格納される情報とを比較する。そして、出力手段が、比較手段による比較結果をステータスとして外部へ出力する。不正コピーが行なわれた場合でも、特定領域の情報はコピーされないので、外部装置はこの半導体メモリが不正にコピーされたものであるか否かを容易に判定することが可能となった。

【００４６】
本発明の別の局面によれば、比較手段が、特定記憶領域に格納されるセキュリティ情報とバッファ手段に格納される情報とを比較する。そして、制御手段が、比較手段によって一致が検出されない場合には、半導体メモリの一部の動作を停止させる。不正コピーが行なわれた場合でも、特定領域の情報はコピーされないので、半導体メモリの正常な動作が行なわれなくなり、不正使用を防止することが可能となった。
【図面の簡単な説明】
【図１】本発明の第１の実施の形態における半導体記憶装置の概略構成を示すブロック図である。
【図２】本発明の第１の実施の形態における半導体メモリ２の概略構成を示すブロック図である。
【図３】本発明の第１の実施の形態における半導体記憶装置の特定領域３４へのデータ書込みの処理手順を説明するためのフローチャートである。
【図４】本発明の第１の実施の形態における半導体記憶装置の特定領域３４のデータ消去の処理手順を説明するためのフローチャートである。
【図５】本発明の第１の実施の形態における半導体記憶装置の特定領域３４に格納されたデータの比較の処理手順を説明するためのフローチャートである。
【図６】本発明の第１の実施の形態における半導体記憶装置の実際の使用例を説明するためのフローチャートである。
【図７】本発明の第２の実施の形態における半導体記憶装置の特定領域３４へのデータ書込みの処理手順を説明するためのフローチャートである。
【図８】本発明の第２の実施の形態における半導体記憶装置の特定領域３４のデータ消去の処理手順を説明するためのフローチャートである。
【符号の説明】
１　ＭＣＵ、２　半導体メモリ、３　制御信号、４　データ・バス、２１　アドレス・バッファ、２２，３４　メモリマット、２３，３５　Ｘデコーダ、２４，３６　Ｙデコーダ、２５　ＣＵＩ、２６　ＷＳＭ、２７　入出力バッファ、２８　ページ・バッファ、２９　マルチプレクサ、３０，３８　センスアンプ回路、３１，３９　書込み回路、３２　ステータスレジスタ、３３，４０　高電圧発生回路。

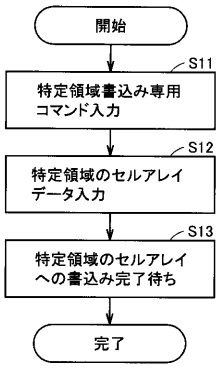
【図１】



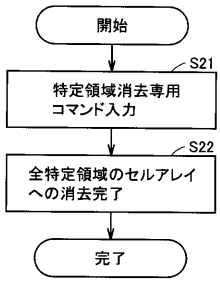
【図２】



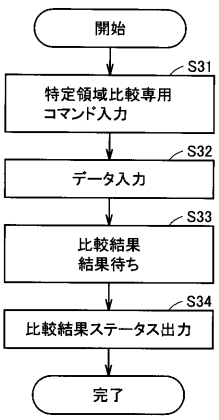
【図３】



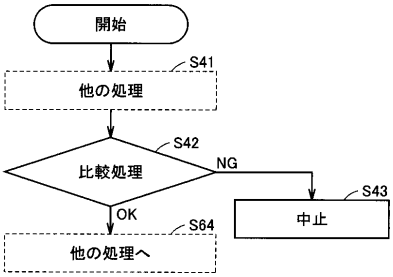
【図４】



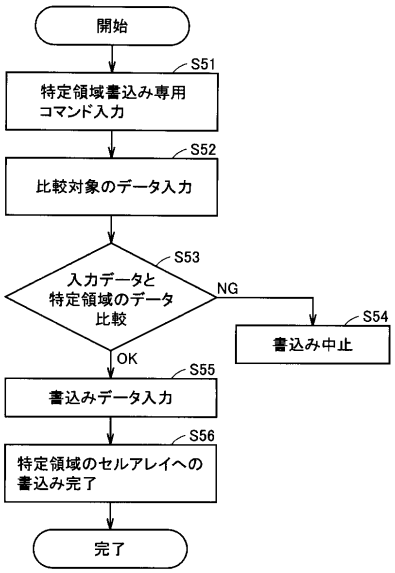
【図５】



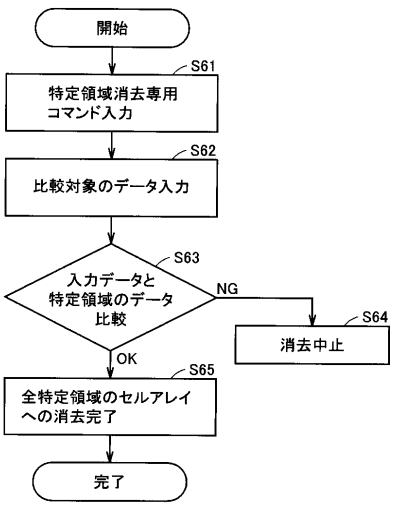
【図６】



【図７】


開始
S51
特定領域書込み専用コマンド入力
S52
比較対象のデータ入力
S53
入力データと特定領域のデータ比較
NG
S54
書込み中止
OK
S55
書込みデータ入力
S56
特定領域のセルアレイへの書込み完了
完了

【図８】


開始
S61
特定領域消去専用コマンド入力
S62
比較対象のデータ入力
S63
入力データと特定領域のデータ比較
NG
S64
消去中止
OK
S65
全特定領域のセルアレイへの消去完了
完了

フロントページの続き

(74)代理人 100098316
弁理士 野田 久登
(74)代理人 100109162
弁理士 酒井 將行
(72)発明者 石本 真一
東京都品川区東品川二丁目２番４号 株式会社ルネサスソリューションズ内
(72)発明者 宮脇 好和
東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内
(72)発明者 河井 伸治
東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内
(72)発明者 大庭 敦
東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内
Ｆターム(参考) 5B017 AA02 AA06 BA05 BB03 CA12 CA16
5B025 AD05 AD14 AE10