



(12) 发明专利

(10) 授权公告号 CN 113875226 B

(45) 授权公告日 2025. 02. 21

(21) 申请号 202080038351.5
 (22) 申请日 2020.06.01
 (65) 同一申请的已公布的文献号
 申请公布号 CN 113875226 A
 (43) 申请公布日 2021.12.31
 (30) 优先权数据
 2019-132743 2019.07.18 JP
 (85) PCT国际申请进入国家阶段日
 2021.11.23
 (86) PCT国际申请的申请数据
 PCT/JP2020/021515 2020.06.01
 (87) PCT国际申请的公布数据
 W02021/010036 JA 2021.01.21
 (73) 专利权人 索尼半导体解决方案公司
 地址 日本神奈川县

(72) 发明人 宫田慎也
 (74) 专利代理机构 北京信慧永光知识产权代理有限公司 11290
 专利代理师 房岭梅 姚鹏
 (51) Int.Cl.
 H04N 25/75 (2023.01)
 H04N 25/78 (2023.01)
 H03M 1/12 (2006.01)
 H03M 1/56 (2006.01)
 H04N 25/77 (2023.01)
 (56) 对比文件
 CN 107409187 A, 2017.11.28
 WO 2019049923 A1, 2019.03.14
 审查员 易才钦

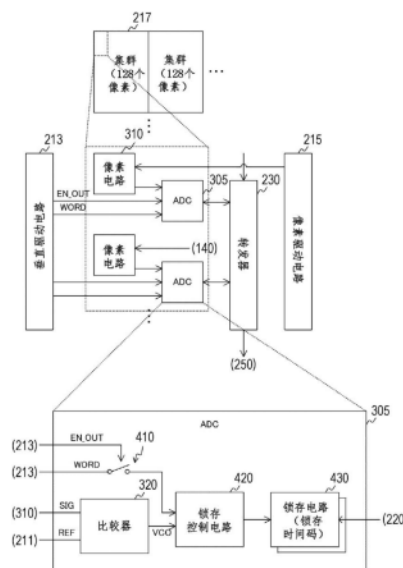
权利要求书2页 说明书21页 附图27页

(54) 发明名称

固态摄像元件、摄像装置和固态摄像元件的控制方法

(57) 摘要

本发明的目的在于在对图像数据的一部分进行信号处理的固态摄像元件中提高处理速度。根据本发明，转发器连接到集群，并且传送表示预定时段内的时间的数字信号，在所述集群中，排列有预定数量的像素。比较器将与曝光量相对应的模拟信号与在预定时段内变化的参考信号进行比较，并且输出比较结果。锁存电路从转发器获取数字信号，并且保存数字信号。锁存控制电路控制锁存电路，以使锁存电路保存比较结果被反转时的数字信号，并且控制锁存电路，在由输出时序信号表示的时刻以使锁存电路将数字信号输出到转发器。在根据预定的输出使能信号将数字信号的输出设为有效的情况下，使能控制单元将输出时序信号提供给锁存控制电路。



1. 一种固态摄像元件,其包括:

转发器,所述转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;

垂直驱动电路,所述垂直驱动电路提供表示所述预定数量的像素中的每一个的输出时刻的输出时序信号和表示所述数字信号的输出是否对于每个所述像素有效的输出使能信号;

比较器,所述比较器将与曝光量相对应的模拟信号与在所述预定时段内变化的参考信号进行比较,并且输出比较结果;

锁存电路,所述锁存电路从所述转发器获取所述数字信号,并且保存所述数字信号;

锁存控制电路,所述锁存控制电路在所述比较结果被反转时控制所述锁存电路,以使所述锁存电路保存所述数字信号,并且,在由所述输出时序信号表示的时刻,控制所述锁存电路,使所述锁存电路将所述数字信号输出到所述转发器;和

使能控制单元,在根据所述输出使能信号将所述数字信号的输出设为有效的情况下,所述使能控制单元将所述输出时序信号提供给所述锁存控制电路。

2. 根据权利要求1所述的固态摄像元件,其中,

所述比较器、所述锁存电路、所述锁存控制电路和所述使能控制单元布置在所述预定数量的像素中的每一个中。

3. 根据权利要求1或2所述的固态摄像元件,还包括:

信号处理单元,所述信号处理单元对由所述转发器传送的所述数字信号执行预定的信号处理。

4. 根据权利要求3所述的固态摄像元件,其中:

所述信号处理单元包括第一信号处理单元和第二信号处理单元;

所述第一信号处理单元对从所述集群中的一部分输出的所述数字信号进行所述信号处理;并且

所述第二信号处理单元对从所述集群中的其余部分输出的所述数字信号进行所述信号处理。

5. 根据权利要求3所述的固态摄像元件,其中,

所述信号处理单元包括:

信号处理电路,所述信号处理电路对所输出的数字信号进行预定的信号处理并产生图像数据;和

感兴趣区域设置单元,所述感兴趣区域设置单元将所述图像数据中要输出所述数字信号的区域设置为感兴趣区域。

6. 根据权利要求5所述的固态摄像元件,其中,

所述信号处理单元还包括:

运动矢量检测单元,所述运动矢量检测单元针对所述图像数据中的各被摄体检测表示所述被摄体的运动方向的运动矢量;和

感兴趣区域预测单元,所述感兴趣区域预测单元基于所述运动矢量预测接下来要生成的图像数据中的所述感兴趣区域的位置。

7. 一种摄像装置,其包括:

转发器,所述转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;

垂直驱动电路,所述垂直驱动电路提供表示所述预定数量的像素中的每一个的输出时刻的输出时序信号和表示所述数字信号的输出是否对于每个所述像素有效的输出使能信号;

比较器,所述比较器将与曝光量相对应的模拟信号与在所述预定时段内变化的参考信号进行比较,并且输出比较结果;

锁存电路,所述锁存电路从所述转发器获取所述数字信号,并且保存所述数字信号;

锁存控制电路,所述锁存控制电路在所述比较结果被反转时控制所述锁存电路,以使所述锁存电路保存所述数字信号,并且,在由所述输出时序信号表示的时刻,控制所述锁存电路,使所述锁存电路将所述数字信号输出到所述转发器;

使能控制单元,在根据所述输出使能信号将所述数字信号的输出设为有效的情况下,所述使能控制单元将所述输出时序信号提供给所述锁存控制电路;和

存储单元,所述存储单元存储其中排列有所述数字信号的图像数据。

8. 一种固态摄像元件的控制方法,所述方法包括:

传送步骤:转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;

垂直驱动步骤:提供表示所述预定数量的像素中的每一个的输出时刻的输出时序信号和表示所述数字信号的输出是否对于每个所述像素有效的输出使能信号;

比较步骤:将与曝光量相对应的模拟信号与在所述预定时段内变化的参考信号进行比较,并且输出比较结果;

锁存步骤:从所述转发器获取所述数字信号,并且保存所述数字信号;

锁存控制步骤:在所述比较结果被反转时通过锁存控制电路控制锁存电路,以使所述锁存电路保存所述数字信号,并且,在由所述输出时序信号表示的时刻,通过所述锁存控制电路控制所述锁存电路,使所述锁存电路将所述数字信号输出到所述转发器;和

使能控制步骤:在根据所述输出使能信号将所述数字信号的输出设为有效的情况下,将所述输出时序信号提供给所述锁存控制电路。

固态摄像元件、摄像装置和固态摄像元件的控制方法

技术领域

[0001] 本技术涉及固态摄像元件。更具体地,本技术涉及同时曝光所有像素的固态摄像元件、摄像装置和固态摄像元件的控制方法。

背景技术

[0002] 为了例如拍摄快速移动的被摄体的图像,考虑到不引起卷帘快门失真的优点,传统上在固态摄像元件中使用同时曝光所有像素的全局快门方法。例如,提出了如下的固态摄像元件:在该固态摄像元件中,针对各像素布置有像素电路和模数转换器(ADC),并且驱动电路同时曝光所有像素并输出数字信号(例如,参见专利文献1)。为了在固态摄像元件中仅对图像数据的一部分进行信号处理,转发器以行为单位将数字信号从要处理的像素传送到信号处理单元,并且信号处理单元以列为单位提取要处理的数字信号并进行信号处理。

[0003] 引用文献列表

[0004] 专利文献

[0005] 专利文献1:W0 2016/136448 A

发明内容

[0006] 本发明要解决的问题

[0007] 在上述现有技术中,针对各像素布置ADC,因此,与针对各列布置ADC的情况相比,能够提高模数(AD)转换的速度。然而,在以上固态摄像元件中,由于转发器以行为单位将待处理的数字信号传送到信号处理单元,因此传送到信号处理单元的数据量随着行中的像素数(即,列数)的增加而增加。因此,会导致如下问题:信号处理单元的吞吐量随着列数的增加而增加,从而降低处理速度。

[0008] 本技术就是鉴于这样的情况而做出的,并且本技术的目的是为了高用于对图像数据的一部分进行信号处理的固态摄像元件中的处理速度。

[0009] 解决问题的技术方案

[0010] 本技术是为了解决以上问题而作出的,并且本技术的第一方面是固态摄像元件及其控制方法,所述固态摄像元件包括:转发器,该转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;垂直驱动电路,该垂直驱动电路提供表示预定数量的像素中的每一个的输出时刻的输出时序信号和表示数字信号的输出是否对于每个像素有效的输出使能信号;比较器,该比较器将与曝光量相对应的模拟信号与在预定时段内变化的参考信号进行比较,并且输出比较结果;锁存电路,该锁存电路从转发器获取数字信号,并且保存数字信号;锁存控制电路,该锁存控制电路在比较结果被反转时控制锁存电路,以使锁存电路保存数字信号,并且,在由输出时序信号表示的时刻,控制锁存电路,使锁存电路将数字信号输出到转发器;和使能控制单元,在根据输出使能信号将数字信号的输出设为有效的情况下,该使能控制单元将输出时序信号提供给锁存控制电路。因此,能够以像素为单位将数字信号的输出设置为有效。

[0011] 此外,在第一方面,转发器和预定数量的像素可以布置在多个集群中的每一个中,并且比较器、锁存电路、锁存控制电路和使能控制单元可以布置在预定数量的像素中的每一个中。因此,集群中的像素能够被顺序地驱动。

[0012] 此外,在第一方面,还可以包括信号处理单元,该信号处理单元对由转发器传送的数字信号进行预定的信号处理。因此,能够对以像素为单位输出的数字信号进行信号处理。

[0013] 此外,在第一方面,信号处理单元可以包括第一信号处理单元和第二信号处理单元,第一信号处理单元可以对从多个集群中的一部分输出的数字信号进行信号处理,第二信号处理单元可以对从多个集群中的其余部分输出的数字信号进行信号处理。因此,第一信号处理单元和第二信号处理单元能够并行处理数字信号。

[0014] 此外,在第一方面,信号处理单元可以包括:信号处理电路,该信号处理电路对所输出的数字信号进行预定的信号处理并产生图像数据;和感兴趣区域设置单元,该感兴趣区域设置单元将图像数据中要输出数字信号的区域设置为感兴趣区域。因此,能够对感兴趣区域进行信号处理。

[0015] 此外,在第一方面,信号处理单元还可以包括:运动矢量检测单元,该运动矢量检测单元针对图像数据中的各被摄体检测表示被摄体的运动方向的运动矢量;和感兴趣区域预测单元,该感兴趣区域预测单元基于运动矢量预测接下来要生成的图像数据中的感兴趣区域的位置。因此,能够根据运动来预测感兴趣区域的位置。

[0016] 此外,本技术的第二方面是一种摄像装置,其包括:转发器,该转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;垂直驱动电路,该垂直驱动电路提供表示预定数量的像素中的每一个的输出时刻的输出时序信号和表示数字信号的输出是否对于每个像素有效的输出使能信号;比较器,该比较器将与曝光量相对应的模拟信号与在预定时段内变化的参考信号进行比较,并且输出比较结果;锁存电路,该锁存电路从转发器获取数字信号,并且保存数字信号;锁存控制电路,该锁存控制电路在比较结果被反转时控制锁存电路,以使锁存电路保存数字信号,并且,在由输出时序信号表示的时刻,控制锁存电路,使锁存电路将数字信号输出到转发器;使能控制单元,在根据输出使能信号将数字信号的输出设为有效的情况下,该使能控制单元将输出时序信号提供给锁存控制电路;和存储单元,该存储单元存储其中排列有数字信号的图像数据。因此,能够存储以像素为单位输出的数字信号。

附图说明

[0017] 图1是示出了本技术的第一实施例中的摄像装置的构造示例的框图。

[0018] 图2示出了本技术的第一实施例中的固态摄像元件的层叠结构的示例。

[0019] 图3是示出了本技术的第一实施例中的固态摄像元件的构造示例的框图。

[0020] 图4是示出了本技术的第一实施例中的像素阵列单元的构造示例的平面图。

[0021] 图5是示出了本技术的第一实施例中的像素的构造示例的框图。

[0022] 图6是示出了本技术的第一实施例中的像素电路、差分输入电路、正反馈电路和反相电路的构造示例的电路图。

[0023] 图7是示出了本技术的第一实施例中的锁存单元的构造示例的框图。

[0024] 图8是示出了本技术的第一实施例中的锁存控制电路和锁存电路的构造示例的电

路图。

[0025] 图9示出了本技术的第一实施例中的锁存电路的操作概要。

[0026] 图10示出了本技术的第一实施例中的转发器单元和集群的构造示例。

[0027] 图11是示出了本技术的第一实施例中的转发器的构造示例的电路图。

[0028] 图12是示出了本技术的第一实施例中的信号处理单元的构造示例的框图。

[0029] 图13是示出了本技术的第一实施例中的用于转换P相的操作示例的时序图。

[0030] 图14是示出了本技术的第一实施例中的用于转换D相的操作示例的时序图。

[0031] 图15是示出了本技术的第一实施例中的第001列中的第0集群输出数字信号的操作示例的时序图。

[0032] 图16是示出了本技术的第一实施例中的第001列中的第1集群输出数字信号的操作示例的时序图。

[0033] 图17是示出了本技术的第一实施例中的模数转换的说明图。

[0034] 图18是示出了本技术的第一实施例中将输出使能信号设置为有效的像素的操作的说明图。

[0035] 图19是示出了本技术的第一实施例中将输出使能信号设置为禁用的像素的操作的说明图。

[0036] 图20示出了本技术的第一实施例中在设置感兴趣区域(ROI:region of interest)之前和之后的图像数据的示例。

[0037] 图21示出了本技术的第一实施例中的ROI的示例。

[0038] 图22示出了比较例中设置了ROI的图像数据和传送到信号处理单元的图像数据。

[0039] 图23示出了比较例中的ROI的示例。

[0040] 图24是示出了本技术的第一实施例中的固态摄像元件的操作示例的流程图。

[0041] 图25是示出了本技术的第二实施例中的固态摄像元件的构造示例的框图。

[0042] 图26是示出了本技术的第二实施例中的像素阵列单元的构造示例的平面图。

[0043] 图27是示出了车辆控制系统的示意性构造的示例的框图。

[0044] 图28是示出了车外信息检测单元和摄像单元的安装位置的示例的说明图。

具体实施方式

[0045] 在下文中,将说明用于实施本技术的方式(以下称为“实施例”)。将按以下顺序进行说明。

[0046] 1. 第一实施例(以像素为单位将数字信号的输出设置为有效的示例)

[0047] 2. 第二实施例(以像素为单位将数字信号的输出设置为有效并且设置多个信号处理单元的示例)

[0048] 3. 移动体的应用例

[0049] <1. 第一实施例>

[0050] [摄像装置的构造示例]

[0051] 图1是示出了本技术的第一实施例中的摄像装置100的构造示例的框图。摄像装置100是用于获取图像数据的设备,并且包括光学单元110、固态摄像元件200和数字信号处理(DSP)电路120。摄像装置100还包括显示单元130、操作单元140、总线150、帧存储器160、存

储单元170和电源单元180。例如,摄像装置100不仅是诸如数码相机等数字相机,而且还是具有摄像功能的智能手机、个人计算机或车载相机等。

[0052] 光学单元110收集来自被摄体的光,并且将光引导至固态摄像元件200。固态摄像元件200与垂直同步信号VSYNC同步地通过光电转换生成图像数据。在此,垂直同步信号VSYNC是具有表示拍摄图像的时序的预定频率的周期性信号。固态摄像元件200经由信号线209将所生成的图像数据提供给DSP电路120。

[0053] DSP电路120对从固态摄像元件200提供的图像数据进行预定的信号处理。DSP电路120经由总线150将处理后的图像数据输出至帧存储器160等。

[0054] 显示单元130显示图像数据。显示单元130例如是液晶面板或有机电致发光(EL)面板。操作单元140响应于用户操作生成操作信号。

[0055] 总线150是光学单元110、固态摄像元件200、DSP电路120、显示单元130、操作单元140、帧存储器160、存储单元170和电源单元180彼此交换数据的公共路径。

[0056] 帧存储器160保存图像数据。存储单元170存储诸如图像数据等各种数据。电源单元180将电力提供给固态摄像元件200、DSP电路120和显示单元130等。

[0057] [固态摄像元件的构造示例]

[0058] 图2示出了本技术的第一实施例中的固态摄像元件200的层叠结构的示例。固态摄像元件200包括电路芯片202和层叠在电路芯片202上的光接收芯片201。这些芯片经由诸如通孔等连接部电连接。注意,这些芯片不仅能够通过通孔连接,而且还能够通过Cu-Cu接合或凸块连接。

[0059] 图3是示出了本技术的第一实施例中的固态摄像元件200的构造示例的框图。固态摄像元件200包括数模转换部(DAC)211、时间码生成单元212、垂直驱动电路213、像素阵列单元214、像素驱动电路215、时序生成电路216和信号处理单元250。

[0060] DAC 211通过数模(DA)转换产生在预定的AD转换时段内变化的模拟参考信号。例如,将锯齿形斜坡信号用作参考信号。DAC 211将参考信号提供给像素阵列单元214。

[0061] 每个时间码生成单元212生成表示AD转换时段内的时间的数字信号作为时间码。时间码生成单元212例如由计数器来实现。计数器例如是格雷码计数器。时间码生成单元212将时间码提供给像素阵列单元214。

[0062] 在像素阵列单元214中,多个像素以二维格子的形式排列。每个像素产生与曝光量相对应的模拟信号,并且将模拟信号转换为数字信号。然后,像素将数字信号作为像素数据提供给信号处理单元250。

[0063] 垂直驱动电路213驱动像素,以使像素进行AD转换。像素驱动电路215驱动像素,以使像素产生模拟信号。

[0064] 时序生成电路216与垂直同步信号VSYNC同步地控制垂直驱动电路213、像素驱动电路215和信号处理单元250的操作时序。

[0065] 信号处理单元250对从像素阵列单元214提供的像素数据进行预定的信号处理。作为信号处理,例如,执行相关双采样(CDS:correlated double sampling)处理和图像识别处理。信号处理单元250将所处理的数据提供给DSP电路120。此外,信号处理单元250响应于用户操作设置ROI,并且将关于ROI的设置信息提供给垂直驱动电路213。

[0066] [像素阵列单元的构造示例]

[0067] 图4是示出了本技术的第一实施例中的像素阵列单元214的构造示例的平面图。在像素阵列单元214中,布置有多个像素300和多个转发器单元220。

[0068] 此外,像素阵列单元214被分成多个集群217,每个集群217包括预定数量(例如,128个)的像素。此外,转发器单元220是针对集群217的各列而设置的。时间码生成单元212也是针对集群217的各列而设置的。

[0069] 转发器单元220传送时间码。转发器单元220将时间码从相应的时间码生成单元212传送到相应集群217中的像素300。此外,转发器单元220将像素数据从相应集群217中的像素传送到信号处理单元250。

[0070] [像素的构造示例]

[0071] 图5是示出了本技术的第一实施例中的像素300的构造示例的框图。像素300包括像素电路310和ADC 305。

[0072] 像素电路310在像素驱动电路215的控制下产生与曝光量相对应的模拟信号作为像素信号SIG。像素电路310将所产生的像素信号SIG提供给ADC 305。

[0073] ADC 305对模拟像素信号SIG进行AD转换。ADC 305包括比较器320和锁存单元400。

[0074] 比较器320将从像素电路310提供的像素信号SIG与从DAC 211提供的参考信号REF进行比较。比较器320将比较结果VCO提供给锁存单元400。此外,比较器320包括差分输入电路330、正反馈电路340和反相电路350。

[0075] 差分输入电路330放大像素信号SIG和参考信号REF之间的差。正反馈电路340将输出的一部分与输入相加。反相电路350将正反馈电路340的输出反转。

[0076] 锁存单元400从转发器单元220获取比较结果VCO被反转时的时间码并且保存该时间码。此外,锁存单元400在垂直驱动电路213的控制下将保存的时间码作为像素数据输出至转发器单元220。

[0077] [像素电路和比较器的构造示例]

[0078] 图6是示出了本技术的第一实施例中的像素电路310、差分输入电路330、正反馈电路340和反相电路350的构造示例的电路图。

[0079] 像素电路310包括复位晶体管311、浮动扩散层312、FDG晶体管313、浮动扩散层314、传输晶体管315、光电转换元件316和电荷排出晶体管317。复位晶体管311、FDG晶体管313、传输晶体管315和电荷排出晶体管317例如是n沟道金属氧化物半导体(nMOS)晶体管。

[0080] 差分输入电路330包括p沟道MOS(pMOS)晶体管331和334、差分晶体管332和335以及电流源晶体管333。

[0081] 此外,正反馈电路340包括nMOS晶体管341、342、343和345、以及pMOS晶体管344。反相电路350包括pMOS晶体管351和352以及nMOS晶体管353和354。

[0082] 像素电路310中的复位晶体管311响应于从像素驱动电路215提供的复位信号RST来初始化浮动扩散层312和314。

[0083] 浮动扩散层312和314存储电荷并产生对应于电荷量的电压。

[0084] FDG晶体管313响应于从像素驱动电路215提供的控制信号FDG来断开和闭合浮动扩散层312和314之间的路径,从而控制电荷-电压转换效率。

[0085] 传输晶体管315响应于从像素驱动电路215提供的传输信号TX,将电荷从光电转换元件316传送到浮动扩散层314。光电转换元件316通过光电转换产生电荷。光电转换元件

316例如是光电二极管。

[0086] 电荷排出晶体管317响应于从像素驱动电路215提供的控制信号0FG,排出来自光电转换元件316的电荷,从而初始化其电荷量。

[0087] 差分输入电路330中的pMOS晶体管331和334并联连接到电源电压VDDH。pMOS晶体管331的栅极连接到自身的漏极和pMOS晶体管334的栅极。此外,pMOS晶体管334的漏极连接到正反馈电路340中的nMOS晶体管341的栅极。

[0088] 在pMOS晶体管331与电流源晶体管333之间插入差分晶体管332。此外,参考信号REF被输入到差分晶体管332的栅极。在pMOS晶体管334与电流源晶体管333之间插入差分晶体管335。此外,像素信号SIG被输入到差分晶体管335的栅极。在差分晶体管332和335与接地端子之间插入电流源晶体管333。恒定偏置电压Vb被施加到电流源晶体管333的栅极。

[0089] 此外,像素电路310、差分晶体管332和335、以及电流源晶体管333布置在光接收芯片201上。类似地,DAC 211和像素驱动电路215也布置在光接收芯片201上。同时,pMOS晶体管331和334、正反馈电路340、以及反相电路350布置在电路芯片202上。时间码生成单元212、垂直驱动电路213、锁存单元400、转发器单元220和信号处理单元250也布置在电路芯片202上。

[0090] 注意,布置在光接收芯片201和电路芯片202上的电路不限于图6所示的这些。

[0091] 正反馈电路340中的nMOS晶体管341、342和345串联连接在电源端子和接地端子之间。此外,nMOS晶体管342的栅极连接到低于电源电压VDDH的电源电压VDDL。

[0092] nMOS晶体管343和pMOS晶体管344串联连接在nMOS晶体管342的栅极与nMOS晶体管342和345之间的连接节点之间。此外,连接节点的电位作为反相信号xVCO被提供给反相电路350。

[0093] 此外,从垂直驱动电路213提供的驱动信号INI1被输入到nMOS晶体管345的栅极。从垂直驱动电路213提供的驱动信号INI2被输入到nMOS晶体管343的栅极。

[0094] 反相电路350中的pMOS晶体管351和352串联连接到电源电压VDDL。nMOS晶体管353和354并联连接在pMOS晶体管352与接地端子之间。

[0095] 此外,从垂直驱动电路213提供的驱动信号TESTVCO分别被输入到pMOS晶体管352和nMOS晶体管354各自的栅极。pMOS晶体管344的栅极连接到pMOS晶体管352与nMOS晶体管354之间的连接节点,并且连接节点的电位作为比较结果VCO被提供给锁存单元400。

[0096] 注意,像素电路310、差分输入电路330、正反馈电路340和反相电路350分别不限于图6所示的电路构造,只要这些电路能够实现参考图5所说明的功能即可。

[0097] [锁存单元的构造示例]

[0098] 图7是示出了本技术的第一实施例中的锁存单元400的构造示例的框图。锁存单元400包括NAND(Not-AND:与非)门410、锁存控制电路420和多个锁存电路430。

[0099] NAND门410将输出使能信号EN_OUT_i<j>和输出时序信号xWORD<m>的与非输出至锁存控制电路420。输出时序信号xWORD<m>是通过反转输出时序信号WORD<m>而获得的信号,该输出时序信号WORD<m>表示集群217中的像素中第m(m是整数)个像素的输出时序。在集群217中的像素数为“128”的情况下,“0”至“127”被设置为m。输出时序信号xWORD<0>至xWORD<127>被提供给所有的集群。

[0100] 此外,输出使能信号EN_OUT_i<j>是表示对应像素的像素数据的输出是否有效的

信号。垂直驱动电路213在输出被设置为有效的情况下输出值为“1”的输出使能信号EN_OUT_{i<j>},并且在输出被设置为禁用的情况下输出值为“0”的输出使能信号EN_OUT_{i<j>}。

[0101] 字符i是表示集群217的列的三位整数。在集群217的列数例如是“512”的情况下,“000”至“511”的值被设为i。此外,字符j是表示对应列中的像素的整数。例如,在集群217的列中包括3584个像素的情况下,“0”至“3583”的值被设为j。例如,输出使能信号EN_OUT_000<0>被输入到第000列中的第0像素。

[0102] 在集群217的列数为“512”并且各列中的像素数为“3584”的情况下,像素的总数为512×3584。针对这些像素分别设置输出使能信号EN_OUT_{i<j>}。在初始状态下,所有像素的输出使能信号EN_OUT_{i<j>}被设为有效。

[0103] 锁存控制电路420控制各锁存电路430,以使锁存电路430在从比较器320提供的比较结果VC0被反转时保存时间码。此外,锁存控制电路420响应于从NAND门410提供的信号来控制锁存电路430,并且使锁存电路430输出所保存的时间码作为像素数据。

[0104] 锁存电路430根据锁存控制电路420保存从转发器230提供的时间码,并且将时间码作为像素数据输出至转发器230。锁存电路430与时间码的位长对应地设置。

[0105] 图8是示出了本技术的第一实施例中的锁存控制电路420和锁存电路430的构造示例的电路图。

[0106] 锁存控制电路420包括NOR(Not-OR:或非)门421以及反相器422和423。每个锁存电路430包括开关431以及反相器432和433。

[0107] NOR门421输出从NAND门410提供的信号和从比较器320提供的比较结果VC0的或非。该或非作为控制信号xT被提供给反相器422和开关431。反相器422将控制信号xT反相,并且将所反相的控制信号作为控制信号T提供给开关431。反相器423将比较结果VC0反相,并且将所反相的比较结果VC0作为控制信号L提供给反相器432。此外,比较结果VC0作为控制信号xL被提供给反相器432。

[0108] 在各锁存电路430中,反相器432根据控制信号L和xL将反相器433的输出的反相值输出至开关431和反相器433的输入端子。反相器432在控制信号L处于高电平并且控制信号xL处于低电平的情况下输出反相值,而在其他情况下不输出反相值。反相器433将反相器432的输出的反相值输出至反相器432的输入端子。

[0109] 开关431根据控制信号T和xT断开和闭合转发器单元220与反相器432的输出端子之间的路径。反相器432在控制信号T处于高电平并且控制信号xT处于低电平的情况下转变为闭合状态,而在其他情况下转变为断开状态。

[0110] 利用图7和图8所示的构造,锁存控制电路420控制锁存电路430,以使锁存电路430在比较结果VC0被反转时保存数字时间码。因此,模拟像素信号SIG被AD转换为数字时间码。此外,在对应的输出时序信号WORD<m>和输出使能信号EN_OUT_{i<j>}为“1”的情况下,锁存控制电路420控制锁存电路430,以使锁存电路430输出所保存的时间码作为像素数据。注意,锁存单元400的电路构造不限于图7和图8所示的构造,只要锁存单元400能够实现参考图7和图8所说明的功能即可。

[0111] 图9示出了本技术的第一实施例中的锁存电路430的操作概要。在输出时序信号WORD<m>为“1”并且输出使能信号EN_OUT_{i<j>}为“1”(有效)的情况下,相应的锁存电路430输出所保存的时间码作为像素数据。同时,在输出时序信号WORD<m>为“0”或输出使能信号

EN_OUT_{i<j>}为“0” (禁用)的情况下,不输出像素数据。

[0112] [转发器单元的构造示例]

[0113] 图10示出了本技术的第一实施例中的转发器单元220和集群217的构造示例。在每个转发器单元220中,垂直地排列有多个转发器230。集群217和转发器230一对一连接。例如,当在每列中垂直排列有28个集群217时,布置有28个转发器230。

[0114] 每个转发器230传送时间数据。转发器230例如是移位寄存器。各转发器230经由局部位线连接到对应集群217中的所有锁存单元400。

[0115] 转发器230将时间码传送到对应的锁存单元400。此外,转发器230将像素数据从对应的锁存单元400传送到信号处理单元250。

[0116] 图11是示出了本技术的第一实施例中的转发器230的构造示例的电路图。转发器230包括多个传输电路240以及反相器231至234。传输电路240与时间码的位长对应地设置。每个传输电路240包括反相器241和242以及触发器243。

[0117] 反相器231将具有预定频率的主时钟信号MCK反相,并且将反相的主时钟信号提供给反相器232和234。反相器232将从反相器231提供的信号反相,并且将反相的信号提供给后级转发器230。

[0118] 反相器234将从反相器231提供的信号反相,并且将反相的信号提供给反相器233。反相器233将从反相器234提供的信号反相,并且将反相的信号提供给各触发器243。

[0119] 触发器243与从反相器233提供的信号同步地保存时间码的对应位。从时间码生成单元212提供的时间码的对应位通过主位线MBL被输入到触发器243的输入端子。此外,触发器243将保存的位提供给反相器241和后级转发器230。

[0120] 反相器241根据控制信号WEN将从触发器243提供的位反转,并且经由局部位线LBL将所反转的位分别提供给对应的锁存单元400。

[0121] 反相器242根据控制信号REN将从对应的锁存单元400提供的位反转,并且将反转的位提供给后级的转发器230。

[0122] [信号处理单元的构造示例]

[0123] 图12是示出了本技术的第一实施例中的信号处理单元250的构造示例的框图。信号处理单元250包括CDS处理单元251、帧存储器252、运动矢量检测单元253、ROI设置单元254、下一帧ROI预测单元255和后级处理单元256。

[0124] CDS处理单元251对从像素阵列单元214提供的每个像素数据进行CDS处理。CDS处理单元251将处理后的像素数据提供给帧存储器252、运动矢量检测单元253和后级处理单元256。其中排列有多条处理后的像素数据的图像数据(帧)作为当前帧被提供给运动矢量检测单元253。注意,CDS处理单元251是权利要求中记载的信号处理电路的示例。

[0125] 帧存储器252保存其中排列有从CDS处理单元251提供的多条像素数据的图像数据(帧)作为过去帧。

[0126] 基于当前帧和帧存储器252保存的过去帧,运动矢量检测单元253针对帧内的每个被摄体检测表示被摄体的运动方向和距离的矢量作为运动矢量。例如,运动矢量检测单元253将当前帧划分为多个块,并且对各块执行从过去帧中找出最匹配的块的块匹配。然后,运动矢量检测单元253检测从过去帧内的块到当前帧内的对应块的矢量作为运动矢量。运动矢量检测单元253将检测到的运动矢量提供给下一帧ROI预测单元255。

[0127] 响应于来自操作单元140的操作信号,ROI设置单元254将图像数据中的部分区域设置为要进行预定信号处理(例如,图像识别处理)的感兴趣区域(ROI)。在此,ROI的形状不受限制,并且ROI设置单元254能够设置矩形、圆形或椭圆形的ROI。ROI设置单元254将用于指定ROI的外围的设置信息提供给下一帧ROI预测单元255。在ROI是矩形的情况下,设置信息示出例如矩形的一对对角中的每一个的坐标。此外,在ROI是圆形的情况下,设置信息示出例如圆的中心坐标和半径。注意,ROI设置单元254是权利要求中记载的感兴趣区域设置单元的示例。

[0128] 下一帧ROI预测单元255预测当前帧的下一帧中的ROI的位置。下一帧ROI预测单元255基于与当前帧中的ROI有关的设置信息和从运动矢量检测单元253提供的运动矢量,来预测下一帧中的ROI的位置。例如,下一帧ROI预测单元255保存与当前帧中的ROI有关的设置信息,将ROI移动运动矢量的量,得到移动后的ROI的位置作为下一帧中的ROI的位置。下一帧ROI预测单元255将关于所预测的ROI的设置信息提供给垂直驱动电路213。在第一次预测中,由ROI设置单元254设置的ROI被用作当前帧中的ROI。在第二次及后续的预测中,当前帧中的ROI在前一次预测的ROI的基础上进行更新。

[0129] 垂直驱动电路213执行设置,使得输出使能信号EN_OUT对于所设置的ROI中的各个像素有效,而输出使能信号EN_OUT对于其他像素禁用。

[0130] 后级处理单元256对已经进行CDS处理的帧执行诸如去马赛克处理和图像识别处理等各种信号处理。例如,在设置了ROI的情况下,后级处理单元256对ROI执行图像识别处理等。后级处理单元256将处理后的数据提供给DSP电路120。

[0131] 注意,信号处理单元250的部分处理或全部处理可以由固态摄像元件200外部的电路(例如,DSP电路120)而不是由信号处理单元250来执行。

[0132] 此外,信号处理单元250检测运动矢量并且预测下一帧中的ROI,但是,在没有运动发生的范围内设定ROI的情况下,信号处理单元250可以不包括运动矢量检测单元253或下一帧ROI预测单元255。

[0133] [固态摄像元件的操作示例]

[0134] 图13是示出了本技术的第一实施例中的用于转换P相的操作的示例的时序图。在此,P相表示像素电路310被初始化时获得的像素信号SIG的电平。

[0135] 在时刻 t_0 ,1V时段开始。在此,1V时段是在所有像素的AD转换完成之前的时段。1V时段的长度被设为例如垂直同步信号VSYNC的周期。

[0136] 在时刻 t_0 之后的时刻 t_1 ,像素驱动电路215将复位信号RST提供给所有像素,以初始化浮动扩散层。结果,在所有像素中产生P相。在时刻 t_1 之后的时刻 t_2 ,垂直驱动电路213将驱动信号TESTVCO从高电平改变为低电平。此外,比较器320开始输出高电平的比较结果VCO。

[0137] 在时刻 t_2 之后的时刻 t_3 ,垂直驱动电路213依次提供驱动信号INI2和INI1,以初始化正反馈电路340。在时刻 t_3 之后的时刻 t_4 至时刻 t_7 的时段内,垂直驱动电路213提供控制信号WEN,并且DAC 211以斜坡形状改变参考信号REF。在该时段内的 t_5 ,如果P相超过参考信号REF的电平,则比较器320反转比较结果VCO。转发器单元220根据控制信号WEN将时间数据传送到像素,并且锁存单元400保存比较结果VCO被反转时获得的时间数据。因此,在所有像素中对P相进行AD转换。

[0138] 此外,在时刻t7之后的时刻t8,垂直驱动电路213在特定时段内将输出时序信号WORD提供给集群217中的第0像素。在输出时序信号WORD的传送时段内的时刻t9,垂直驱动电路213提供控制信号REN。根据控制信号REN,转发器单元220将各集群的第0像素数据(时间数据)传送到信号处理单元250。

[0139] 随后,输出时序信号WORD被依次传送到各集群217中的第1像素至第127像素,并且在输出时序信号WORD的传送时段内提供控制信号REN。因此,其中P相已经被转换的像素数据从所有像素传送到信号处理单元250。

[0140] 图14是示出了本技术的第一实施例中的用于转换D相的操作的示例的时序图。在此,D相表示与曝光量相对应的像素信号SIG的电平。

[0141] 在P相转换后的时刻t21,比较器320开始输出高电平的比较结果VCO,紧接着像素驱动电路215提供传输信号TX。当提供传输信号TX时,所有像素的曝光结束,并且在所有像素中产生D相。此外,紧接着在提供传输信号TX之后,垂直驱动电路213顺序地提供驱动信号INI2和INI1。

[0142] 在时刻t21后的时刻t22至时刻t24的时段内,垂直驱动电路213提供控制信号WEN,并且DAC 211以斜坡形状改变参考信号REF。在该时段内的t23,当D相超过参考信号REF的电平时,比较器320反转比较结果VCO。锁存单元400保存比较结果VCO被反转时得到的时间数据。因此,在所有像素中对D相进行AD转换。

[0143] 在时刻t24后的时刻t25,垂直驱动电路213在特定时段内将输出时序信号WORD提供给集群217中的第0像素。在输出时序信号WORD的传输时段内的时刻t26,垂直驱动电路213提供控制信号REN。响应于控制信号REN,转发器单元220将各集群的第0像素数据(时间数据)传送到信号处理单元250。

[0144] 随后,输出时序信号WORD被顺序地传送到各集群217中的第1个像素至第127个像素,并且在输出时序信号WORD的传送时段内提供控制信号REN。因此,其中D相已经被转换的像素数据从所有像素被传送到信号处理单元250。

[0145] 后续的信号处理单元250进行CDS处理,以获得所有像素的P相和D相之间的差。

[0146] 图15是示出了本技术的第一实施例中的第001列中的第0集群217输出数字信号的操作的示例的时序图。

[0147] 在时刻t30,控制信号WEN的供给结束,并且在所有像素中完成P相的AD转换。在时刻t30后的时刻t31至时刻t35的时段内,垂直驱动电路213向各集群的第0像素提供高电平的输出时序信号WORD<0>。在该时段内,输出时序信号WORD<1>至WORD<127>被设为低电平。

[0148] 在从时刻t32至时刻t33的脉冲时段内,垂直驱动电路213提供高电平的输出使能信号EN_OUT_001<0>,时刻t32是从时刻t30开始经过了一定延迟时间的时刻。此外,在脉冲时段内,垂直驱动电路213提供高电平的控制信号REN。由于输出时序信号WORD<0>和输出使能信号EN_OUT_001<0>处于高电平,因此从第001列中的第0像素输出P相的像素数据。

[0149] 在从时刻t33开始经过了间隙时段的时刻t34,开始提供主时钟信号MCK。转发器单元220与主时钟信号MCK同步地传送P相的像素数据。

[0150] 在从时刻t35起的预定时段内,垂直驱动电路213向各集群的第一像素提供高电平的输出时序信号WORD<1>。在该时段内,m不为“1”的输出时序信号WORD<m>被设为低电平。

[0151] 在时刻t35后的时刻t36,停止提供主时钟信号MCK。在从时刻t36起经过了间隙时

段的时刻 t_{37} ,垂直驱动电路213在脉冲时段内提供高电平的控制信号REN。在该时段内,输出使能信号EN_OUT_001<1>被设为低电平。由于输出使能信号EN_OUT_001<1>处于低电平(禁用),因此,不从第001列中的第一像素输出P相的像素数据。

[0152] 随后,输出时序信号WORD、输出使能信号EN_OUT和控制信号REN被顺序地提供给第2像素至第127像素。然后,在时刻 t_{38} ,在所有像素中完成P相的传输。

[0153] 在P相的传输之后,对于第0像素至第127像素,顺序地传送D相。在图15中,省略了D相的传输。

[0154] 如图15所示,从输出使能信号EN_OUT为有效的像素(例如,第0像素)输出像素数据。同时,不从输出使能信号EN_OUT被禁用的像素(例如,第一像素)输出像素数据。

[0155] 图16是示出了本技术的第一实施例中的第001列中的第一集群217输出数字信号的操作的示例的时序图。

[0156] 输出使能信号EN_OUT_001<128>至EN_OUT_001<255>被提供给第一集群217中的第0像素至第127像素。

[0157] 在时刻 t_{32} ,垂直驱动电路213在脉冲时段内提供控制信号REN,而将输出使能信号EN_OUT_001<128>设为低电平。因此,不从第001列中的第128像素(换句话说,第一集群中的第0像素)输出P相的像素数据。

[0158] 此外,在时刻 t_{37} ,垂直驱动电路213在脉冲时段内提供高电平的输出使能信号EN_OUT_001<129>和控制信号REN。从第001列中的第129像素(换句话说,第一集群中的第一像素)输出P相的像素数据。

[0159] 随后,输出时序信号WORD、输出使能信号EN_OUT和控制信号REN被顺序地提供给第2像素至第127像素,并且在时刻 t_{38} ,在所有像素中完成P相的传输。

[0160] 如图16所示,从输出使能信号EN_OUT为有效的像素(例如,第1像素)输出像素数据。同时,不从输出使能信号EN_OUT被禁用的像素(例如,第0像素)输出像素数据。

[0161] 此外,输出使能信号EN_OUT_001<256>至EN_OUT_001<383>被提供给第001列中的第二集群217。随后,128位输出使能信号被类似地提供给第三及随后的集群217。输出使能信号EN_OUT_001< $(k \times 128)$ >至EN_OUT_001< $(k \times 128 + 127)$ >被提供给第 k (k 是整数)集群217。例如,输出使能信号EN_OUT_001<3456>至EN_OUT_001<3583>被提供给第27集群217。第001列以外的列同样适用。

[0162] 如图15和图16所示,输出时序信号WORD<0>至WORD<127>被顺序地提供给所有集群。然后,在相应的输出使能信号EN_OUT _{i} < j >有效的情况下,从相应的像素输出像素数据,而在相应的输出使能信号EN_OUT _{i} < j >被禁用的情况下,不输出像素数据。如上所述,固态摄像元件200能够设置是否能够以像素为单位输出数字像素数据。注意,在针对所有像素将输出使能信号EN_OUT _{i} < j >设为有效的情况下,根据输出时序信号WORD< m >输出所有集群中的第 m 像素的像素数据。假设像素的总数为 N (N 是整数),由于集群的数量为 $N/128$,因此,根据输出时序信号WORD< m >同时输出 $N/128$ 条像素数据。

[0163] 图17是示出了本技术的第一实施例中的模数转换的说明图。在多个集群217中分别布置有预定数量(例如,128个)的像素和转发器230。

[0164] 转发器230连接到其中排列有预定数量(例如,128个)的像素的集群217。转发器230传送时间码。

[0165] 在各像素中布置有像素电路310和ADC 305。在ADC 305中布置有NAND门410、比较器320、锁存控制电路420和锁存电路430。

[0166] 注意,在图17中,为了方便说明,NAND门410由开关符号表示。此外,通过将输出时序信号WORD信号反相而获得的xWORD信号被输入到NAND门410,但是,为了方便说明,图17示出了输入没有反相的信号。

[0167] 像素驱动电路215驱动所有像素的像素电路310,以使像素电路310产生与曝光量相对应的模拟像素信号SIG。

[0168] 比较器320将像素信号SIG与在预定AD转换时段内变化的参考信号REF进行比较,并且输出比较结果VC0。当比较结果反转时,锁存控制电路420控制每个锁存电路430,以使锁存电路430保存(换句话说,锁存)表示AD转换时段内的时间的数字时间码。锁存电路430在锁存控制电路420的控制下从转发器230获取时间码并锁存时间码。通过以上控制,在所有像素中,模拟像素信号SIG被转换为数字时间码。

[0169] 图18是示出了在本技术的第一实施例中输出使能信号EN_OUT被设为有效的像素的操作的说明图。

[0170] 垂直驱动电路213将输出使能信号EN_OUT提供给NAND门410。此外,垂直驱动电路213根据输出时序信号WORD<0>至WORD<127>顺序地驱动128个像素,以使像素输出像素数据。

[0171] 在此,假设根据输出使能信号EN_OUT,ROI中的某个像素数据的输出被设为有效。在这种情况下,NAND门410将相应的输出时序信号WORD<0>提供给锁存控制电路420。在由输出时序信号WORD<0>表示的时刻,锁存控制电路420控制各锁存电路430,以使锁存电路430将数字时间码作为像素数据输出到转发器230。转发器230将像素数据传送到信号处理单元250。信号处理单元250对所传送的像素数据进行诸如图像识别处理等信号处理。

[0172] 注意,NAND门410是权利要求中记载的使能控制单元的示例。

[0173] 图19是示出了在本技术的第一实施例中输出使能信号EN_OUT被设为禁用的像素的操作的说明图。

[0174] 在此,假设根据输出使能信号EN_OUT,ROI外部的某个像素数据的输出被设为禁用。在这种情况下,NAND门410不向锁存控制电路420提供相应的输出时序信号WORD<1>。由于不提供输出时序信号WORD<1>,因此,锁存控制电路420不使各锁存电路430输出像素数据。

[0175] 如图18和图19所示,固态摄像元件200能够根据输出使能信号EN_OUT来设置是否以像素为单位将像素数据输出到转发器230。

[0176] 图20示出了本技术的第一实施例中在设置ROI之前和之后的图像数据的示例。在图20中,a示出了在设置ROI之前的图像数据的示例。在图20中,b示出了在设置ROI之后的图像数据的示例。

[0177] 在未设置ROI的情况下,固态摄像元件200与垂直同步信号VSYNC同步地连续获取图像数据,并且如图20的a所示,显示单元130显示图像数据500。

[0178] 用户参考所显示的图像数据,并且通过操作触摸屏等来设置ROI。例如,如图20的b所示,设置圆形的ROI 512。

[0179] 运动矢量检测单元253基于过去的图像数据(帧)500和当前的图像数据(帧)501,

执行块匹配等并检测运动矢量511。

[0180] 图21示出了本技术的第一实施例中的ROI的示例。在图21中,虚线表示设置ROI之前的图像数据的外围。当检测到ROI的运动矢量511时,下一帧ROI预测单元255基于运动矢量511预测当前图像数据的下一个图像数据502中的ROI的位置。然后,下一帧ROI预测单元255将关于所预测的ROI的设置信息提供给垂直驱动电路213。

[0181] 垂直驱动电路213将用于所预测的ROI中的像素的输出使能信号EN_OUT设置为有效,并且将用于ROI外部的像素的输出使能信号EN_OUT设置为禁用。因此,如图21所示,仅下一个图像数据502中的ROI 520中的像素数据被输出到转发器230并且被传送到信号处理单元250。因此,对ROI 520进行信号处理(例如,CDS处理和图像识别处理),并且显示处理后的ROI 520。

[0182] 如图20和图21所示,固态摄像元件200预测下一帧的ROI,因此,即使在运动发生的范围内设置ROI的情况下,也可以根据运动将ROI移动到适当的位置。

[0183] 在此,将说明其中没有设置NAND门410并且没有向各像素提供输出使能信号EN_OUT的比较例。

[0184] 图22示出了比较例中的设置了ROI的图像数据和传送到信号处理单元250的图像数据。在图22中,a示出了其中设置了ROI的图像数据550的示例。在图22中,b示出了由转发器230传送到信号处理单元250的图像数据560的示例。在图22的b中,外侧虚线表示设置ROI之前的图像数据的外围。

[0185] 如图22的a所示,在图像数据550中设置有矩形的ROI 551。在这种情况下,比较例的垂直驱动电路213和像素驱动电路215驱动像素,以使像素以行为单位将ROI中的像素数据输出到转发器230。如图22的b所示,转发器230将包括ROI的图像数据560传送到信号处理单元250。由于图像数据是以行为单位输出的,因此图像数据560的列不仅包括ROI内的列,而且还包括ROI外的列。

[0186] 图23示出了比较例中的ROI的示例。在图23中,外侧虚线表示设置ROI之前的图像数据的外围。比较例的信号处理单元250将以行为单位输出的图像数据560保存在帧存储器等中,并且以列为单位从图像数据560中提取ROI 570中的像素数据。比较例的信号处理单元250对所提取的ROI 570执行诸如图像识别处理等各种信号处理。

[0187] 如图22和图23所示,在未设置NAND门410的比较例中,垂直驱动电路213无法以像素为单位将ROI中待处理的像素数据输出到转发器230。因此,垂直驱动电路213和像素驱动电路215驱动像素,以使像素以行为单位将待处理的像素数据输出到转发器230。然后,转发器230必须将以行为单位输出的像素数据传送到信号处理单元250,并且信号处理单元250必须以列为单位提取待处理的像素数据。在该构造中,随着列数的增加,要传送到信号处理单元250的数据量增加,从而降低了信号处理单元250的处理速度。因此,比较例的固态摄像元件200只能实现例如每秒几百帧(fps:frame per second)的帧速率。

[0188] 同时,如图20和图21所示,在包括NAND门410的固态摄像元件200中,垂直驱动电路213能够根据输出使能信号EN_OUT以像素为单位将待处理的像素数据输出到转发器230。因此,不需要执行如下处理:其中,信号处理单元250将以行为单位输出的图像数据保存在帧存储器等中,并且以列为单位提取待处理的像素数据。因此,能够通过处理量来提高信号处理单元250的处理速度。通过处理速度的这种提高,固态摄像元件200能够以例如每秒数万

帧 (fps) 的极高帧速率对帧进行摄像和处理。

[0189] 图24是示出了本技术的第一实施例中的固态摄像元件200的操作的示例的流程图。例如,当执行用于拍摄图像数据的预定应用时,开始该操作。

[0190] 像素驱动电路215和垂直驱动电路213驱动各像素,以曝光所有像素并且对P相进行AD转换(步骤S901)。垂直驱动电路213将m初始化为“0”(步骤S902)。

[0191] 在各集群217中,第m像素判定对应于该像素的输出使能信号EN_OUT是否为“1”(即,有效)(步骤S903)。在对应的输出使能信号EN_OUT为“1”的情况下(步骤S903:是),在输出时序信号WORD<m>变为“1”的时刻,第m像素将像素数据输出到转发器230(步骤S904)。

[0192] 在输出使能信号EN_OUT不为“1”(步骤S903:否)的情况下或者在步骤S904之后,垂直驱动电路213判定m是否为“127”(步骤S905)。在m不为“127”的情况下(步骤S905:否),垂直驱动电路213增加m(步骤S906),并且重复步骤S903和随后的步骤。

[0193] 在m为“127”的情况下(步骤S905:是),垂直驱动电路213判定D相的转换是否已经完成(步骤S907)。在D相的转换尚未完成的情况下(步骤S907:否),像素驱动电路215和垂直驱动电路213驱动各像素,以使像素产生D相,对D相进行AD转换,并且以与P相转换相同的方式将m设为“0”(步骤S908)。然后,垂直驱动电路213重复步骤S902和后续的步骤。

[0194] 在D相的转换已经完成的情况下(步骤S907:是),信号处理单元250对所传送的像素数据执行诸如CDS处理和图像识别处理等信号处理(步骤S908)。在步骤S908之后,固态摄像元件200终止获取和处理图像数据的操作。

[0195] 在连续获取多条图像数据的情况下,与垂直同步信号VSYNC同步地重叠执行步骤S901至步骤S908中的处理。

[0196] 如上所述,根据本技术的第一实施例,在根据输出使能信号EN_OUT将输出设为有效的情况下,像素300输出像素数据,因此垂直驱动电路213能够以像素为单位输出待处理的像素数据。因此,与以行为单位将待处理的像素数据输出到信号处理单元250的情况相比,可以降低信号处理单元250的吞吐量并且提高其处理速度。

[0197] <2. 第二实施例>

[0198] 在上述第一实施例中,信号处理单元250处理ROI中的像素数据。然而,随着ROI中的像素数的增加,信号处理单元250的吞吐量增加,这可能会降低处理速度。第二实施例的固态摄像元件200与第一实施例的固态摄像元件的不同之处在于,多个信号处理单元并行处理像素数据。

[0199] 图25是示出了本技术的第二实施例中的固态摄像元件200的构造示例的框图。第二实施例的固态摄像元件200与第一实施例的固态摄像元件的不同之处在于,设置上侧信号处理单元260和下侧信号处理单元270来代替信号处理单元250。

[0200] 上侧信号处理单元260对从多个集群中的一部分(例如,偶数列的集群)输出的像素数据执行CDS处理。上侧信号处理单元260将处理后的像素数据提供给下侧信号处理单元270。注意,上侧信号处理单元260是权利要求中记载的第一信号处理单元的示例。

[0201] 下侧信号处理单元270对从多个集群中的其余部分(例如,奇数列的集群)输出的像素数据执行CDS处理。下侧信号处理单元270通过排列从上侧信号处理单元260提供的经过了CDS处理的像素数据和由下侧信号处理单元270自身进行了CDS处理的像素数据,来生成图像数据。然后,下侧信号处理单元270进一步执行诸如图像识别处理等后续处理,并且

输出处理后的数据。注意,下侧信号处理单元270是权利要求中记载的第二信号处理单元的示例。

[0202] 如图25所示,上侧信号处理单元260和下侧信号处理单元270并行处理像素数据。因此,与仅信号处理单元250处理像素数据的第一实施例相比,可以提高处理速度。

[0203] 图26是示出了本技术的第二实施例中的像素阵列单元214的构造示例的平面图。奇数列(例如,第一列)中集群217的转发器单元220将像素数据传送到下侧信号处理单元270。同时,偶数列(例如,第二列)中集群217的转发器单元220将像素数据传送到上侧信号处理单元260。

[0204] 如上所述,根据本技术的第二实施例,上侧信号处理单元260和下侧信号处理单元270并行处理奇数列和偶数列。因此,与仅信号处理单元250处理列的情况相比,可以提高处理速度。

[0205] <3. 移动体的应用例>

[0206] 根据本公开的技术(本技术)适用于各种产品。例如,根据本公开的技术可以被实现为安装在任何类型的移动体上的装置,所述移动体例如是:汽车、电动汽车、混合动力汽车、摩托车、自行车、个人移动设备、飞机、无人机、轮船和机器人。

[0207] 图27是示出了作为根据本公开的技术适用的移动体控制系统的示例的车辆控制系统的示意性构造示例的框图。

[0208] 车辆控制系统12000包括经由通信网络12001彼此连接的多个电子控制单元。在图27的示例中,车辆控制系统12000包括:驱动系统控制单元12010、车身系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040以及集成控制单元12050。此外,集成控制单元12050包括作为功能构造的微型计算机12051、声音/图像输出单元12052以及车载网络接口(I/F:Interface)12053。

[0209] 驱动系统控制单元12010根据各种程序来控制与车辆的驱动系统有关的设备的操作。例如,驱动系统控制单元12010起到下述各设备的控制装置的作用,这些设备是:用于产生车辆的驱动力的驱动力产生器,例如内燃机或驱动电机等;用于将驱动力传递到车轮的驱动力传递机构;用于调节车辆的转向角度的转向机构;以及用于产生车辆的制动力的制动设备等。

[0210] 车身系统控制单元12020根据各种程序来控制安装在车体上的各种设备的操作。例如,车身系统控制单元12020起到下述各设备的控制装置的作用,这些设备是:无钥匙进入系统;智能钥匙系统;电动车窗装置;或诸如前灯、后灯、刹车灯、转向信号灯和雾灯等各种灯。在这种情况下,能够把从代替钥匙的便携式装置发送的无线电波或各种开关的信号输入到车身系统控制单元12020。车身系统控制单元12020接收这些无线电波或信号的输入,并且控制车辆的门锁装置、电动车窗装置和灯等。

[0211] 车外信息检测单元12030检测安装有车辆控制系统12000的车辆的外的信息。例如,车外信息检测单元12030连接到摄像单元12031。车外信息检测单元12030使摄像单元12031拍摄车辆外部的图像,并且接收所拍摄的图像。基于所接收到的图像,车外信息检测单元12030可以对诸如行人、车辆、障碍物、交通标志、或路面上的文字等物体执行检测处理或到其的距离检测处理。

[0212] 摄像单元12031是用于接收光并且输出与所接收的光量相对应的电信号的光学传

感器。摄像单元12031能够将该电信号作为图像而输出,也能够将该电信号作为距离测量信息输出。此外,由摄像单元12031接收的光可以是可见光或者诸如红外线等非可见光。

[0213] 车内信息检测单元12040检测车辆内部的信息。例如,车内信息检测单元12040与用于检测驾驶员状态的驾驶员状态检测单元12041连接。例如,驾驶员状态检测单元12041包括用于拍摄驾驶员的图像的相机,并且基于从驾驶员状态检测单元12041输入的检测信息,车内信息检测单元12040可以计算出驾驶员的疲劳程度或专注程度,或者可以判定驾驶员是否睡着了。

[0214] 微型计算机12051能够基于由车外信息检测单元12030或车内信息检测单元12040获取的车辆外部或内部的信息,计算出驱动力产生器、转向机构或制动设备的控制目标值,并且能够向驱动系统控制单元12010输出控制命令。例如,微型计算机12051能够执行以实现高级驾驶员辅助系统(ADAS:advanced driver assistance system)功能为目的的协同控制,所述高级驾驶员辅助功能包括:车辆的碰撞规避或撞击减轻、基于跟随距离的追随行驶、车速维持行驶、车辆的碰撞警告以及车辆的车道偏离警告等。

[0215] 此外,微型计算机12051能够基于由车外信息检测单元12030或车内信息检测单元12040获取的车辆周围的信息,来控制驱动力产生器、转向机构或制动设备等,从而执行以车辆不依赖驾驶员的操作而自主行驶的自动驾驶为目的或为其他目的的协同控制。

[0216] 此外,基于由车外信息检测单元12030获取的车辆外部的信息,微型计算机12051能够向车身系统控制单元12020输出控制命令。例如,微型计算机12051能够例如根据由车外信息检测单元12030检测到的前车或对面来车的位置来控制前灯并将远光灯切换到近光灯,从而执行以眩光保护为目的的协同控制。

[0217] 声音/图像输出单元12052将声音或图像中的至少一者的输出信号发送到输出设备,该输出设备能够在视觉上或在听觉上向车上的乘客或车辆外部通知信息。作为输出设备的示例,图27的示例示出了音频扬声器12061、显示单元12062和仪器面板12063。例如,显示单元12062可以包括车载显示器(on-board display)或平视显示器(head-up display)中的至少一者。

[0218] 图28示出了摄像单元12031的安装位置的示例。

[0219] 在图28中,摄像单元12031包括摄像单元12101、12102、12103、12104和12105。

[0220] 例如,摄像单元12101、12102、12103、12104和12105被设置于如下的位置:例如,车辆12100的前鼻、后视镜、后保险杠和后备箱门以及车内的挡风玻璃的上部。设置在前鼻上的摄像单元12101和设置在车内的挡风玻璃的上部的摄像单元12105主要获取车辆12100的前视图图像。设置在后视镜上的摄像单元12102和12103主要获取车辆12100的侧视图图像。设置在后保险杠或后备箱门上的摄像单元12104主要获取车辆12100的后视图图像。设置在车内的挡风玻璃的上部的摄像单元12105主要用于检测前车、行人、障碍物、交通信号灯、交通标志或车道等。

[0221] 注意,图28示出了摄像单元12101~12104的摄像范围的示例。摄像范围12111表示设置在前鼻上的摄像单元12101的摄像范围。摄像范围12112和12113分别表示设置在后视镜上的摄像单元12102和12103的摄像范围。摄像范围12114表示设置在后保险杠或后备箱门上的摄像单元12104的摄像范围。例如,通过将由摄像单元12101~12104拍摄到的图像数据叠加,获得了车辆12100的从上方观看到的鸟瞰图像。

[0222] 摄像单元12101~12104中的至少一者可以具有获取距离信息的功能。例如,摄像单元12101~12104中的至少一者可以是包括多个摄像元件的立体相机,或者可以是包括用于相位差检测的像素的摄像元件。

[0223] 例如,基于从摄像单元12101~12104获得的距离信息,微型计算机12051获得与摄像范围12111至12114内的各个三维物体相距的距离以及该距离随时间的变化(相对于车辆12100的相对速度),从而能够将尤其是在车辆12000的行进道路上最靠近且在与车辆12100大致相同的方向上以预定速度(例如,大于或等于0km/h)行驶的三维物体提取为前车。此外,微型计算机12051能够提前设定与前车要保持的跟随距离,并且能够执行自动制动控制(包括跟车停止控制)和自动加速控制(包括跟车启动控制)等。因此,可以执行以车辆不依赖驾驶员的操作而自主行驶的自动驾驶为目的或为其他目的的协同控制。

[0224] 例如,基于从摄像单元12101~12104获得的距离信息,微型计算机12051能够将与三维物体有关的三维物体数据分类为两轮车辆、标准车辆、大型车辆、行人、电线杆和其他三维物体,提取三维物体数据,从而使用这些三维物体数据来自动避开障碍物。例如,微型计算机12051将车辆12100周围的障碍物识别为车辆12100的驾驶员容易注意到的障碍物和驾驶员难以觉察的障碍物。此外,微型计算机12051判定用于表示与各个障碍物发生碰撞的风险的碰撞风险,并且当碰撞风险大于或等于设定值时,即在可能发生碰撞的情形下,微型计算机12051能够通过音频扬声器12061或显示单元12062向驾驶员输出警告,或者通过驱动系统控制单元12010执行强制减速或避让转向,从而执行用于避免碰撞的驾驶辅助。

[0225] 摄像单元12101~12104中的至少一者可以是检测红外线的红外相机。例如,微型计算机12051能够通过判定摄像单元12101~12104的所拍摄图像中是否存在行人,来识别行人。例如,通过执行如下过程来实现这种行人的识别:提取作为红外相机的摄像单元12101~12104所拍摄图像中的特征点的过程;以及通过对表示物体轮廓的一系列特征点进行图案匹配处理来判定该物体是否是行人的过程。当微型计算机12051判定摄像单元12101~12104所拍摄图像中存在行人并识别出该行人时,声音/图像输出单元12052控制显示单元12062,使得在所识别出的行人上叠加并显示出用于强调的矩形轮廓线。此外,声音/图像输出单元12052还可以控制显示单元12062,使得在所期望的位置处显示出用于表示行人的图标等。

[0226] 以上,已经说明了根据本公开的技术适用的车辆控制系统的示例。根据本公开的技术适用于例如以上构造中的摄像单元12031。具体地,图1中的摄像装置100适用于摄像单元12031。通过将根据本公开的技术应用于摄像单元12031,可以提高帧速率。因此,可以改善运动图像的图像质量并且可以减少驾驶员的疲劳。

[0227] 注意,以上实施例示出了用于体现本技术的示例,并且实施例中的事项与权利要求中指定本发明的事项具有对应关系。类似地,权利要求中指定本发明的事项与在本技术的实施例中由与权利要求中指定本发明的事项的名称相同的名称表示的事项具有对应关系。然而,本技术不限于这些实施例,并且本技术能够在其主旨内通过将各种变形例应用于实施例来实施。

[0228] 注意,本说明书中描述的效果仅是示例并且不受限制,并且可以产生其他效果。

[0229] 注意,本技术还可以具有以下构造。

[0230] (1) 一种固态摄像元件,其包括:

[0231] 转发器,该转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;

[0232] 垂直驱动电路,该垂直驱动电路提供表示预定数量的像素中的每一个的输出时刻的输出时序信号和表示数字信号的输出对于每个像素是否有效的输出使能信号;

[0233] 比较器,该比较器将与曝光量相对应的模拟信号与在预定时段内变化的参考信号进行比较,并且输出比较结果;

[0234] 锁存电路,该锁存电路从转发器获取数字信号,并且保存数字信号;

[0235] 锁存控制电路,该锁存控制电路在比较结果被反转时控制锁存电路,以使锁存电路保存数字信号,并且,在由输出时序信号表示的时刻,控制锁存电路,使锁存电路将数字信号输出到转发器;和

[0236] 使能控制单元,在根据输出使能信号将数字信号的输出设为有效的情况下,该使能控制单元将输出时序信号提供给锁存控制电路。

[0237] (2) 根据(1)所述的固态摄像元件,还包括:

[0238] 转发器,该转发器连接到预定数量的像素,并且传送数字信号;和

[0239] 垂直驱动电路,该垂直驱动电路根据输出时序信号顺序地驱动预定数量的像素,以使预定数量的像素输出数字信号,其中:

[0240] 转发器和预定数量的像素布置在多个集群中的每一个中;并且

[0241] 比较器、锁存电路、锁存控制电路和使能控制单元布置在预定数量的像素中的每一个中。

[0242] (3) 根据(1)或(2)所述的固态摄像元件,还包括:

[0243] 信号处理单元,该信号处理单元对由转发器传送的数字信号执行预定的信号处理。

[0244] (4) 根据(3)所述的固态摄像元件,其中:

[0245] 信号处理单元包括第一信号处理单元和第二信号处理单元;

[0246] 第一信号处理单元对从多个集群中的一部分输出的数字信号进行信号处理;并且

[0247] 第二信号处理单元对从多个集群中的其余部分输出的数字信号进行信号处理。

[0248] (5) 根据(3)或(4)所述的固态摄像元件,其中,

[0249] 信号处理单元包括:

[0250] 信号处理电路,该信号处理电路对所输出的数字信号进行预定的信号处理并产生图像数据;和

[0251] 感兴趣区域设置单元,该感兴趣区域设置单元将图像数据中要输出数字信号的区域设置为感兴趣区域。

[0252] (6) 根据(5)所述的固态摄像元件,其中,

[0253] 信号处理单元还包括:

[0254] 运动矢量检测单元,该运动矢量检测单元针对图像数据中的各被摄体检测表示被摄体的运动方向的运动矢量;和

[0255] 感兴趣区域预测单元,该感兴趣区域预测单元基于运动矢量预测接下来要生成的图像数据中的感兴趣区域的位置。

[0256] (7) 一种摄像装置,其包括:

[0257] 转发器,该转发器连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;

[0258] 垂直驱动电路,该垂直驱动电路提供表示预定数量的像素中的每一个的输出时刻的输出时序信号和表示数字信号的输出对于每个像素是否有效的输出使能信号;

[0259] 比较器,该比较器将与曝光量相对应的模拟信号与在预定时段内变化的参考信号进行比较,并且输出比较结果;

[0260] 锁存电路,该锁存电路从转发器获取数字信号,并且保存数字信号;

[0261] 锁存控制电路,该锁存控制电路在比较结果被反转时控制锁存电路,以使锁存电路保存数字信号,并且,在由输出时序信号表示的时刻,控制锁存电路,使锁存电路将数字信号输出到转发器;

[0262] 使能控制单元,在根据输出使能信号将数字信号的输出设为有效的情况下,该使能控制单元将输出时序信号提供给锁存控制电路;和

[0263] 存储单元,该存储单元存储其中排列有数字信号的图像数据。

[0264] (8)一种固态摄像元件的控制方法,该方法包括:

[0265] 传送步骤:连接到集群,并且传送表示预定时段内的时间的数字信号,在所述集群中,排列有预定数量的像素;

[0266] 垂直驱动步骤:提供表示预定数量的像素中的每一个的输出时刻的输出时序信号和表示数字信号的输出对于每个像素是否有效的输出使能信号;

[0267] 比较步骤:将与曝光量相对应的模拟信号与在预定时段内变化的参考信号进行比较,并且输出比较结果;

[0268] 锁存步骤:从转发器获取数字信号,并且保存数字信号;

[0269] 锁存控制步骤:在比较结果被反转时控制锁存电路,以使锁存电路保存数字信号,并且,在由输出时序信号表示的时刻,控制锁存电路,使锁存电路将数字信号输出到转发器;和

[0270] 使能控制步骤:在根据输出使能信号将数字信号的输出设为有效的情况下,将输出时序信号提供给锁存控制电路。

[0271] 附图标记列表

[0272] 100 摄像装置

[0273] 110 光学单元

[0274] 120 DSP电路

[0275] 130 显示单元

[0276] 140 操作单元

[0277] 150 总线

[0278] 160 帧存储器

[0279] 170 存储单元

[0280] 180 电源单元

[0281] 200 固态摄像元件

[0282] 201 光接收芯片

[0283] 202 电路芯片

- [0284] 211 DAC
- [0285] 212 时间码生成单元
- [0286] 213 垂直驱动电路
- [0287] 214 像素阵列单元
- [0288] 215 像素驱动电路
- [0289] 216 时序生成电路
- [0290] 217 集群
- [0291] 220 转发器单元
- [0292] 230 转发器
- [0293] 231至234, 241, 242, 422, 423, 432, 433 反相器
- [0294] 240 传输电路
- [0295] 243 触发器
- [0296] 250 信号处理单元
- [0297] 251 CDS处理单元
- [0298] 252 帧存储器
- [0299] 253 运动矢量检测单元
- [0300] 254 ROI设置单元
- [0301] 255 下一帧ROI预测单元
- [0302] 256 后级处理单元
- [0303] 260 上侧信号处理单元
- [0304] 270 下侧信号处理单元
- [0305] 300 像素
- [0306] 305 ADC
- [0307] 310 像素电路
- [0308] 311 复位晶体管
- [0309] 312, 314 浮动扩散层
- [0310] 313 FDG晶体管
- [0311] 315 传输晶体管
- [0312] 316 光电转换元件
- [0313] 317 电荷排出晶体管
- [0314] 320 比较器
- [0315] 330 差分输入电路
- [0316] 331, 334, 344, 351, 352 pMOS晶体管
- [0317] 332, 335 差分晶体管
- [0318] 333 电流源晶体管
- [0319] 340 正反馈电路
- [0320] 341至343, 345, 353, 354 nMOS晶体管
- [0321] 350 反相电路
- [0322] 400 锁存单元

- [0323] 410 NAND门
- [0324] 420 锁存控制电路
- [0325] 421 NOR门
- [0326] 431 开关
- [0327] 430 锁存电路
- [0328] 12031 摄像单元。

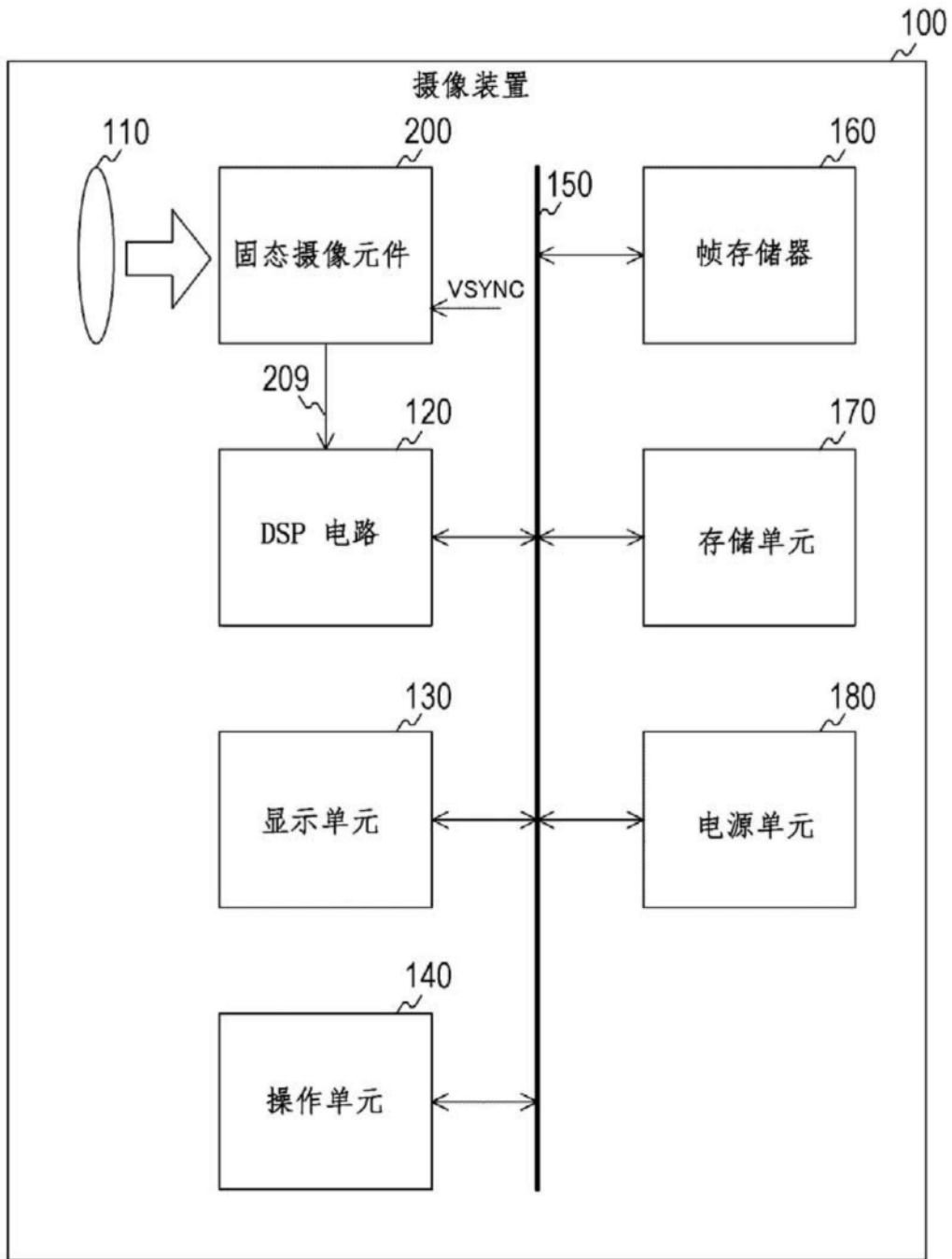


图1

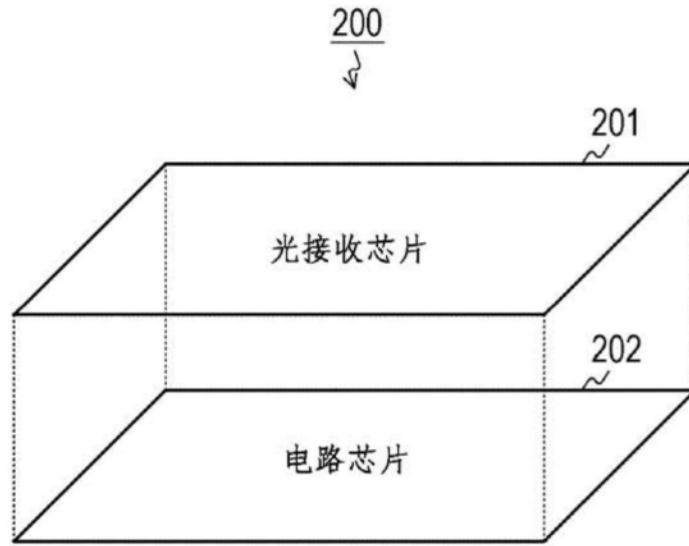


图2

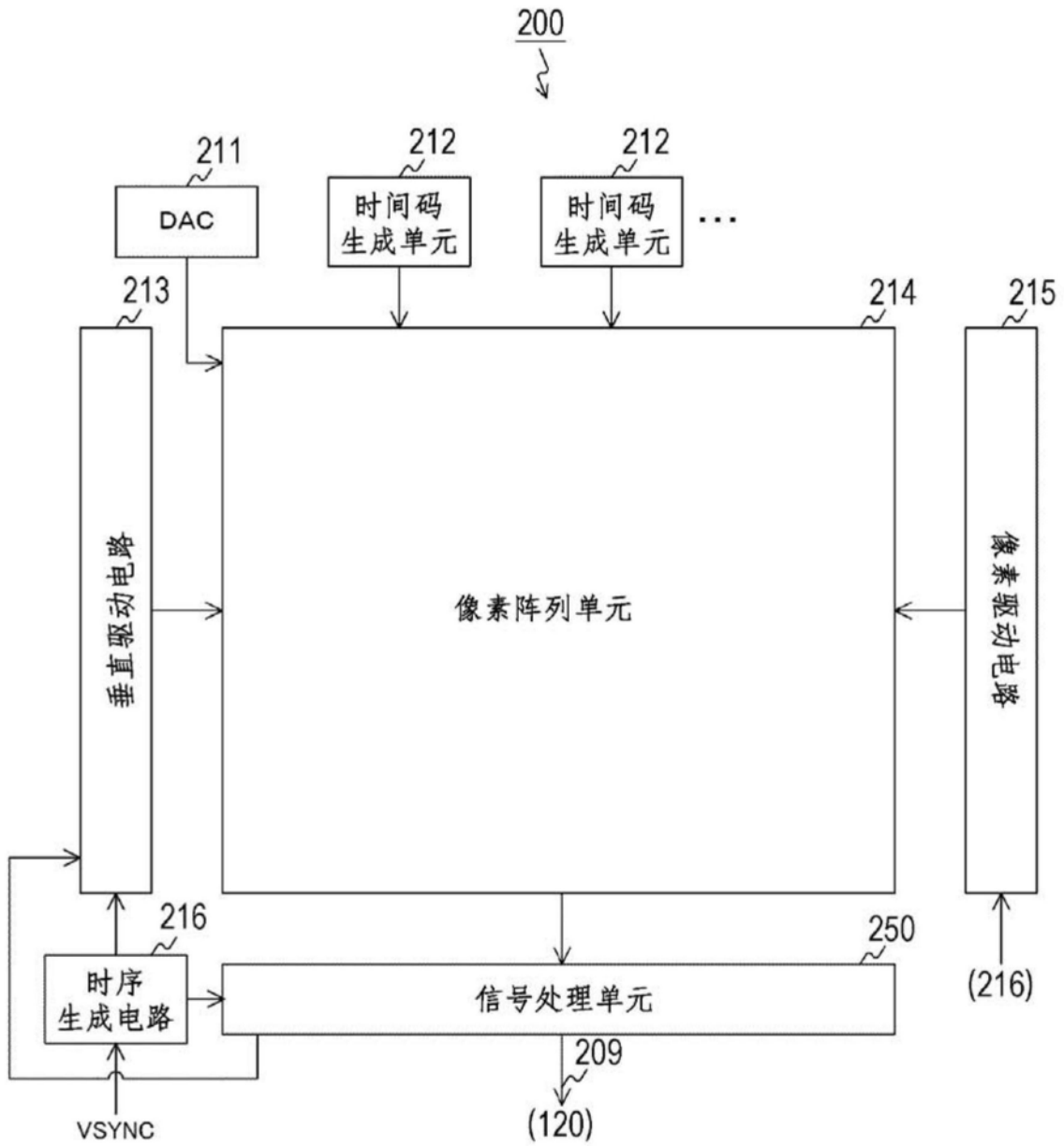


图3

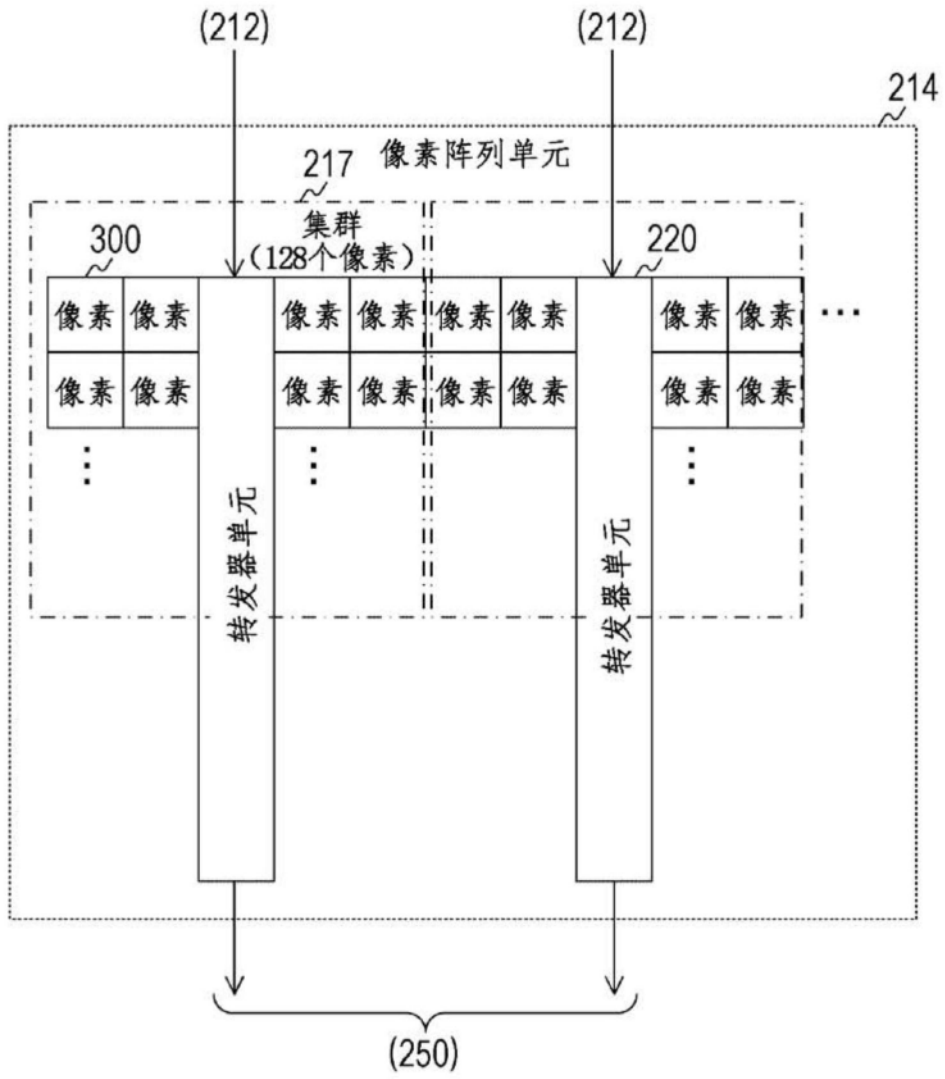


图4

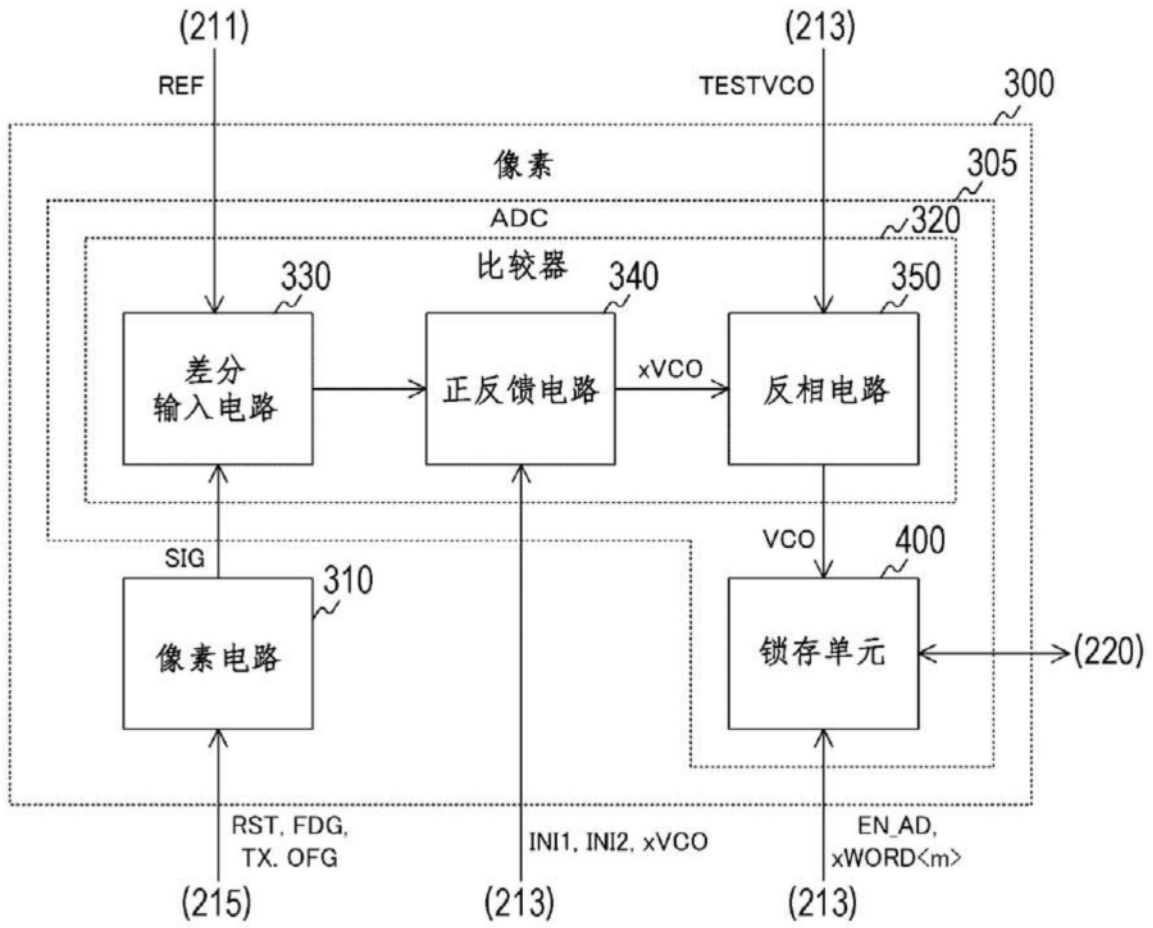


图5

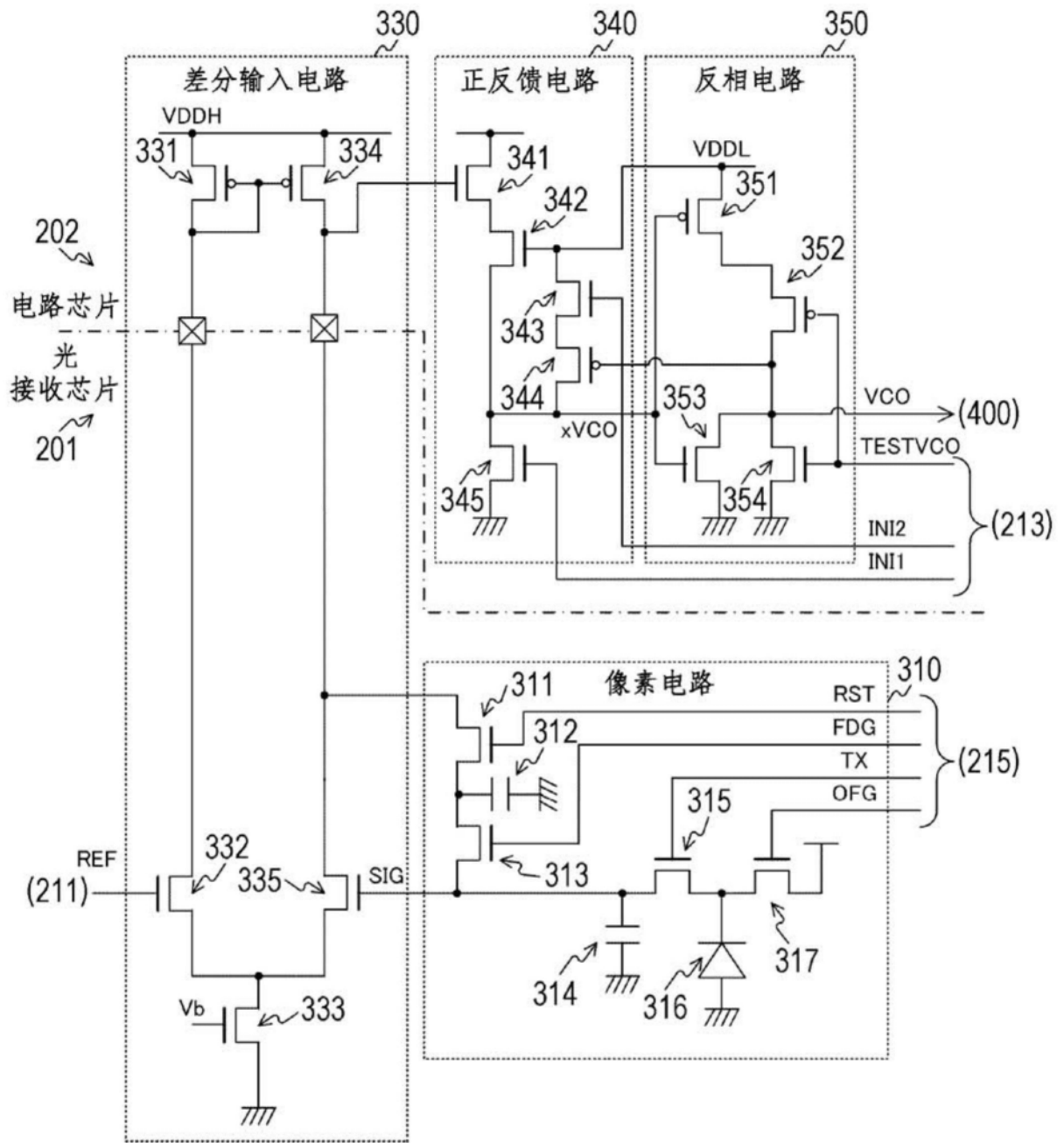


图6

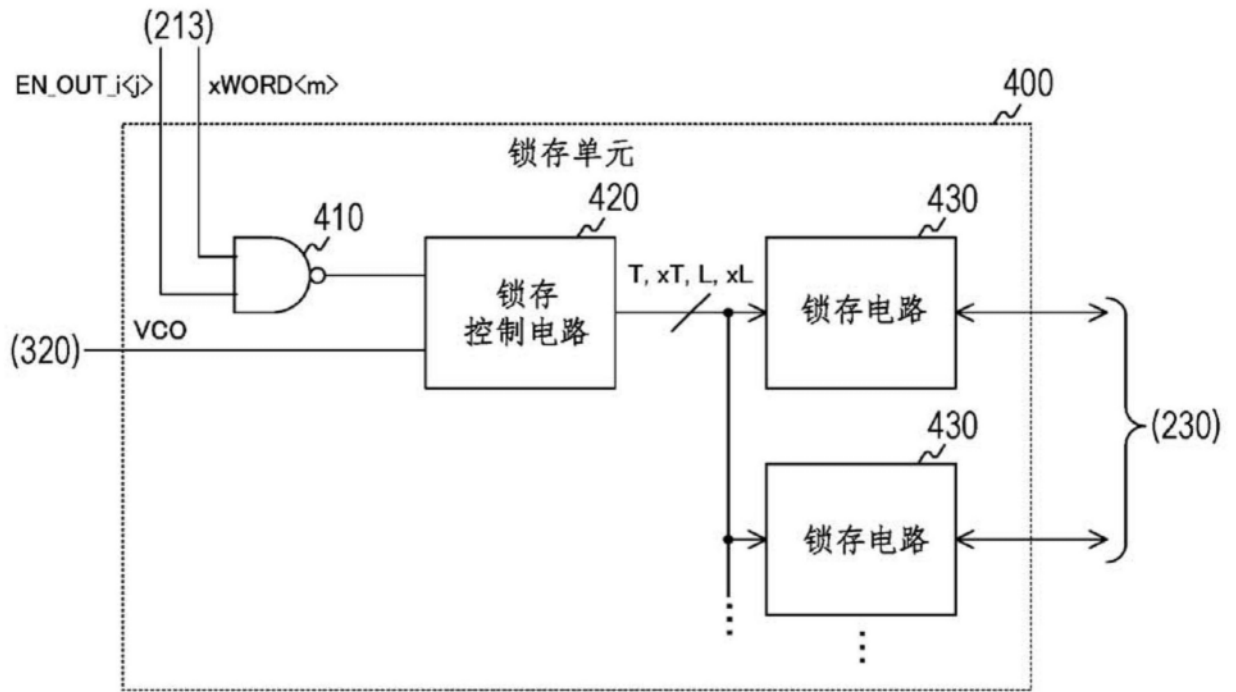


图7

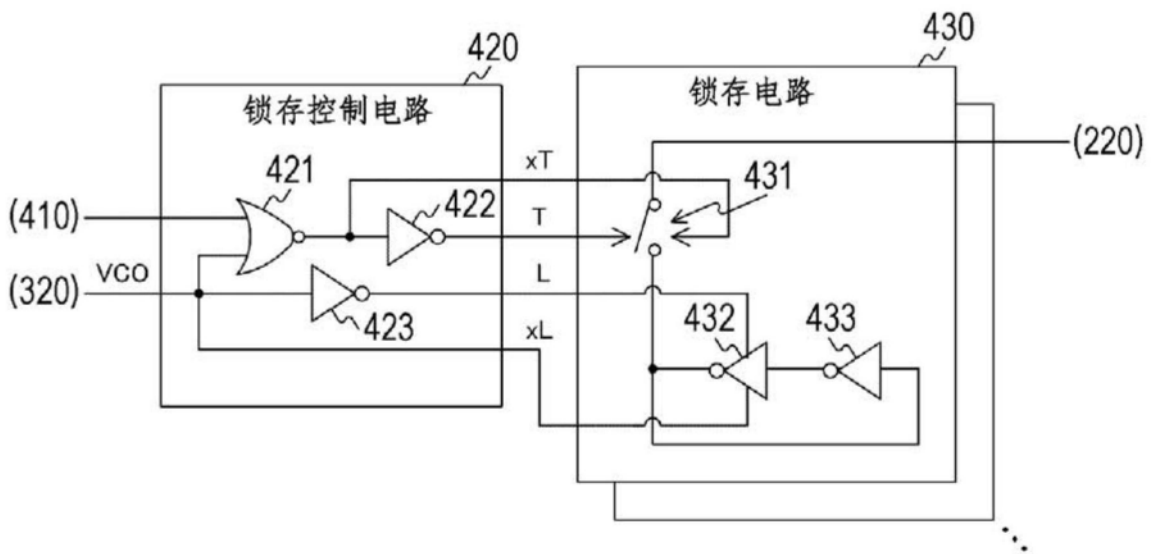


图8

输出时序控制信号 WORD<m>	输出使能信号 EN-OUT-i<j> (第i列中的第j像素)	通过锁存电路输出操作
0	0 (禁用)	—
	1 (有效)	
1 (读取第m像素)	0 (禁用)	—
	1 (有效)	

图9

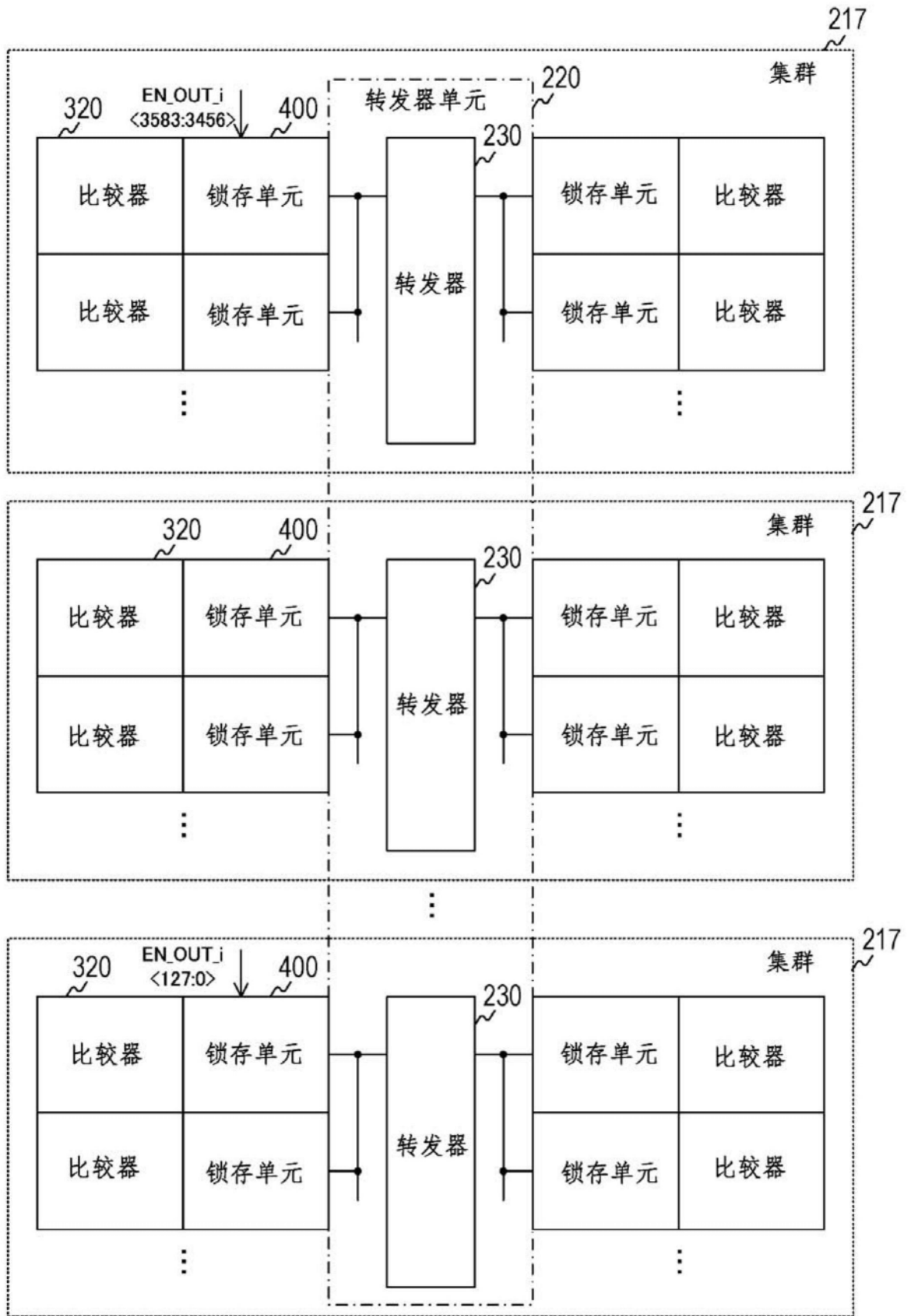


图10

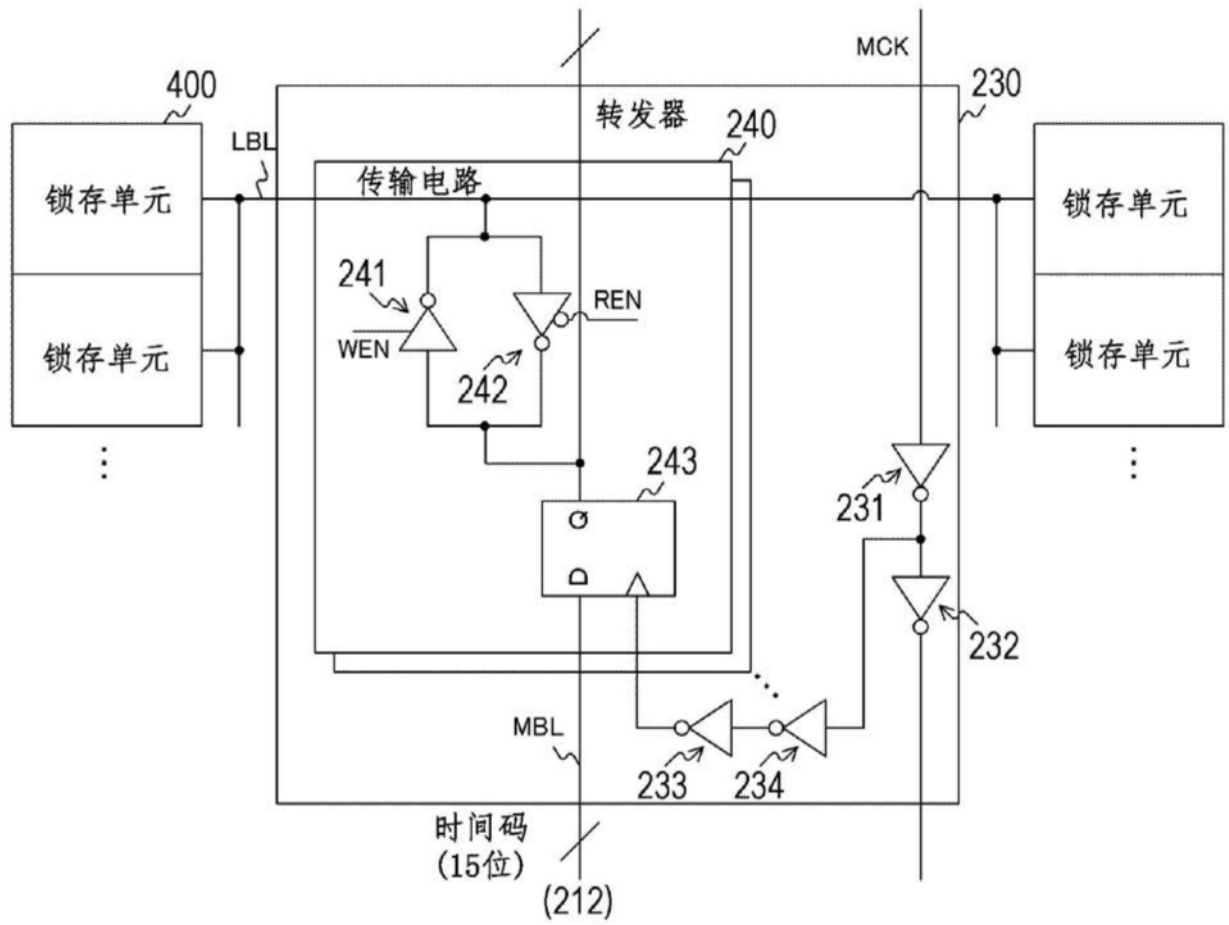


图11

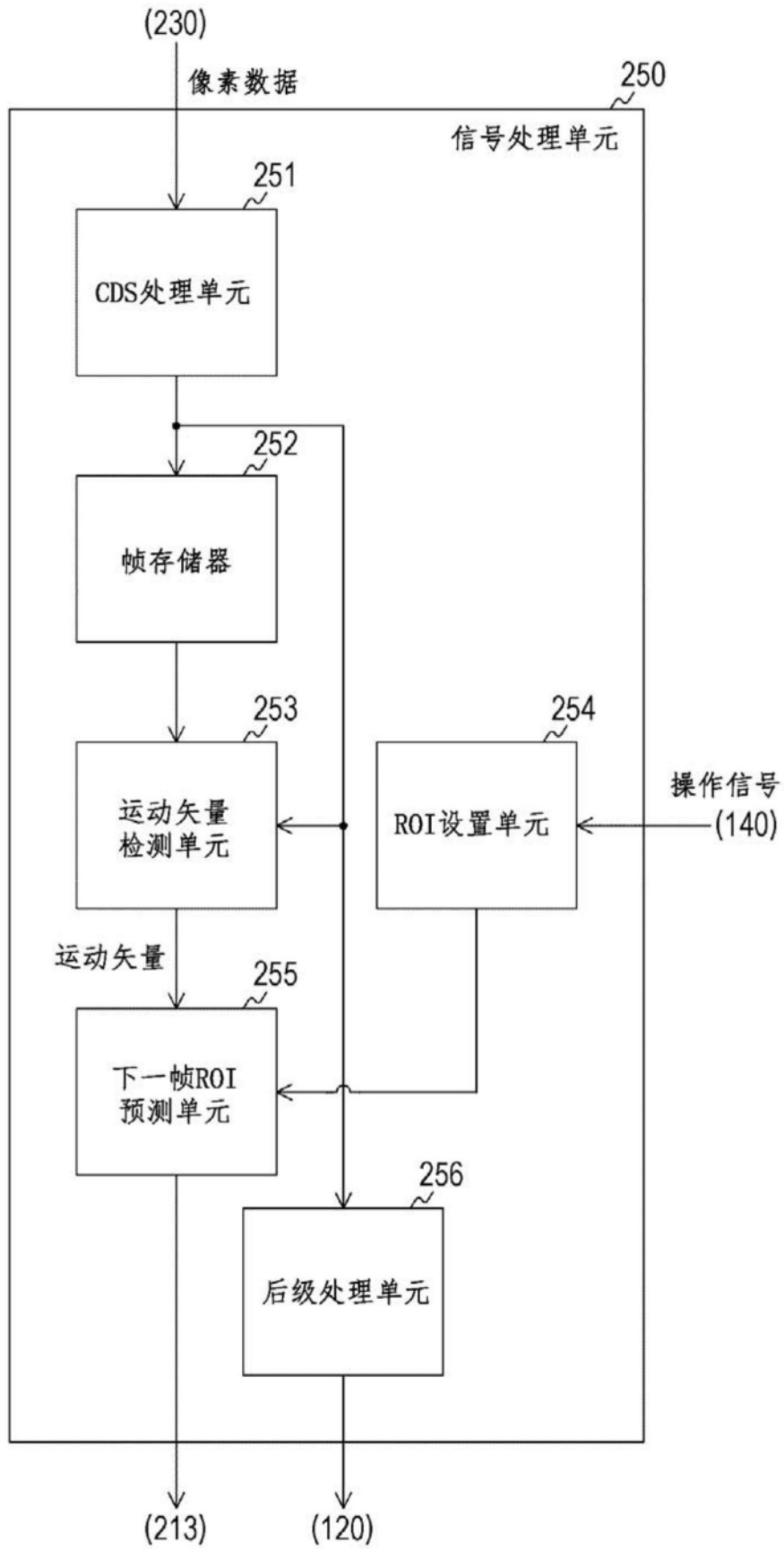


图12

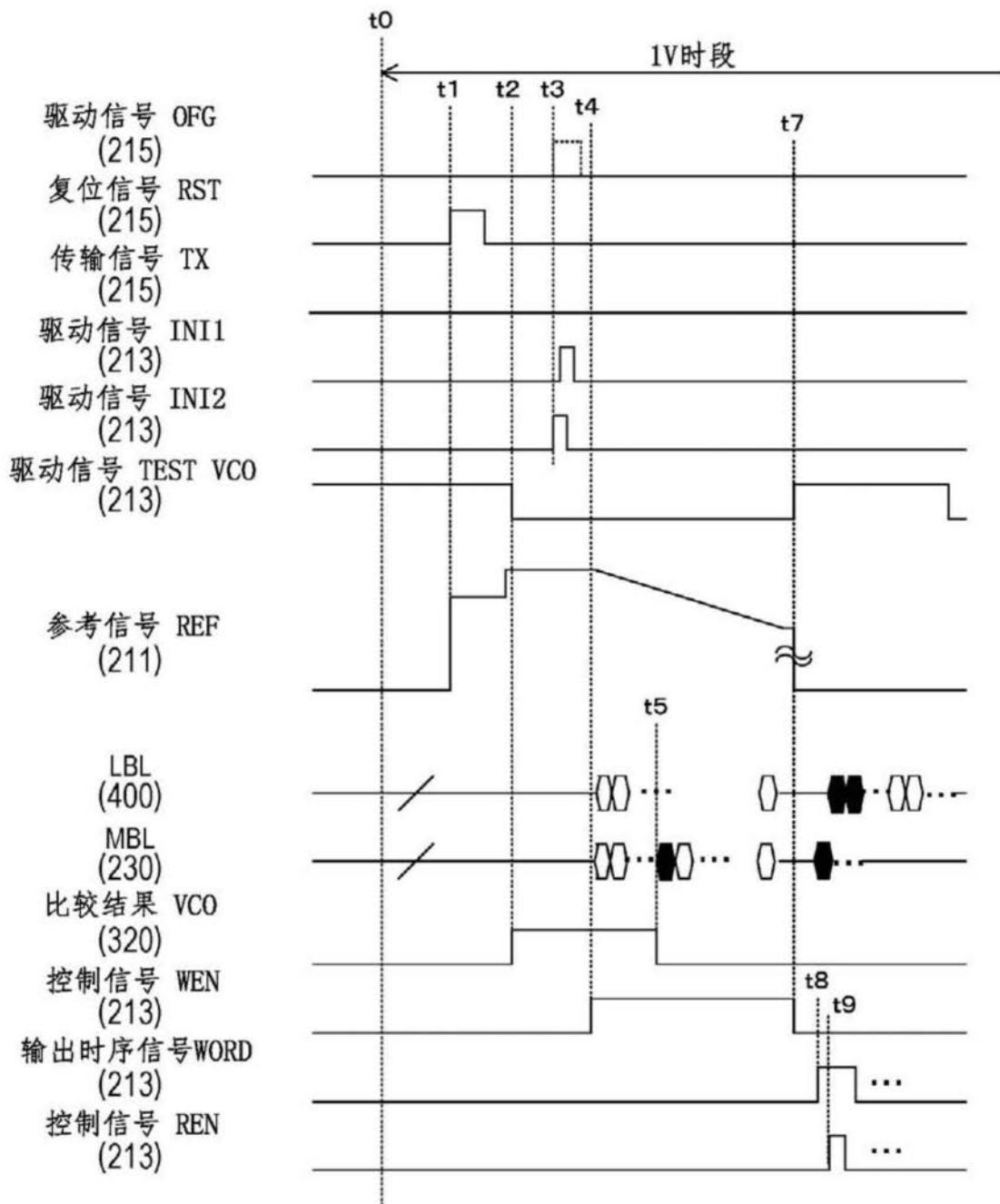


图13

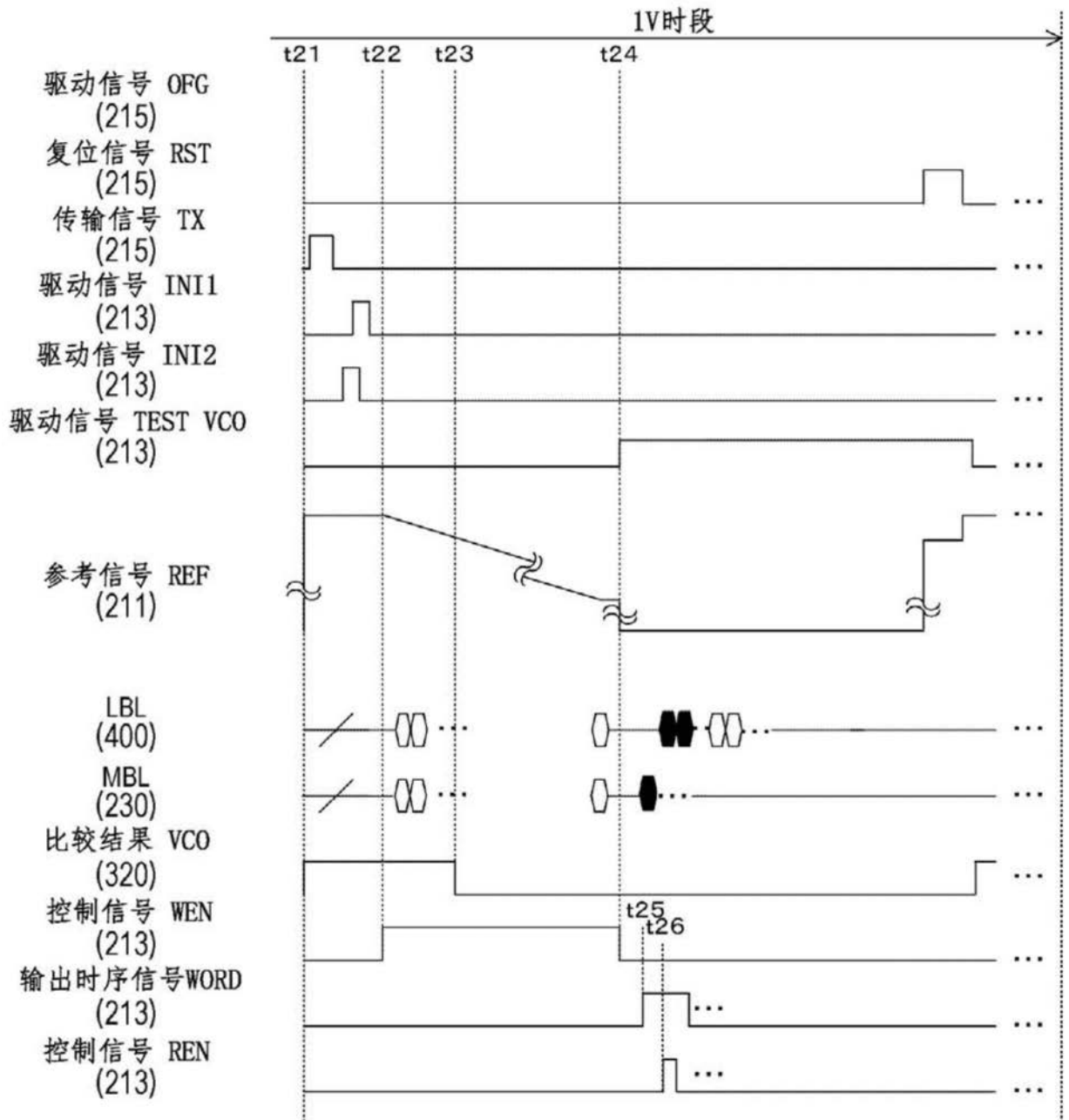


图14

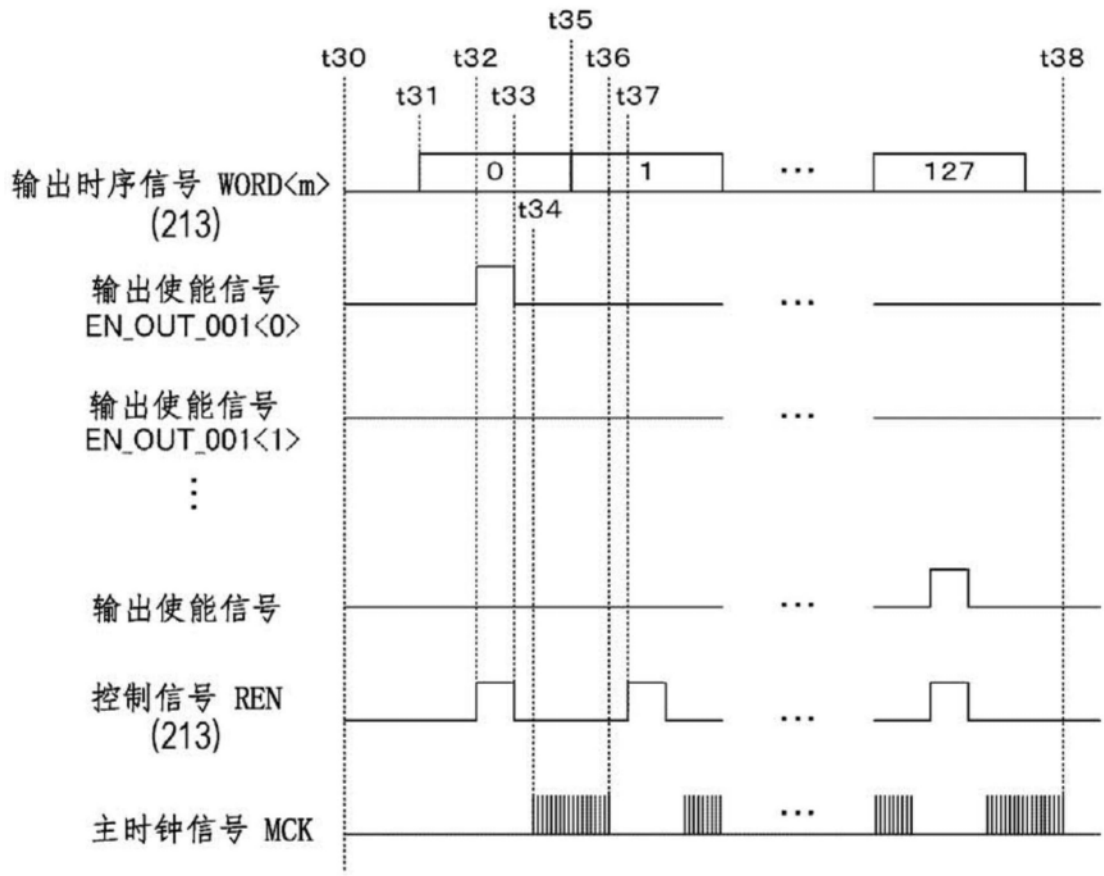


图15

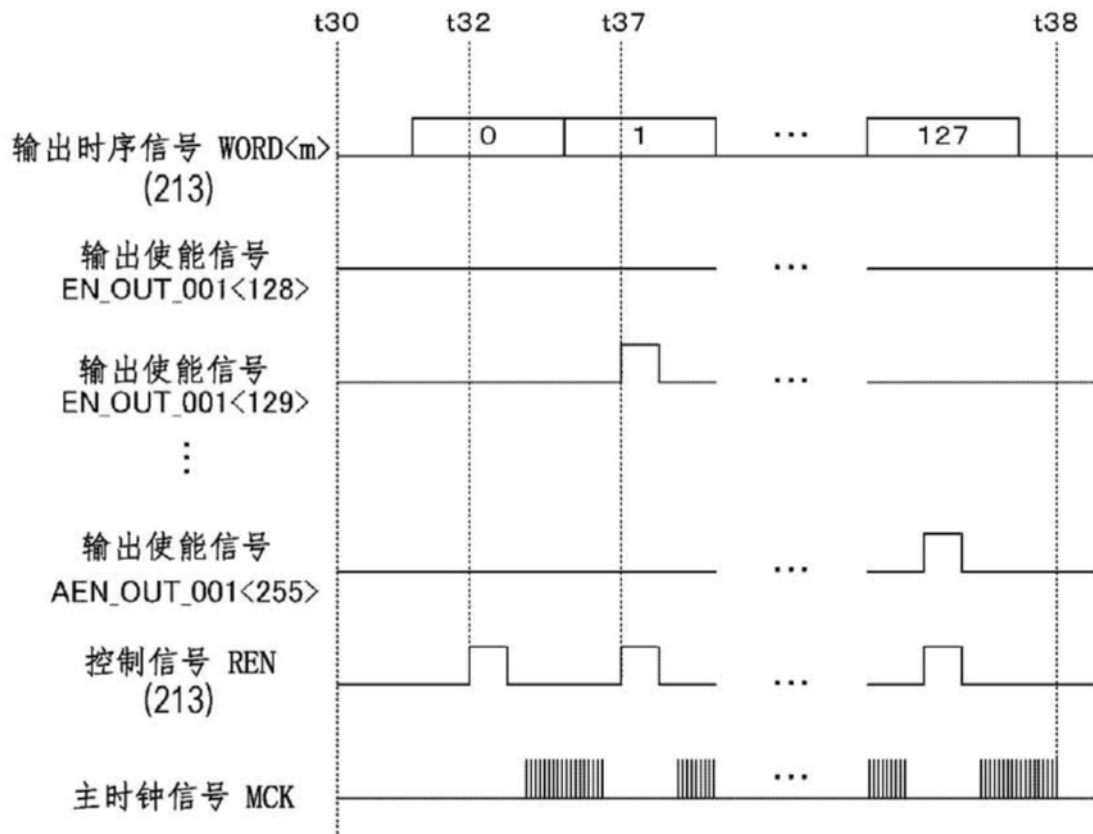


图16

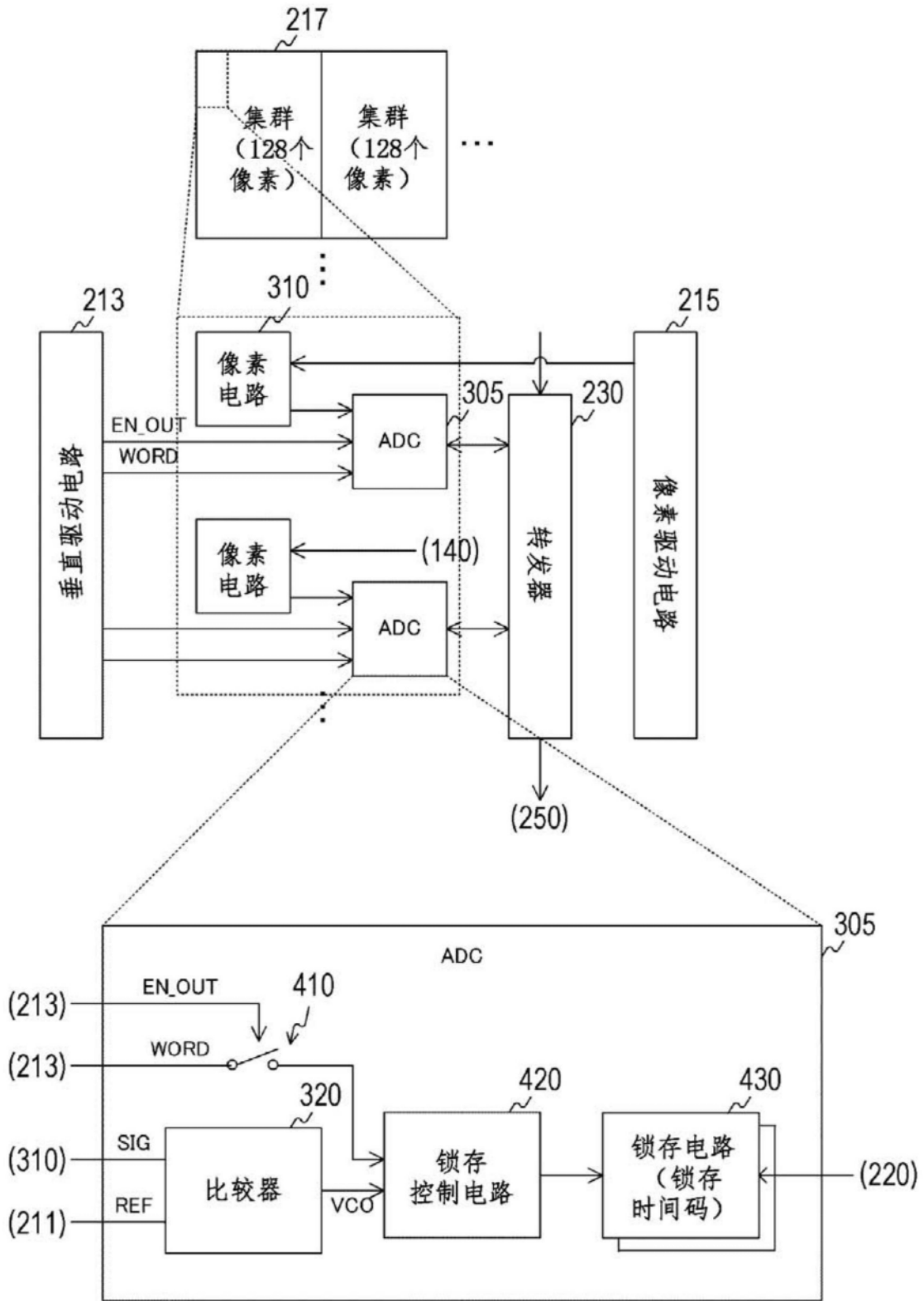


图17

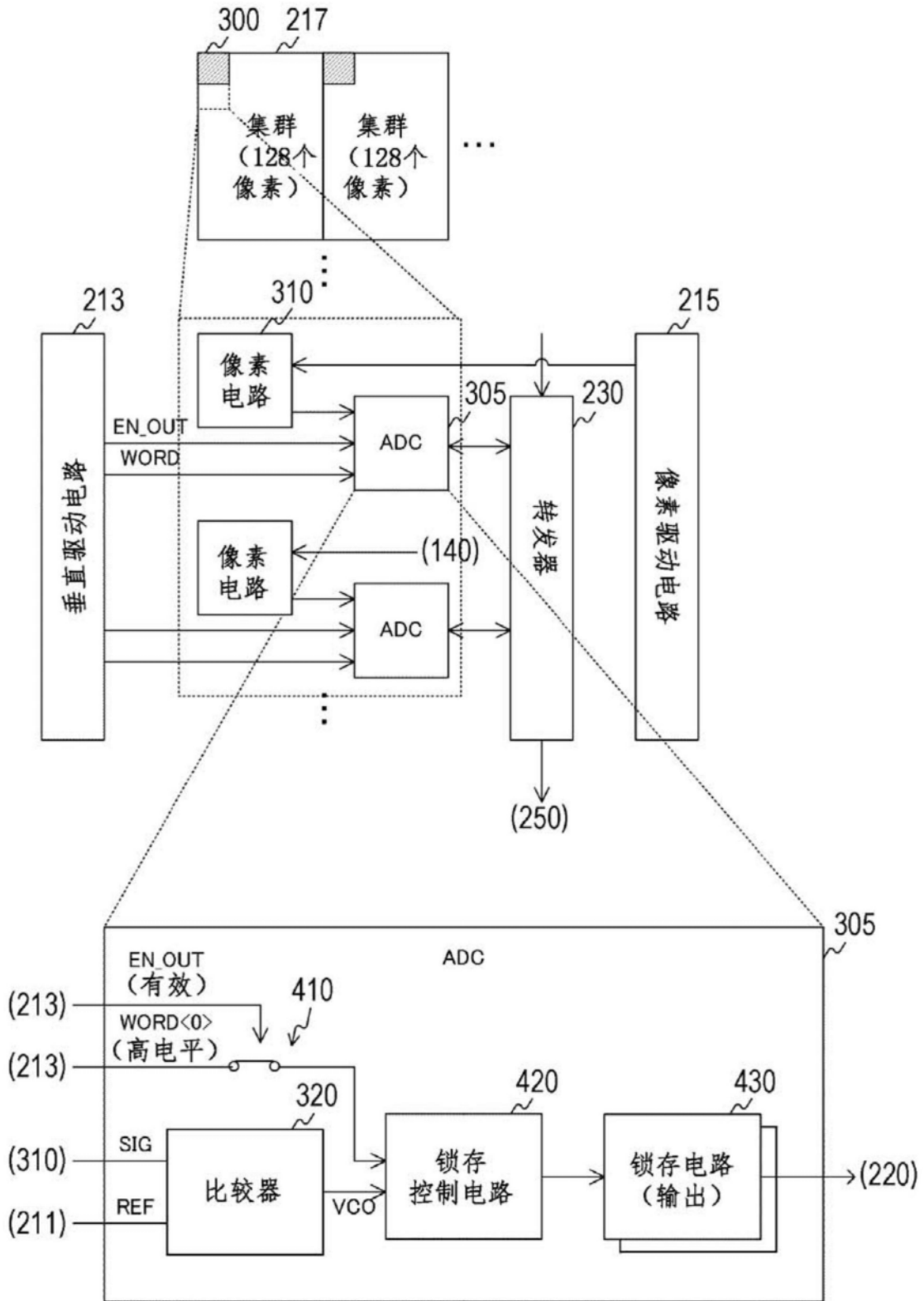


图18

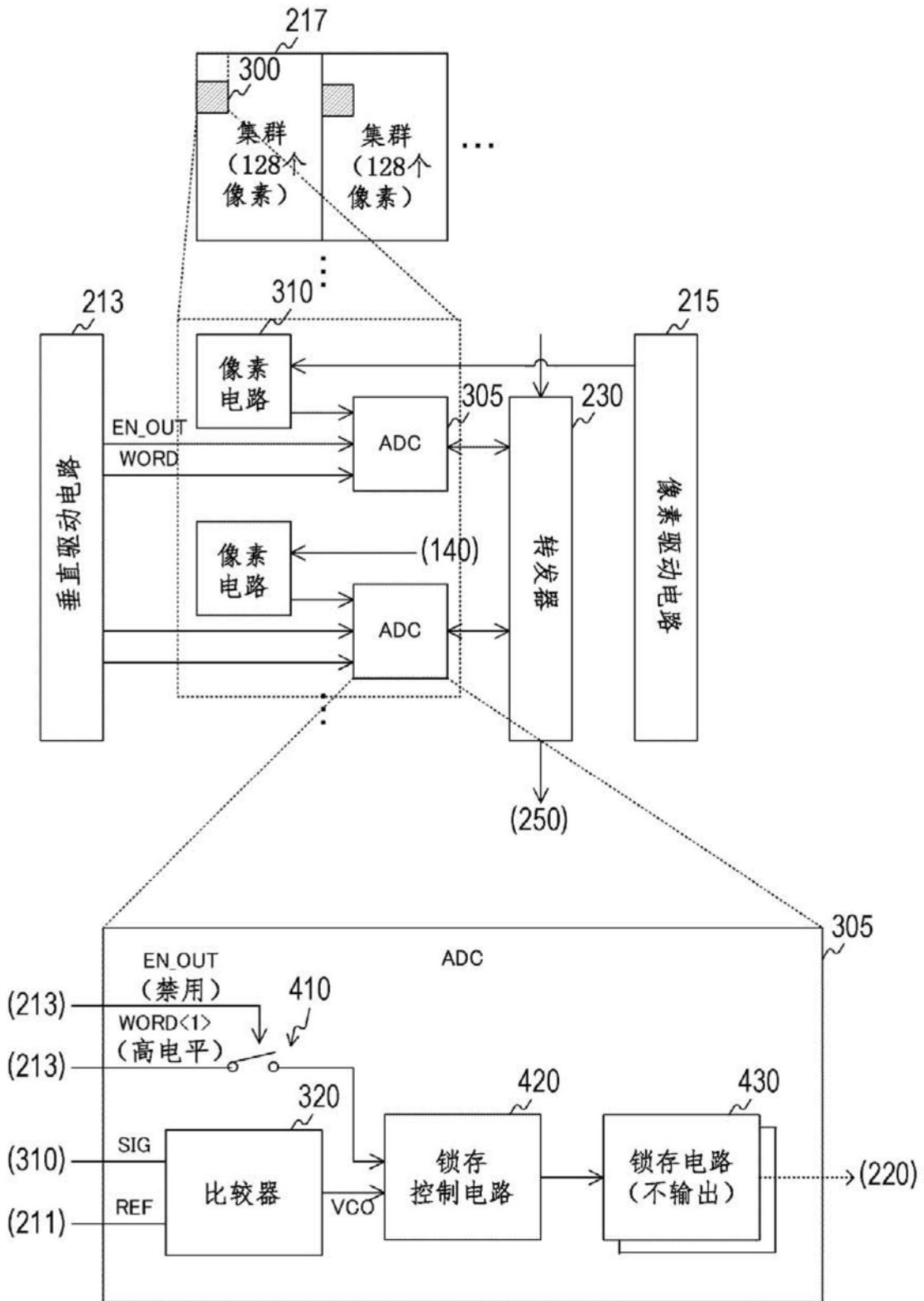


图19



a



b

图20

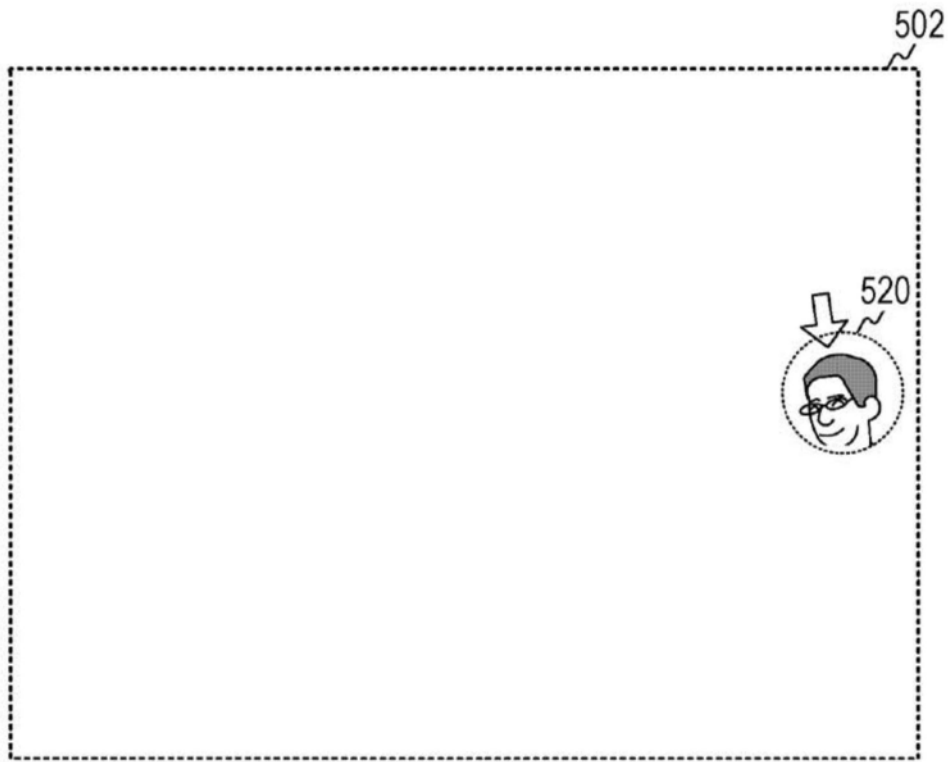
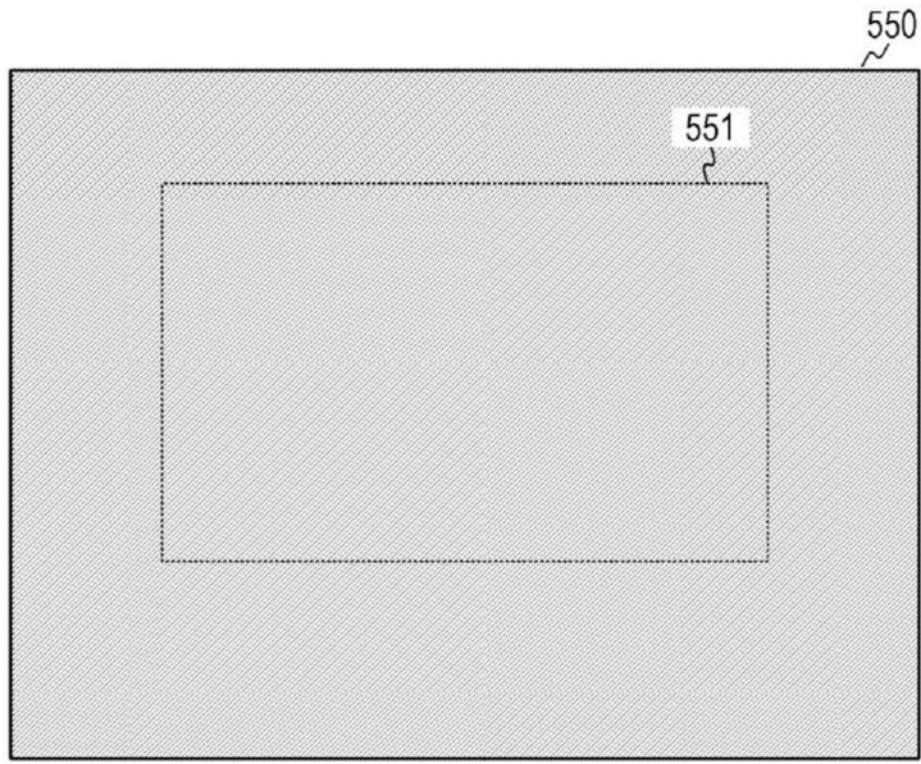
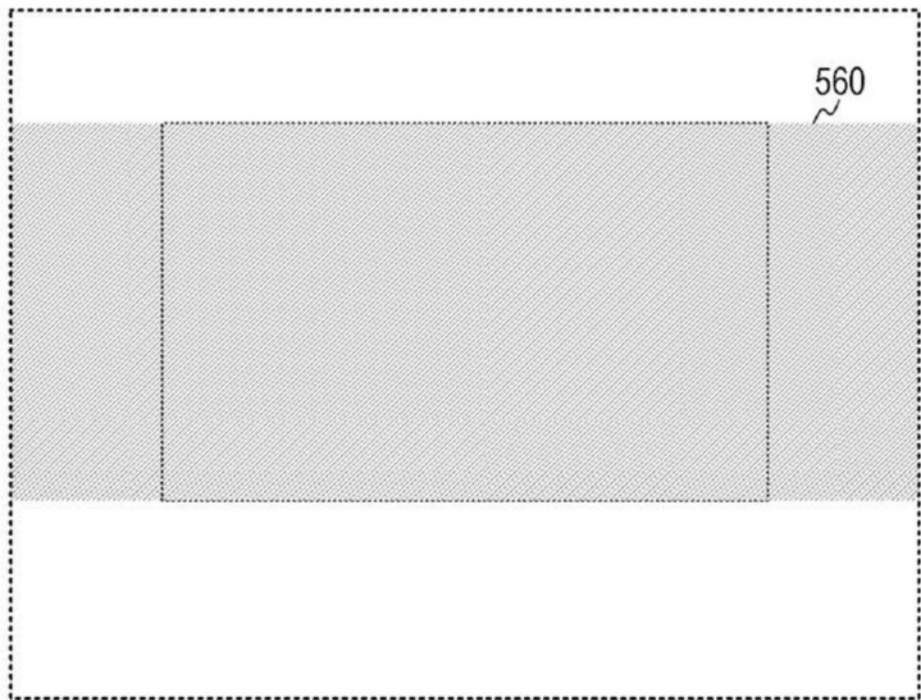


图21



a



b

图22

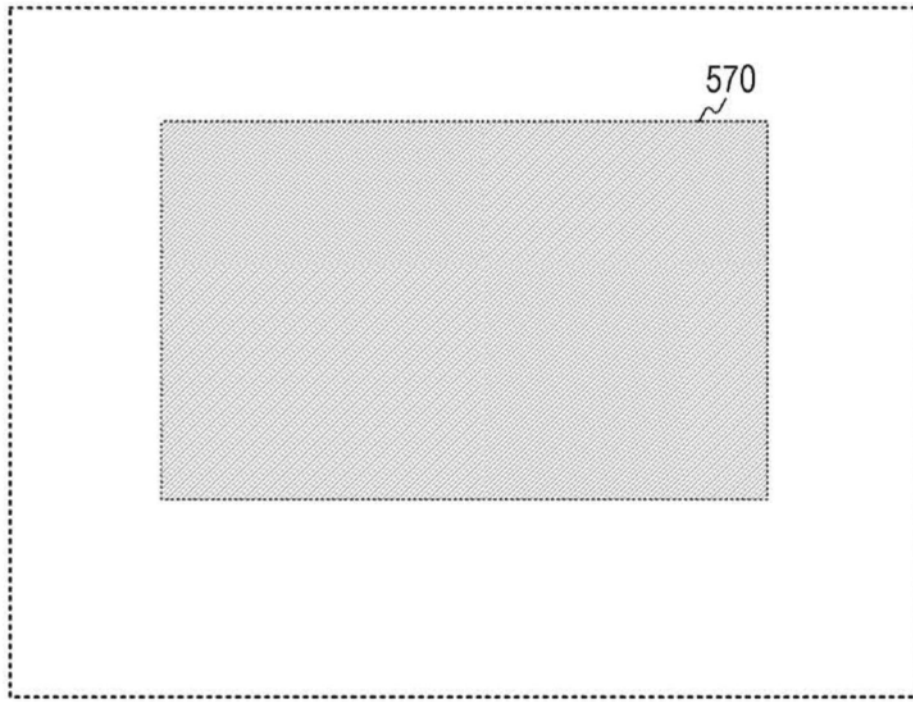


图23

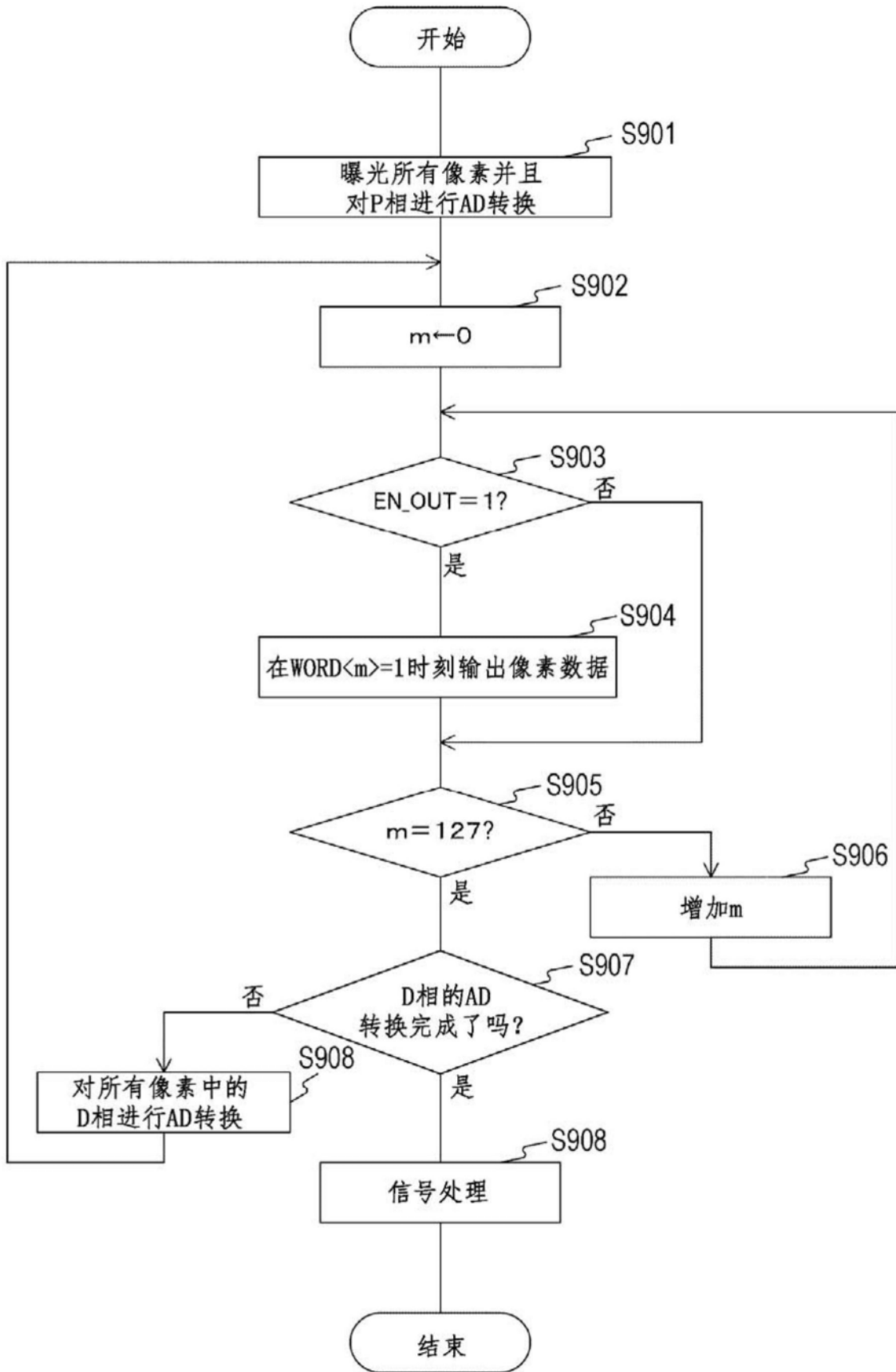


图24

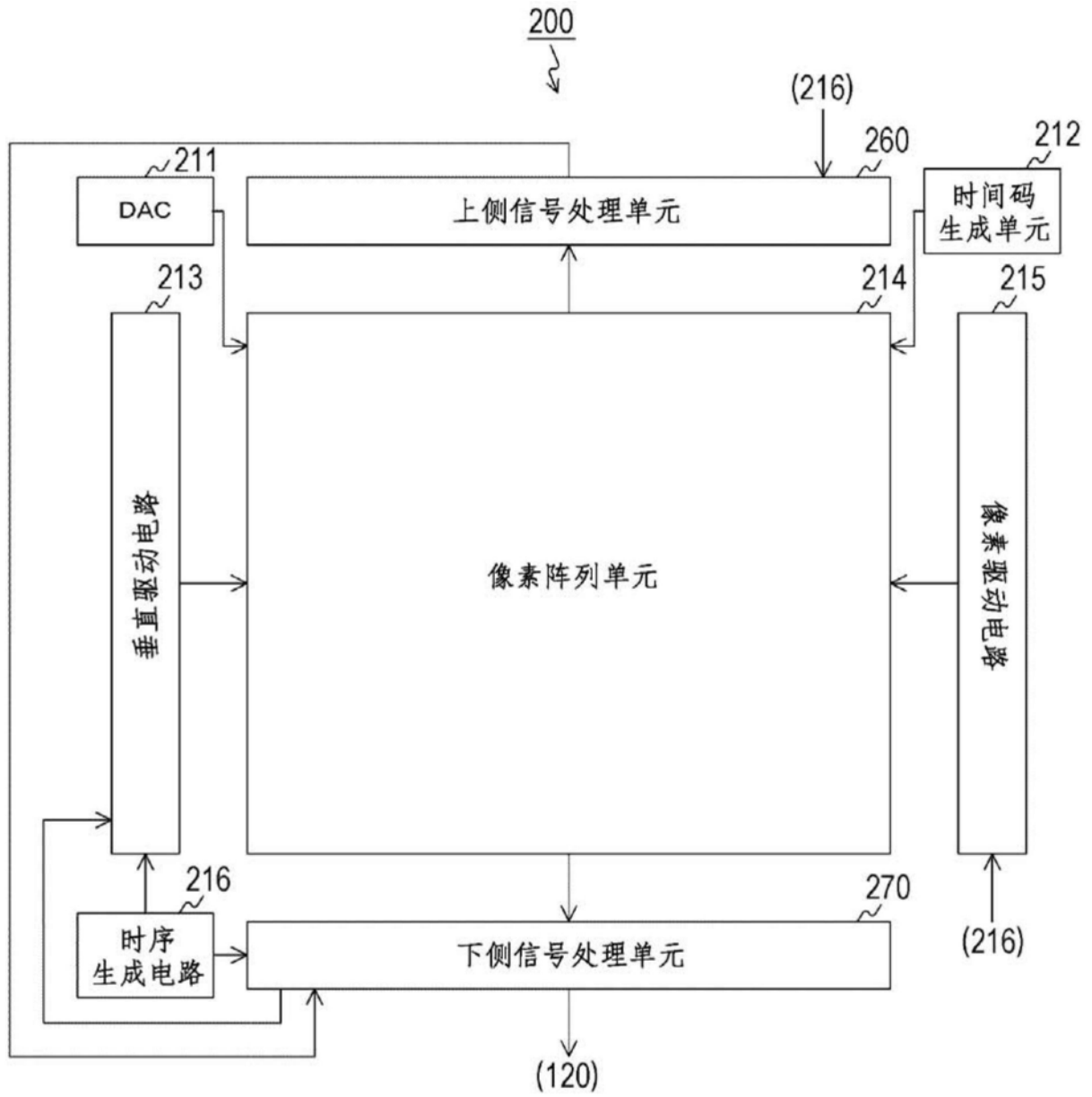


图25

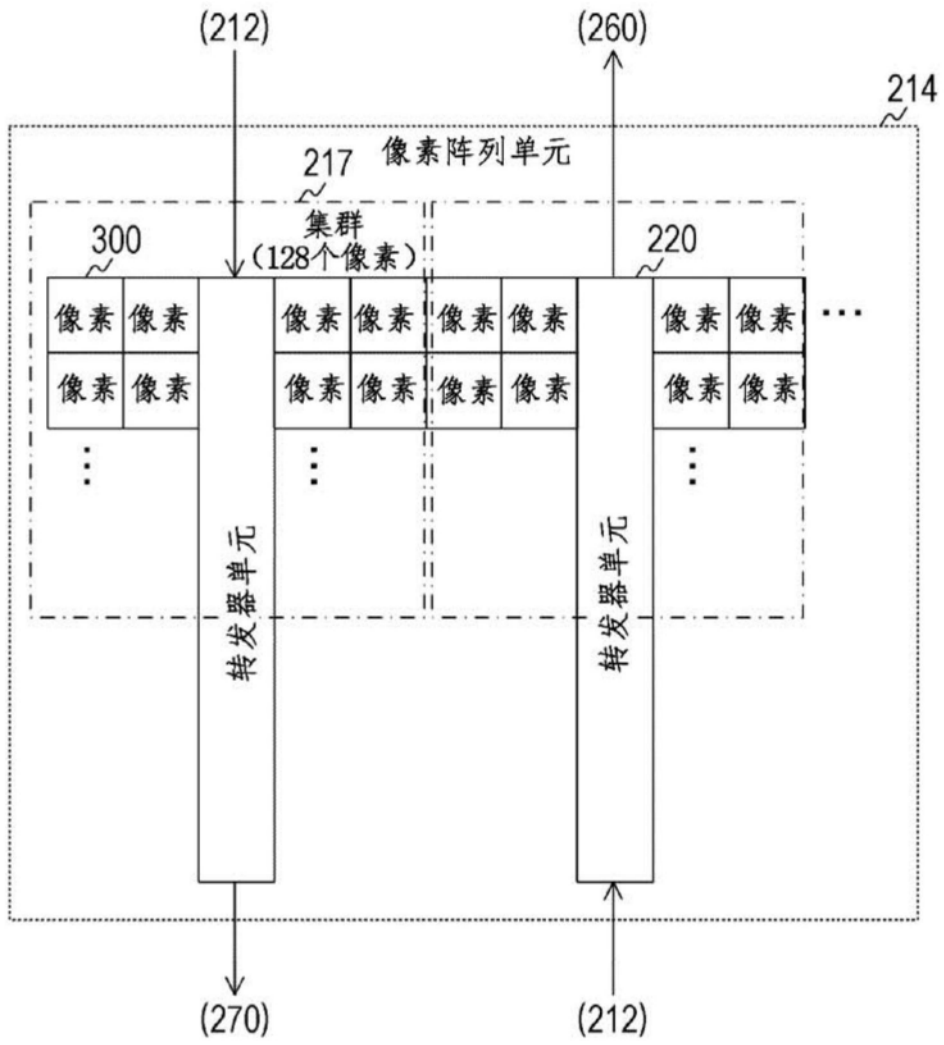


图26

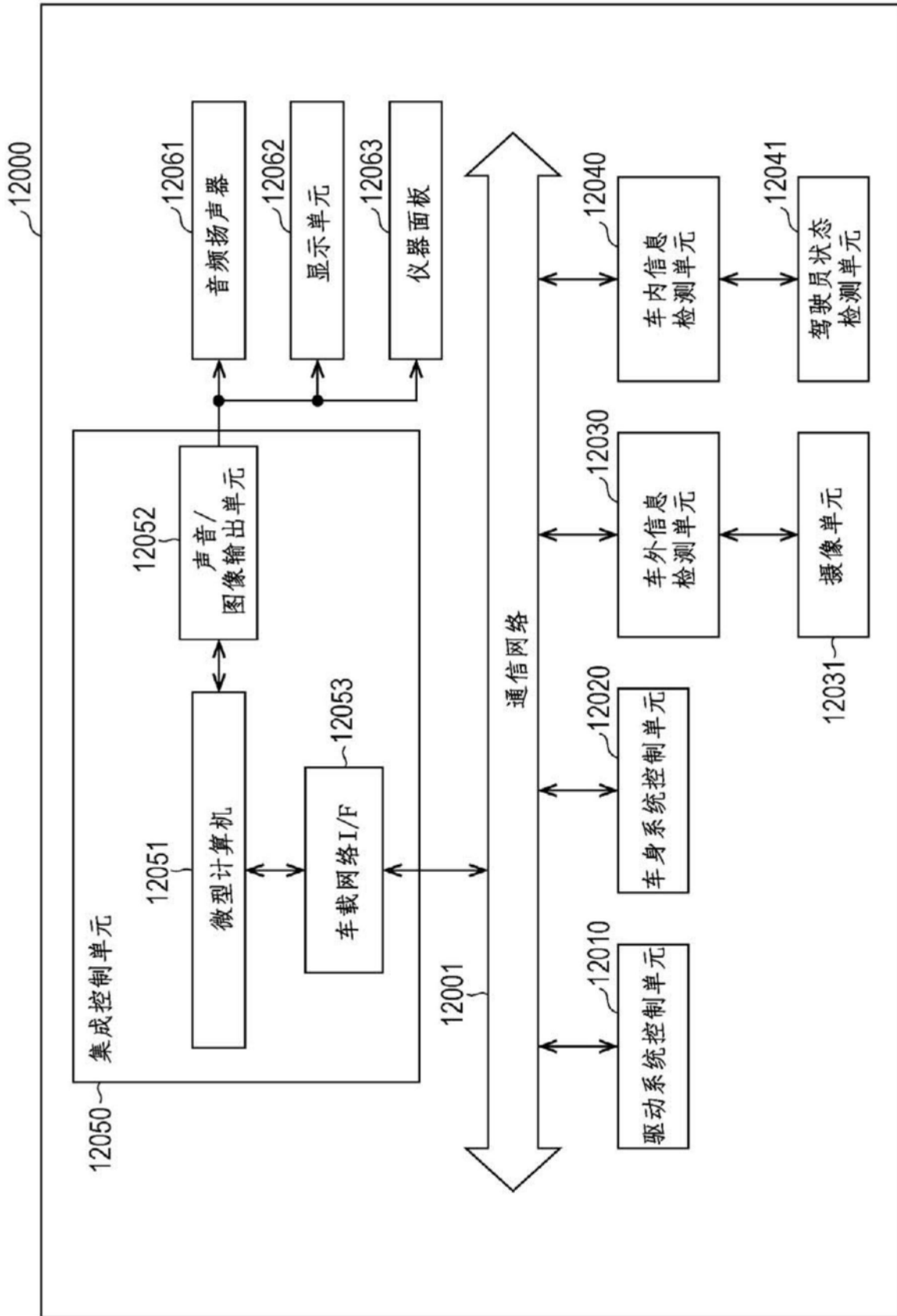


图27

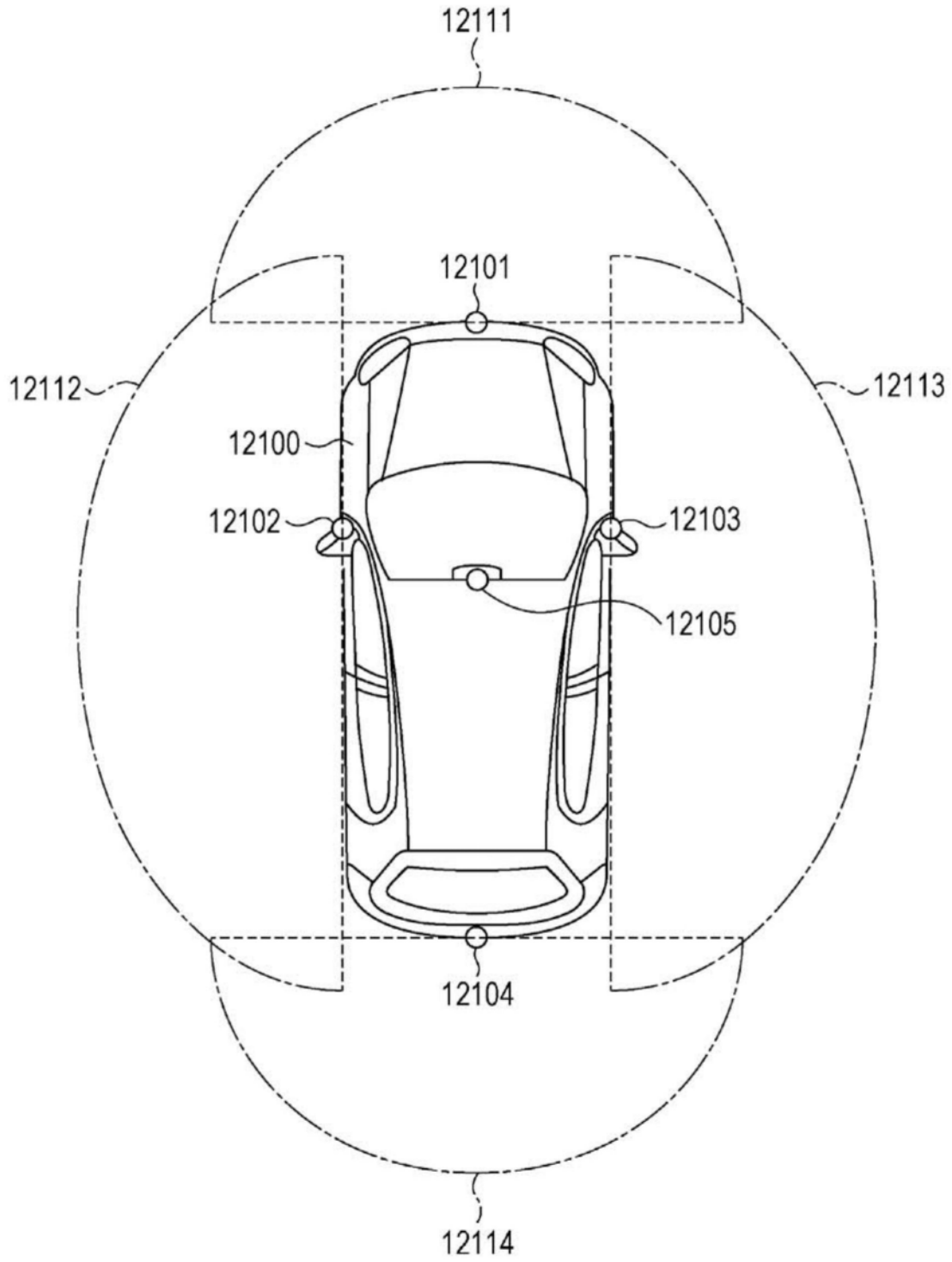


图28