

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 15 日(15.12.2016)



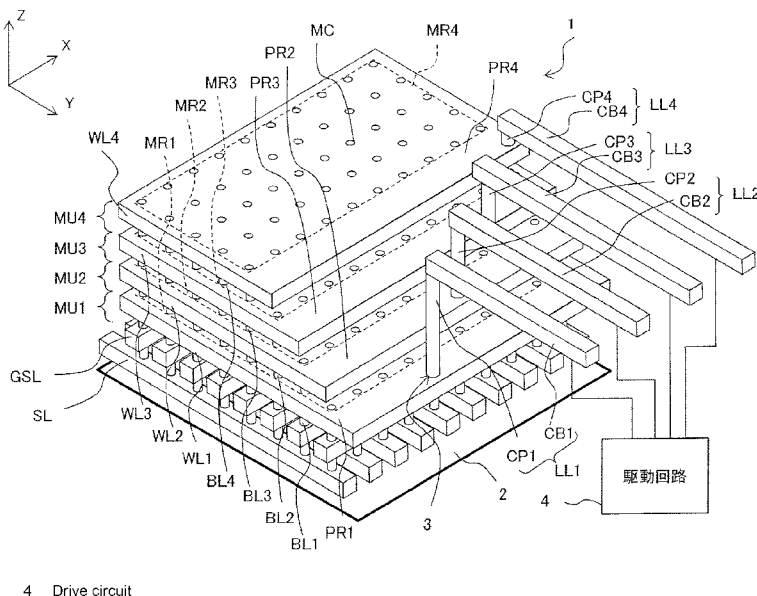
(10) 国際公開番号
WO 2016/199556 A1

- (51) 国際特許分類:
H01L 27/105 (2006.01) H01L 45/00 (2006.01)
H01L 27/10 (2006.01) H01L 49/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/064772
- (22) 国際出願日: 2016 年 5 月 18 日(18.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-117228 2015 年 6 月 10 日(10.06.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 Kanagawa (JP).
- (72) 発明者: 寺田 晴彦 (TERADA, Haruhiko); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号さわだビル 3 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: MEMORY DEVICE AND MEMORY SYSTEM

(54) 発明の名称: メモリデバイスおよびメモリシステム

[図1]



(57) Abstract: Provided is a memory device having a structure suitable for higher integration while ensuring ease of manufacture. The memory device is provided with n memory cell units which are layered on a substrate successively from a first memory cell unit to an n -th memory cell unit in a first direction. Each of the n memory cell units includes: one or more first electrodes; a plurality of second electrodes each of which is disposed so as to intersect the first electrode; a plurality of memory cells which are disposed at points of intersection of the first electrode and each of the plurality of second electrodes, and which are respectively connected to both the first electrode and the second electrodes; and one or more lead-out wires connected to the first electrode and forming one or more connection portions. At least one connection portion in a $(m + 1)$ -th memory cell unit is positioned so as to overlap, in a first direction, an m -th memory cell region surrounded by a plurality of memory cells in the m -th memory cell unit.

(57) 要約:

[続葉有]

WO 2016/199556 A1



製造上の容易性を担保しつつ、より高集積化に適した構造を有するメモリデバイスを提供する。このメモリデバイスは、基板の上に、第1の方向において第1番目から第 n 番目まで順に積層された n 個のメモリセルユニットを備える。 n 個のメモリセルユニットは、それぞれ、1以上の第1電極と、この第1電極と各々交差するように設けられた複数の第2電極と、第1電極と複数の第2電極との各々の交差点に設けられ、第1電極と第2電極との双方にそれぞれ接続された複数のメモリセルと、第1電極に接続されて1以上の接続部を形成する1以上の引き出し線とを有する。第 $(m+1)$ 番目のメモリセルユニットにおける少なくとも1つの接続部は、第 m 番目のメモリセルユニットにおいて複数のメモリセルが取り囲む第 m 番目のメモリセル領域と第1の方向において重なり合う位置にある。

明 細 書

発明の名称：メモリデバイスおよびメモリシステム

技術分野

[0001] 本開示は、不揮発性の記憶部を複数備えたメモリデバイスおよびメモリシステムに関する。

背景技術

[0002] これまでに、不揮発性のメモリセルを複数備えたメモリデバイスにおいて、そのメモリセルの集積度向上の検討が進められている。近年、メモリセルのさらなる高集積化に対応するため、複数のメモリセルを3次元的に配列したメモリデバイスが提案されている（例えば特許文献1～3参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-222994号公報

特許文献2：国際公開2012/070236号明細書

特許文献3：特開2011-114011号公報

発明の概要

[0004] ところで最近では、メモリセルの高集積化に対するニーズがさらに高まっている。

[0005] したがって、製造上の容易性を担保しつつ、より高集積化に適した構造を有するメモリデバイスを提供することが望ましい。さらに、そのようなメモリデバイスを備えたメモリシステムを提供することが望ましい。

[0006] 本開示の一実施形態としてのメモリデバイスは、基板の上に、第1の方向において第1番目から第n番目まで順に積層されたn個のメモリセルユニットを備える。これらn個のメモリセルユニットは、それぞれ、1以上の第1電極と、この第1電極と各々交差するように設けられた複数の第2電極と、1以上の第1電極と複数の第2電極との各々の交差点に設けられ、第1電極と第2電極との双方にそれぞれ接続された複数のメモリセルと、記第1電極

に接続されて 1 以上の接続部を形成する 1 以上の引き出し線とを有する。ここで、第 $(m+1)$ 番目 (m は n 以下の自然数) のメモリセルユニットにおける少なくとも 1 つの接続部は、第 m 番目のメモリセルユニットにおいて複数のメモリセルが取り囲む第 m 番目のメモリセル領域と第 1 の方向において重なり合う位置にある。すなわち、このメモリデバイスでは、第 1 の方向における第 m 番目のメモリセル領域の投影像と、第 $(m+1)$ 番目のメモリセルユニットにおける接続部の第 1 の方向における投影像とが重なり合うように構成されている。

[0007] 本開示の一実施形態としてのメモリシステムは、上記のメモリデバイスと、そのメモリデバイスの制御を行う制御部とを備えたものである。

[0008] 本開示の一実施形態としてのメモリデバイスおよびメモリシステムでは、第 $(m+1)$ 番目のメモリセルユニットにおける少なくとも 1 つの接続部は、第 m 番目のメモリセルユニットにおけるメモリセル領域と重なり合う位置に設けられている。このため、メモリデバイス全体として、所定の空間内においてより多くのメモリセルを有することができる。

[0009] 本開示の一実施形態としてのメモリデバイスおよびメモリシステムによれば、高集積化を図ることができる。なお、本開示の効果はこれに限定されるものではなく、以下の記載のいずれの効果であってもよい。

図面の簡単な説明

[0010] [図1]本開示の第 1 の実施の形態に係るメモリデバイスの全体構成例を表す斜視図である。

[図2]図 1 に示したメモリデバイスの一部を表す等価回路図である。

[図3]図 1 に示したメモリデバイスに適用される選択トランジスタの一例を拡大して表す拡大斜視図である。

[図4A]図 1 に示したメモリデバイスに適用されるメモリセルを拡大して表す拡大斜視図およびその等価回路図である。

[図4B]図 1 に示したメモリデバイスに適用される他のメモリセルを拡大して表す拡大斜視図およびその等価回路図である。

[図5A]図 1 に示したメモリデバイスの製造方法における一工程を表す斜視図である。

[図5B]図 5 A に続く一工程を表す断面図である。

[図5C]図 5 B に続く一工程を表す断面図である。

[図5D]図 5 C に続く一工程を表す断面図である。

[図5E]図 5 D に続く一工程を表す断面図である。

[図6]本開示の第 1 の実施の形態に係るメモリデバイスの第 1 の変形例を表す斜視図である。

[図7]図 6 に示したメモリデバイスの一部を表す等価回路図である。

[図8]図 6 に示したメモリデバイスに適用されるメモリセルの一例を拡大して表す拡大斜視図である。

[図9]図 6 に示したメモリデバイスの一部を表す斜視図である。

[図10]本開示の第 1 の実施の形態に係るメモリデバイスの第 2 の変形例を表す斜視図である。

[図11]本開示の第 2 の実施の形態に係るメモリデバイスの全体構成例を表す斜視図である。

[図12]図 1 1 に示したメモリデバイスに適用されるメモリセルを拡大して表す拡大斜視図およびその等価回路図である。

[図13]図 1 1 に示したメモリデバイスの要部断面を概略的に表す断面図である。

[図14A]図 1 1 に示したメモリデバイスの製造方法における一工程を表す斜視図である。

[図14B]図 1 4 A に続く一工程を表す断面図である。

[図14C]図 1 4 B に続く一工程を表す断面図である。

[図14D]図 1 4 C に続く一工程を表す断面図である。

[図14E]図 1 4 D に続く一工程を表す断面図である。

[図14F]図 1 4 E に続く一工程を表す断面図である。

[図14G]図 1 4 F に続く一工程を表す断面図である。

[図14H]図14Gに続く一工程を表す断面図である。

[図14J]図14Hに続く一工程を表す断面図である。

[図14K]図14Jに続く一工程を表す断面図である。

[図14L]図14Kに続く一工程を表す断面図である。

[図15]本開示の第3の実施の形態に係るメモリデバイスの全体構成例を表す斜視図である。

[図16]図15に示したメモリデバイスに適用されるメモリセルを拡大して表す拡大斜視図およびその等価回路図である。

[図17A]図15に示したメモリデバイスの製造方法における一工程を表す斜視図である。

[図17B]図17Aに続く一工程を表す断面図である。

[図17C]図17Bに続く一工程を表す断面図である。

[図17D]図17Cに続く一工程を表す断面図である。

[図17E]図17Dに続く一工程を表す断面図である。

[図17F]図17Eに続く一工程を表す断面図である。

[図17G]図17Fに続く一工程を表す断面図である。

[図18A]図15に示したメモリデバイスの要部断面を概略的に表す断面図である。

[図18B]図15に示したメモリデバイスの要部断面を概略的に表す他の断面図である。

[図19]本開示のメモリデバイスを備えたメモリシステムの概略構成を表す説明図である。

発明を実施するための形態

[0011] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（複数のWLが階段状に配置されたメモリデバイス）
2. 変形例1（第1の実施の形態の第1の変形例）
3. 変形例2（第1の実施の形態の第2の変形例）

4. 第2の実施の形態（WLと実質的に同一の平面形状を有する抵抗変化素子を備えたメモリデバイス）

5. 第3の実施の形態（WLと実質的に同一の平面形状を有する抵抗変化素子を備えた他のメモリデバイス）

6. 適用例（メモリデバイスを備えたメモリシステム）

[0012] <1. 第1の実施の形態>

[メモリデバイス1の構成]

図1は、本開示の第1の実施の形態としてのメモリデバイス1の全体構成例を表す斜視図である。また、図2は、図1のメモリデバイス1の一部を表す等価回路図である。

[0013] メモリデバイス1は、3次元構造を有する不揮発性の記憶装置であり、X軸方向およびY軸方向に広がる主面を有する半導体基板2（以下、単に基板2という）の上に、Z軸方向において第1番目から第n番目まで順に積層されたn個のメモリセルユニットMUを備えている。図1および図2では、 $n=4$ の場合、すなわち4つのメモリセルユニットMU1～MU4が順に積層された場合を例示している。また、図2では、4つのメモリセルユニットMU1～MU4のうちの一部のみを表している。

[0014] n個のメモリセルユニットMUは、それぞれ、1つの板状電極WLと、この板状電極WLと各々交差するように設けられた複数の柱状電極BLと、板状電極WLと複数の柱状電極BLとの各々の交差点に設けられ、板状電極WLと柱状電極BLとの双方にそれぞれ接続された複数のメモリセルMCと、板状電極WLに接続されて接続部3を形成する引き出し線4とを有している。板状電極WLはXY平面に沿って広がり、各メモリセルユニットMUを構成する複数の柱状電極BLに対して共通に設けられている。複数の柱状電極BLは、板状電極WLから基板2へ向けてそれぞれ立設されている。なお、ここでは、メモリセルユニットMU1～MU4に設けられた複数の柱状電極BLのうち、Z軸方向において互いに重なり合う位置にある柱状電極BL同士は板状電極WLを貫通して繋がっている。また、XY平面内において、第

($m+1$) 番目のメモリセルユニット $MU(m+1)$ における板状電極 $WL(m+1)$ の占有面積は、第 m 番目のメモリセルユニット MUm における板状電極 WLm の占有面積よりも小さい。すなわち、メモリセルユニット $MU2$ における板状電極 $WL2$ の占有面積は、メモリセルユニット $MU1$ における板状電極 $WL1$ の占有面積よりも小さい。メモリセルユニット $MU3$ における板状電極 $WL3$ の占有面積は、メモリセルユニット $MU2$ における板状電極 $WL2$ の占有面積よりも小さい。メモリセルユニット $MU3$ における板状電極 $WL2$ の占有面積は、メモリセルユニット $MU2$ における板状電極 $WL2$ の占有面積よりも小さい。メモリセルユニット $MU4$ における板状電極 $WL4$ の占有面積は、メモリセルユニット $MU3$ における板状電極 $WL3$ の占有面積よりも小さい。このように、全体として階段構造を構成するように、基板 2 から遠ざかるほど板状電極 WL の占有面積は徐々に小さくなっている。

[0015] 第 1 番目の（すなわち最下層の）メモリセルユニット $MU1$ と基板 2 との間には、ディプレッション (Depletion) 型トランジスタとして機能する複数の選択トランジスタ Tr が、各柱状電極 BL の延長上に設けられている。図 3 には、選択トランジスタ Tr の一構成例を拡大して表す拡大斜視図（図中右側）と、それに対応する等価回路図（図中左側）とを示す。図 3 に示したように、メモリセルユニット $MU1$ の下方には、 X 軸方向に延在すると共に Y 軸方向に並ぶ複数のゲート選択線 GS_L が設けられている。さらに、複数のゲート選択線 GS_L の下方には、 Y 軸方向に延在すると共に X 軸方向に並ぶ複数のソース線 SL が設けられている。複数のゲート選択線 GS_L と複数のソース線 SL との各交差点には、ゲート選択線 GS_L とソース線 SL とをつなぐコンタクト線 CL がそれぞれ設けられている。また、最下層のメモリセルユニット $MU1$ の柱状電極 $BL1$ はゲート選択線 GS_L を貫き、コンタクト線 CL と接続されている。但し、柱状電極 $BL1$ とゲート選択線 GS_L とは、それらの間に設けられた絶縁層 $Z1$ により互いに電氣的に絶縁されている。

[0016] ソース線S Lの構成材料としては、例えばCu、AlもしくはWなどを含む金属が好ましい。または、C、Si、Ge、InおよびGaのうちの1以上の元素を含んで導電性を有する材料（例えば、カーボンナノチューブや活性化ポリシリコンなど）を用いてもよい。また、ゲート選択線G S L、板状電極W L、柱状電極B Lなど、他の各種配線および各種電極についても、特に記載のない限り、ソース線S Lの構成材料と同様の材料を用いて構成することができる。

[0017] 図1に示したように、複数のメモリセルユニットMU（MU1～MU4）は、それぞれ、メモリセル領域MR（MR1～MR4）と周辺領域PR（PR1～PR4）とを有している。メモリセル領域MRとは、複数のメモリセルMCが占める領域である。より具体的には、各メモリセルユニットMUに含まれる全てのメモリセルMCのうち、XY平面内において最も外側に位置するいくつかのメモリセルMCを順次繋ぐ仮想線によって取り囲まれた領域（図1において破線で取り囲まれた領域）をいう。一方、周辺領域PRは、各メモリセルユニットMUを構成する板状電極W Lが占める領域のうち、メモリセル領域MRを除いた残りの領域をいう。

[0018] 図4Aに、メモリセルMCの一構成例を拡大して表す拡大斜視図（図中右側）と、それに対応する等価回路図（図中左側）とを示す。図4Aでは、第1番目のメモリセルユニットMU1における任意の1つのメモリセルMCの近傍を代表して示している。図4Aに示したように、最下層のメモリセルユニットMU1の柱状電極B L1は板状電極W L1をZ軸方向に貫いている。他のメモリセルユニットMU2～MU4についても同様の構成を有する。すなわち、柱状電極B L2は板状電極W L2をZ軸方向に貫き、柱状電極B L3は板状電極W L3をZ軸方向に貫き、柱状電極B L4は板状電極W L4をZ軸方向に貫いている。但し、柱状電極B L1～B L4と板状電極W L1～B Lとは、それらの間に挟まれるように設けられたメモリセルMCとしての抵抗変化素子VRによりそれぞれ互いに分離されている。なお、メモリデバイス1に搭載される各メモリセルMCは、図4Bに示したように、柱状電極

B L 1 と抵抗変化素子 V R との間に、選択素子 S E L が挿入されたものであってもよい。図 4 A および図 4 B に示したいずれのメモリセル M C においても、ソース線 S L と板状電極 W L との間にアクセス電圧を印加し、ゲート選択線 G S L の電圧を制御して抵抗変化素子 V R にアクセスパルスを与え、その抵抗状態を変化させる、あるいはその抵抗状態を読み取ることができる。但し、図 4 B における選択素子 S E L は、一定の電圧より大きなアクセスパルスが印加されたときにのみ、抵抗変化素子 V R へ電流を流すことで、非選択の抵抗変化素子 V R が誤ってアクセスされるのを防ぐ役割を有する。

[0019] 抵抗変化素子 V R は、例えばイオン供給層と絶縁層との積層構造からなる。このイオン供給層の材料としては、例えば、C u , A g , Z r , A l から選ばれる 1 つ以上の金属元素を含有する金属膜、合金膜（例えば C u T e 合金膜）、金属化合物膜等が挙げられる。なお、イオン化しやすい性質を有するならば、C u , A g , Z r , A l 以外の金属元素を用いてもよい。また、C u , A g , Z r , A l の少なくとも一つと組み合わせられる元素は、S , S e , T e のうちの少なくとも一つの元素であることが望ましい。また、抵抗変化素子 V R における絶縁層の構成材料としては、例えば、S i N , S i O₂ , G d₂ O₃ 等が挙げられる。

[0020] メモリデバイス 1 では、第 (m + 1) 番目のメモリセルユニット M U (m + 1) における第 (m + 1) 番目のメモリセル領域 M R (m + 1) の大きさは、第 m 番目のメモリセル領域 M R m の大きさよりも狭くなっている。また、第 (m + 1) 番目のメモリセルユニット M U (m + 1) における複数のメモリセル M C の数（柱状電極 B L (m + 1) の数）は、第 m 番目のメモリセルユニット M U m における複数のメモリセル M C の数（柱状電極 B L m の数）よりも少なくなっている。図 1 の例では、メモリセルユニット M U 1 におけるメモリセル領域 M R 1 には、メモリセル M C および柱状電極 B L 1 が合計 8 0 個（X 方向に 1 0 個、Y 方向に 8 個）配置されている。これに対し、メモリセルユニット M U 2 のメモリセル領域 M R 2 には、合計 7 0 個（X 方向に 1 0 個、Y 方向に 7 個）のメモリセル M C および柱状電極 B L 2 が配置

されている。また、メモリセルユニットMU3のメモリセル領域MR3には、合計60個（X方向に10個、Y方向に6個）のメモリセルMCおよび柱状電極BL3が配置されている。さらに、メモリセルユニットMU4のメモリセル領域MR4には、合計50個（X方向に10個、Y方向に5個）のメモリセルMCおよび柱状電極BL4が配置されている。

[0021] 引き出し線LL（LL1～LL4）は、第1電極WLとの接続部3を形成すると共に、その接続部3から上方、すなわち基板2から遠ざかる方向へ伸びるコンタクトピラーCP（CP1～CP4）と、そのコンタクトピラーCP（CP1～CP4）の上端と接続されてXY面内（図1ではY軸方向）に伸びるビームCB（CB1～CB4）とを有する。ビームCBの他端は駆動回路4と接続されている。駆動回路4は、例えば基板2に埋設されており、所望のメモリセルMCへの書き込み動作および所望のメモリセルMCからの読み出し動作を実行するものである。駆動回路4は、例えば外部からの制御信号に基づき、その所望のメモリセルMCに対応する板状電極WL、柱状電極BL、選択トランジスタTrのゲート選択線などへの印加電圧を調整する。なお、引き出し線LL（LL1～LL4）は、1つの板状電極WL（WL1～WL4）に対して複数設けられていてもよい。

[0022] 第（m+1）番目のメモリセルユニットMU（m+1）における少なくとも1つの接続部3は、周辺領域PR（m+1）のうち第m番目のメモリセルユニットMU_mにおいて複数のメモリセルMCが取り囲む第m番目のメモリセル領域MR_mとZ軸方向において重なり合う位置にある。すなわち、メモリセルユニットMU2における接続部3は、周辺領域PR2のうちメモリセル領域MR1とZ軸方向において重なり合う位置にある。メモリセルユニットMU3における接続部3は、周辺領域PR3のうちメモリセル領域MR2とZ軸方向において重なり合う位置にある。メモリセルユニットMU4における接続部3は、周辺領域PR4のうちメモリセル領域MR3とZ軸方向において重なり合う位置にある。図1では、特に、第（m+1）番目のメモリセルユニットMU（m+1）における接続部3が、第m番目のメモリセルユ

ニットM U mにおける複数のメモリセルMCのいずれかとZ軸方向において重なり合う位置にある。

[0023] [メモリデバイス1の製造方法]

このメモリデバイス1は、例えば次のようにして製造することができる。

[0024] 図5 A～図5 Eは、メモリデバイス1の製造方法の一部を工程順に表したものである。まず、図5 Aに示したように、XY平面に沿った主面2 Sを有する基板2を用意し、この主面2 Sに、駆動回路4（ここでは図示せず）を形成する。そののち、基板2の上に、Y軸方向に延在する複数のソース線S Lを、X軸方向に並べるように形成する。

[0025] 次に、複数のソース線S Lを覆うようにS i O₂などからなる絶縁層（図示せず）を全面的に形成したのち、図5 Bに示したように、複数のソース線S Lと交差するようにX軸方向へ延在すると共にY軸方向に並ぶ複数のゲート選択線G S Lを形成する。さらに、Z軸方向において重なり合う複数のソース線S Lと複数のゲート選択線G S Lとの各交差点において、ゲート選択線G S Lと、その直下の絶縁層（ソース線S Lとゲート選択線G S Lとの間に挟まれた絶縁層）とを貫く貫通孔Kをそれぞれ形成する。各貫通孔はソース線S Lの上面まで到達している。そののち、それらの貫通孔Kの内壁面を覆うように絶縁層Z 1（図3参照）を形成したのち、その内部を所定の導電性材料により充填することにより、コンタクト線C Lを形成する。

[0026] 続いて、図5 Cに示したように、すべての柱状電極B L 1を覆うように、板状電極W L 1を形成する。その際、板状電極W L 1を、複数のメモリセルMCを形成することとなるメモリセル領域M R 1の周辺に、周辺領域P R 1を含む大きさとする。さらに、板状電極W L 1の、下方に位置する複数のコンタクト線C Lと対応する位置にそれぞれ貫通孔（図示せず）を設ける。そののち、それらの貫通孔の内壁面を覆うように抵抗変化素子V Rを形成し、その内部を所定の導電性材料により充填することにより、それぞれコンタクト線C Lと接続するように柱状電極B L 1を複数形成する（図4 A参照）。これにより、メモリセル領域M R 1に複数のメモリセルMCが配設されたメ

モリセルユニットMU 1 が完成する。

[0027] 続いて、図5 Dに示したように、板状電極WL 1の上方に、板状電極WL 2を形成する。その際、周辺領域PR 1と重ならないように、板状電極WL 2のY軸方向の寸法を板状電極WL 1のY軸方向の寸法よりも小さくする。さらに、板状電極WL 2の、下方に位置する複数の柱状電極BL 1と対応する位置にそれぞれ貫通孔を設ける。そののち、それらの貫通孔の内壁面を覆うように抵抗変生素子VRを形成し、その内部を所定の導電性材料により充填することにより、それぞれの柱状電極BL 1と接続するように柱状電極BL 2を複数形成する。これにより、メモリセル領域MR 2に複数のメモリセルMCが配設されたメモリセルユニットMU 2が完成する。

[0028] こののち、同様の操作を繰り返すことにより、図5 Eに示したように、メモリセルユニットMU 3とメモリセルユニットMU 4とを順に形成する。このように、板状電極WL 1～WL 4を階段状に形成したのち、板状電極WL 1～WL 4の周辺領域PR 1～PR 4にそれぞれ立設するように、コンタクトピラーCP 1～CP 4を一括形成する。さらに、それらのコンタクトピラーCP 1～CP 4の上端と接続されるように、ビームCB 1～CB 4を一括形成する。これにより、引き出し線LL 1～LL 4が得られる。

[0029] 以上により、メモリデバイス1が完成する。

[0030] [メモリデバイス1の作用効果]

メモリデバイス1では、第(m+1)番目のメモリセルユニットMU (m+1)における接続部3は、第m番目のメモリセルユニットMmにおけるメモリセル領域MR mとZ軸方向において重なり合う位置に設けられている。すなわち、メモリセルユニットMU (m+1)において接続部3が設けられた周辺領域PR (m+1)の下方にも、メモリセルユニットMU mを構成するメモリセルMCを配置するようにしている。このため、メモリデバイス1全体として、空間を効率的に利用し、所定の空間内においてより多くのメモリセルMCを有することができる。よって、高集積化を図ることができる。

[0031] <2. 変形例1>

図6は、上記したメモリデバイス1の第2の変形例であるメモリデバイス1Aの全体構成例を表した斜視図である。また、図7は、図6のメモリデバイス1Aの一部を表す等価回路図である。さらに、図8は、メモリセルMCの一構成例を拡大して表す拡大斜視図（図中右側）と、それに対応する等価回路図（図中左側）とを示したものである。

[0032] このメモリデバイス1Bは、メモリセルユニットMU1～MU4の各々において、板状電極WLの代わりに、Y軸方向にそれぞれ延在すると共にX軸方向において交互に並ぶ第1線状電極21と第2線状電極22とをそれぞれ複数有している。また、柱状電極BL（BL1～BL4）は、メモリセルユニットMU1～MU4の各々における、X軸方向に隣り合う第1線状電極21と第2線状電極22との間にそれぞれ挟まれている。また、図8に示したように、メモリセルMCは、柱状電極BLと第1線状電極21との間、およびその柱状電極BLと第2線状電極22との間にそれぞれ挟まれた抵抗変化素子VRにより構成されている。なお、図6では、抵抗変化素子VRの図示を省略している。

[0033] また、引き出し線LLの代わりに、図6に示したように、引き出し線25、28が設けられている。引き出し線25は、第1線状電極21と接続されて第1接続部分3Aを形成する第1コンタクトピラー23と、その第1コンタクトピラー23の上端と接続されて例えばX軸方向へ延在する第1ビーム24とを有している。一方、引き出し線28は、第2線状電極22と接続されて第2接続部分3Bを形成する第2コンタクトピラー26と、その第2コンタクトピラー26の上端と接続されて例えばX軸方向へ延在する第2ビーム27とを有している。なお、メモリセルユニットMU1～MU4の各々において、複数の第1線状電極21とそれぞれ接続された複数の第1コンタクトピラー23は、一の第1ビーム24に対して共通に接続されている。同様に、メモリセルユニットMU1～MU4の各々において、複数の第2線状電極22とそれぞれ接続された複数の第2コンタクトピラー26は、一の第2ビーム27に対して共通に接続されている。

[0034] このメモリデバイス 1 B は、Y 軸方向に並び、かつ、X 軸方向に延在する複数のゲート選択線 G S L を有しており、それら複数のゲート選択線 G S L の各々は、X 軸方向に並ぶ複数の柱状電極 B L と接続されている。

[0035] 図 9 に、第 1 ビーム 2 4 および第 2 ビーム 2 7 を省略したメモリデバイス 1 B の要部構成を示す。図 9 に示したように、第 1 線状電極 2 1 および第 2 線状電極 2 2 は、階段状に配置されている。すなわち、第 $(m+1)$ 番目のメモリセルユニット M U $(m+1)$ における第 1 線状電極 2 1 の Y 軸方向の寸法は、第 m 番目のメモリセルユニット M U m における第 1 線状電極 2 1 の Y 軸方向の寸法よりも短くなっている。同様に、メモリセルユニット M U $(m+1)$ における第 2 線状電極 2 2 の Y 軸方向の寸法は、メモリセルユニット M U m における第 2 線状電極 2 2 の Y 軸方向の寸法よりも短い。このような構成により、複数の第 1 コンタクトピラー 2 3 および複数の第 2 コンタクトピラー 2 6 が立設する領域は、メモリセル M C が設けられたメモリセル領域と Z 軸方向において重なり合うこととなる。よって、このメモリデバイス 1 A においても、上記第 1 の実施の形態のメモリデバイス 1 と同様、高集積化を図ることができる。

[0036] < 3. 変形例 2 >

図 1 0 は、上記したメモリデバイス 1 の第 2 の変形例であるメモリデバイス 1 B の全体構成例を表した斜視図である。上記第 1 の実施の形態のメモリデバイス 1 では、板状電極 W L を 1 層積層するたびに、その板状電極 W L に貫通孔を開け、メモリセル M C および柱状電極 B L の形成を行うようにした。これに対し、本変形例のように、より製造工程を簡略化するために、複数の板状電極 W L を積層したのち、複数の板状電極 W L に対する共通の貫通孔の形成を行うようにしてもよい。その場合、メモリセル M C および柱状電極 B L の形成を、複数のメモリセルユニット M U に亘って一括形成することができる。図 1 0 では、2 つの板状電極 W L を積層したのち、それら 2 つの板状電極 W L に対して一括して貫通孔の形成を行い、さらに、その貫通孔を埋めるようにメモリセル M C および柱状電極 B L の形成を行うようにしたもの

である。なお、3層以上の板状電極WLに対して共通の貫通孔の形成を行うようにしてもよい。

[0037] <4. 第2の実施の形態>

[メモリデバイス1Bの構成]

図11は、本開示の第2の実施の形態としてのメモリデバイス1Bの全体構成例を表す斜視図である。図12は、図11に示したメモリデバイス1Bに適用されるメモリセルMCの近傍を拡大して表す拡大斜視図およびその等価回路図である。また、図13は、メモリデバイス1Bの要部断面を概略的に表す断面図である。

[0038] 図11～図13に示したように、メモリデバイス1Bは、Z軸方向において、複数のビット線BLと複数のメモリセルMCと複数のワード線WLとが基板2（図13のみ示す）の側から順に積層されている。より具体的には、基板2の上に、ビット線BL0、メモリセルMC、ワード線WL0、メモリセルMC、ビット線BL1、メモリセルMC、ワード線WL1、メモリセルMC、ビット線BL2・・・が順に積層されている。メモリセルMCは、基板2の側から選択素子SELと抵抗変化素子VRとが順に積層された積層構造を有する。また、抵抗変化素子VRは、その直上のワード線WLもしくはビット線BLと実質的に同じ平面形状を有する。

[0039] 複数のワード線WLは、おおよそX軸方向へそれぞれ延在すると共にY軸方向に並ぶように配置され、複数のビット線BLは、おおよそY軸方向へそれぞれ延在すると共にX軸方向に並ぶように配置されている。メモリセルMCにおける選択素子SELは、X軸方向およびY軸方向の双方において並ぶように複数配置されている。1つの抵抗変化素子VRは、X軸方向に並ぶ複数の選択素子SELに対し共通に設けられ、もしくはY軸方向に並ぶ複数の選択素子SELに対し共通に設けられている。

[0040] 本実施の形態においても、第(m+1)番目のメモリセルユニットにおいて複数のメモリセルMCが取り囲む第(m+1)番目のメモリセル領域MR(m+1)は、第m番目のメモリセル領域MRmよりも狭い。また、引き出

し線として、ワード線WLと接続されて接続部としての第1接続部分30Aを形成し基板2から遠ざかるように伸びる第1コンタクトピラー31と、ビット線BLと接続されて接続部としての第2接続部分30Bを形成し基板2から遠ざかるように伸びる第2コンタクトピラー32とを有する。

[0041] 第1コンタクトピラー31の上端は、ビーム41Aおよびピラー41Bを含む配線41により駆動回路4と接続されている。また、第2コンタクトピラー32の上端は、ビーム42Aおよびピラー42Bを含む配線42により駆動回路4と接続されている。

[0042] [メモリデバイス1Bの製造方法]

このメモリデバイス1Bは、例えば次のようにして製造することができる。

[0043] 図14A～図14Lは、メモリデバイス1Bの製造方法の一部を工程順に表したものである。まず、図14Aに示したように、XY平面に沿った主面2Sを有する基板2を用意し、この主面2Sに、駆動回路4（ここでは図示せず）を形成する。そののち、基板2の上に、コンタクト線CLを複数立設させたのち、そのコンタクト線CLと接続されるように、Y軸方向に延在する複数のビット線BL0を、X軸方向に並べるように形成する。

[0044] 次に、図14Bに示したように、メモリセル領域MR（MR1）において全体としてマトリックス状をなすように複数の選択素子SELを形成する。ここでは、1つのビット線BL0に対し複数の選択素子SELをY軸方向において例えば等間隔で並ぶように立設させる。メモリセル領域MRからY軸方向に沿って両隣に延在する領域を周辺領域（もしくはコンタクト領域）PR（PR1）と呼ぶ。周辺領域PRにおいて、ビット線BL0の一部は幅の広い屈曲部分を有している。これは、ビット線BL0の幅に対してより大きな径を有するコンタクト線CLを配置可能とするためである。なお、ビット線BL0は、図14A～図14Lでは途切れているが、隣接配置された他のメモリセルブロックMB（後出）に接続される。基本的に1つのコンタクト線CLにより、2つのメモリセルユニットにあるビット線BL0が駆動され

る。例えば図14Aなどでは8本のビット線BL0が描かれるのに対し、コンタクト線はそのうちの4本のビット線BL0にしか配置されていないのはこのためである。コンタクト線CLの配置されていない残り4本のビット線BL0は、隣接するメモリセルブロックMBから延びるビット線BL0に接続され、駆動される。

[0045] 次に、図14Cに示したように、選択素子SELの上層として、抵抗変化素子VRとワード線WL0とを順に全面に亘って積層したのち、それらがおおよそX軸方向に延在する複数（図14Cでは例として8つ）の線状パターンとなるように一括パターニングする。この際、X軸方向に伸びる抵抗変化素子VRとワード線WL0との積層構造である積層パターンP0が、X軸方向に並ぶ複数の選択素子SELに対して共通に接続されるようにする。なお、図14Cでは、8つの積層パターンP0のうちの1つのみについて抵抗変化素子VRとワード線WL0との積層構造を描いているが、他の積層パターンP0についての同様の構造である。

[0046] 次に、図14Dに示したように、各積層パターンP0の上に、複数の選択素子SELをマトリックス状に配設する。図14Dでは、各積層パターンP0の上にそれぞれ4つの選択素子SELを配設する例を示している。このときのメモリセル領域MR2はメモリセル領域MR1（図14B）よりも狭くなっている。

[0047] 次に、図14Eに示したように、選択素子SELの上層として、抵抗変化素子VRとビット線BL1とを順に全面に亘って積層したのち、それらがおおよそY軸方向に延在する複数（図14Eでは例として4つ）の線状パターンとなるように一括パターニングする。この際、Y軸方向に伸びる抵抗変化素子VRとビット線BL1との積層構造である積層パターンP1が、Y軸方向に並ぶ複数の選択素子SELに対して共通に接続されるようにする。なお、図14Eでは、4つの積層パターンP1のうちの1つのみについて抵抗変化素子VRとビット線BL1との積層構造を描いているが、他の積層パターンP1についても同様の構造である。

[0048] 次に、図14Fに示したように、各積層パターンP1の上に、複数の選択素子SELをマトリックス状に配設する。図14Fでは、各積層パターンP1の上にそれぞれ4つの選択素子SELを配設する例を示している。このときのメモリセル領域MR3はメモリセル領域MR2（図14D）よりもさらに狭くなっている。

[0049] 次に、図14Gに示したように、選択素子SELの上層として、抵抗変化素子VRとワード線WL1とを順に全面に亘って積層したのち、それらがおおよそX軸方向に延在する複数（図14Gでは例として4つ）の線状パターンとなるように一括パターニングする。この際、X軸方向に伸びる抵抗変化素子VRとワード線WL1との積層構造である積層パターンP2が、X軸方向に並ぶ複数の選択素子SELに対して共通に接続されるようにする。なお、図14Gでは、4つの積層パターンP2のうちの1つのみについて抵抗変化素子VRとワード線WL1との積層構造を描いているが、他の積層パターンP2についても同様の構造である。

[0050] 次に、図14Hに示したように、各積層パターンP2の上に、複数の選択素子SELをマトリックス状に配設する。図14Hでは、各積層パターンP2の上にそれぞれ4つの選択素子SELを配設する例を示している。このときのメモリセル領域MR4はメモリセル領域MR3（図14F）と同等である。

[0051] 次に、図14Jに示したように、選択素子SELの上層として、抵抗変化素子VRとビット線BL2とを順に全面に亘って積層したのち、それらがおおよそY軸方向に延在する複数（図14Jでは例として4つ）の線状パターンとなるように一括パターニングする。この際、X軸方向に伸びる抵抗変化素子VRとビット線BL2との積層構造である積層パターンP3が、Y軸方向に並ぶ複数の選択素子SELに対して共通に接続されるようにする。なお、図14Jでは、4つの積層パターンP3のうちの1つのみについて抵抗変化素子VRとビット線BL2との積層構造を描いているが、他の積層パターンP3についても同様の構造である。

[0052] 次に、図14Kに示したように、ワード線WLから上方に伸びる第1コンタクトピラー31と、ビット線BLから上方に伸びる第2コンタクトピラー32とをそれぞれ複数形成する。併せて、駆動回路4（図11参照）と接続されたピラー41Bおよびピラー42Bをそれぞれ複数形成する。なお、図14Kでは、図11で示した基板2および駆動回路4を省略している。

[0053] 最後に、図14Lに示したように、第1コンタクトピラー31とピラー41Bとをそれぞれつなぐようにビーム41Aを複数形成すると共に、第2コンタクトピラー32とピラー42Bとをそれぞれつなぐようにビーム42Aを複数形成する。なお、図14Lでは、図11で示した基板2および駆動回路4を省略している。

[0054] 以上により、メモリデバイス1Bが完成する。

[0055] [メモリデバイス1Bの作用効果]

メモリデバイス1Bにおいても、周辺領域PRと、それと異なる階層のメモリセル領域MRとが重複するように構成されているので、空間を効率的に利用し、所定の空間内においてより多くのメモリセルMCを有することができる。よって、高集積化を図ることができる。また、抵抗変化素子VRは、その直上のワード線WLもしくはビット線BLと実質的に同じ平面形状を有するので、製造工程の簡略化を図ることができる。

[0056] <5. 第3の実施の形態>

[メモリデバイス1Cの構成]

図15は、本開示の第3の実施の形態としてのメモリデバイス1Cの全体構成例を表す斜視図である。図16は、図15に示したメモリデバイス1Cに適用されるメモリセルMCの近傍を拡大して表す拡大斜視図およびその等価回路図である。上記第2の実施の形態のメモリデバイス1Bでは、3層のビット線BLと2層のワード線WLとの間に、4層のメモリセルMCが形成されるようにした。このような構成の場合、ワード線WL0、ビット線BL1およびワード線WL1の3つの層は、2層のメモリセルMCに接続される。クロスポイントメモリにおいては、選択されないメモリセルMCにもリー

ク電流が流れるので、メモリセルMCの層数が増加すると、駆動回路4に加わる負荷が大きくなるおそれがある。そこで、本実施の形態のメモリデバイス1Cでは、メモリセルMC、ビット線BLおよびワード線WLを同層数有するようにし、各ビット線BLおよびワード線WLは1層のメモリセルMCにのみ接続する構造を実現している。

[0057] 具体的には、図15～図16に示したように、メモリデバイス1Cは、Z軸方向において、基板2の上に、ワード線WL0、メモリセルMC、ビット線BL0、絶縁層、ワード線WL1、メモリセルMC、ビット線BL1が順に積層されている。メモリセルMCは、基板2の側から選択素子SELと抵抗変化素子VRとが順に積層された積層構造を有する。また、抵抗変化素子VRは、その直上のビット線BLと実質的に同じ平面形状を有する。さらに、メモリデバイス1Cは、ワード線WL1と接続されて下方へ（基板2へ）向かうように伸びるコンタクトピラー51を有する。これらの点を除き、他は実質的に第2の実施の形態のメモリデバイス1Bと同様の構成を有している。

[0058] [メモリデバイス1Cの製造方法]

このメモリデバイス1Cは、例えば次のようにして製造することができる。

[0059] 図17A～図17Gは、メモリデバイス1Cの製造方法の一部を工程順に表したものである。まず、図17Aに示したように、コンタクト線CLを複数立設させたのち、そのコンタクト線CLと接続されるように、Y軸方向に延在する複数のワード線WL0を、X軸方向に並べるように形成する。

[0060] 次に、図17Bに示したように、メモリセル領域MR（MR1）において全体としてマトリックス状をなすように複数の選択素子SELを形成する。ここでは、1つのビット線BL0に対し複数（図17Bの例では4つ）の選択素子SELをY軸方向において例えば等間隔で並ぶように立設させる。メモリセル領域MRからY軸方向に沿って両隣に延在する領域を周辺領域（もしくはコンタクト領域）PR（PR1）と呼ぶ。周辺領域PRにおいて、ワ

ード線WL 0の一部は幅の広い屈曲部分を有している。これは、ワード線WL 0の幅に対してより大きな径を有するコンタクト線CLを配置可能とするためである。

[0061] 次に、図17Cに示したように、選択素子SELの上層として、抵抗変化素子VRとビット線BL 0とを順に全面に亘って積層したのち、それらがおおよそX軸方向に延在する複数の線状パターンとなるように一括パターニングする。この際、X軸方向に伸びる抵抗変化素子VRが、X軸方向に並ぶ複数の選択素子SELに対して共通に接続されるようにする。さらに、のちに形成されるワード線WL 1と接続するためのコンタクトピラー51を形成する。

[0062] 次に、絶縁層（図示せず）を全面的に形成したのち、図17Dに示したように、おおよそY軸方向に延在する複数のワード線WL 1を形成する。その際、コンタクトピラー51の上端と接続されるように、ワード線WL 1を形成する。

[0063] 次に、図17Eに示したように、各ワード線WL 1の上に、複数の選択素子SELをマトリックス状に配設する。

[0064] 次に、図17Fに示したように、選択素子SELの上層として、抵抗変化素子VRとビット線BL 1とを順に全面に亘って積層したのち、それらがおおよそX軸方向に延在する複数の線状パターンとなるように一括パターニングする。この際、X軸方向に伸びる抵抗変化素子VRが、X軸方向に並ぶ複数の選択素子SELに対して共通に接続されるようにする。

[0065] 次に、図17Gに示したように、ビット線BL 0、BL 1からそれぞれ上方に伸びるコンタクトピラー52A、52Bをそれぞれ複数形成する。併せて、駆動回路4と接続されたピラー53A、53Bをそれぞれ複数形成する。

[0066] 最後に、図15に示したように、コンタクトピラー52Aとピラー53Aとをつなぐようにビーム54Aを複数形成すると共に、コンタクトピラー52Bとピラー53Bとをつなぐようにビーム54Bを複数形成する。

[0067] 以上により、メモリデバイス 1 C が完成する。

[0068] [メモリデバイス 1 C の作用効果]

メモリデバイス 1 B においても、例えば図 18 A および図 18 B に示したように、周辺領域 P R と、それと異なる階層のメモリセル領域 M R とが重複するように構成されているので、空間を効率的に利用し、所定の空間内においてより多くのメモリセル M C を有することができる。よって、高集積化を図ることができる。また、抵抗変化素子 V R は、その直上のワード線 W L もしくはビット線 B L と実質的に同じ平面形状を有するので、製造工程の簡略化を図ることができる。なお、図 18 A は、ワード線 W L に沿った Y Z 断面であり、図 18 B は、ビット線 B L に沿った X Z 断面である。

[0069] 図 18 A に示したように、各ワード線 W L は、Y 軸方向の両端に周辺領域 P R を有しており、各々下方へ伸びるコンタクトピラー 5 1 により駆動回路 4（図示せず）と接続されている。本実施の形態のメモリデバイス 1 C では、ワード線 W L に関し、上層へ向かうほどワード線 W L の Y 軸方向の寸法が拡大するオーバーハング構造となっている。一方、図 18 B に示したように、ビット線 B L は上層へ向かうほど X 軸方向の寸法が縮小する階段構造となっている。このため、各ビット線 B L に対するコンタクトピラー 5 2 等は一括して形成可能である。

[0070] <6. 適用例>

次に、図 19 を参照して、上記第 1 から第 3 の実施の形態で説明したメモリデバイス 1、1 A、1 B、1 C（以下、ここではまとめてメモリデバイス 1 と記載する）を備えたメモリシステムについて説明する。図 19 に示したメモリシステムは、メモリデバイス 1 のほか、コントローラ 7 とホスト 8 とを備える。コントローラ 7 は、制御部としてメモリデバイス 1 の動作の全般を司る機能を有するものである。ホスト 8 は、コントローラ 7 に対して指令を出す外部装置である。

[0071] メモリデバイス 1 は、メモリセルブロック M B と、駆動回路 4 と、インターフェイス部 5 とを有する。インターフェイス部 5 はコントローラ 7 とのデ

ータ送受信機能を有する。メモリセルブロックMBとは、図1などに示した複数のメモリセルMCが集積された1つのまとまりをいう。メモリデバイス1では、1つの駆動回路4に対し、複数のメモリセルブロックMBが接続されている。1つの駆動回路4に対し接続される複数のメモリセルブロックMBをまとめてメモリセルブロックアレイ6と呼ぶ。

[0072] 例えば図1に示したメモリデバイス1において、周辺領域（コンタクト領域）PRと重ならない（メモリセル領域MR4と重なる）領域では、メモリセルユニットMU1～MU4をZ軸方向に貫く1本の柱状電極BL（GSLとSLにより選択される垂直配線）には必ず4個のメモリセルが配置される。これに対し、周辺領域（コンタクト領域）PR1～PR4のいずれかと重なる領域では、1本の柱状電極BLに対して1～3個のメモリセルMCのみ配置される。したがって、周辺領域（コンタクト領域）PR1～PR4のいずれかと重なる領域では、選択線の組み合わせによってはメモリセルMCが存在しない無効なアドレスが生じ、物理アドレス空間において不連続なアドレス領域が生じる。

[0073] そこで、本メモリシステムにおいては、通常動作時には、周辺領域PR（PR1～PRn）のいずれかと重なる領域に配置された周辺のメモリセルMCを使用せず、その他のメモリセルMCに例えばアクセス不良が生じた場合に、その代替として使用するようにしている。そのような代替処理を行うため、コントローラ7はアドレス変換テーブルを有することが望ましい。アドレス変換テーブルは例えば、アクセス対象のアドレスを入力すると、代替処理が行われていれば代替先のアドレスを返し、代替処理が行われていなければ0を返す関数として実装される。このように代替処理に用いるアドレスとして周辺のメモリセルMCを割当ててことで、ホスト8から見てメモリデバイスを連続したアドレス領域として認識させることができ、容易に扱うことができる。

[0074] また、抵抗変化素子VRをメモリセルMCとして用いる場合、その特性によっては、製造後、最初に書き込みを行う前に、フォーミングと呼ばれる初

期化処理を行う必要がある。より具体的には、フォーミングとしては、通常
の書き込み処理においてメモリセルMCに印加されるパルスよりも、（１）
高電圧を印加する、（２）長期間印加する、（３）複数パルスを連続印加す
る、のうち１つ以上の処理を行う。上記の代替処理に用いられる周辺のメモ
リセルMCは、代替時にフォーミングを行うことが望ましい。なぜならば、
代替処理に用いるメモリセルに直接アクセスが行われなくても、他のメモリ
セルへのアクセスのために板状電極WLや柱状電極BLが選択されることで
、そのメモリセルにもリーク電流が流れメモリセルとしての特性が劣化する
可能性があるからである。未フォーミング（製造後一度もフォーミングを行
っていない状態）のメモリセルは、この劣化がフォーミング済のメモリセル
に比べて小さいので好ましい。

[0075] また、通常の薄膜プロセスにおいて形成される複数のメモリセルMCは、
ある方向における両端のものに比べ、それ以外の中央に近い位置に形成され
たもののほうが、安定した特性を示す傾向にある。この点から、本メモリシ
ステムにおいては、通常動作時には周辺のメモリセルMCを使用せず
、それ以外のメモリセルMCを使用することにより、より安定した動作が期
待できる。

[0076] 以上、実施の形態を挙げて本開示を説明したが、本開示は上記実施の形態
に限定されるものではなく、種々の変形が可能である。

[0077] 例えば、上記実施の形態においてメモリデバイス１およびメモリシステム
等の構成を具体的に挙げて説明したが、全ての構成要素を備える必要はなく
、また、他の構成要素を更に備えていてもよい。

[0078] また、上記実施の形態等では、メモリセルとして抵抗変化素子（抵抗変化
メモリ）を用いるようにしたが、本技術はこれに限定されるものではなく、
例えば相変化メモリ（PCM）、MRAM、またはSTTRAMなど他の種
類のメモリを用いることができる。

[0079] また、上記実施の形態等で説明した各構成要素の数は、あくまでも例示で
ある。よって、本技術はその数に限定されるものではなく、他の数をも取り

うるものである。

[0080] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本技術は以下のような構成を取り得るものである。

(1)

基板の上に、第1の方向において第1番目から第n番目まで順に積層されたn個のメモ

リセルユニットを備え、

前記n個のメモリセルユニットは、それぞれ、

1以上の第1電極と、

前記第1電極と各々交差するように設けられた複数の第2電極と、

前記第1電極と前記複数の第2電極との各々の交差点に設けられ、前記第1電極と前記第2電極との双方にそれぞれ接続された複数のメモリセルと、

前記第1電極に接続されて1以上の接続部を形成する1以上の引き出し線と

を有し、

第(m+1)番目(mはn以下の自然数)の前記メモリセルユニットにおける少なくとも1つの前記接続部は、第m番目の前記メモリセルユニットにおいて前記複数のメモリセルが取り囲む第m番目のメモリセル領域と前記第1の方向において重なり合う位置にある

メモリデバイス。

(2)

前記第(m+1)番目のメモリセルユニットにおける前記接続部は、前記第m番目のメモリセルユニットにおける前記複数のメモリセルと前記第1の方向において重なり合う位置にある

上記(1)記載のメモリデバイス。

(3)

前記第(m+1)番目のメモリセルユニットにおいて前記複数のメモリセ

ルが取り囲む第 $(m+1)$ 番目のメモリセル領域は、前記第 m 番目のメモリセル領域よりも狭い

上記(1)または(2)に記載のメモリデバイス。

(4)

前記第 $(m+1)$ 番目のメモリセルユニットにおける前記複数のメモリセルの数は、前記第 m 番目のメモリセルユニットにおける前記複数のメモリセルの数よりも少ない

上記(1)から(3)のいずれか1つに記載のメモリデバイス。

(5)

前記メモリセルは、イオン供給層と絶縁層との積層構造からなる抵抗変化素子を含み、

前記抵抗変化素子は、前記第1電極と前記第2電極との間に挟まっている

上記(1)から(4)のいずれか1つに記載のメモリデバイス。

(6)

前記引き出し線と接続された駆動回路をさらに有する

上記(1)から(5)のいずれか1つに記載のメモリデバイス。

(7)

前記第1電極として、前記第1の方向と直交する第1の面に沿って広がる板状電極を有し、

前記複数の第2電極として、前記板状電極から前記基板へ向けてそれぞれ立設された複数の柱状電極を有し、

前記第 $(m+1)$ 番目のメモリセルユニットにおける前記板状電極の占有面積は、前記第 m 番目のメモリセルユニットにおける前記板状電極の占有面積よりも小さい

上記(1)から(6)のいずれか1つに記載のメモリデバイス。

(8)

前記第1電極として、前記第1の方向と直交する第1の面に沿った第2の方向にそれぞれ延在すると共に前記第1の面に沿った第3の方向において交

互に並ぶ第1線状電極と第2線状電極とをそれぞれ複数有し、

前記複数の第2電極として、隣り合う前記第1線状電極と前記第2線状電極との間にそれぞれ挟まれた複数の柱状電極を有し、

前記複数のメモリセルとして、前記複数の柱状電極と、前記複数の柱状電極をそれぞれ挟んで対向する前記複数の第1線状電極および前記複数の第2線状電極との間にそれぞれ挟まれた複数の記憶層を有し、

前記引き出し線として、前記第1線状電極と接続されて前記接続部としての第1接続部分を形成する第1コンタクトピラーと、前記第2線状電極と接続されて前記接続部としての第2接続部分を形成する第2コンタクトピラーとを有する

上記(1)から(6)のいずれか1つに記載のメモリデバイス。

(9)

前記第(m+1)番目のメモリセルユニットにおける前記第1線状電極の前記第2の方向の寸法は、前記第m番目のメモリセルユニットにおける前記第1線状電極の前記第2の方向の寸法よりも短く、

前記第(m+1)番目のメモリセルユニットにおける前記第2線状電極の前記第2の方向の寸法は、前記第m番目のメモリセルユニットにおける前記第2線状電極の前記第2の方向の寸法よりも短い

上記(8)に記載のメモリデバイス。

(10)

前記第m番目のメモリセルユニットにおける複数の前記第1線状電極と接続された複数の前記第1コンタクトピラーは、一の第1ビームに対して共通に接続されており、

前記第m番目のメモリセルユニットにおける複数の前記第2線状電極と接続された複数の前記第2コンタクトピラーは、一の第2ビームに対して共通に接続されている

上記(8)または(9)に記載のメモリデバイス。

(11)

前記第 1 の面に沿った第 2 の方向に並び、かつ、前記第 1 の面に沿って前記第 2 の方向と交差する第 3 の方向に延在する複数の選択線を有し、

前記複数の選択線の各々は、前記第 3 の方向に並ぶ前記複数の第 2 電極と接続されている

上記（7）記載のメモリデバイス。

（12）

前記第 1 の方向において、前記複数の第 2 電極と前記複数のメモリセルと複数の前記第 1 電極とが前記基板の側から順に積層され、

前記複数のメモリセルは、それぞれ、前記複数の第 2 電極の上に抵抗変化素子と選択素子とが順に積層された積層構造を有し、

前記抵抗変化素子は、前記複数の第 1 電極のうちのいずれか 1 つと実質的に同じ平面形状を有する

上記（1）から（6）のいずれか 1 つに記載のメモリデバイス。

（13）

前記複数の第 1 電極は、前記第 1 の面に沿った第 2 の方向へそれぞれ延在すると共に前記第 2 の方向と直交する第 3 の方向に並ぶように配置され、

前記複数の第 2 電極は、前記第 3 の方向へそれぞれ延在すると共に前記第 2 の方向に並ぶように配置され、

前記選択素子は、前記第 2 の方向および前記第 3 の方向の双方において並ぶように複数配置され、

前記第 2 の方向または前記第 3 の方向に並ぶ複数の前記選択素子に対し、1 つの前記抵抗変化素子が共通に接続されている

上記（12）記載のメモリデバイス。

（14）

前記第（ $m+1$ ）番目のメモリセルユニットにおいて前記複数のメモリセルが取り囲む第（ $m+1$ ）番目のメモリセル領域は、前記第 m 番目のメモリセル領域よりも狭く、

前記引き出し線として、前記第 1 電極と接続されて前記接続部としての第

1 接続部分を形成し前記基板から遠ざかるように伸びる第1コンタクトピラーと、前記第2電極と接続されて前記接続部としての第2接続部分を形成し前記基板から遠ざかるように伸びる第2コンタクトピラーとを有する

上記(12)または(13)に記載のメモリデバイス。

(15)

前記基板と第1番目の前記メモリセルユニットとの間に設けられた駆動回路と、

前記第1コンタクトピラーの上端と前記駆動回路とを接続する第1配線と

、

前記第2コンタクトピラーの上端と前記駆動回路とを接続する第2配線とをさらに有する

上記(14)に記載のメモリデバイス。

(16)

前記引き出し線として、前記第1電極と接続されて前記接続部としての第1接続部分を

形成し前記基板から遠ざかるように伸びる第1コンタクトピラーと、前記第2電極と接続されて前記接続部としての第2接続部分を形成し前記基板へ向かうように伸びる第2コンタクトピラーとを有する

上記(12)または(13)に記載のメモリデバイス。

(17)

前記基板と第1番目の前記メモリセルユニットとの間に設けられた駆動回路と、

前記第1コンタクトピラーの上端と前記駆動回路とを接続する第1配線と

、

前記第2コンタクトピラーの下端と前記駆動回路とを接続する第2配線とをさらに有する

上記(16)に記載のメモリデバイス。

(18)

メモリデバイスと、
前記メモリデバイスの制御を行う制御部と
を備え、
前記メモリデバイスは、
基板の上に、第1の方向において第1番目から第n番目まで順に積層されたn個のメモリセルユニットを備え、
前記n個のメモリセルユニットは、それぞれ、
1以上の第1電極と、
前記第1電極と各々交差するように設けられた複数の第2電極と、
前記第1電極と前記複数の第2電極との各々の交差点に設けられ、前記第1電極と前記第2電極との双方にそれぞれ接続された複数のメモリセルと、
前記第1電極に接続されて1以上の接続部を形成する1以上の引き出し線と
を有し、
第(m+1)番目(mはn以下の自然数)の前記メモリセルユニットにおける少なくとも1つの前記接続部は、第m番目の前記メモリセルユニットにおいて前記複数のメモリセルが取り囲む第m番目のメモリセル領域と前記第1の方向において重なり合う位置にある
メモリシステム。

(19)

前記第m番目のメモリセル領域のうち、前記第(m+1)番目のメモリセルユニットにおいて前記複数のメモリセルが取り囲む第(m+1)番目のメモリセル領域と前記第1の方向において重なり合う領域以外の周辺領域に設けられた前記メモリセルが、予備メモリセルとして機能する

上記(18)記載のメモリシステム。

[0081] 本出願は、日本国特許庁において2015年6月10日に出願された日本特許出願番号2015-117228号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0082] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 基板の上に、第1の方向において第1番目から第n番目まで順に積層されたn個のメモリセルユニットを備え、
- 前記n個のメモリセルユニットは、それぞれ、
- 1以上の第1電極と、
- 前記第1電極と各々交差するように設けられた複数の第2電極と、
- 前記第1電極と前記複数の第2電極との各々の交差点に設けられ、
- 前記第1電極と前記第2電極との双方にそれぞれ接続された複数のメモリセルと、
- 前記第1電極に接続されて1以上の接続部を形成する1以上の引き出し線と
- を有し、
- 第(m+1)番目(mはn以下の自然数)の前記メモリセルユニットにおける少なくとも1つの前記接続部は、第m番目の前記メモリセルユニットにおいて前記複数のメモリセルが取り囲む第m番目のメモリセル領域と前記第1の方向において重なり合う位置にある
- メモリデバイス。
- [請求項2] 前記第(m+1)番目のメモリセルユニットにおける前記接続部は、前記第m番目のメモリセルユニットにおける前記複数のメモリセルと前記第1の方向において重なり合う位置にある
- 請求項1記載のメモリデバイス。
- [請求項3] 前記第(m+1)番目のメモリセルユニットにおいて前記複数のメモリセルが取り囲む第(m+1)番目のメモリセル領域は、前記第m番目のメモリセル領域よりも狭い
- 請求項1記載のメモリデバイス。
- [請求項4] 前記第(m+1)番目のメモリセルユニットにおける前記複数のメモリセルの数は、前記第m番目のメモリセルユニットにおける前記複数のメモリセルの数よりも少ない

請求項 1 記載のメモリデバイス。

[請求項5] 前記メモリセルは、イオン供給層と絶縁層との積層構造からなる抵抗変化素子を含み、

前記抵抗変化素子は、前記第 1 電極と前記第 2 電極との間に挟まれている

請求項 1 記載のメモリデバイス。

[請求項6] 前記引き出し線と接続された駆動回路をさらに有する

請求項 1 記載のメモリデバイス。

[請求項7] 前記第 1 電極として、前記第 1 の方向と直交する第 1 の面に沿って広がる板状電極を有し、

前記複数の第 2 電極として、前記板状電極から前記基板へ向けてそれぞれ立設された複数の柱状電極を有し、

前記第 $(m+1)$ 番目のメモリセルユニットにおける前記板状電極の占有面積は、前記第 m 番目のメモリセルユニットにおける前記板状電極の占有面積よりも小さい

請求項 1 記載のメモリデバイス。

[請求項8] 前記第 1 電極として、前記第 1 の方向と直交する第 1 の面に沿った第 2 の方向にそれぞれ延在すると共に前記第 1 の面に沿った第 3 の方向において交互に並ぶ第 1 線状電極と第 2 線状電極とをそれぞれ複数有し、

前記複数の第 2 電極として、隣り合う前記第 1 線状電極と前記第 2 線状電極との間にそれぞれ挟まれた複数の柱状電極を有し、

前記複数のメモリセルとして、前記複数の柱状電極と、前記複数の柱状電極をそれぞれ挟んで対向する前記複数の第 1 線状電極および前記複数の第 2 線状電極との間にそれぞれ挟まれた複数の記憶層を有し、

前記引き出し線として、前記第 1 線状電極と接続されて前記接続部としての第 1 接続部分を形成する第 1 コンタクトピラーと、前記第 2

線状電極と接続されて前記接続部としての第2接続部分を形成する第2コンタクトピラーとを有する

請求項1記載のメモリデバイス。

[請求項9] 前記第 $(m+1)$ 番目のメモリセルユニットにおける前記第1線状電極の前記第2の方向の寸法は、前記第 m 番目のメモリセルユニットにおける前記第1線状電極の前記第2の方向の寸法よりも短く、

前記第 $(m+1)$ 番目のメモリセルユニットにおける前記第2線状電極の前記第2の方向の寸法は、前記第 m 番目のメモリセルユニットにおける前記第2線状電極の前記第2の方向の寸法よりも短い

請求項8記載のメモリデバイス。

[請求項10] 前記第 m 番目のメモリセルユニットにおける複数の前記第1線状電極と接続された複数の前記第1コンタクトピラーは、一の第1ビームに対して共通に接続されており、

前記第 m 番目のメモリセルユニットにおける複数の前記第2線状電極と接続された複数の前記第2コンタクトピラーは、一の第2ビームに対して共通に接続されている

請求項8記載のメモリデバイス。

[請求項11] 前記第1の面に沿った第2の方向に並び、かつ、前記第1の面に沿って前記第2の方向と交差する第3の方向に延在する複数の選択線を有し、

前記複数の選択線の各々は、前記第3の方向に並ぶ前記複数の第2電極と接続されている

請求項7記載のメモリデバイス。

[請求項12] 前記第1の方向において、前記複数の第2電極と前記複数のメモリセルと複数の前記第1電極とが前記基板の側から順に積層され、

前記複数のメモリセルは、それぞれ、前記複数の第2電極の上に抵抗変化素子と選択素子とが順に積層された積層構造を有し、

前記抵抗変化素子は、前記複数の第1電極のうちのいずれか1つと

実質的に同じ平面形状を有する

請求項 1 記載のメモリデバイス。

[請求項13] 前記複数の第 1 電極は、前記第 1 の面に沿った第 2 の方向へそれぞれ延在すると共に前記第 2 の方向と直交する第 3 の方向に並ぶように配置され、

前記複数の第 2 電極は、前記第 3 の方向へそれぞれ延在すると共に前記第 2 の方向に並ぶように配置され、

前記選択素子は、前記第 2 の方向および前記第 3 の方向の双方において並ぶように複数配置され、

前記第 2 の方向または前記第 3 の方向に並ぶ複数の前記選択素子に対し、1 つの前記抵抗変化素子が共通に接続されている

請求項 1 2 記載のメモリデバイス。

[請求項14] 前記第 $(m+1)$ 番目のメモリセルユニットにおいて前記複数のメモリセルが取り囲む第 $(m+1)$ 番目のメモリセル領域は、前記第 m 番目のメモリセル領域よりも狭く、

前記引き出し線として、前記第 1 電極と接続されて前記接続部としての第 1 接続部分を形成し前記基板から遠ざかるように伸びる第 1 コンタクトピラーと、前記第 2 電極と接続されて前記接続部としての第 2 接続部分を形成し前記基板から遠ざかるように伸びる第 2 コンタクトピラーとを有する

請求項 1 2 記載のメモリデバイス。

[請求項15] 前記基板と第 1 番目の前記メモリセルユニットとの間に設けられた駆動回路と、

前記第 1 コンタクトピラーの上端と前記駆動回路とを接続する第 1 配線と、

前記第 2 コンタクトピラーの上端と前記駆動回路とを接続する第 2 配線と

をさらに有する

請求項 1 4 記載のメモリデバイス。

[請求項16] 前記引き出し線として、前記第 1 電極と接続されて前記接続部としての第 1 接続部分を形成し前記基板から遠ざかるように伸びる第 1 コンタクトピラーと、前記第 2 電極と接続されて前記接続部としての第 2 接続部分を形成し前記基板へ向かうように伸びる第 2 コンタクトピラーとを有する

請求項 1 2 記載のメモリデバイス。

[請求項17] 前記基板と第 1 番目の前記メモリセルユニットとの間に設けられた駆動回路と、

前記第 1 コンタクトピラーの上端と前記駆動回路とを接続する第 1 配線と、

前記第 2 コンタクトピラーの下端と前記駆動回路とを接続する第 2 配線と

をさらに有する

請求項 1 6 記載のメモリデバイス。

[請求項18] メモリデバイスと、

前記メモリデバイスの制御を行う制御部と

を備え、

前記メモリデバイスは、

基板の上に、第 1 の方向において第 1 番目から第 n 番目まで順に積層された n 個のメモリセルユニットを備え、

前記 n 個のメモリセルユニットは、それぞれ、

1 以上の第 1 電極と、

前記第 1 電極と各々交差するように設けられた複数の第 2 電極と、

前記第 1 電極と前記複数の第 2 電極との各々の交差点に設けられ、前記第 1 電極と前記第 2 電極との双方にそれぞれ接続された複数のメモリセルと、

前記第 1 電極に接続されて 1 以上の接続部を形成する 1 以上の引き

出し線と

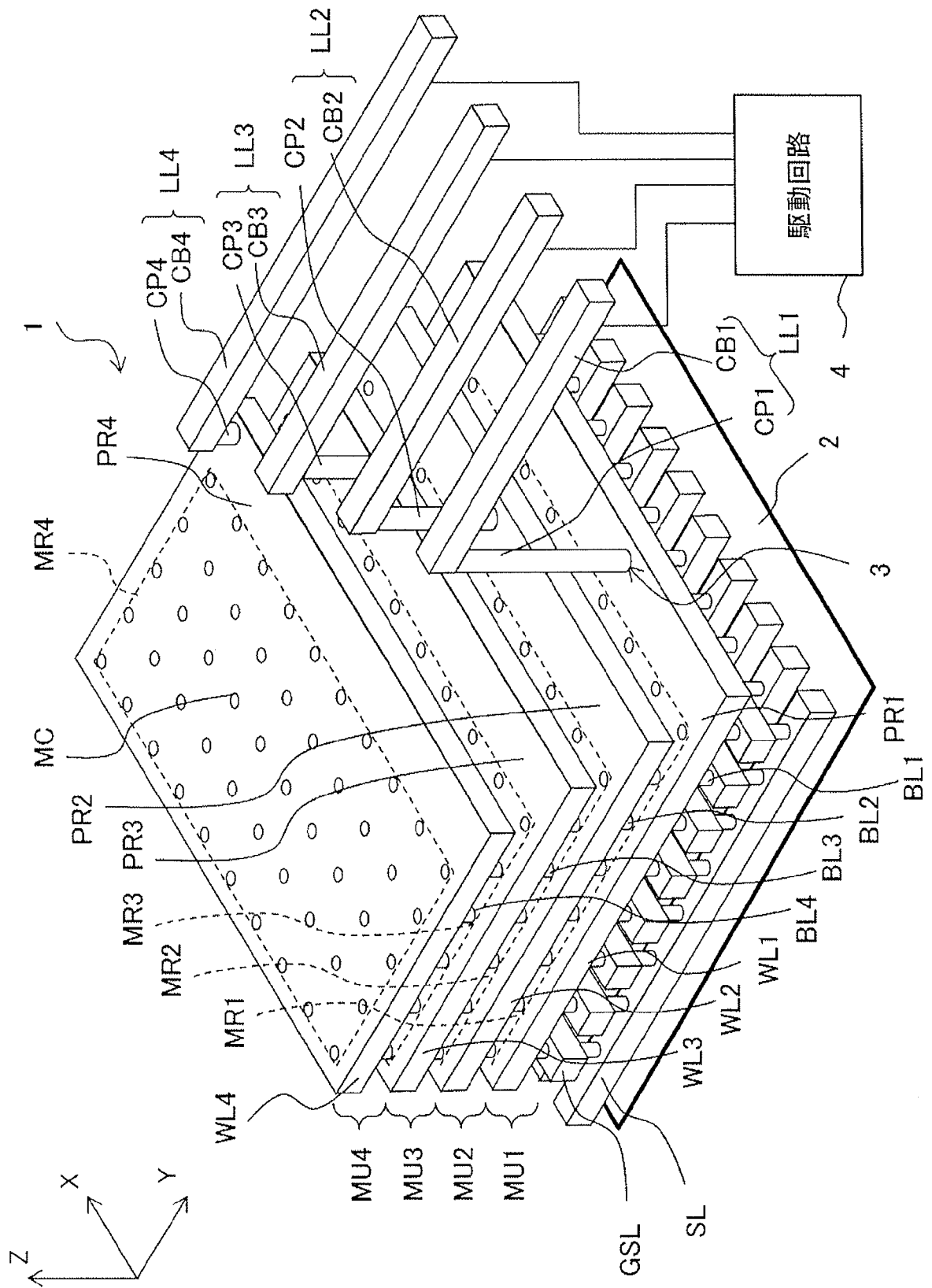
を有し、

第 $(m+1)$ 番目 (m は n 以下の自然数) の前記メモリセルユニットにおける少なくとも 1 つの前記接続部は、第 m 番目の前記メモリセルユニットにおいて前記複数のメモリセルが取り囲む第 m 番目のメモリセル領域と前記第 1 の方向において重なり合う位置にあるメモリシステム。

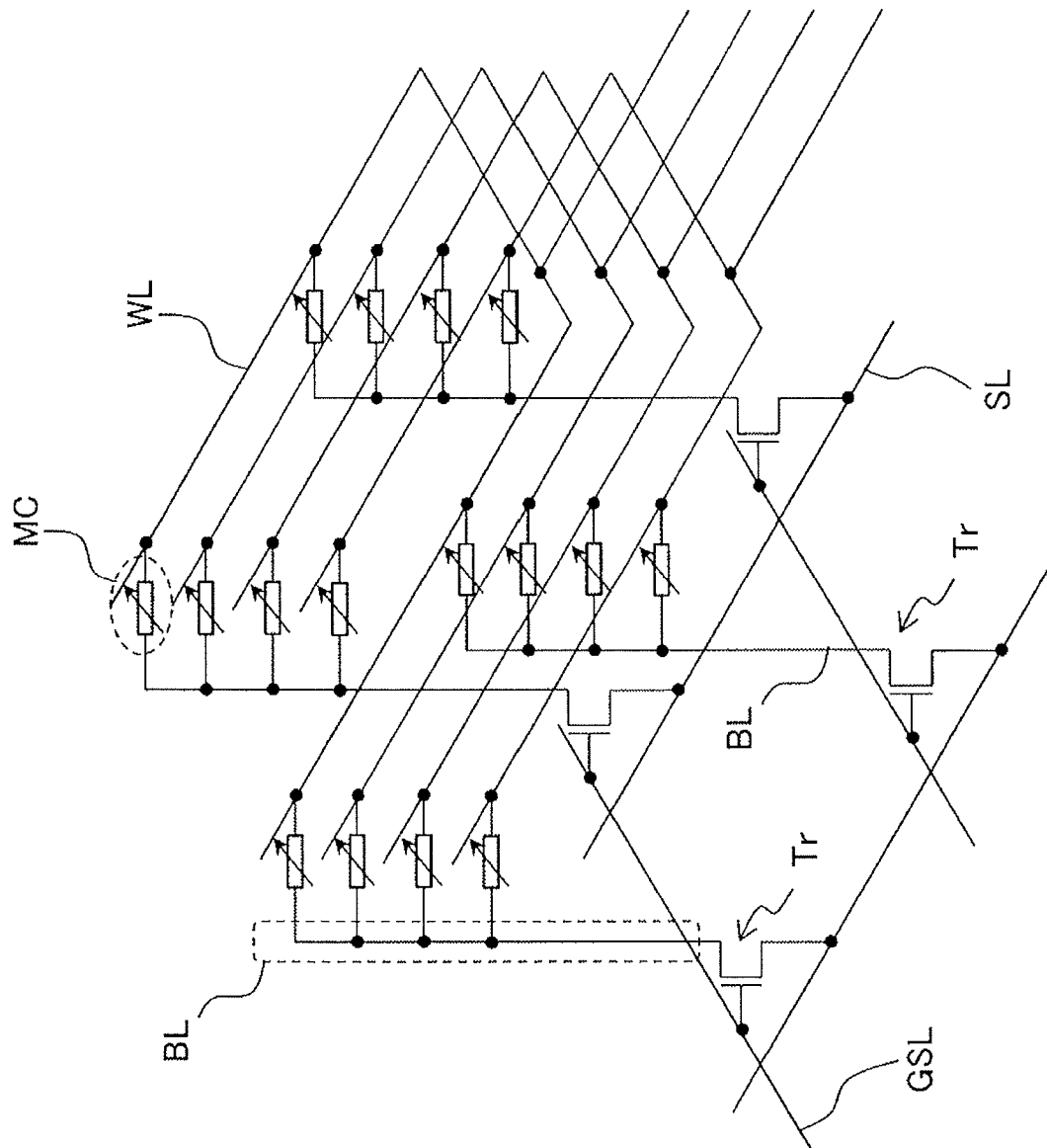
[請求項19] 前記第 m 番目のメモリセル領域のうち、前記第 $(m+1)$ 番目のメモリセルユニットにおいて前記複数のメモリセルが取り囲む第 $(m+1)$ 番目のメモリセル領域と前記第 1 の方向において重なり合う領域以外の周辺領域に設けられた前記メモリセルが、予備メモリセルとして機能する

請求項 18 記載のメモリシステム。

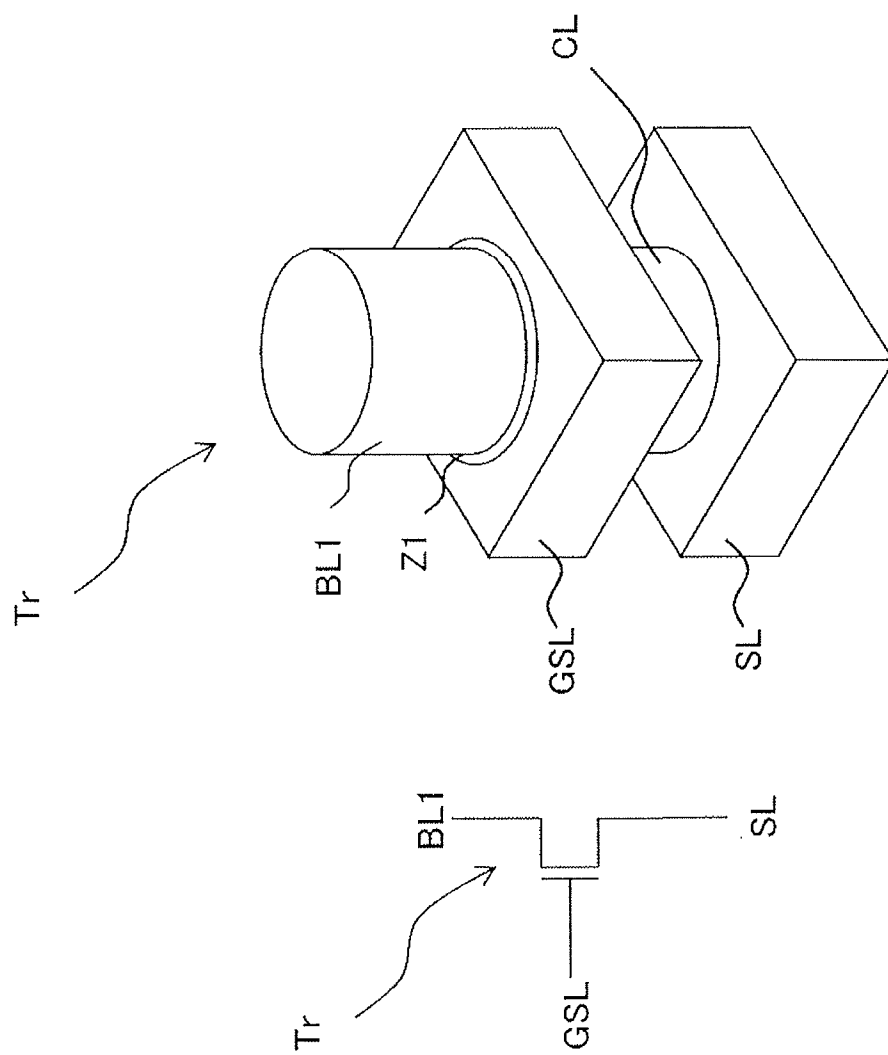
[図1]



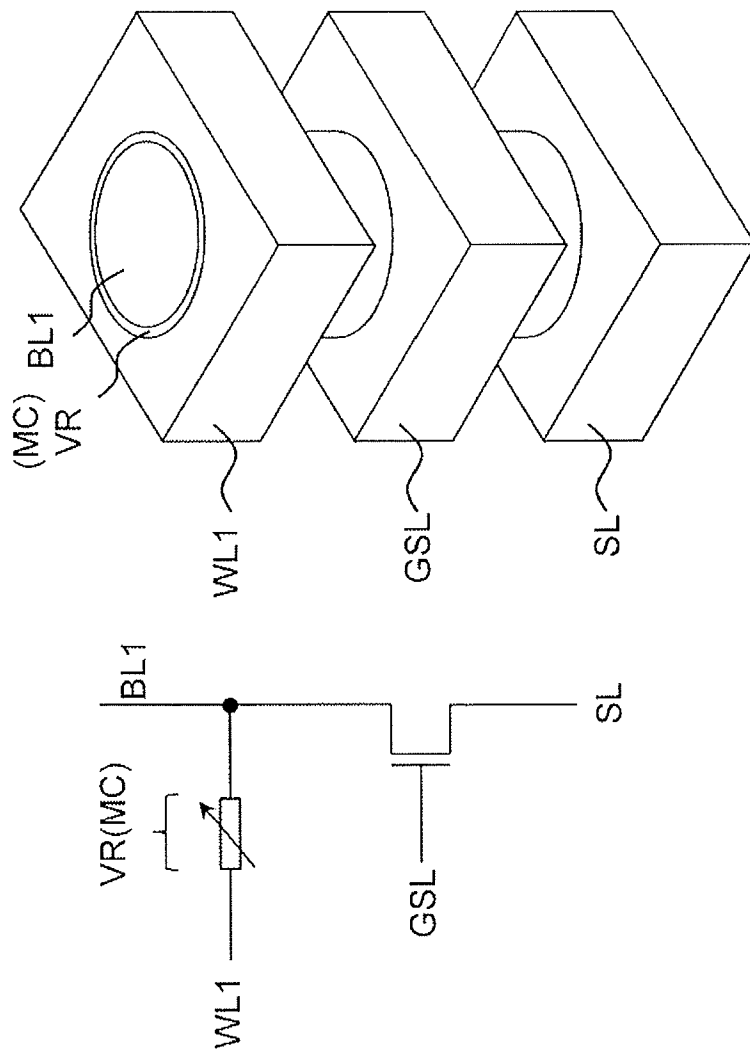
[図2]



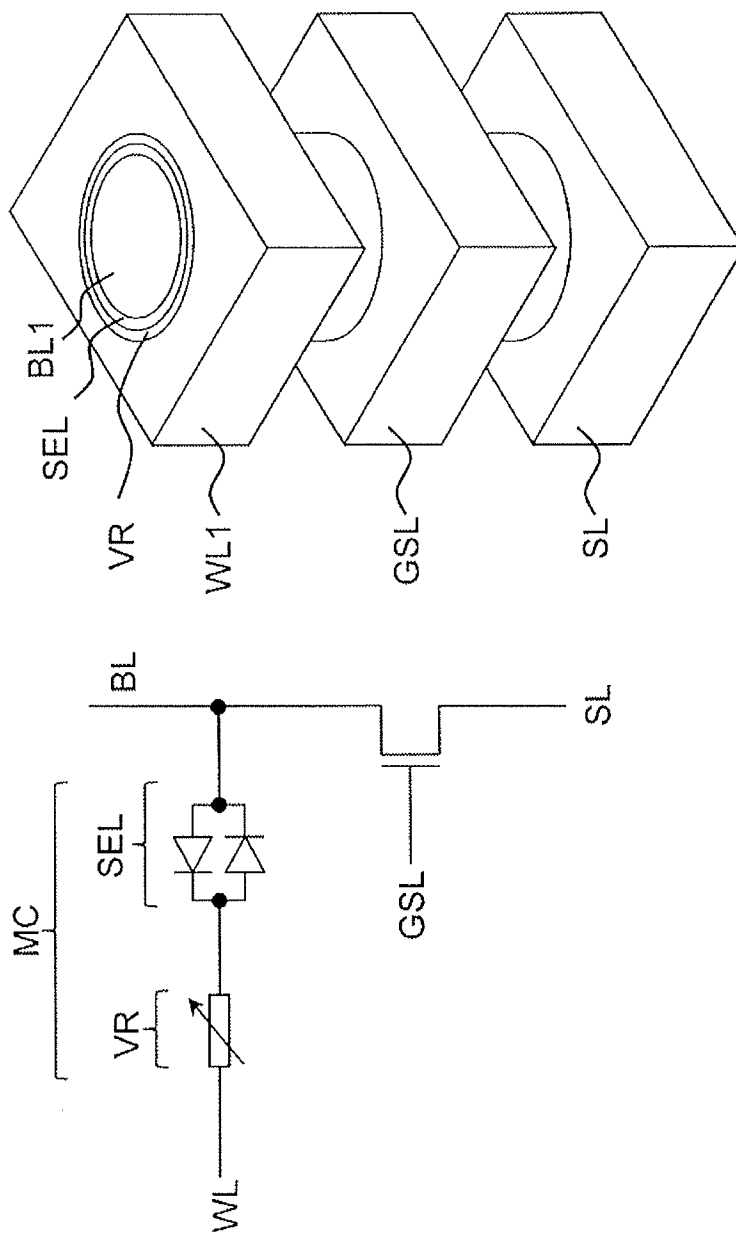
[図3]



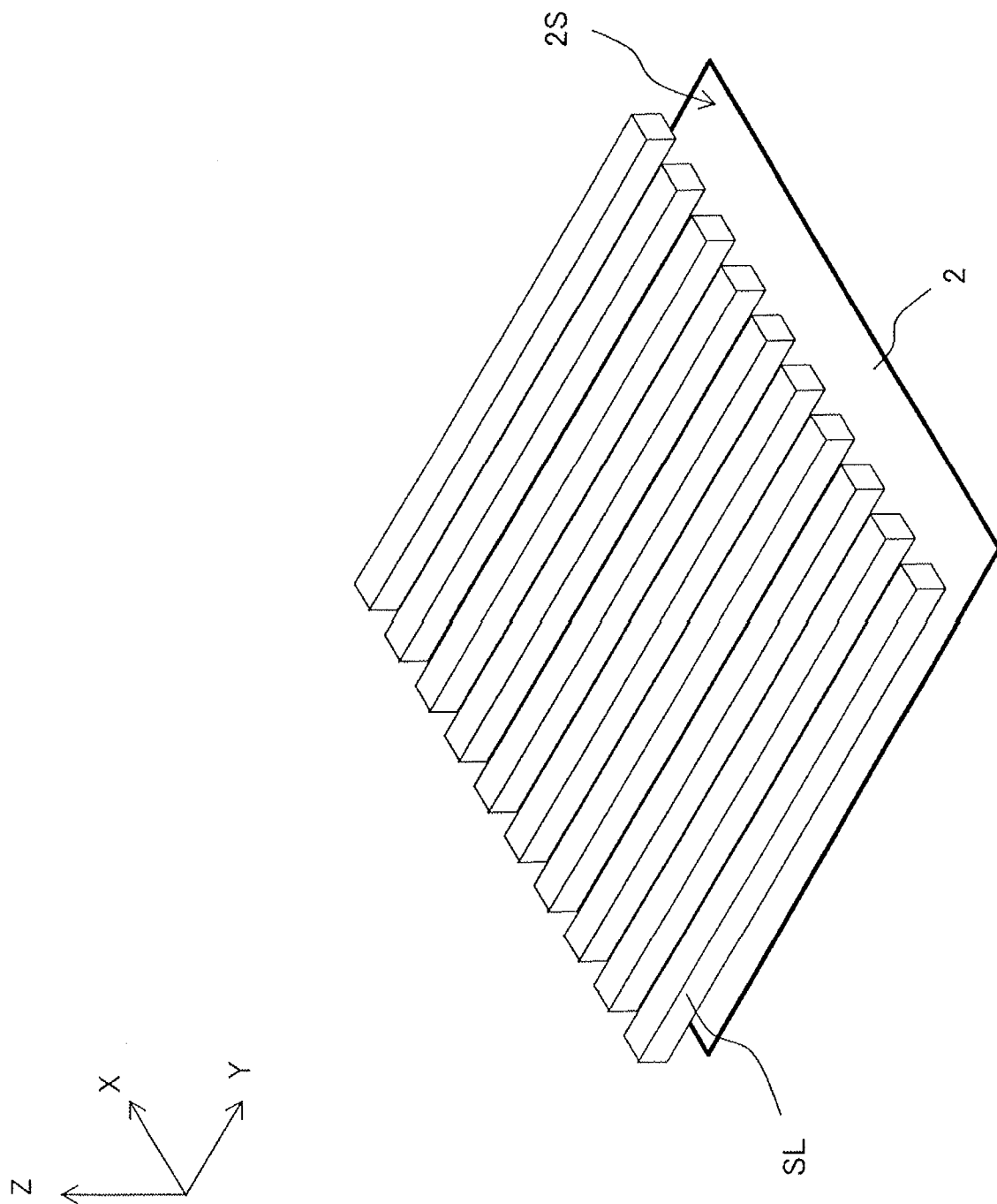
[図4A]



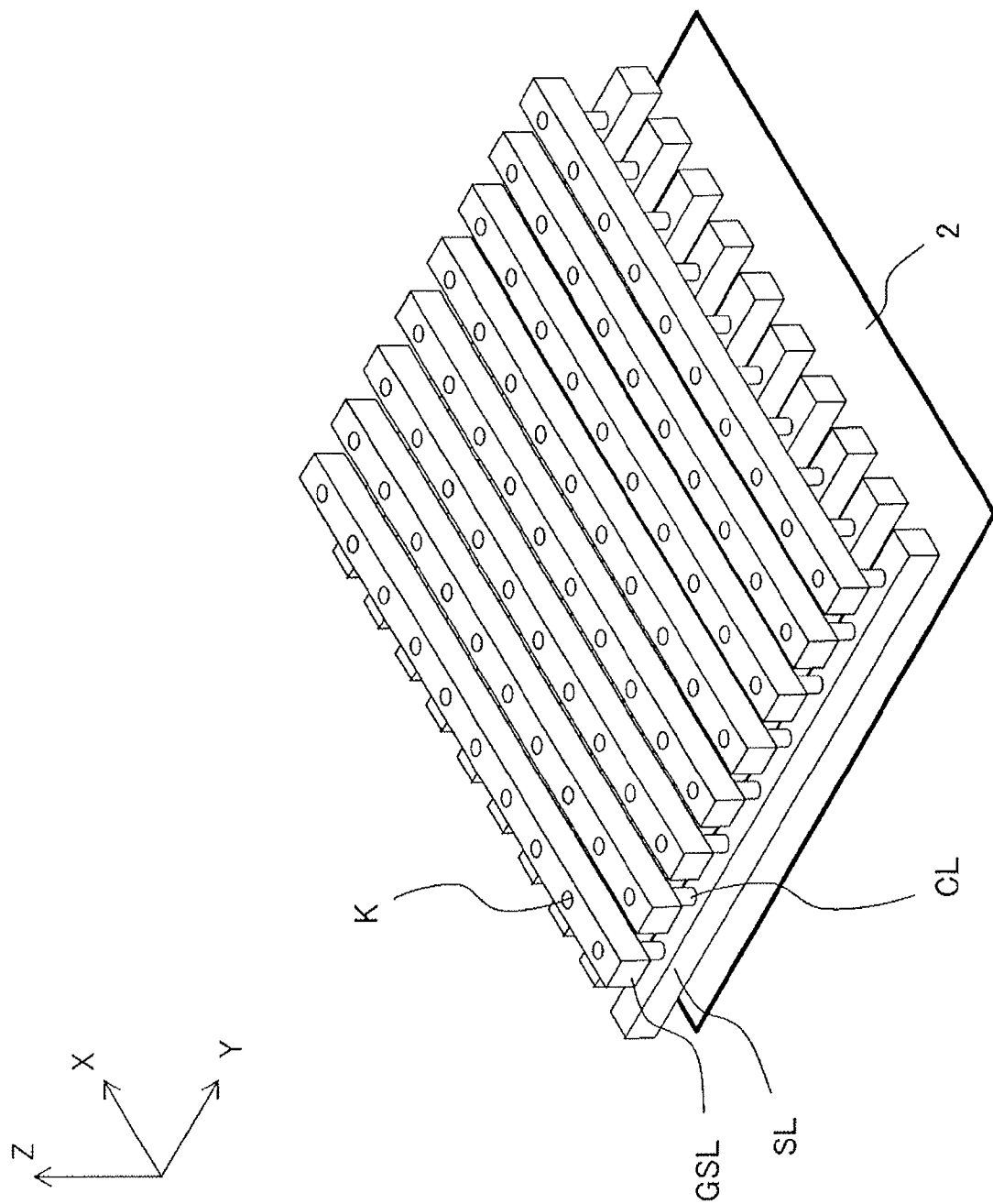
[図4B]



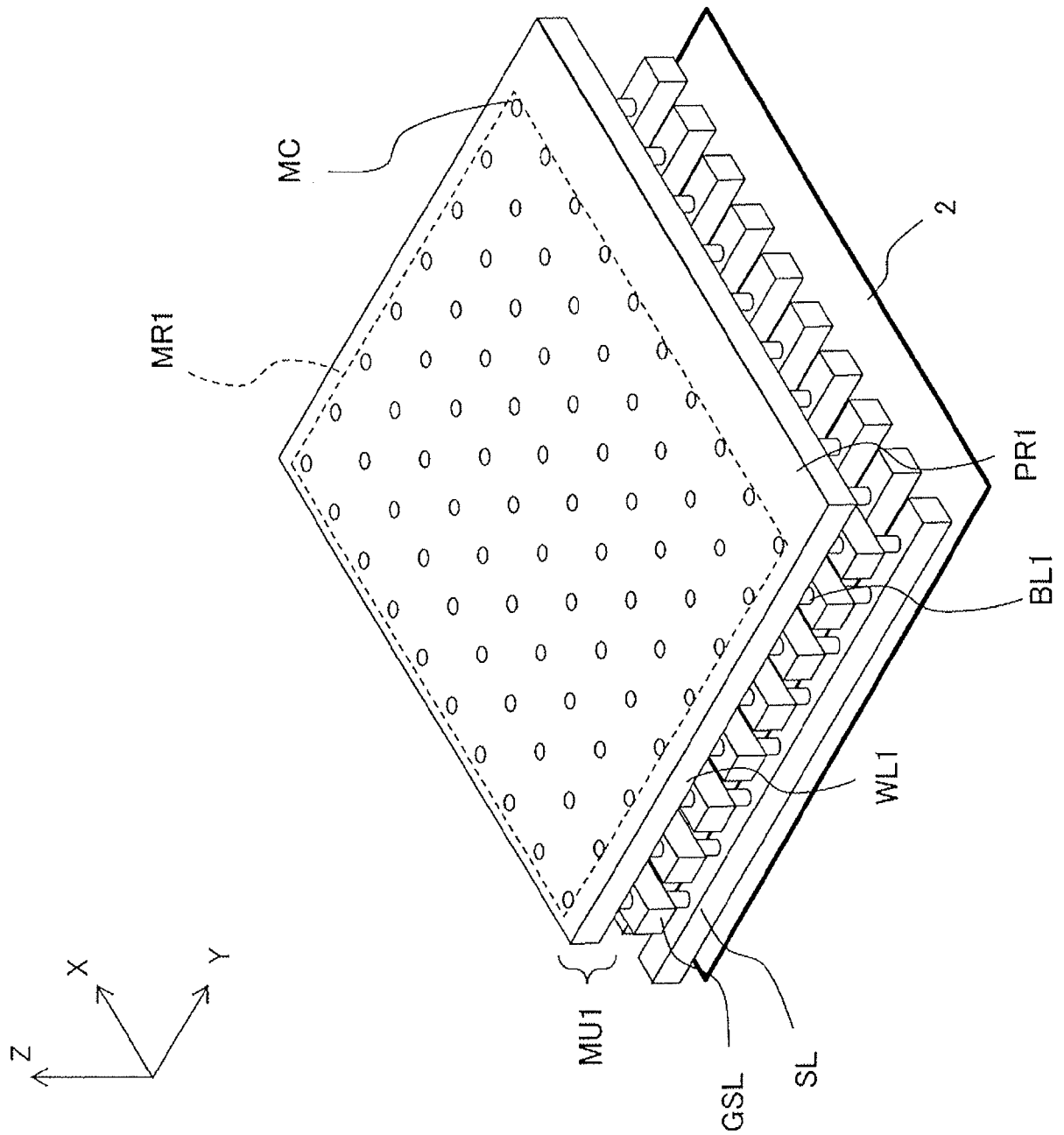
[図5A]



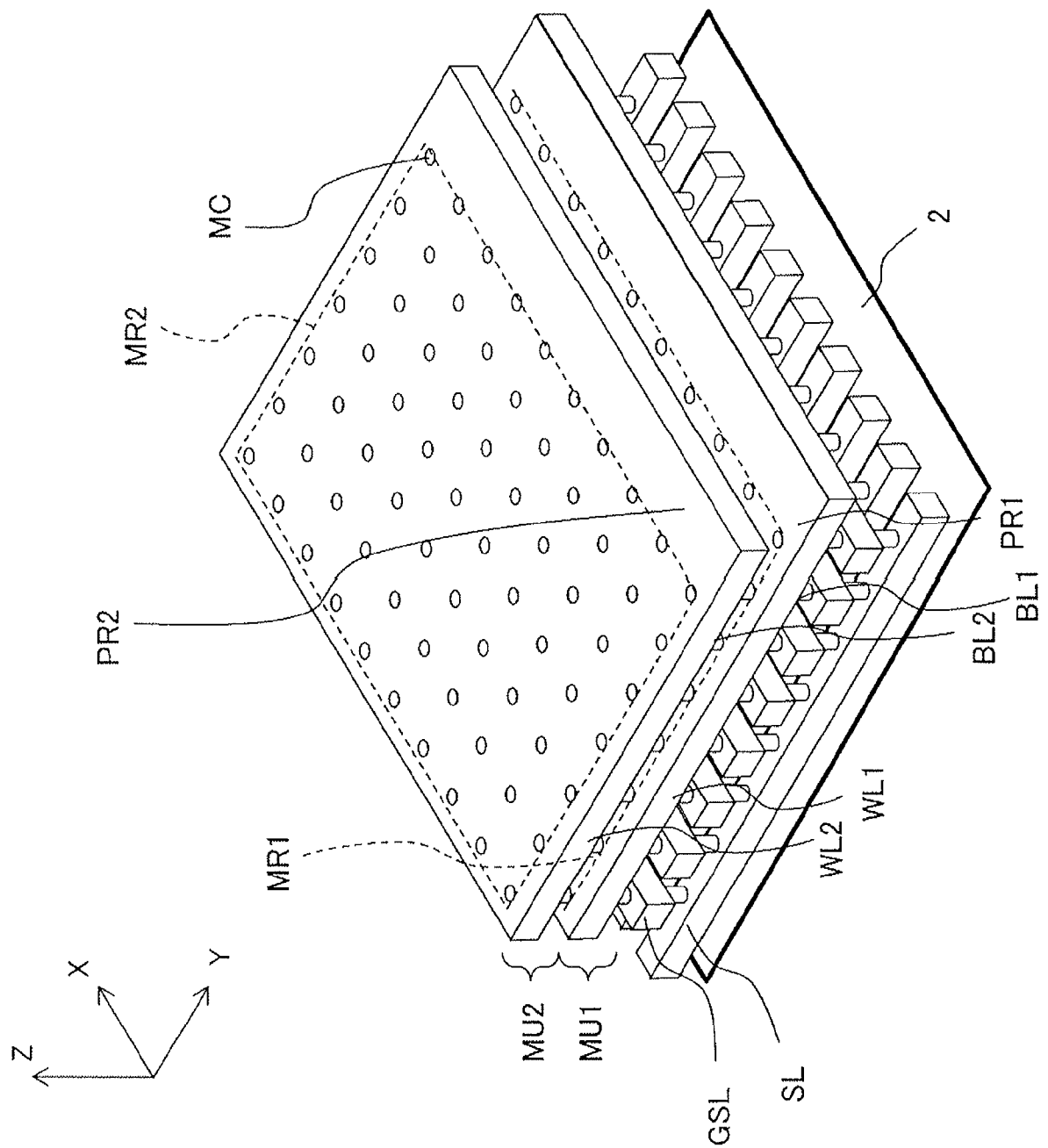
[図5B]



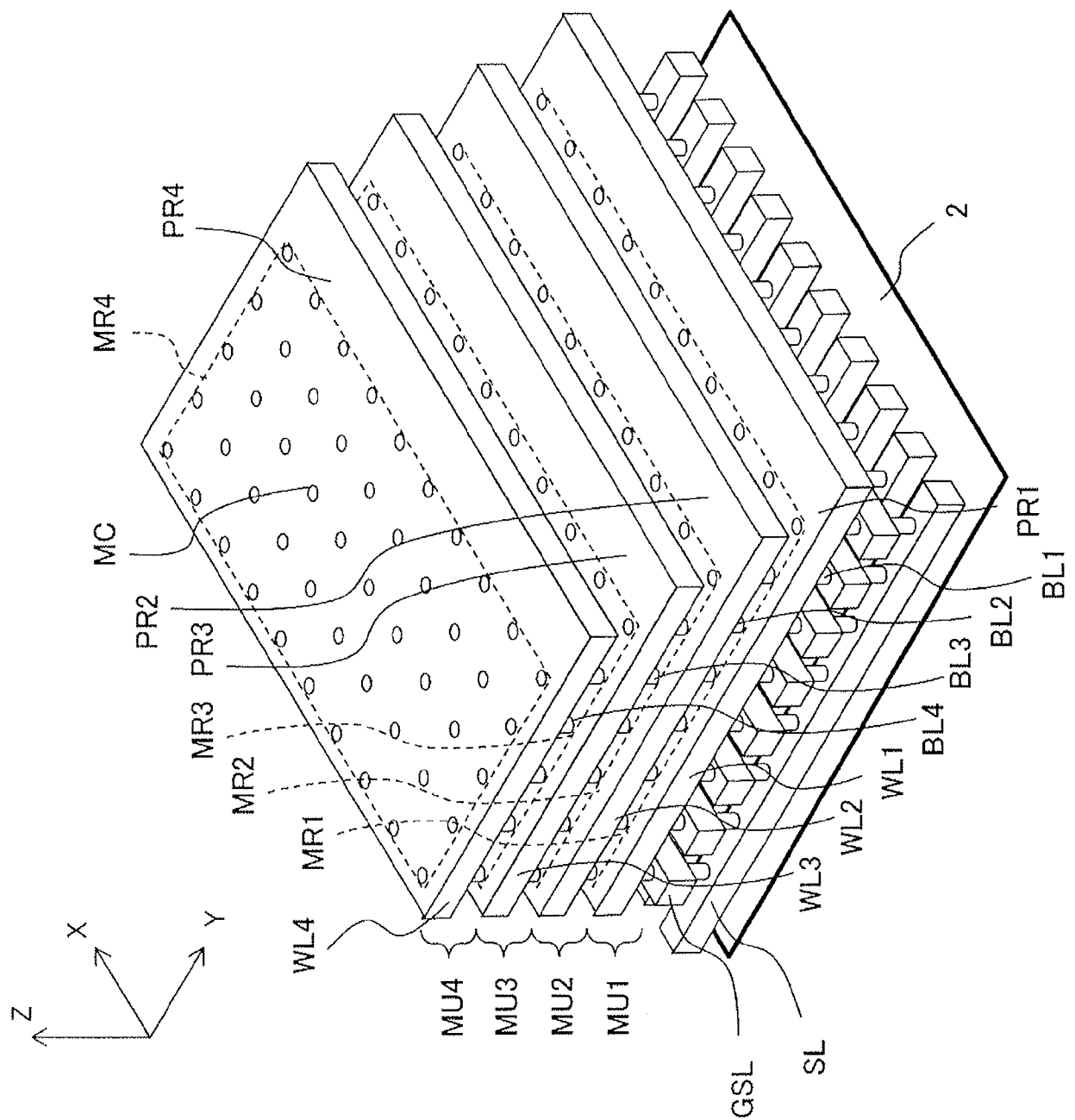
[図5C]



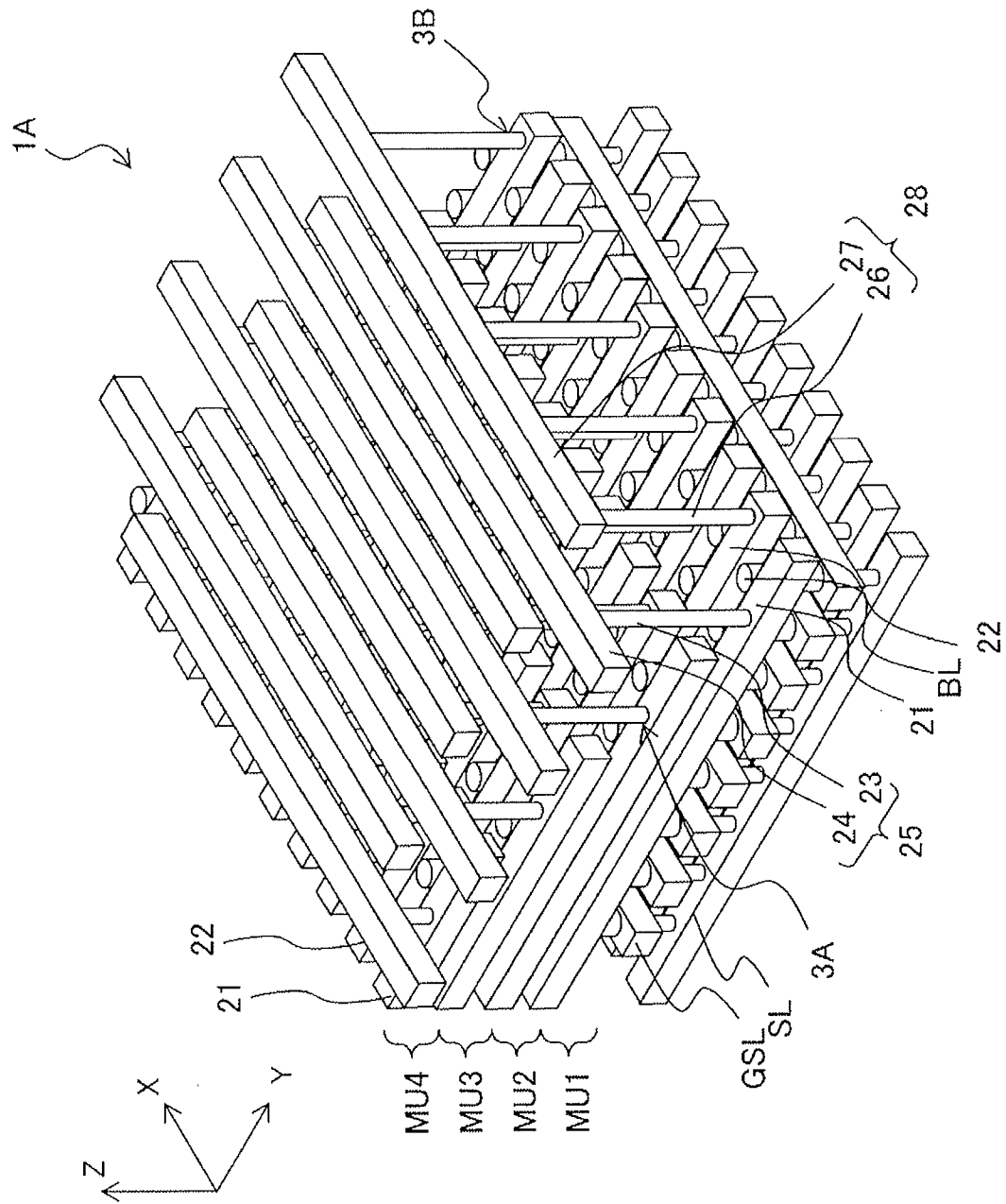
[図5D]



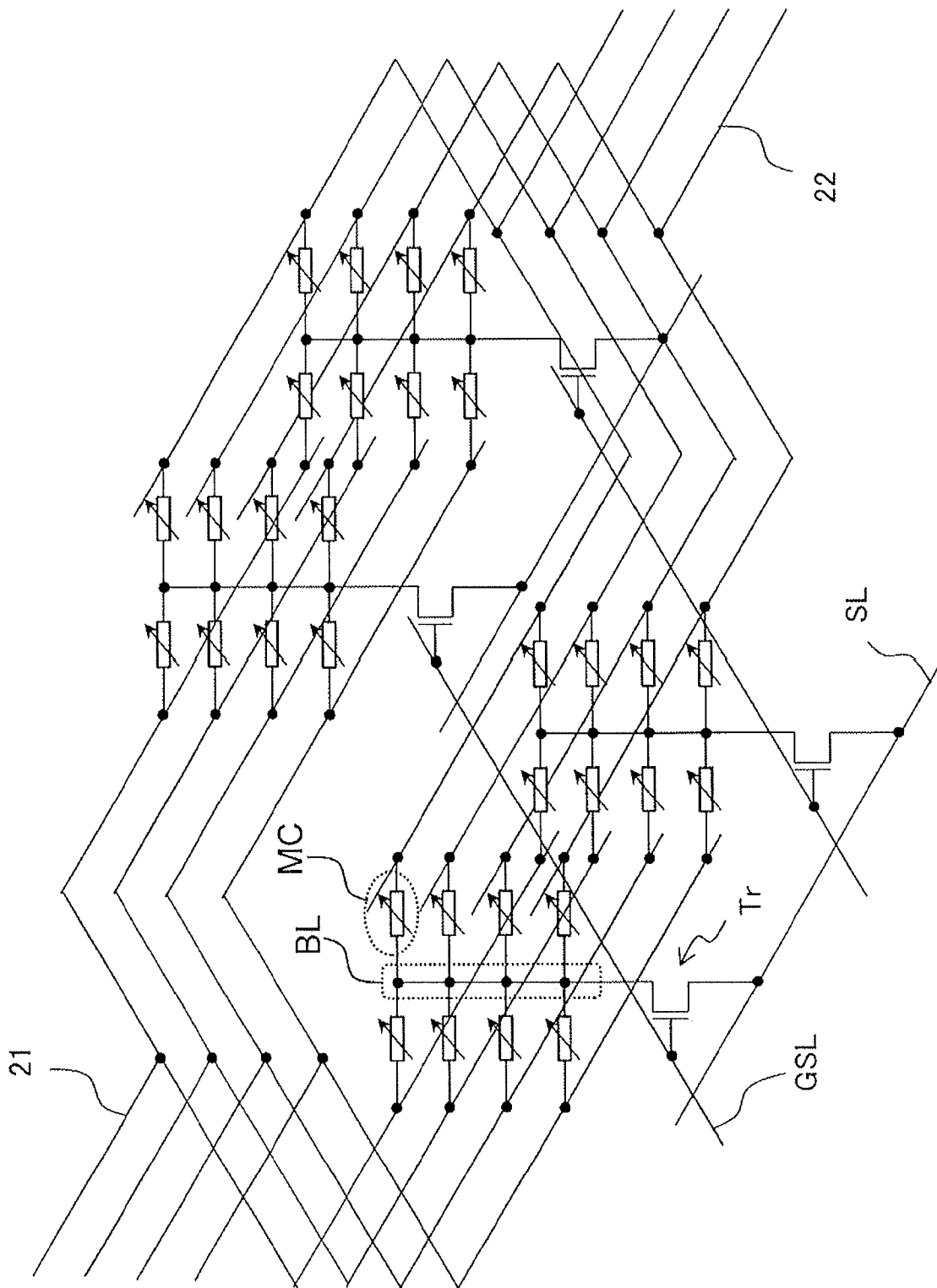
[図5E]



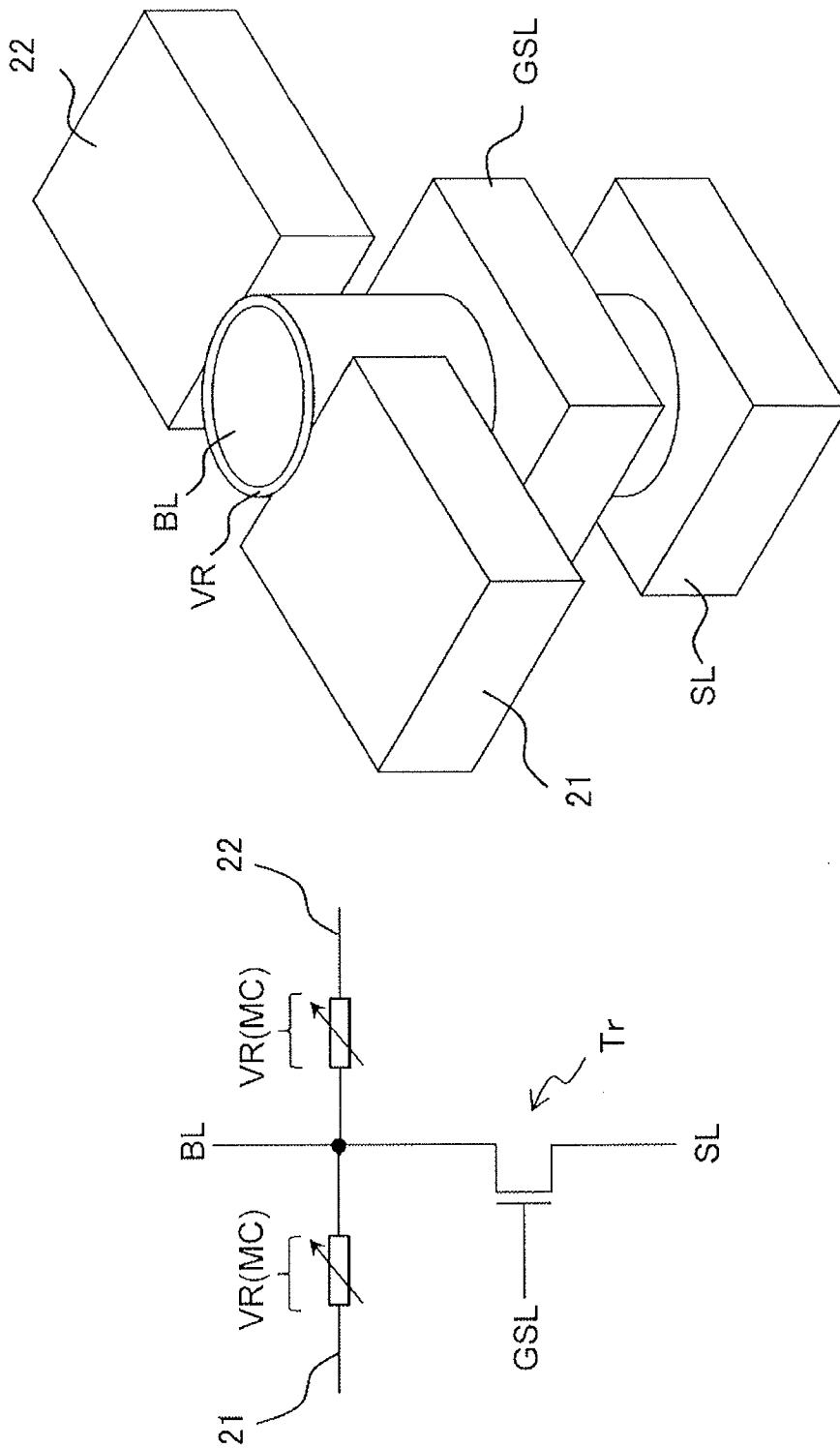
[図6]



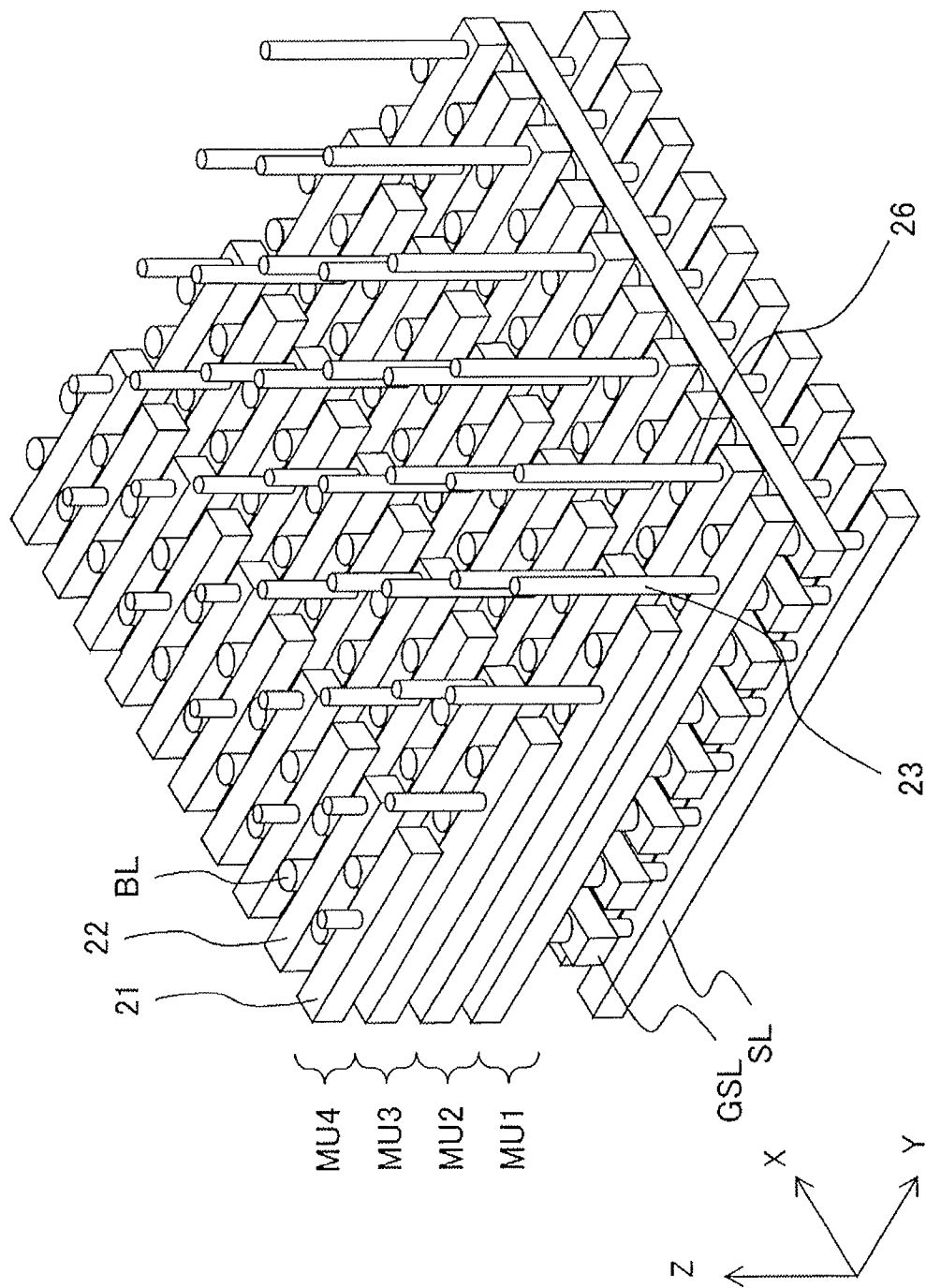
[図7]



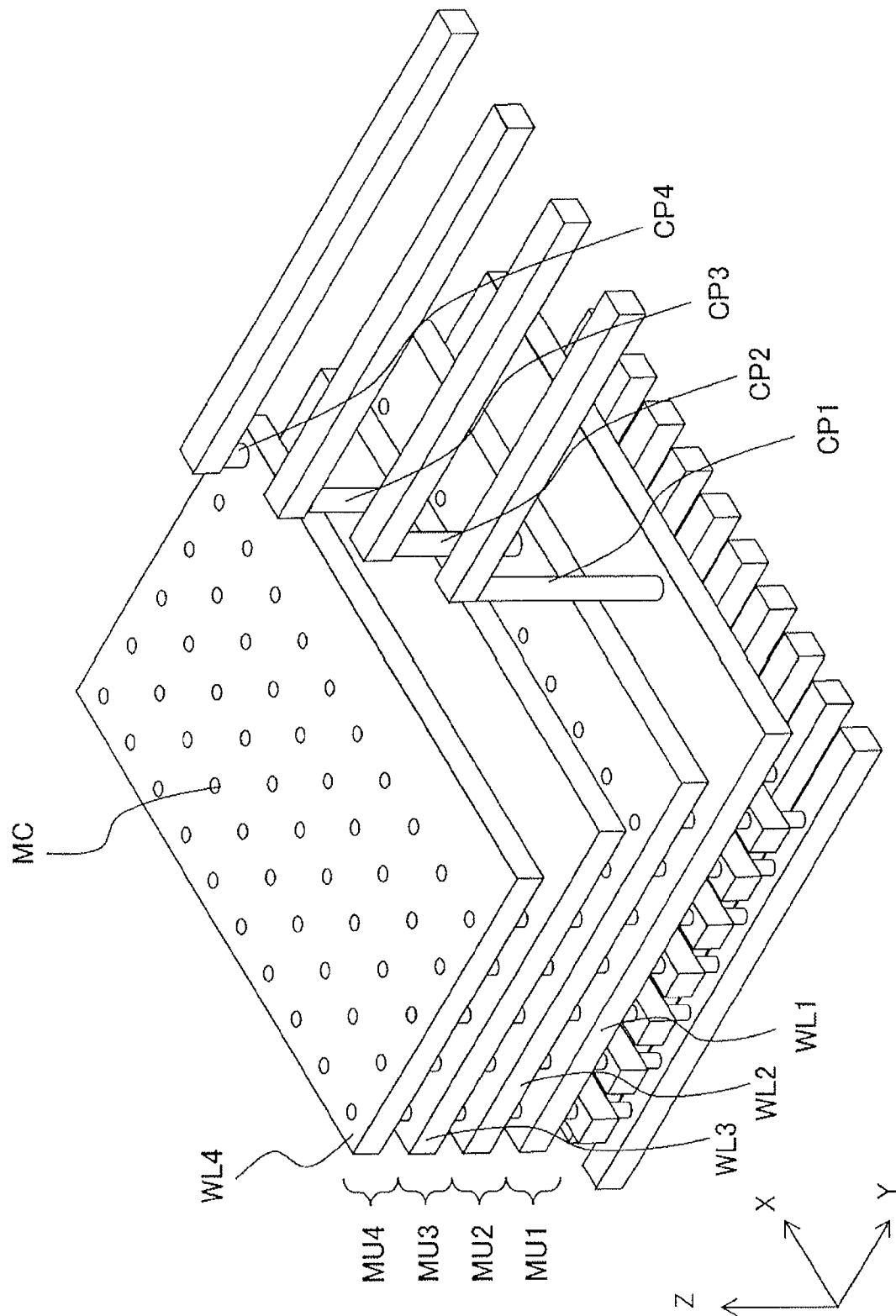
[図8]



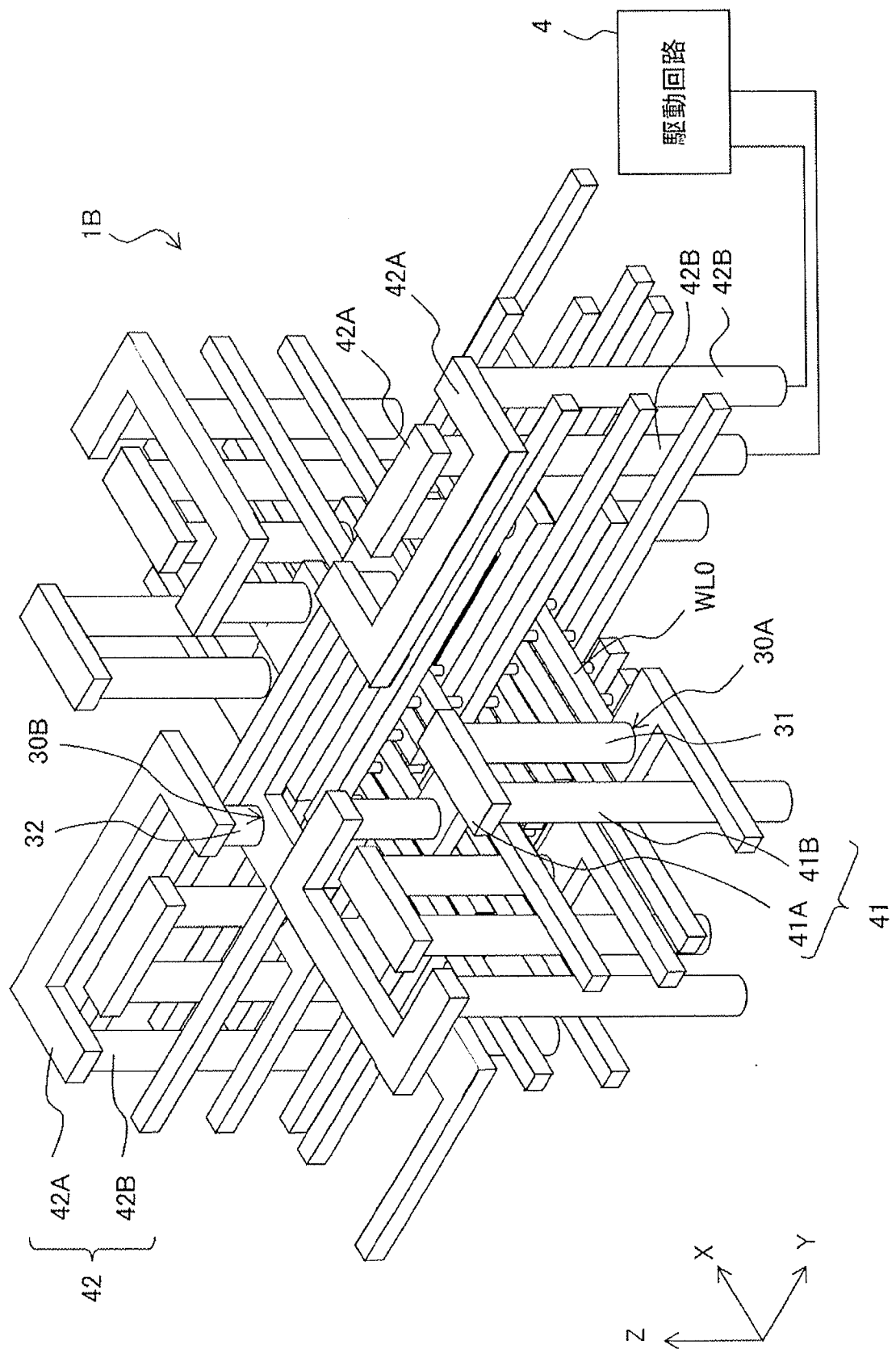
[図9]



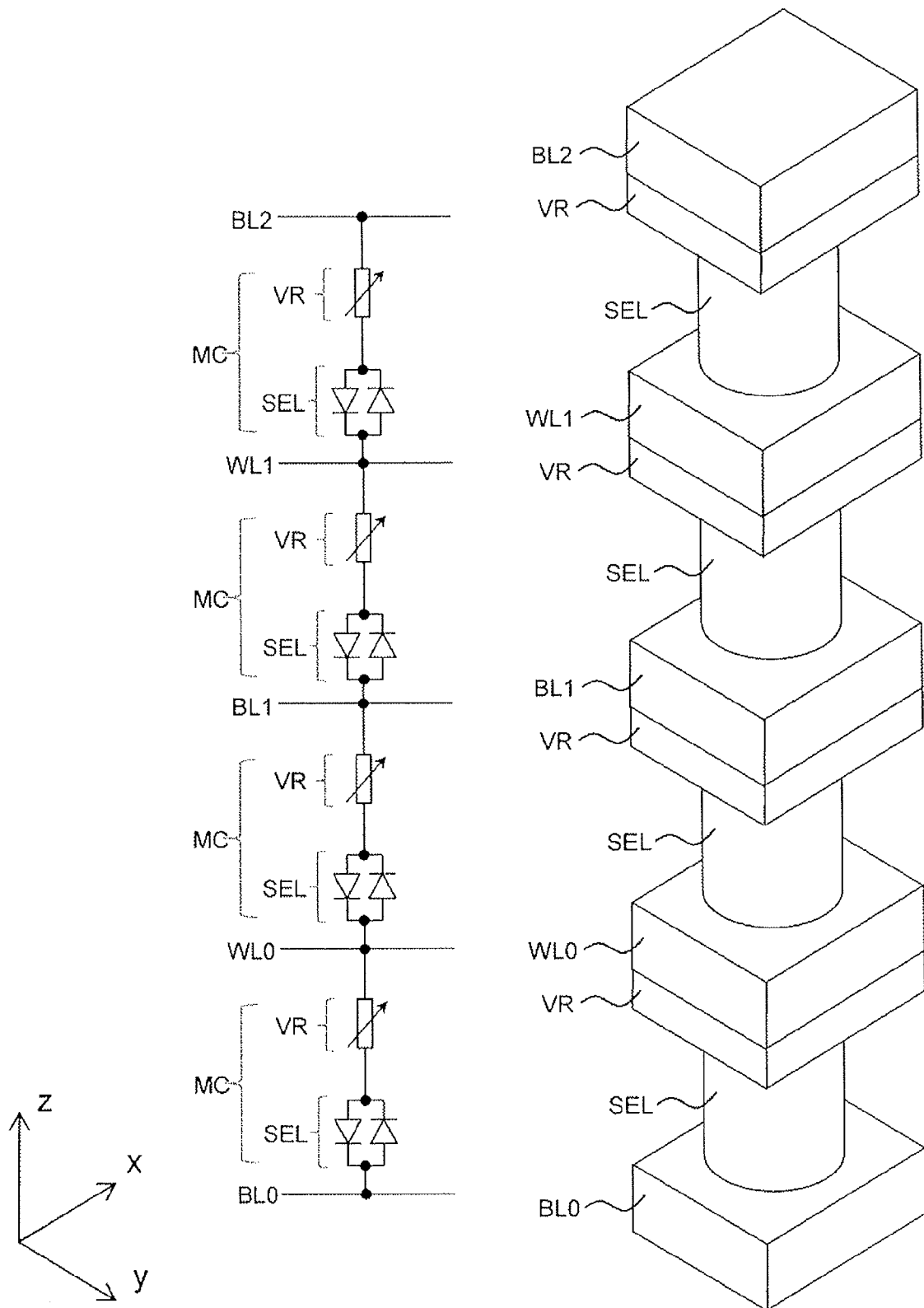
[図10]



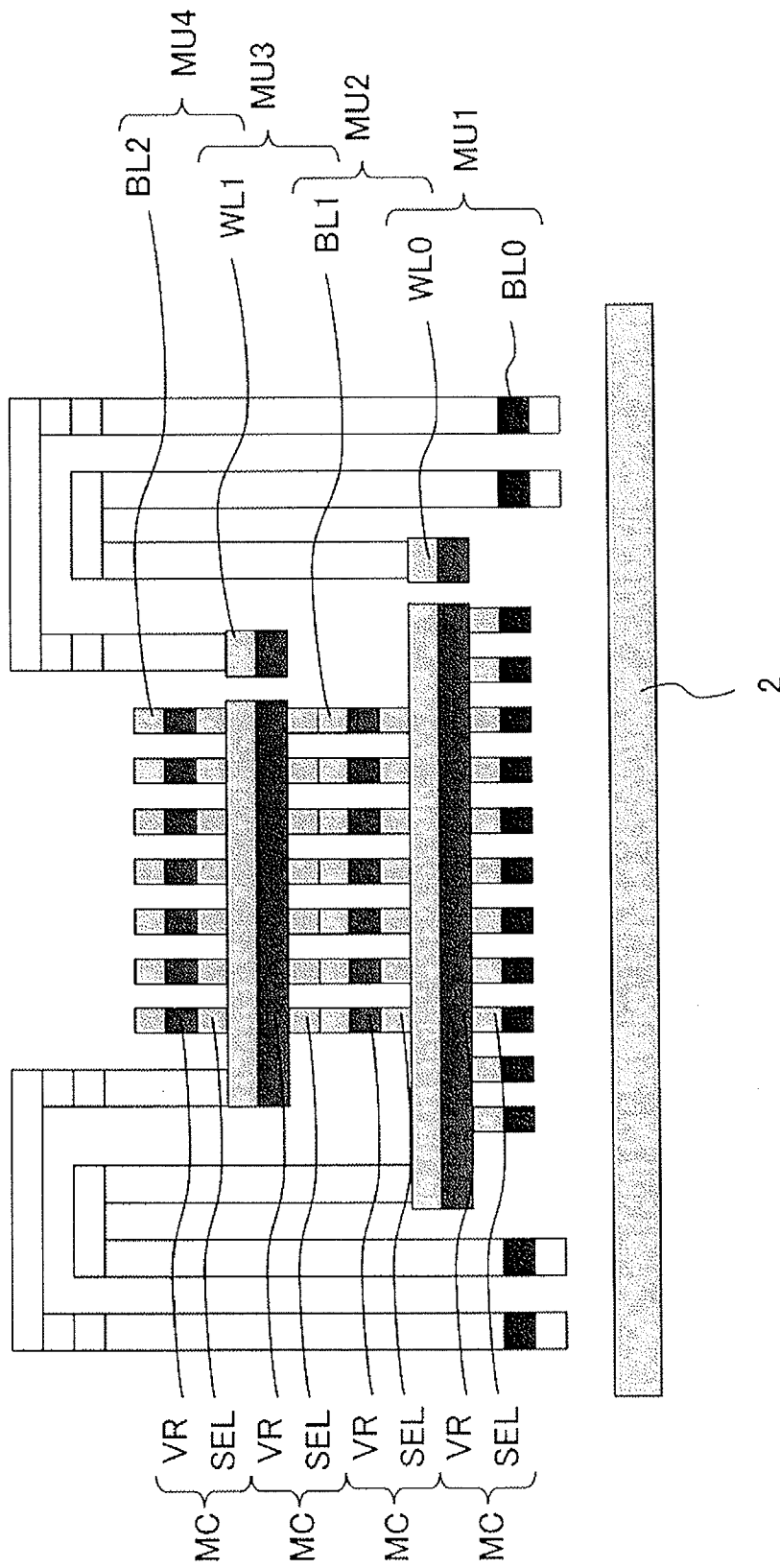
[図11]



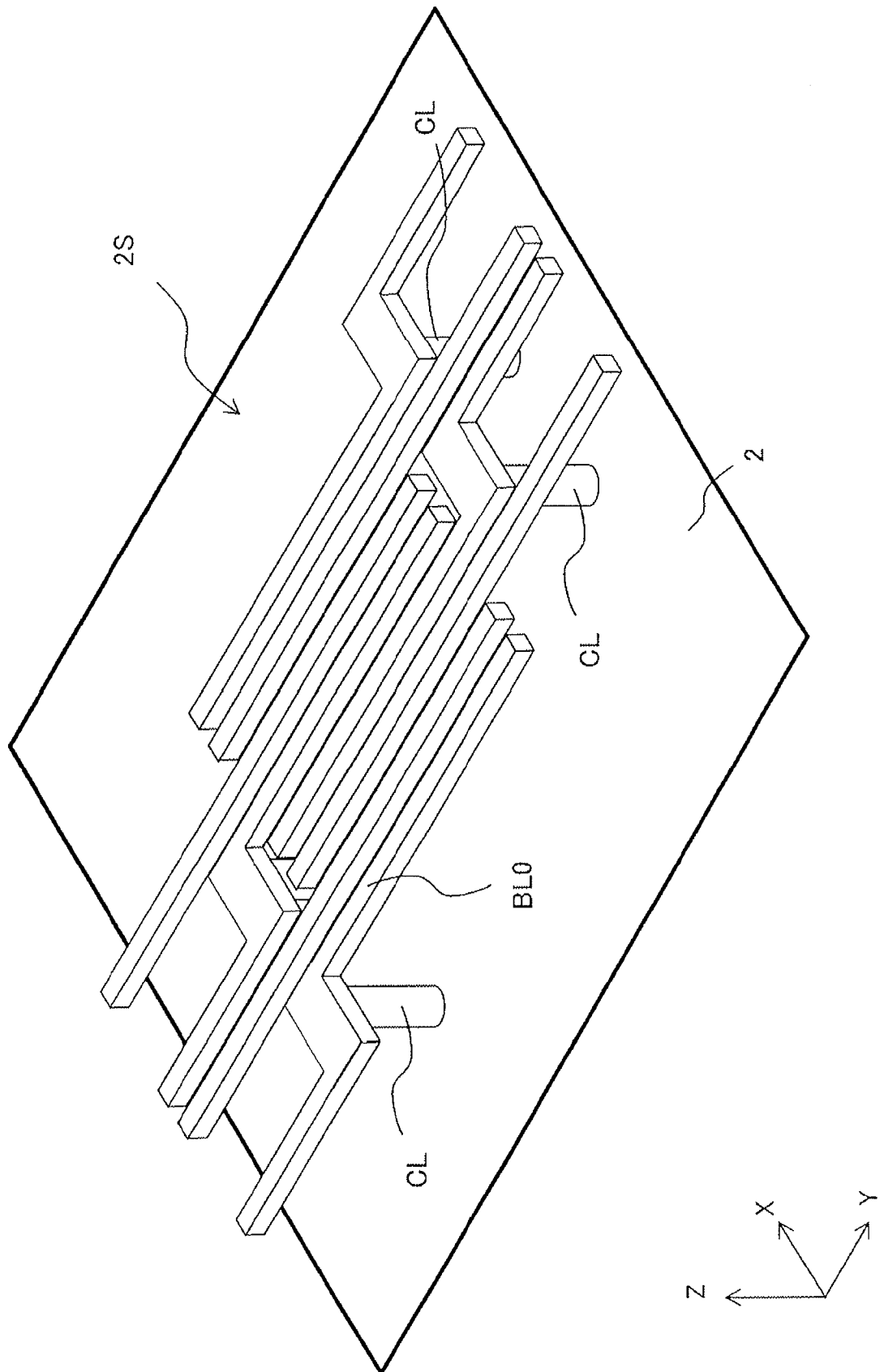
[図12]



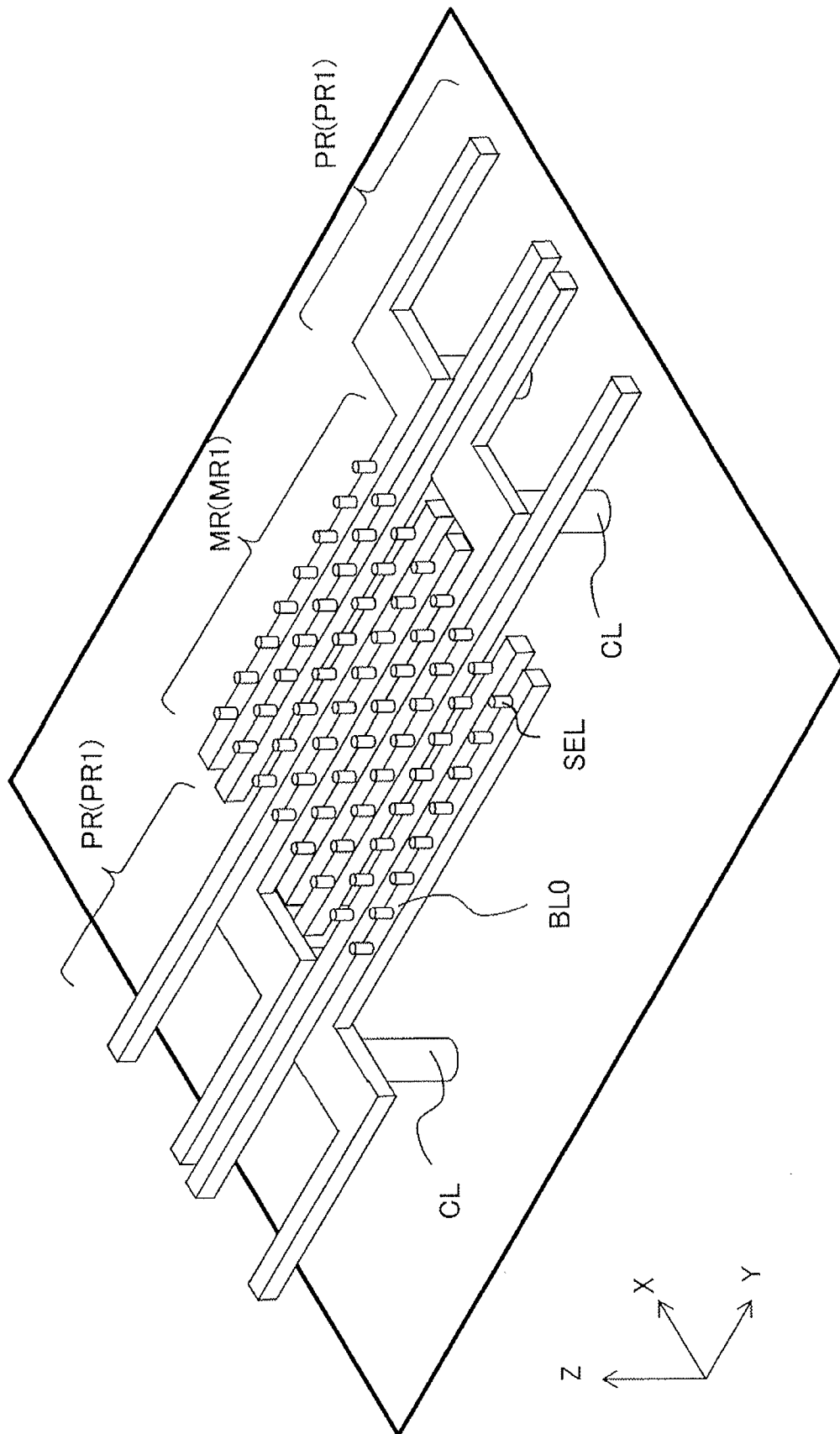
[図13]



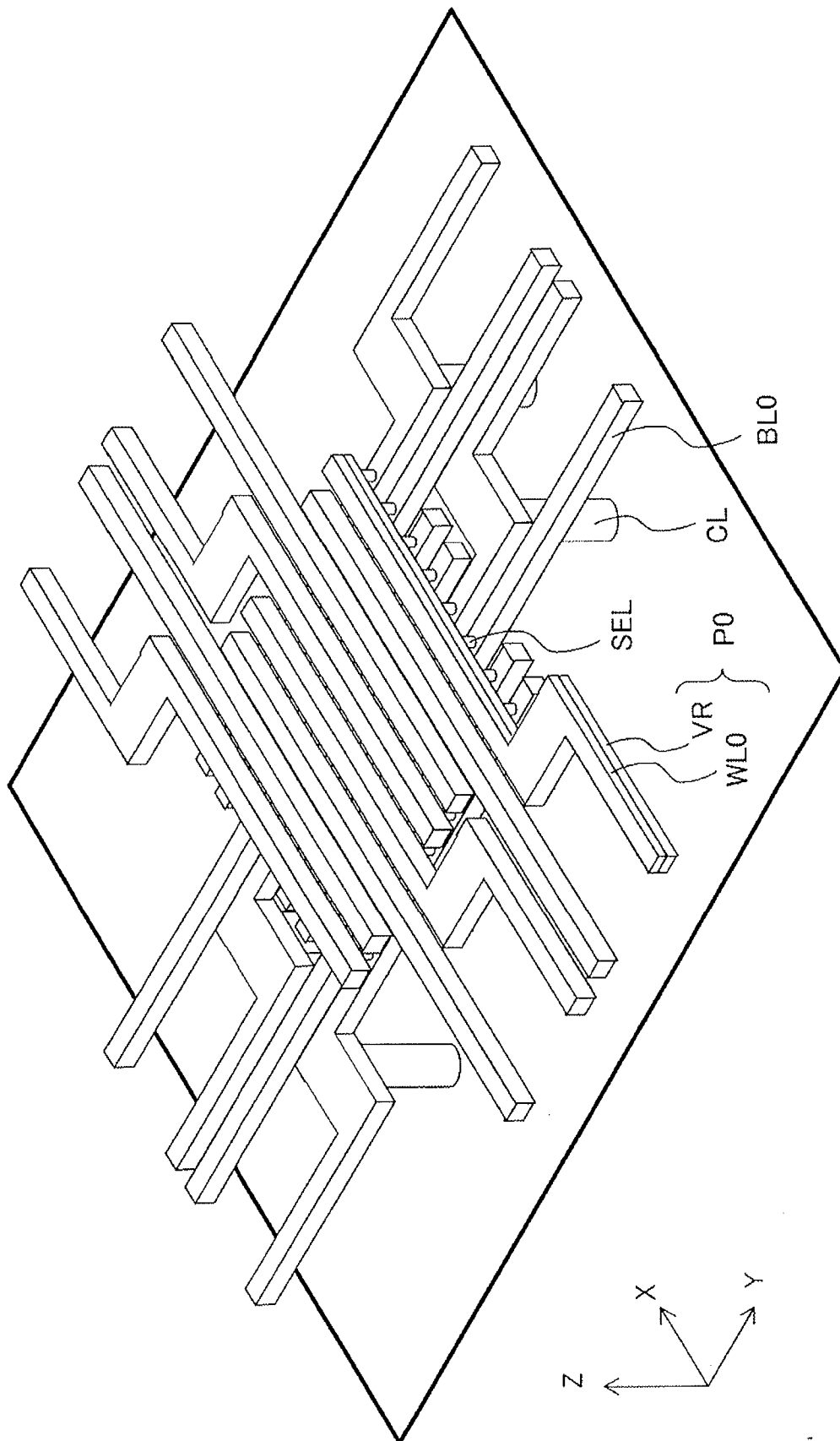
[図14A]



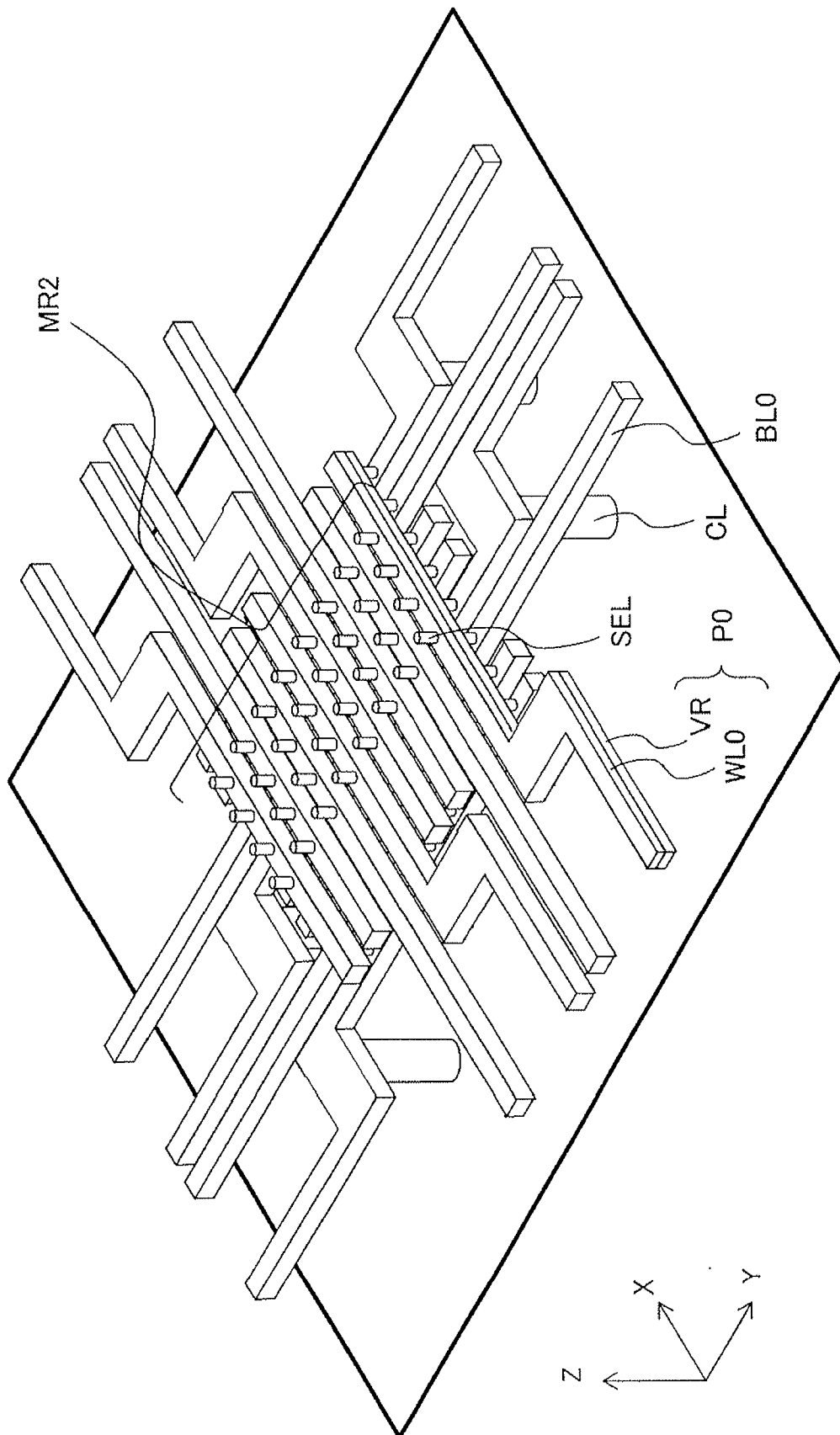
[図14B]



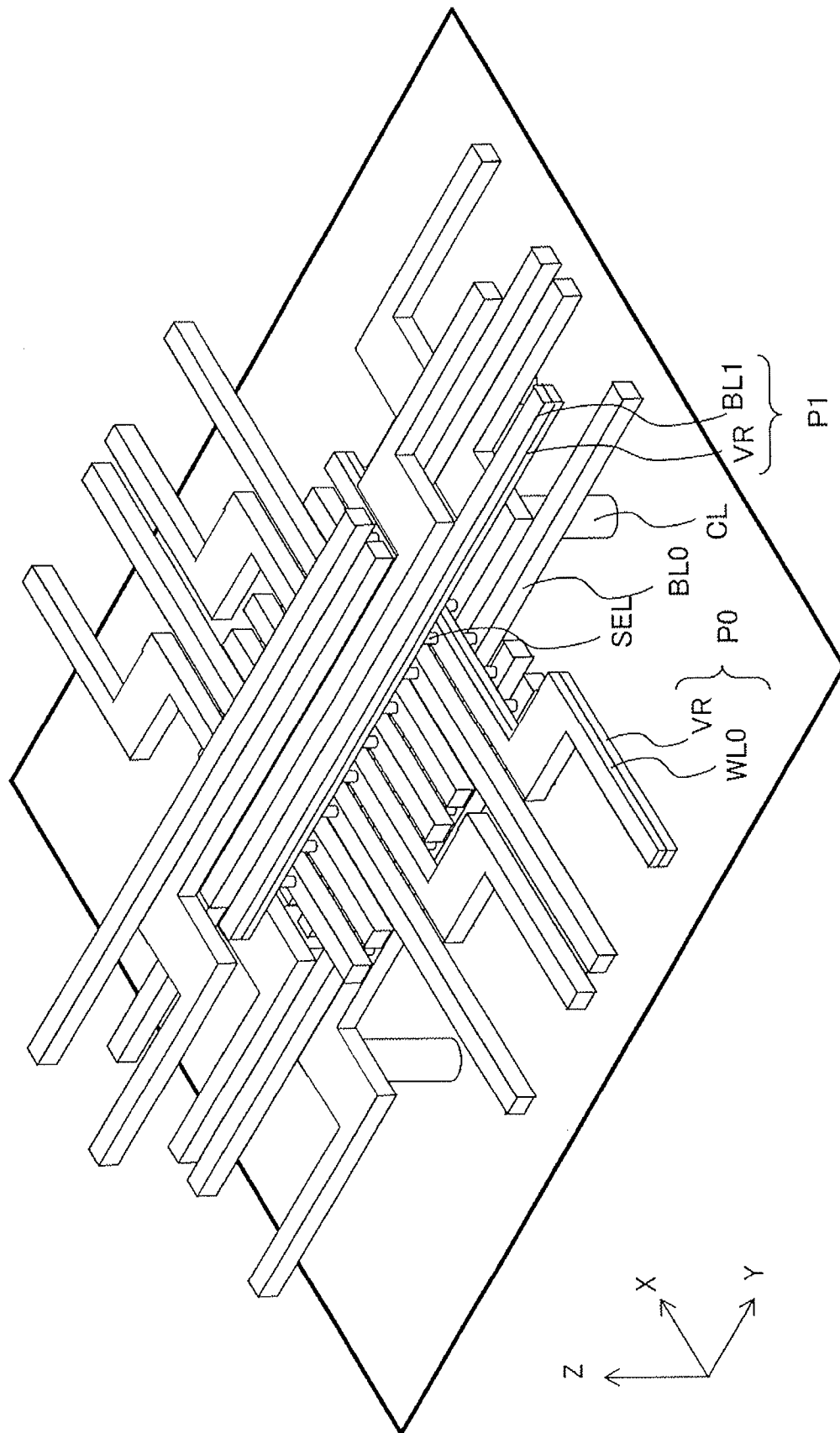
[図14C]



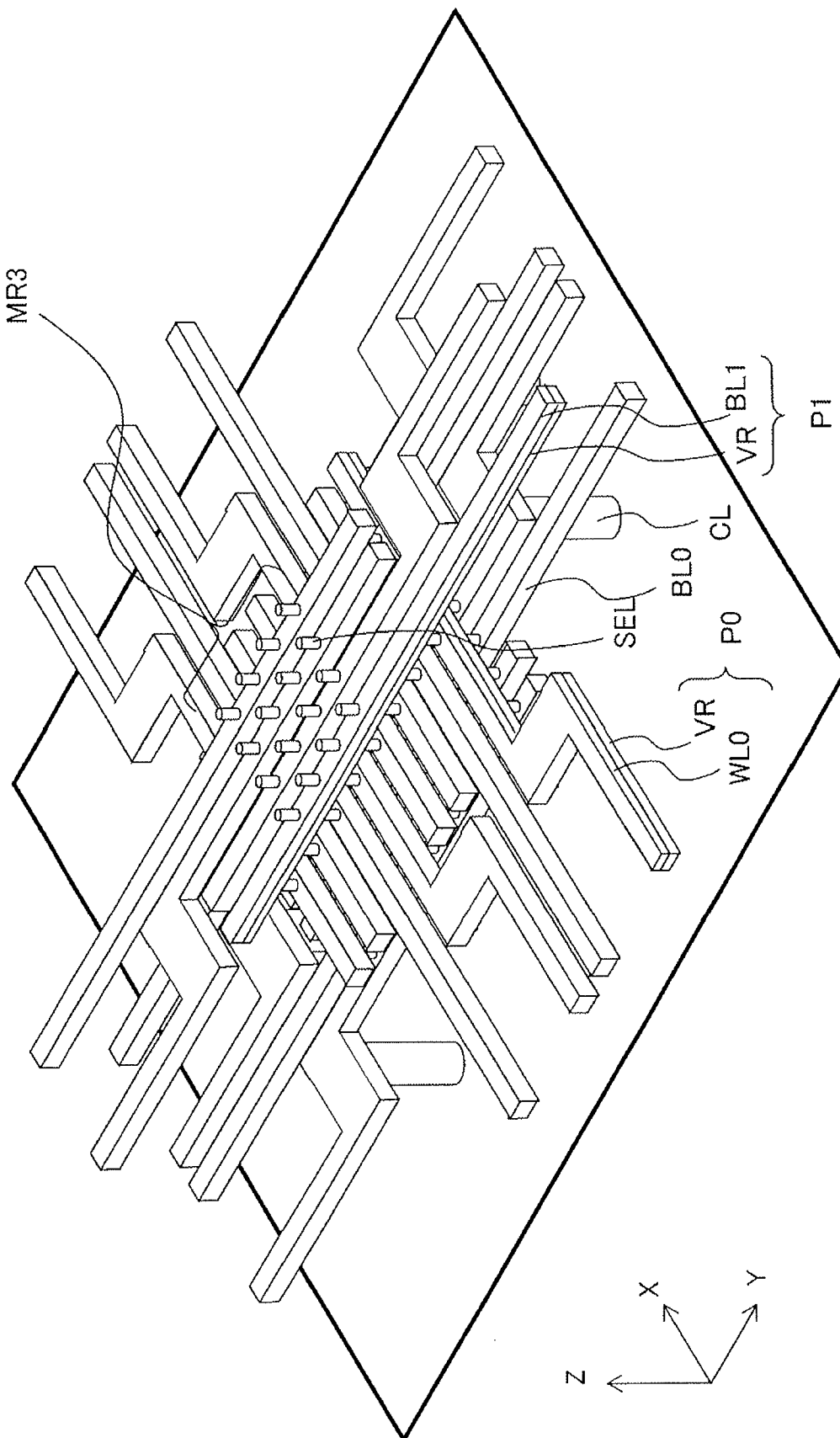
[図14D]



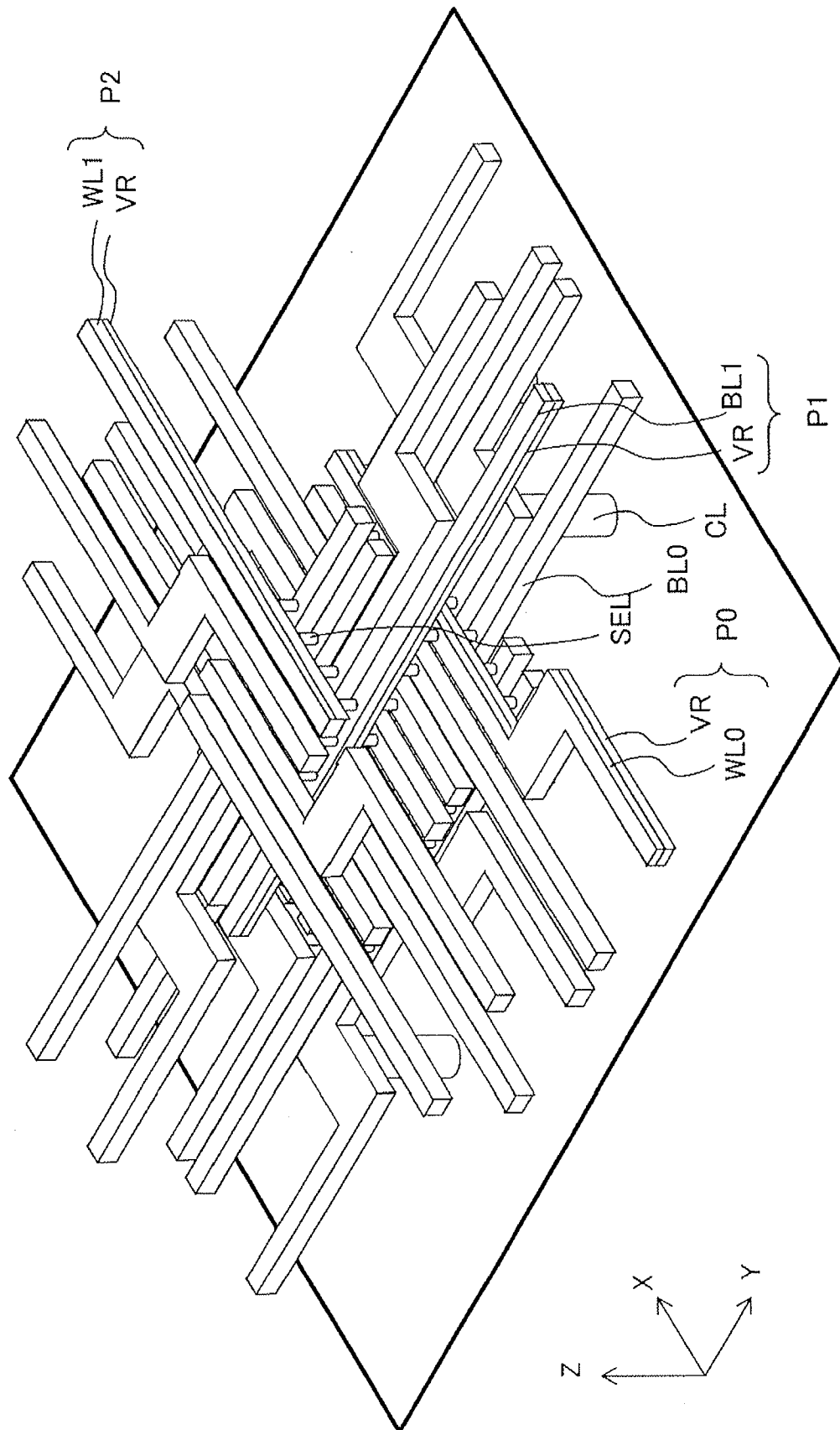
[図14E]



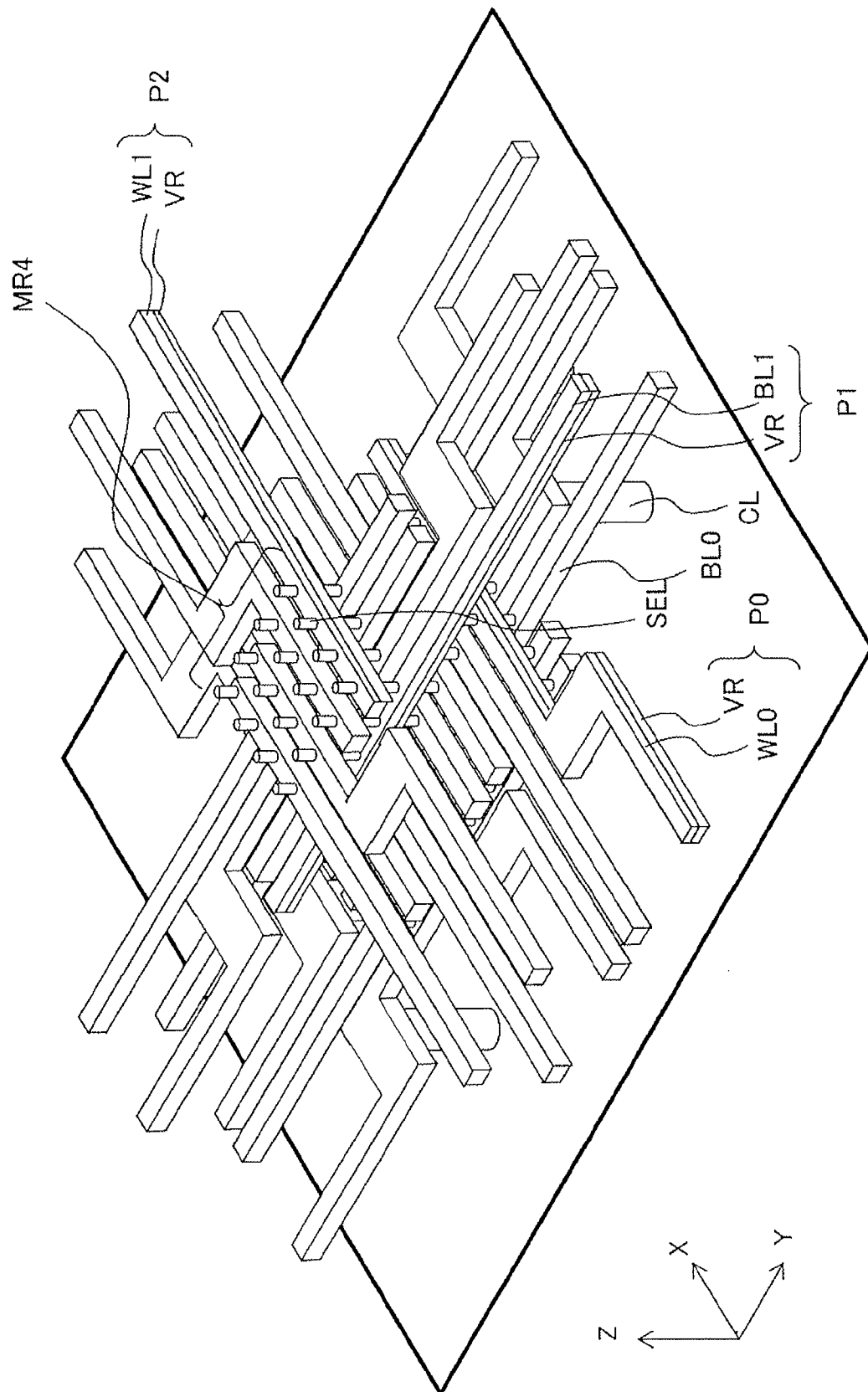
[図14F]



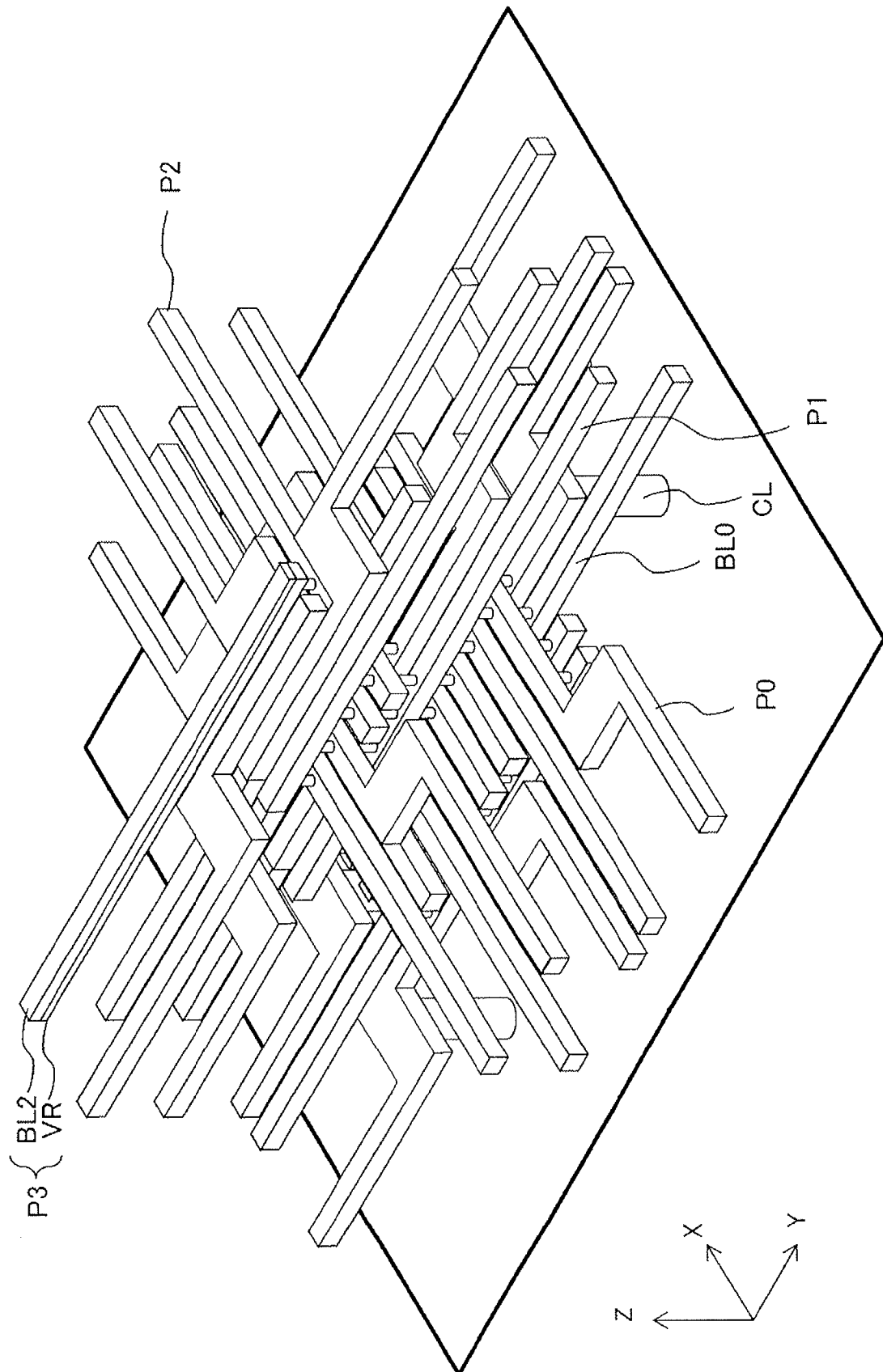
[図14G]



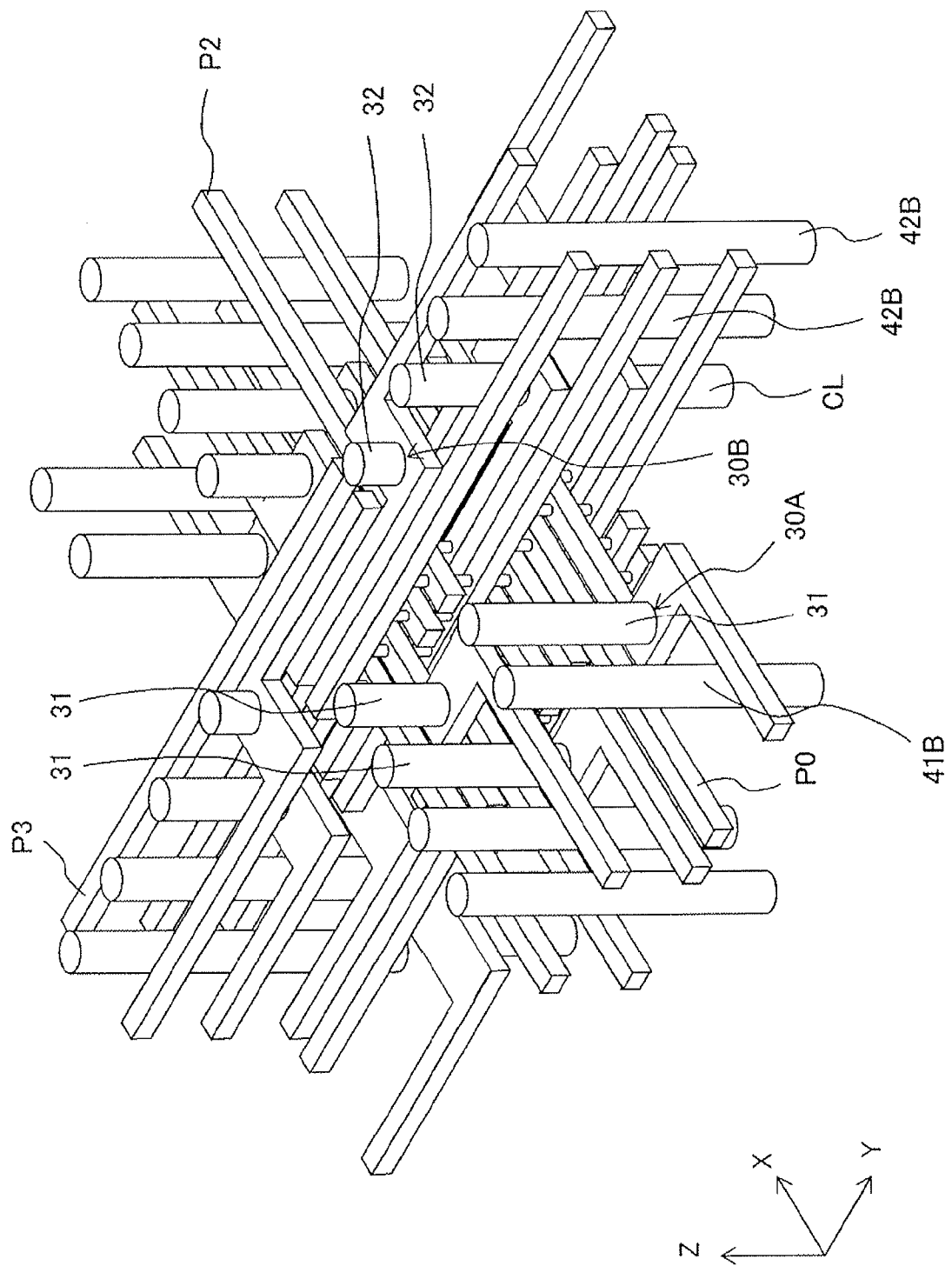
[図14H]



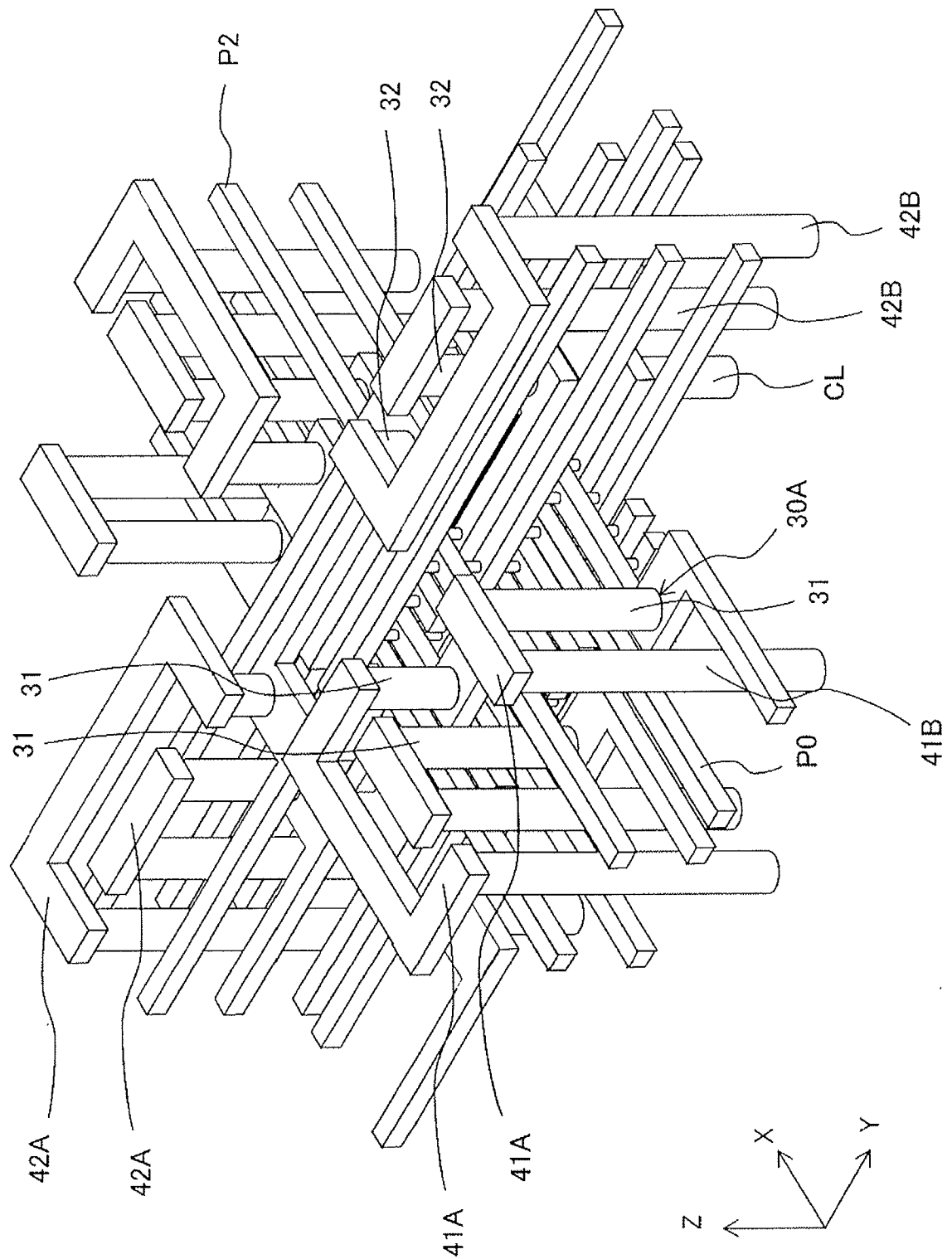
[図14J]



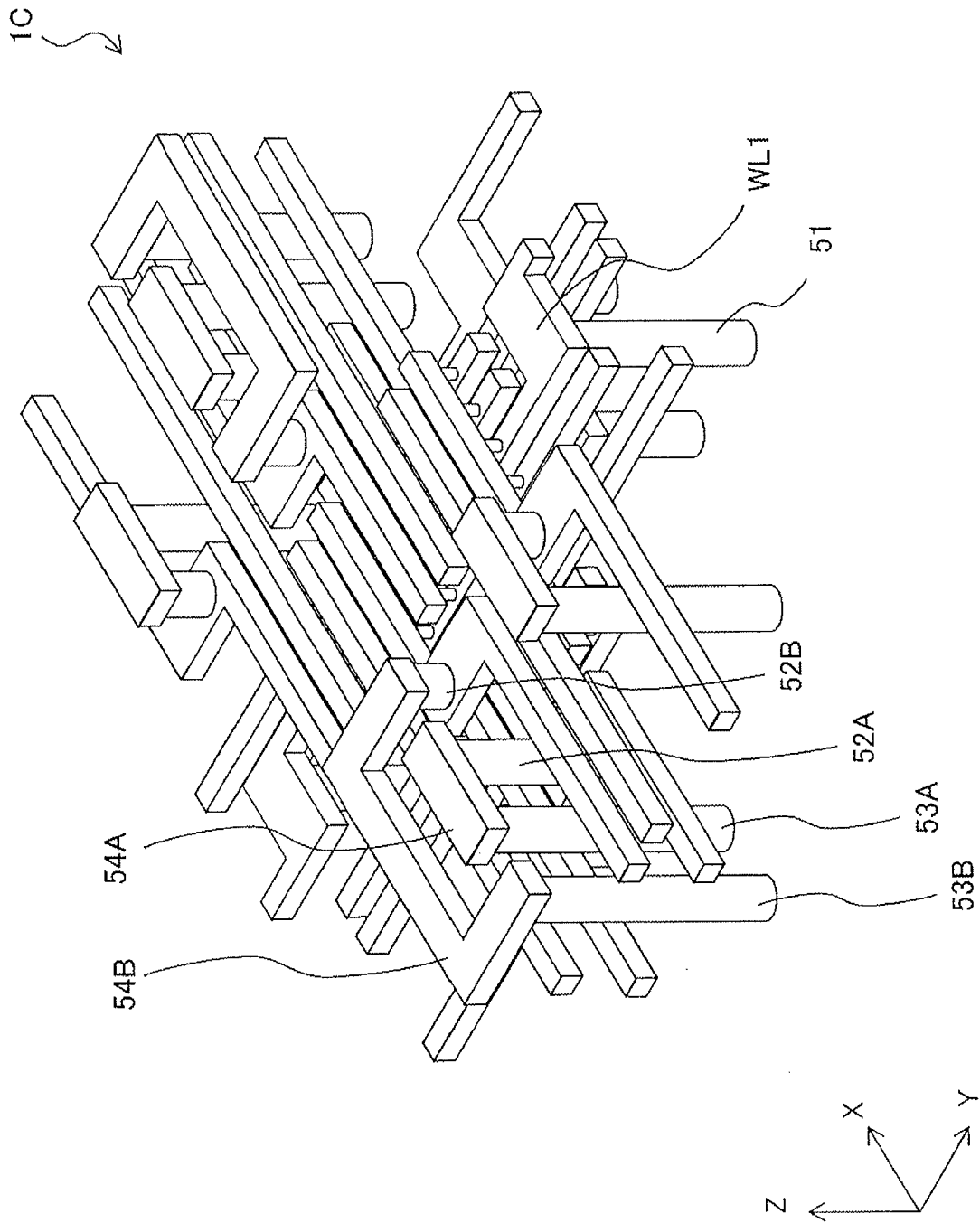
[図14K]



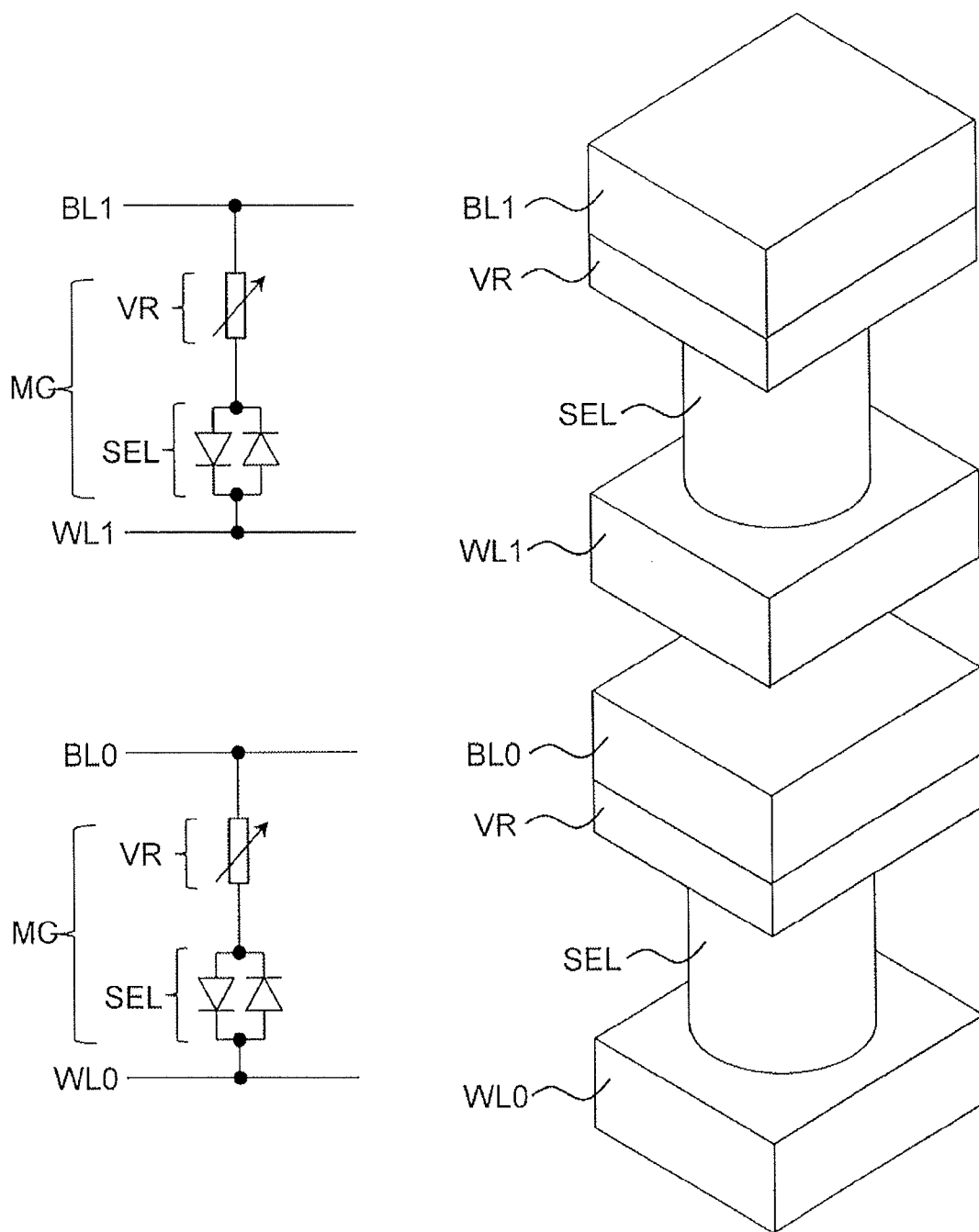
[図14L]



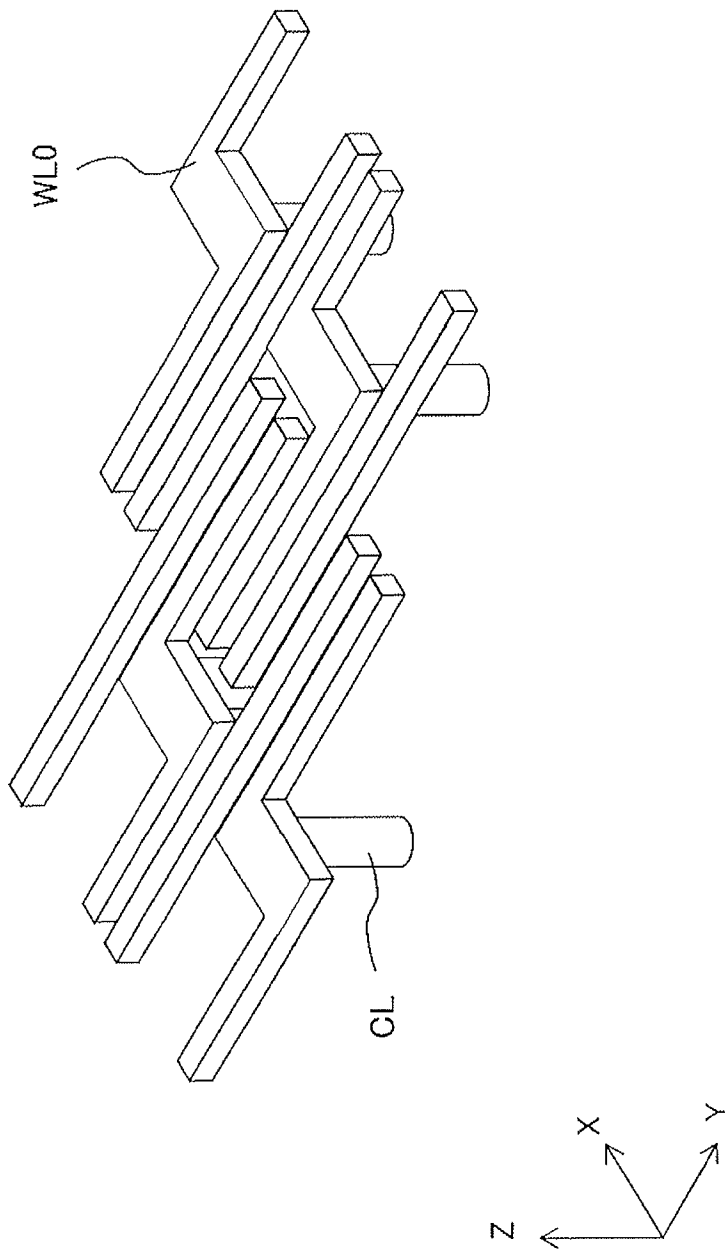
[図15]



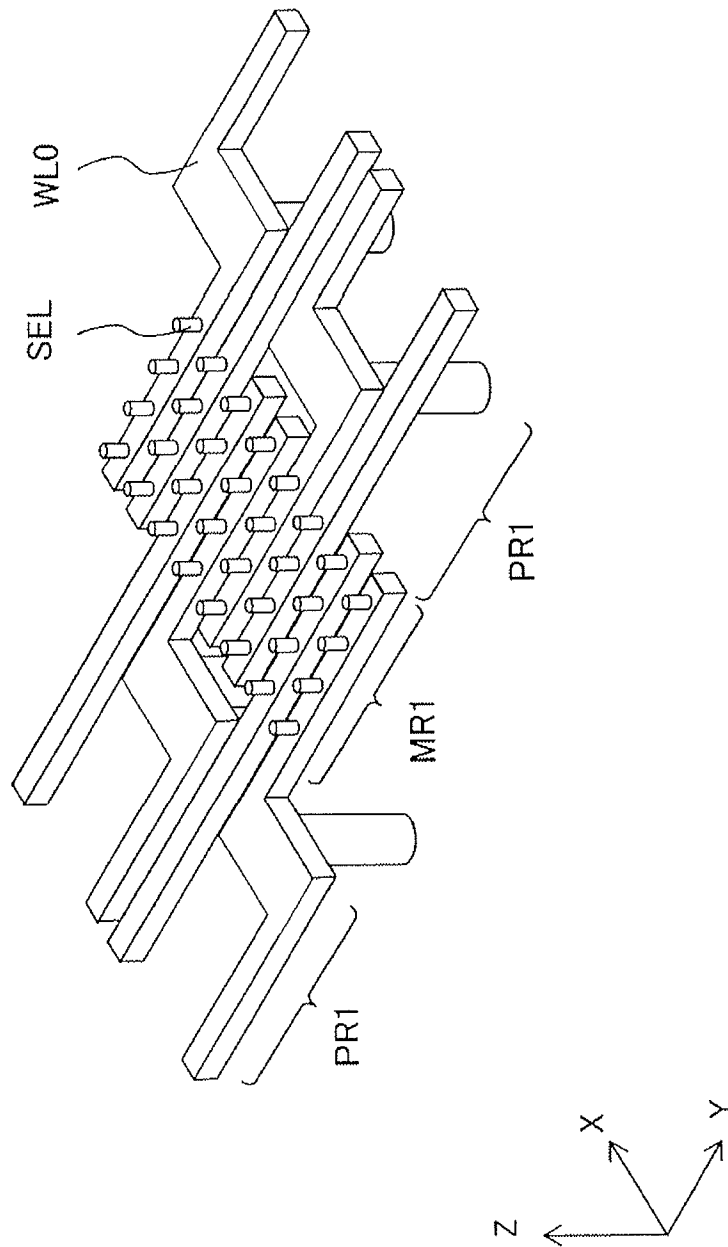
[図16]



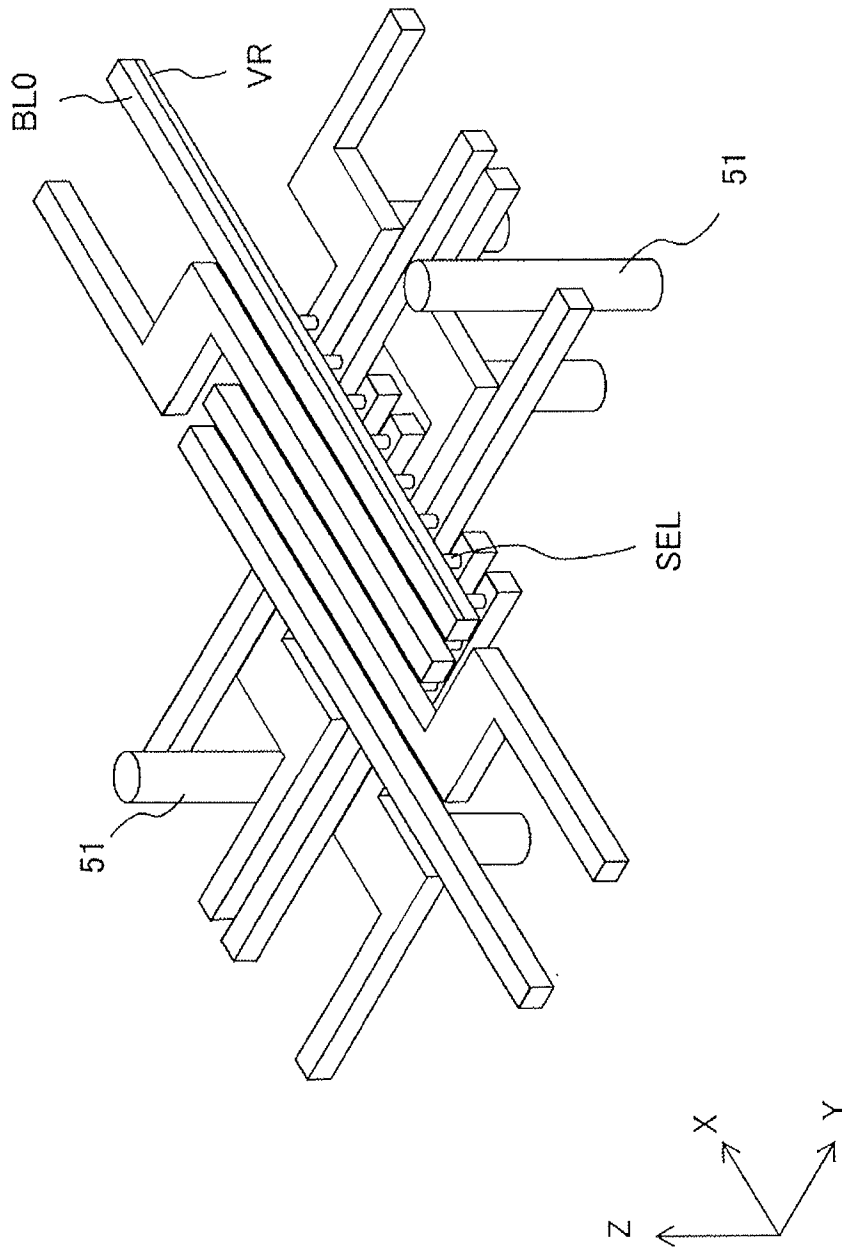
[図17A]



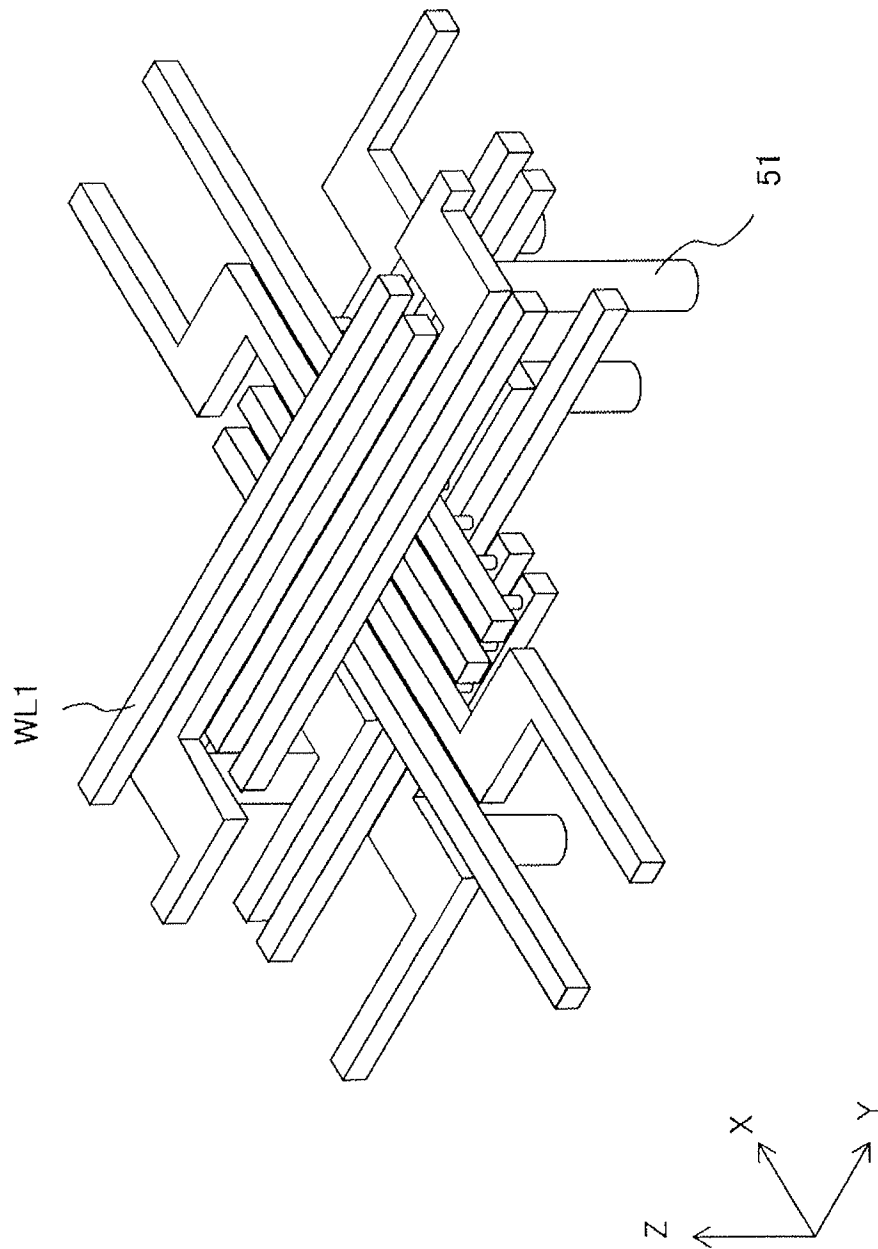
[図17B]



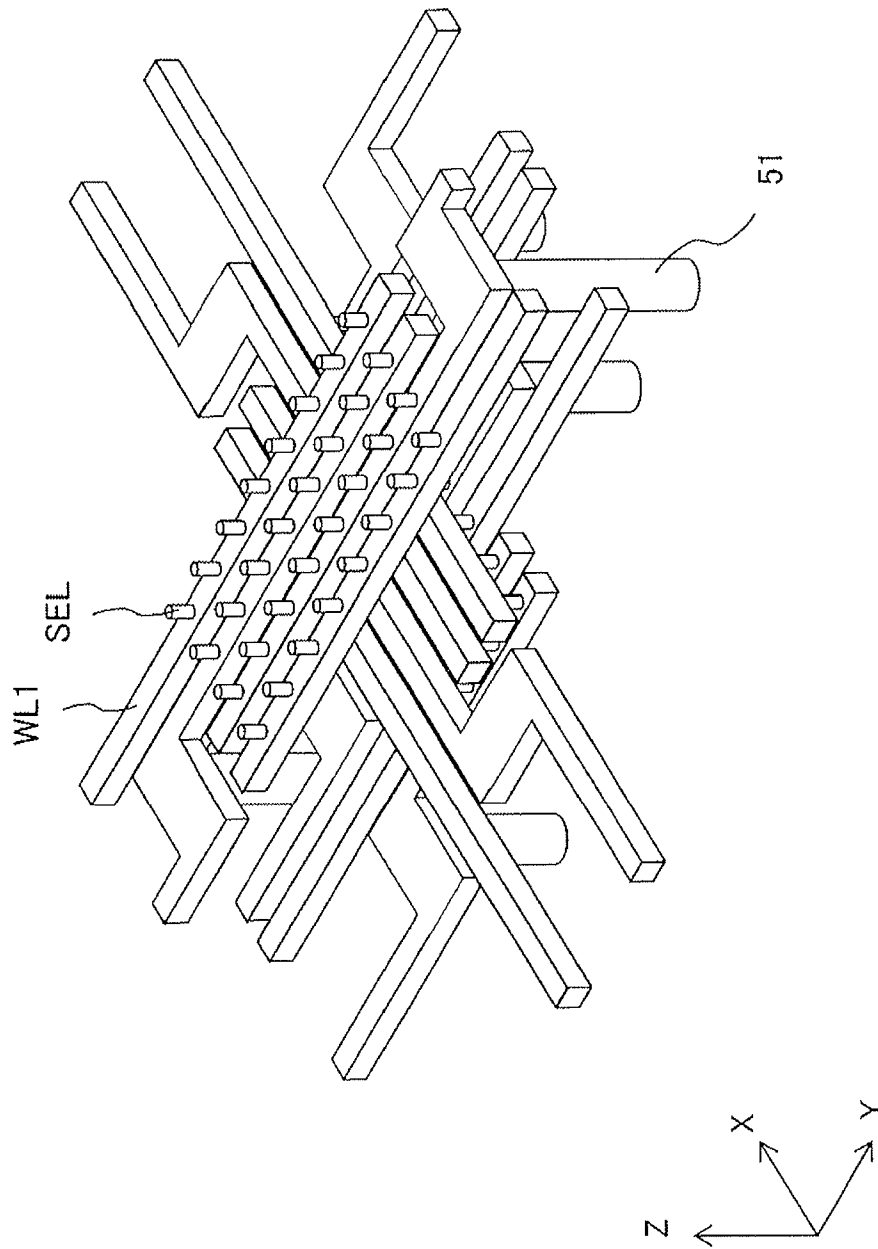
[図17C]



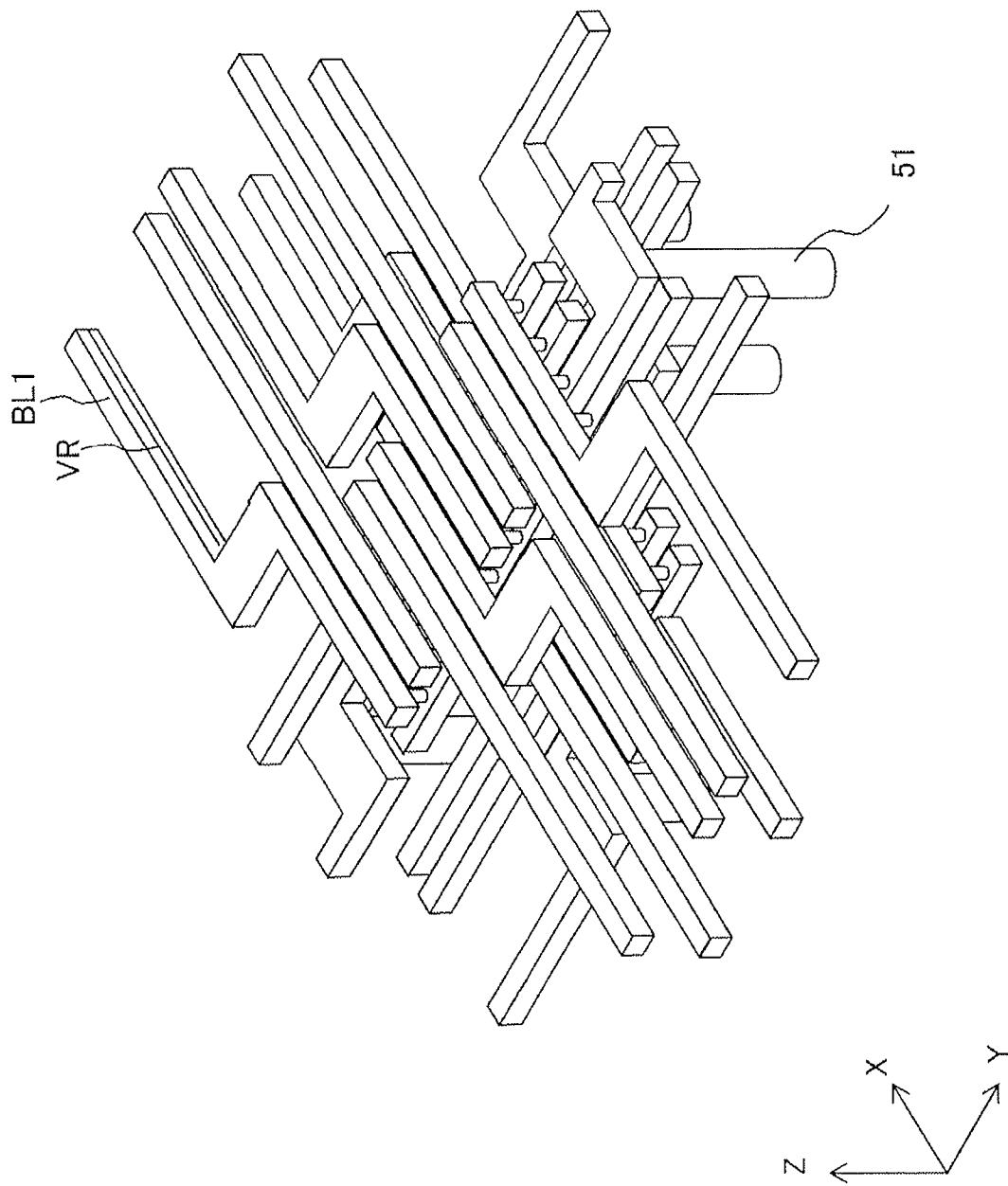
[図17D]



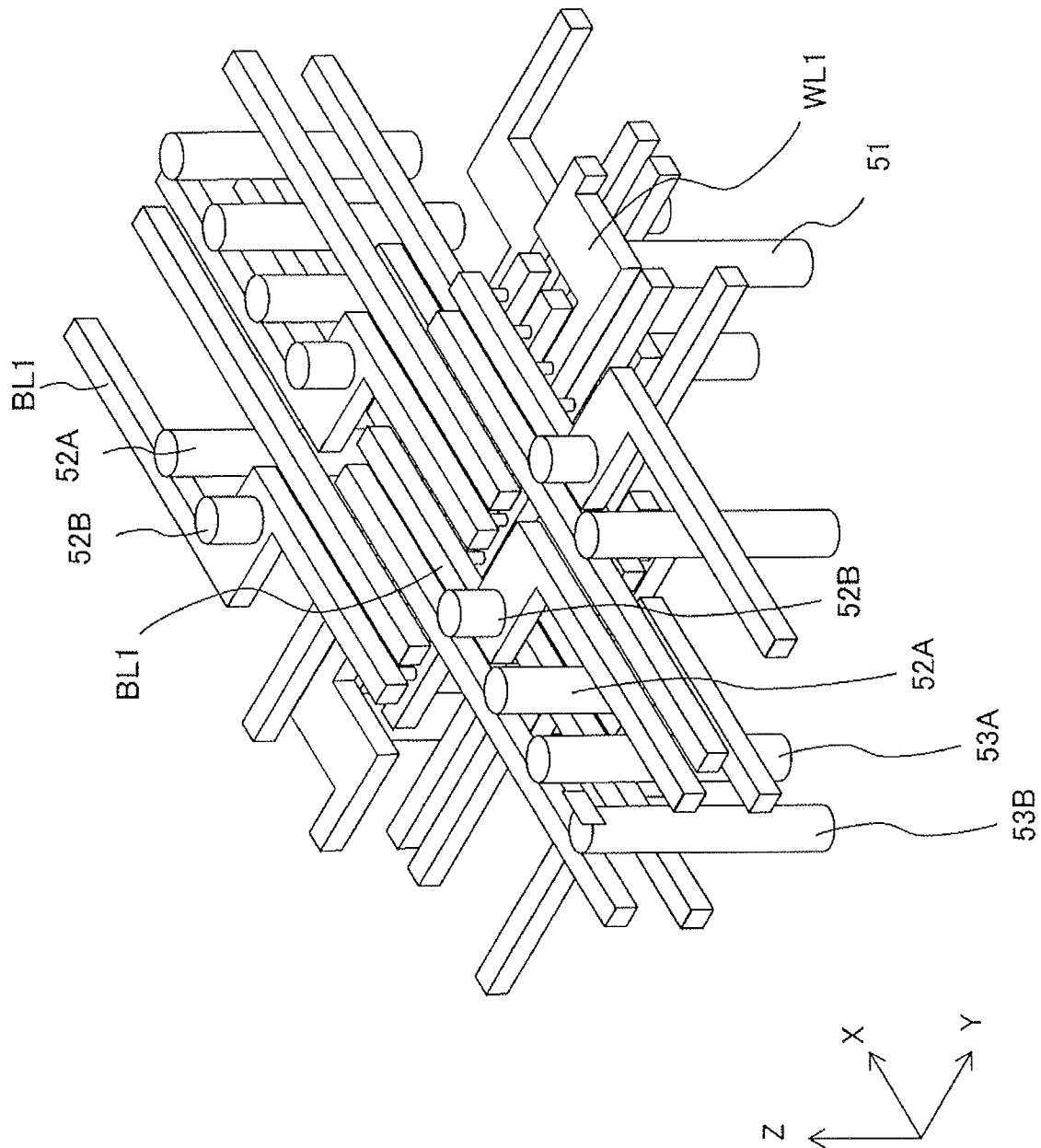
[図17E]



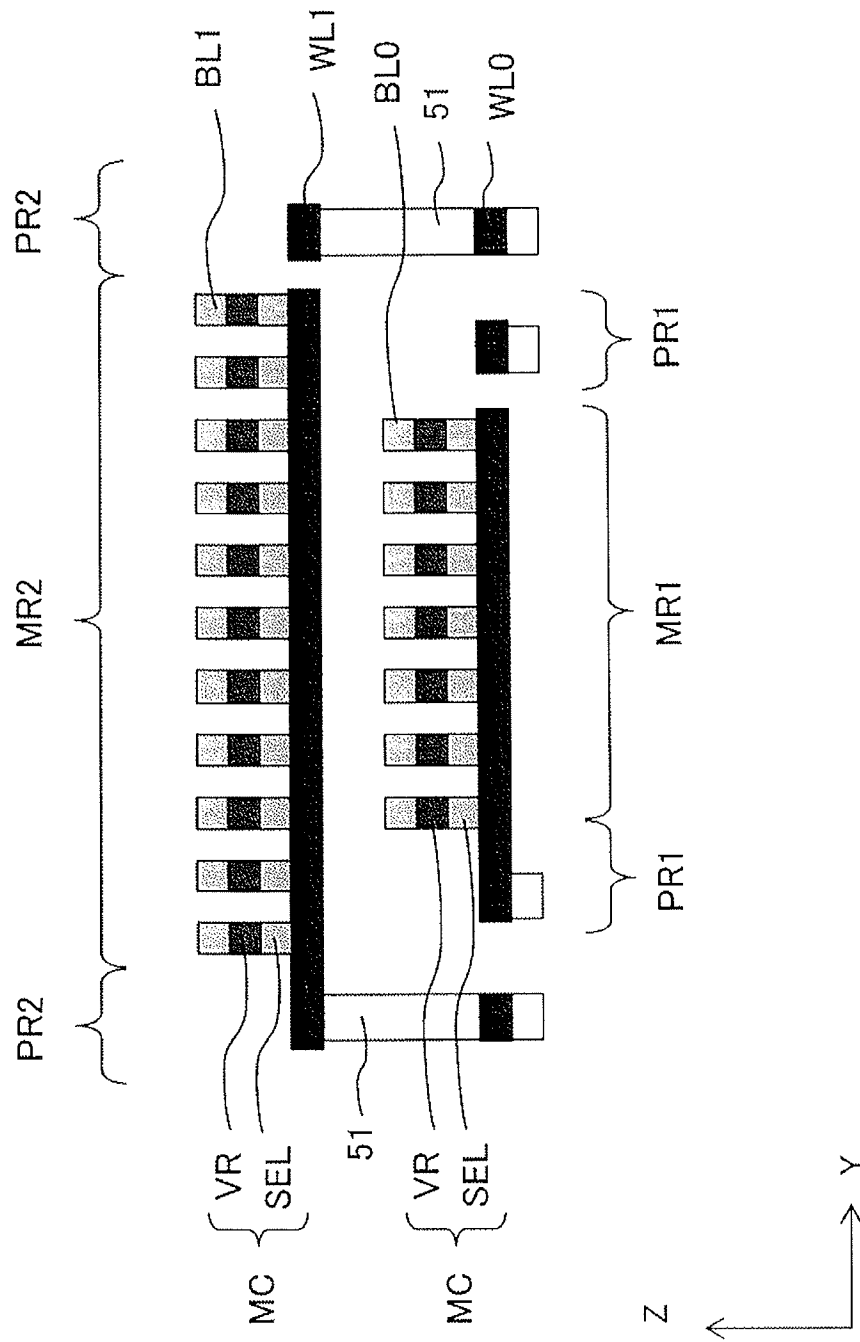
[図17F]



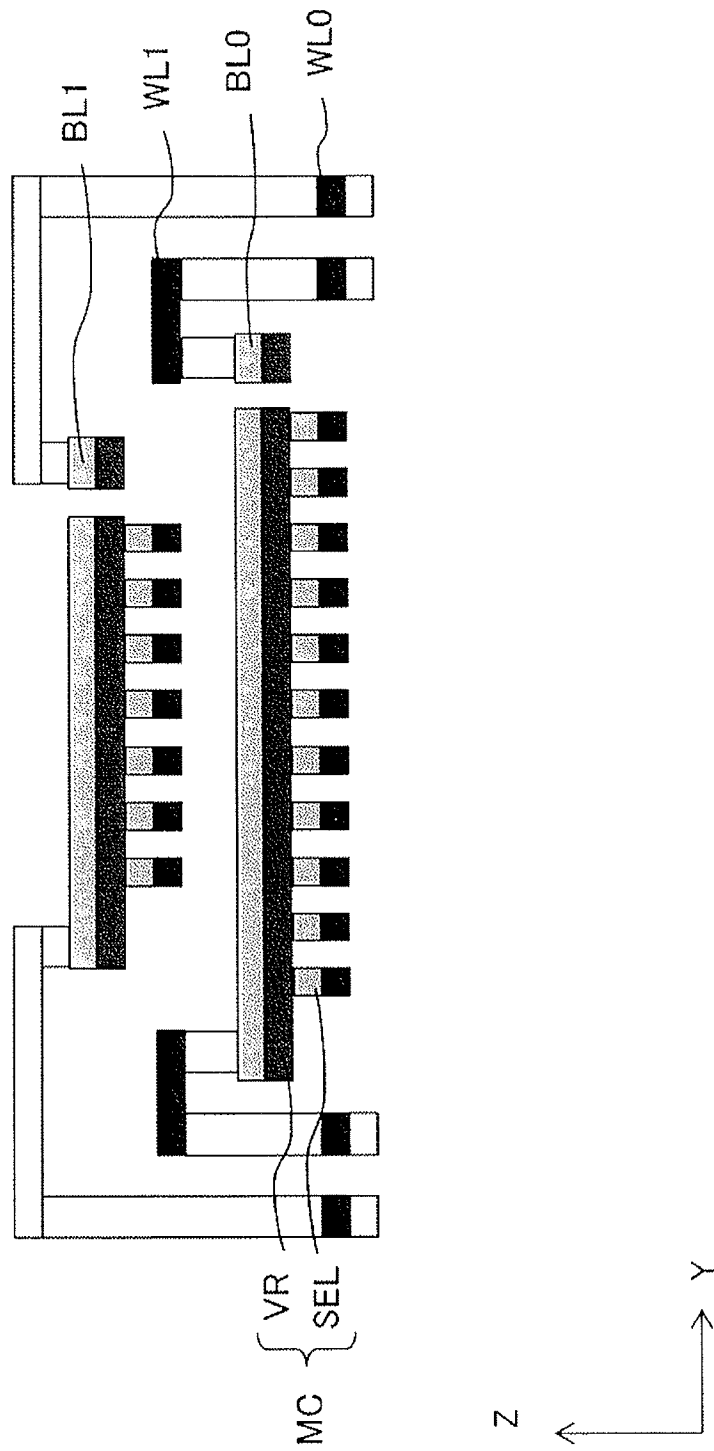
[図17G]



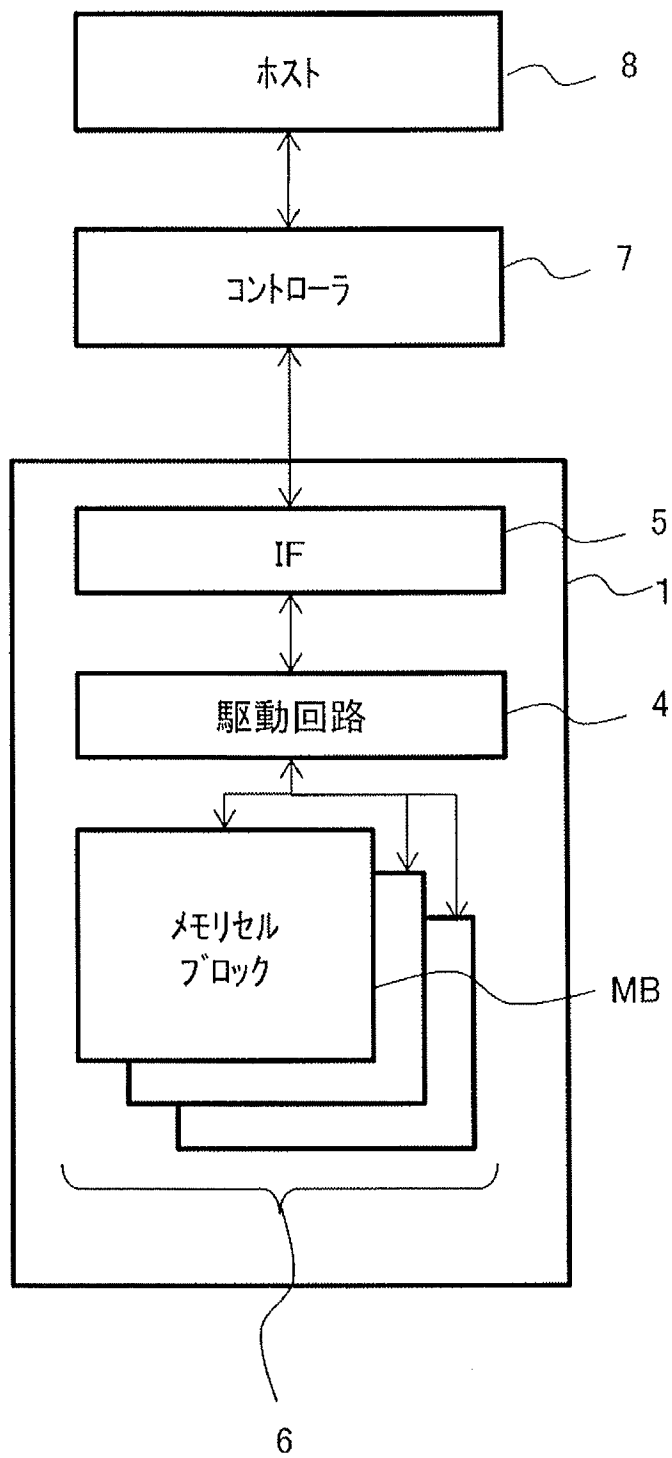
[図18A]



[図18B]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/064772

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01)i, H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, H01L27/10, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2011/0316072 A1 (SAMSUNG ELETRONICS CO., LTD.), 29 December 2011 (29.12.2011), paragraphs [0083] to [0087]; fig. 5A to 5D & KR 10-2011-0140018 A	1, 2, 6, 18 5, 19 3, 4, 7-17
Y	WO 2014/103577 A1 (Sony Corp.), 03 July 2014 (03.07.2014), paragraph [0029]; fig. 4, 5 & US 2015/0325628 A1 paragraph [0099]; fig. 4, 5 & CN 104871313 A & KR 10-2015-0101997 A	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
19 July 2016 (19.07.16)

Date of mailing of the international search report
26 July 2016 (26.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/064772

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-170082 A (Samsung Electronics Co., Ltd.), 30 July 2009 (30.07.2009), paragraphs [0023] to [0031]; fig. 2 & US 2009/0180339 A1 paragraphs [0037] to [0043]; fig. 2 & KR 10-2009-0078628 A & CN 101499320 A	19
A	WO 2013/076935 A1 (Panasonic Corp.), 30 May 2013 (30.05.2013), paragraphs [0078] to [0088]; fig. 6 & US 2014/0056055 A1 & CN 103282965 A	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/105(2006.01)i, H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/105, H01L27/10, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	US 2011/0316072 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2011.12.29, [0083]-[0087], FIGS. 5A-5D & KR 10-2011-0140018 A	1, 2, 6, 18 5, 19 3, 4, 7-17
Y	WO 2014/103577 A1 (ソニー株式会社) 2014.07.03, [0029], 図 4, 5 & US 2015/0325628 A1, [0099], FIGS. 4, 5 & CN 104871313 A & KR 10-2015-0101997 A	5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19.07.2016

国際調査報告の発送日

26.07.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

電話番号 03-3581-1101 内線 3516

5 F

9554

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-170082 A (三星電子株式会社) 2009. 07. 30, [0023]-[0031], 図 2 & US 2009/0180339 A1, [0037]-[0043], FIG. 2 & KR 10-2009-0078628 A & CN 101499320 A	19
A	WO 2013/076935 A1 (パナソニック株式会社) 2013. 05. 30, [0078]-[0088], 図 6 & US 2014/0056055 A1 & CN 103282965 A	1-19