

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-92143

(P2019-92143A)

(43) 公開日 令和1年6月13日 (2019.6.13)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/3745 (2011.01)	H04N 5/3745 500	5C024
H03M 1/38 (2006.01)	H03M 1/38	5J022

審査請求 未請求 請求項の数 39 O L (全 57 頁)

(21) 出願番号	特願2018-25772 (P2018-25772)	(71) 出願人	316005926
(22) 出願日	平成30年2月16日 (2018.2.16)		ソニーセミコンダクタソリューションズ株式会社
(31) 優先権主張番号	特願2017-216980 (P2017-216980)		神奈川県厚木市旭町四丁目14番1号
(32) 優先日	平成29年11月10日 (2017.11.10)	(74) 代理人	100112955
(33) 優先権主張国	日本国 (JP)		弁理士 丸島 敏一
		(72) 発明者	江藤 慎一郎
			神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
		(72) 発明者	植野 洋介
			神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

最終頁に続く

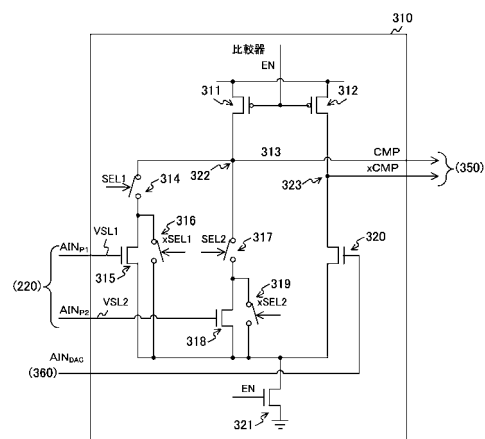
(54) 【発明の名称】 固体撮像素子、撮像装置、および、固体撮像素子の制御方法

(57) 【要約】

【課題】 A D C が配置された固体撮像素子において、画素信号の読出し速度を向上させる。

【解決手段】 画素ブロックには、複数の画素が配列される。駆動回路は、画素ブロックを駆動して複数の画素信号を同時に出力させる。比較器は、複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する。制御部は、比較器の比較結果に基づいて所定の基準信号を更新させるための制御信号を生成する。基準信号更新部は、制御信号に従って所定の基準信号を更新する。

【選択図】 図 8



【特許請求の範囲】

【請求項 1】

複数の画素が配列された画素ブロックと、
前記画素ブロックを駆動して複数の画素信号を同時に出力させる駆動回路と、
前記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較器と、
前記比較器の比較結果に基づいて前記所定の基準信号を更新させるための制御信号を生成する制御部と、
前記制御信号に従って前記所定の基準信号を更新する基準信号更新部と
を具備する固体撮像素子。

10

【請求項 2】

前記比較器は、
前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、
正側出力ノードと負側出力ノードとに接続されたカレントミラー回路と、
前記正側出力ノードおよび前記負側出力ノードの一方にドレインが接続され、前記所定の基準信号がゲートに入力される基準側トランジスタと、
所定の選択信号に従って前記複数の画素側トランジスタのいずれかを選択して当該選択したトランジスタのドレインと前記正側出力ノードおよび前記負側出力ノードの他方とを接続する比較器内選択部と
を備え、
前記比較器は、前記正側出力ノードおよび前記負側出力ノードから前記比較結果を出力する
請求項 1 記載の固体撮像素子。

20

【請求項 3】

前記比較器は、
所定のイネーブル信号に従って前記複数の画素側トランジスタと前記基準側トランジスタとに一定の電流を供給する電流源トランジスタをさらに備え、
前記カレントミラー回路は、各々のゲートに前記所定のイネーブル信号が入力された一対のカレントミラートランジスタを備える
請求項 2 記載の固体撮像素子。

30

【請求項 4】

前記カレントミラー回路は、
各々のゲートが互いに接続された一対のカレントミラートランジスタと、
前記一対のカレントミラートランジスタの一方のドレインと前記一対のカレントミラートランジスタのそれぞれの前記ゲートとの間の経路を前記所定のイネーブル信号に従って開閉するイネーブルスイッチと
を備える
請求項 2 記載の固体撮像素子。

40

【請求項 5】

前記比較器は、前記所定の選択信号に従って前記複数の画素側トランジスタのうち選択されていないトランジスタのドレインおよびソースを短絡する短絡部をさらに備える
請求項 2 記載の固体撮像素子。

【請求項 6】

前記比較器は、前記複数の画素側トランジスタのそれぞれについてキャパシタをさらに備え、
前記複数の画素信号は、互いに異なる信号線を介して出力され、
前記複数の画素側トランジスタのそれぞれのゲートは、互いに異なる前記キャパシタを介して互いに異なる前記信号線に接続される
請求項 2 記載の固体撮像素子。

50

【請求項 7】

前記比較部は、所定のリセット信号に従って前記キャパシタのそれぞれを初期化するリセット部をさらに備える請求項 6 記載の固体撮像素子。

【請求項 8】

前記比較器は、上側比較器および下側比較器を備え、

前記駆動回路は、前記複数の画素信号の半分を前記上側比較器および前記下側比較器の一方に出力し、前記複数の画素信号の残りを前記上側比較器および前記下側比較器の他方に出力する

請求項 1 記載の固体撮像素子。

【請求項 9】

前記複数の画素信号のうち所定数の画素信号を選択して前記比較器に供給する比較外選択部をさらに具備する

請求項 1 記載の固体撮像素子。

【請求項 10】

前記駆動回路は、前記複数の画素信号のそれぞれのリセットレベルを出力させた後に前記複数の画素信号のそれぞれの信号レベルを出力させ、

前記比較器は、前記リセットレベルと前記所定の基準信号とを比較した後に前記信号レベルと前記所定の基準信号とを比較する

請求項 1 記載の固体撮像素子。

【請求項 11】

前記画素ブロックは、前記複数の画素が所定方向に配列された列からなり、

前記比較器は、前記列ごとに配置される

請求項 1 記載の固体撮像素子。

【請求項 12】

所定数の前記画素ブロックは、画素領域内において二次元格子状に配列され、

前記画素ブロック内において、前記複数の画素は二次元格子状に配列され、

前記比較器は、前記画素ブロックの列ごとに配列される

請求項 1 記載の固体撮像素子。

【請求項 13】

前記画素ブロックには、それぞれが浮遊拡散層を共有する複数の画素からなる複数の共有ブロックが設けられる

請求項 12 記載の固体撮像素子。

【請求項 14】

所定数の前記画素ブロックは、画素領域内において二次元格子状に配列され、

前記画素領域内において隣接する一対の画素は、一対の像の位相差を検出するための画素である

請求項 1 記載の固体撮像素子。

【請求項 15】

前記複数の画素は、バイヤー配列により配列される

請求項 1 記載の固体撮像素子。

【請求項 16】

所定数の前記画素ブロックは、画素領域内において二次元格子状に配列され、

前記画素領域内において隣接する複数の画素のそれぞれは、同一の色の光を光電変換して画素信号を生成する

請求項 1 記載の固体撮像素子。

【請求項 17】

前記基準信号更新部は、

複数の容量と、

前記制御信号に従って前記複数の容量のそれぞれの一端の電位を変更する電位制御部とを備え、

10

20

30

40

50

前記制御部は、疑似乱数に基づいて前記複数の容量のうち所定個数を選択して当該選択した容量のそれぞれの電位を変更させる前記制御信号を生成する

請求項 1 記載の固体撮像素子。

【請求項 18】

前記比較器は、

前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、

前記所定の基準信号がゲートに入力される基準側トランジスタと、

所定の選択信号に従って前記複数の画素側トランジスタのソースおよびドレインに、ソース側ノードおよびドレイン側ノードの中間電位を供給する比較器内制御部とを備える

10

請求項 1 記載の固体撮像素子。

【請求項 19】

前記複数の画素信号の切替えのたびに前記ソース側ノードの電位を初期値にするソースリセットスイッチをさらに具備する

請求項 18 記載の固体撮像素子。

【請求項 20】

所定のサンプリング信号に同期して前記中間電位をサンプリングして保持するサンプルホールド回路をさらに具備する

請求項 18 記載の固体撮像素子。

20

【請求項 21】

前記中間電位を生成するレプリカ回路をさらに具備する

請求項 18 記載の固体撮像素子。

【請求項 22】

所定数の前記比較器が配列され、

前記レプリカ回路は前記比較器のそれぞれの内部に配置される

請求項 21 記載の固体撮像素子。

【請求項 23】

所定数の前記比較器が配列され、

前記レプリカ回路は前記所定数の比較器により共有される

請求項 21 記載の固体撮像素子。

30

【請求項 24】

前記レプリカ回路は、所定のバイアス電圧がゲートに入力されるレプリカ回路内トランジスタを備える

請求項 21 記載の固体撮像素子。

【請求項 25】

前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された固定抵抗をさらに備える

請求項 24 記載の固体撮像素子。

【請求項 26】

前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された可変抵抗をさらに備える

請求項 24 記載の固体撮像素子。

40

【請求項 27】

前記比較器は、

前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、

前記所定の基準信号がゲートに入力される基準側トランジスタとを備え、

前記固体撮像素子は、前記複数の画素側トランジスタのそれぞれのソース電圧およびド

50

レイン電圧を生成して供給するレプリカ回路をさらに備える
請求項 1 記載の固体撮像素子。

【請求項 28】

前記比較器は、
前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、
前記所定の基準信号がゲートに入力される基準側トランジスタと、
所定の制御信号に従って前記複数の基準側トランジスタのソースおよびドレインに、ソース側ノードおよびドレイン側ノードの中間電位を供給する比較器内制御部と
を備える

10

請求項 1 記載の固体撮像素子。

【請求項 29】

前記比較器内制御部は、所定の選択信号に従って前記複数の画素側トランジスタのソースおよびドレインに前記中間電位をさらに供給する

請求項 28 記載の固体撮像素子。

【請求項 30】

前記複数の画素信号の切替えのたびに前記ソース側ノードの電位を初期値にするソースリセットスイッチをさらに具備する

請求項 29 記載の固体撮像素子。

【請求項 31】

所定のサンプリング信号に同期して前記中間電位をサンプリングして保持するサンプルホールド回路をさらに具備する

請求項 28 記載の固体撮像素子。

20

【請求項 32】

前記中間電位を生成するレプリカ回路をさらに具備する

請求項 28 記載の固体撮像素子。

【請求項 33】

所定数の前記比較器が配列され、
前記レプリカ回路は前記比較器のそれぞれの内部に配置される

請求項 32 記載の固体撮像素子。

30

【請求項 34】

所定数の前記比較器が配列され、
前記レプリカ回路は前記所定数の比較器により共有される

請求項 32 記載の固体撮像素子。

【請求項 35】

前記レプリカ回路は、所定のバイアス電圧がゲートに入力されるレプリカ回路内トランジスタを備える

請求項 32 記載の固体撮像素子。

【請求項 36】

前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された固定抵抗をさらに備える

請求項 35 記載の固体撮像素子。

40

【請求項 37】

前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された可変抵抗をさらに備える

請求項 35 記載の固体撮像素子。

【請求項 38】

複数の画素が配列された画素ブロックと、
前記画素ブロックを駆動して複数の画素信号を同時に出力させる駆動回路と、
前記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較す

50

る比較器と、

前記比較器の比較結果に基づいて前記所定の基準信号を更新させるための制御信号を生成する制御部と、

前記制御信号に従って前記所定の基準信号を更新する基準信号更新部と、

前記比較結果からなる画素データを処理する画像処理部と
を具備する電子機器。

【請求項 39】

駆動回路が、複数の画素が配列された画素ブロックを駆動して複数の画素信号を同時に出力させる駆動手順と、

比較器が、前記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較手順と、

制御部が、前記比較器の比較結果に基づいて前記所定の基準信号を更新させるための制御信号を生成する制御手順と、

基準信号更新部が、前記制御信号に従って前記所定の基準信号を更新する基準信号更新手順と

を具備する固体撮像素子の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。詳しくは、二次元格子状に複数の画素が配列された固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

【背景技術】

【0002】

従来より、撮像装置などにおいて、アナログの画素信号をデジタル信号に変換するために A D C (Analog to Digital Converter) が用いられている。例えば、二次元格子状に複数の画素を配列した画素領域と、その画素領域における列ごとにシングルスロープ型の A D C を配置したカラム信号処理部とを設けた固体撮像素子が提案されている (例えば、特許文献 1 参照。) 。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2011-234243 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述の従来技術では、列ごとに配置した A D C の A D 変換により、行単位で画素信号を読み出すことができる。しかしながら、この従来技術では、読出し速度を向上させることが困難である。上述の固体撮像素子は、1 行ずつ順番に行を駆動して画素信号を出力させ、その信号が静定するセトリングタイムが経過した後に A D 変換を行うため、セトリングタイムと A D 変換に要する時間との合計が 1 行の読出し時間となる。セトリングタイムは一定であるため、読出し時間を短くして読出し速度を速くするには、A D 変換における量子化ビット数を少なくすればよいが、画像データの画質が低下するため望ましくない。また、列ごとに A D C を 2 つ設ければ、2 行を同時に駆動して A D 変換を行い、全行の読出し速度を 2 倍にすることができるが、A D C の個数が増大するため、望ましくない。このように、画像データの画質の低下や回路規模の増大を抑制しつつ、読出し速度を速くするのは困難である。

【0005】

本技術はこのような状況に鑑みて生み出されたものであり、A D C が配置された固体撮像素子において、画素信号の読出し速度を向上させることを目的とする。

【課題を解決するための手段】

【0006】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、複数の画素が配列された画素ブロックと、上記画素ブロックを駆動して複数の画素信号を同時に出力させる駆動回路と、上記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較器と、上記比較器の比較結果に基づいて上記所定の基準信号を更新させるための制御信号を生成する制御部と、上記制御信号に従って上記所定の基準信号を更新する基準信号更新部とを具備する固体撮像素子、および、その制御方法である。これにより、複数の画素信号が逐次選択されて基準信号と比較されるという作用をもたらす。

10

【0007】

また、この第1の側面において、上記比較器は、上記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、正側出力ノードと負側出力ノードとに接続されたカレントミラー回路と、上記正側出力ノードおよび上記負側出力ノードの一方にドレインが接続され、上記所定の基準信号がゲートに入力される基準側トランジスタと、所定の選択信号に従って上記複数の画素側トランジスタのいずれかを選択して当該選択したトランジスタのドレインと上記正側出力ノードおよび上記負側出力ノードの他方とを接続する比較器内選択部とを備え、上記比較器は、上記正側出力ノードおよび上記負側出力ノードから上記比較結果を出力してもよい。これにより、複数の画素側トランジスタのいずれかのドレインと正側出力ノードおよび負側出力ノードの他方とが接続されるという作用をもたらす。

20

【0008】

また、この第1の側面において、上記比較器は、所定のイネーブル信号に従って上記複数の画素側トランジスタと上記基準側トランジスタとに一定の電流を供給する電流源トランジスタをさらに備え、上記カレントミラー回路は、各々のゲートに上記所定のイネーブル信号が入力された一対のカレントミラートランジスタを備えてもよい。これにより、比較器が有効または無効に制御されるという作用をもたらす。

【0009】

また、この第1の側面において、上記カレントミラー回路は、各々のゲートが互いに接続された一対のカレントミラートランジスタと、上記一対のカレントミラートランジスタの一方のドレインと上記一対のカレントミラートランジスタのそれぞれの上記ゲートとの間の経路を上記所定のイネーブル信号に従って開閉するイネーブルスイッチとを備えてもよい。これにより、比較器が有効または無効に制御されるという作用をもたらす。

30

【0010】

また、この第1の側面において、上記比較器は、上記所定の選択信号に従って上記画素側トランジスタのうち選択されていないトランジスタのドレインおよびソースを短絡する短絡部をさらに備えてもよい。これにより、選択されていないトランジスタのドレインおよびソースが短絡されるという作用をもたらす。

【0011】

また、この第1の側面において、上記比較器は、上記複数の画素側トランジスタのそれぞれについてキャパシタをさらに備え、上記複数の画素信号は、互いに異なる信号線を介して出力され、上記複数の画素側トランジスタのそれぞれのゲートは、互いに異なる上記キャパシタを介して互いに異なる上記信号線に接続されてもよい。これにより、キャパシタに画素信号が保持されるという作用をもたらす。

40

【0012】

また、この第1の側面において、上記比較部は、所定のリセット信号に従って上記キャパシタのそれぞれを初期化するリセット部をさらに備えてもよい。これにより、キャパシタが初期化されるという作用をもたらす。

【0013】

また、この第1の側面において、上記比較器は、上側比較器および下側比較器を備え、

50

上記駆動回路は、上記複数の画素信号の半分を上記上側比較器および上記下側比較器の一方に出力し、上記複数の画素信号の残りを上記上側比較器および上記下側比較器の他方に出力してもよい。これにより、上側比較器および下側比較器が並列に動作するという作用をもたらす。

【0014】

また、この第1の側面において、上記複数の画素信号のうち所定数の画素信号を選択して上記比較器に供給する比較外選択部をさらに具備してもよい。これにより、複数の画素信号のうち所定数が逐次選択されて基準信号と比較されるという作用をもたらす。

【0015】

また、この第1の側面において、上記駆動回路は、上記複数の画素信号のそれぞれのリセットレベルを出力させた後に上記複数の画素信号のそれぞれの信号レベルを出力させ、上記比較器は、上記リセットレベルと上記所定の基準信号とを比較した後に上記信号レベルと上記所定の基準信号とを比較してもよい。これにより、リセットレベルと信号レベルとが順にAD変換されるという作用をもたらす。

【0016】

また、この第1の側面において、上記画素ブロックは、上記複数の画素が所定方向に配列された列からなり、上記比較器は、上記列ごとに配置されてもよい。これにより、列ごとにAD変換が実行されるという作用をもたらす。

【0017】

また、この第1の側面において、所定数の上記画素ブロックは、画素領域内において二次元格子状に配列され、上記画素ブロック内において、上記複数の画素は二次元格子状に配列され、上記比較器は、上記画素ブロックの列ごとに配列されてもよい。これにより、画素ブロックの列ごとにAD変換が実行されるという作用をもたらす。

【0018】

また、この第1の側面において、上記画素ブロックには、それぞれが浮遊拡散層を共有する複数の画素からなる複数の共有ブロックが設けられてもよい。これにより、共有ブロックが設けられた画素ブロック内の複数の画素のそれぞれの画素信号が逐次選択されるという作用をもたらす。

【0019】

また、この第1の側面において、所定数の上記画素ブロックは、画素領域内において二次元格子状に配列され、上記画素領域において隣接する一对の画素は、一对の像の位相差を検出するための画素であってもよい。これにより、位相差から焦点が検出されるという作用をもたらす。

【0020】

また、この第1の側面において、上記複数の画素は、ベイヤー配列により配列されてもよい。これにより、ベイヤー配列で配列された複数の画素のそれぞれの画素信号が逐次選択されるという作用をもたらす。

【0021】

また、この第1の側面において、所定数の上記画素ブロックは、画素領域内において二次元格子状に配列され、上記画素領域において隣接する複数の画素のそれぞれは、同一の色の光を光電変換して画素信号を生成してもよい。これにより、隣接する複数の画素が同色の画素ブロックからの画素信号がAD変換されるという作用をもたらす。

【0022】

また、この第1の側面において、上記基準信号更新部は、複数の容量と、上記制御信号に従って上記複数の容量のそれぞれの一端の電位を変更する電位制御部とを備え、上記制御部は、疑似乱数に基づいて上記複数の容量のうち所定個数を選択して当該選択した容量のそれぞれの電位を変更させる上記制御信号を生成してもよい。これにより、複数の容量のうち所定個数がランダムに選択されるという作用をもたらす。

【0023】

また、この第1の側面において、上記比較器は、上記複数の画素信号のうち互いに異な

10

20

30

40

50

る画素信号がゲートに入力される複数の画素側トランジスタと、上記所定の基準信号がゲートに入力される基準側トランジスタと、所定の選択信号に従って上記複数の画素側トランジスタのソースおよびドレインに、ソース側ノードおよびドレイン側ノードの中間電位を供給する比較器内制御部とを備えてもよい。これにより、画素側トランジスタのソースおよびドレインに中間電位が供給されるという作用をもたらす。

【0024】

また、この第1の側面において、上記複数の画素信号の切替えのたびに上記ソース側ノードの電位を初期値にするソースリセットスイッチをさらに具備してもよい。これにより、画素信号の切り替えのたびにソース側ノードがリセットされるという作用をもたらす。

【0025】

また、この第1の側面において、所定のサンプリング信号に同期して上記中間電位をサンプリングして保持するサンプルホールド回路をさらに具備してもよい。これにより、逐次選択前に中間電位がサンプリングおよび保持されるという作用をもたらす。

【0026】

また、この第1の側面において、上記中間電位を生成するレプリカ回路をさらに具備してもよい。これにより、レプリカ回路からの中間電位が供給されるという作用をもたらす。

【0027】

また、この第1の側面において、所定数の上記比較器が配列され、上記レプリカ回路は上記比較器のそれぞれの内部に配置されてもよい。これにより、比較器内で生成された中間電位が供給されるという作用をもたらす。

【0028】

また、この第1の側面において、所定数の上記比較器が配列され、上記レプリカ回路は上記所定数の比較器により共有されてもよい。これにより、所定数の比較器により共有されたレプリカ回路からの中間電位が供給されるという作用をもたらす。

【0029】

また、この第1の側面において、上記レプリカ回路は、所定のバイアス電圧がゲートに入力されるレプリカ回路内トランジスタを備えてもよい。これにより、レプリカ回路内トランジスタを設けたレプリカ回路からの中間電位が供給されるという作用をもたらす。

【0030】

また、この第1の側面において、上記レプリカ回路は、上記レプリカ回路内トランジスタと上記比較器内制御部との間に挿入された固定抵抗をさらに備えてもよい。これにより、一定の中間電位が供給されるという作用をもたらす。

【0031】

また、この第1の側面において、上記レプリカ回路は、上記レプリカ回路内トランジスタと上記比較器内制御部との間に挿入された可変抵抗をさらに備えてもよい。これにより、可変抵抗により調整された中間電位が供給されるという作用をもたらす。

【0032】

また、この第1の側面において、上記比較器は、上記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、上記所定の基準信号がゲートに入力される基準側トランジスタとを備え、上記固体撮像素子は、上記複数の画素側トランジスタのそれぞれのソース電圧およびドレイン電圧を生成して供給するレプリカ回路をさらに備えてもよい。これにより、画素側トランジスタのそれぞれのソース電圧およびドレイン電圧がレプリカ回路により生成されるという作用をもたらす。

【0033】

また、この第1の側面において、上記比較器は、上記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、上記所定の基準信号がゲートに入力される基準側トランジスタと、所定の制御信号に従って上記複数の基準側トランジスタのソースおよびドレインに、ソース側ノードおよびドレイン側ノードの中間電位を供給する比較器内制御部とを備えてもよい。これにより、基準側トランジスタのソース

10

20

30

40

50

およびドレインに中間電位が供給されるという作用をもたらす。

【0034】

また、この第1の側面において、前記比較器内制御部は、所定の選択信号に従って前記複数の画素側トランジスタのソースおよびドレインに前記中間電位をさらに供給してもよい。これにより、画素側トランジスタのソースおよびドレインに中間電位が供給されるという作用をもたらす。

【0035】

また、この第1の側面において、前記複数の画素信号の切替えのたびに前記ソース側ノードの電位を初期値にするソースリセットスイッチをさらに具備してもよい。これにより、画素信号の切り替えのたびにソース側ノードがリセットされるという作用をもたらす。

10

【0036】

また、この第1の側面において、所定のサンプリング信号に同期して前記中間電位をサンプリングして保持するサンプルホールド回路をさらに具備してもよい。これにより、逐次選択前に中間電位がサンプリングおよび保持されるという作用をもたらす。

【0037】

また、この第1の側面において、前記中間電位を生成するレプリカ回路をさらに具備してもよい。これにより、レプリカ回路からの中間電位が供給されるという作用をもたらす。

【0038】

また、この第1の側面において、所定数の前記比較器が配列され、前記レプリカ回路は前記比較器のそれぞれの内部に配置されてもよい。これにより、比較器内で生成された中間電位が供給されるという作用をもたらす。

20

【0039】

また、この第1の側面において、所定数の前記比較器が配列され、前記レプリカ回路は前記所定数の比較器により共有されてもよい。これにより、所定数の比較器により共有されたレプリカ回路からの中間電位が供給されるという作用をもたらす。

【0040】

また、この第1の側面において、前記レプリカ回路は、所定のバイアス電圧がゲートに入力されるレプリカ回路内トランジスタを備えてもよい。これにより、レプリカ回路内トランジスタを設けたレプリカ回路からの中間電位が供給されるという作用をもたらす。

30

【0041】

また、この第1の側面において、前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された固定抵抗をさらに備えてもよい。これにより、一定の中間電位が供給されるという作用をもたらす。

【0042】

また、この第1の側面において、前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された可変抵抗をさらに備えてもよい。これにより、可変抵抗により調整された中間電位が供給されるという作用をもたらす。

【0043】

また、本技術の第2の側面は、複数の画素が配列された画素ブロックと、上記画素ブロックを駆動して複数の画素信号を同時に出力させる駆動回路と、上記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較器と、上記比較器の比較結果に基づいて上記所定の基準信号を更新させるための制御信号を生成する制御部と、上記制御信号に従って上記所定の基準信号を更新する基準信号更新部と、上記比較結果からなる画素データを処理する画像処理部とを具備する電子機器である。これにより、複数の画素信号が逐次選択されてA/D変換され、画像処理が実行されるという作用をもたらす。

40

【発明の効果】

【0044】

本技術によれば、A/Dが配置された固体撮像素子において、画素信号の読出し速度を

50

向上させることができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0045】

【図1】本技術の第1の実施の形態における電子機器の一構成例を示すブロック図である。

【図2】本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

【図3】本技術の第1の実施の形態における画素領域の平面図の一例である。

【図4】本技術の第1の実施の形態における画素の一構成例を示す回路図である。

10

【図5】本技術の第1の実施の形態におけるカラム信号処理部の一構成例を示すブロック図である。

【図6】本技術の第1の実施の形態におけるSARADC (Successive Approximation Register Analog to Digital Converter) の一構成例を示すブロック図である。

【図7】本技術の第1の実施の形態における比較器の一構成例を示す回路図である。

【図8】本技術の第1の実施の形態における比較器の別の構成例を示す回路図である。

【図9】本技術の第1の実施の形態における固体撮像素子の全体図の一例である。

【図10】本技術の第1の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

【図11】本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

20

【図12】本技術の第1の実施の形態の変形例における画素領域の平面図の一例である。

【図13】本技術の第2の実施の形態における画素領域の平面図の一例である。

【図14】本技術の第2の実施の形態における共有ブロックの一構成例を示す回路図である。

【図15】本技術の第2の実施の形態の変形例における画素領域の平面図の一例である。

【図16】本技術の第3の実施の形態におけるSARADCの一構成例を示すブロック図である。

【図17】本技術の第3の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

30

【図18】本技術の第4の実施の形態における固体撮像素子の一構成例を示すブロック図である。

【図19】本技術の第5の実施の形態の変形例における画素領域の平面図の一例である。

【図20】本技術の第5の実施の形態におけるカラム信号処理部の一構成例を示すブロック図である。

【図21】本技術の第5の実施の形態におけるSARADCごとにN本の垂直信号線を配線した際のカラム信号処理部の一構成例を示すブロック図である。

【図22】本技術の第5の実施の形態におけるSARADCの一構成例を示すブロック図である。

【図23】本技術の第5の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

40

【図24】本技術の第6の実施の形態における画素領域の平面図の一例である。

【図25】本技術の第6の実施の形態における下側カラム信号処理部の一構成例を示すブロック図である。

【図26】本技術の第7の実施の形態におけるDACの一構成例を示すブロック図である。

【図27】本技術の第7の実施の形態におけるSARロジック回路の一構成例を示すブロック図である。

【図28】本技術の第7の実施の形態における画素信号1行目の逐次比較4ビット目までのDACの制御例を説明するための図である。

50

【図 29】本技術の第 7 の実施の形態における画素信号 2 行目の逐次比較 4 ビット目までの D A C の制御例を説明するための図である。

【図 30】本技術の第 7 の実施の形態における画素信号 3 行目の逐次比較 4 ビット目までの D A C の制御例を説明するための図である。

【図 31】本技術の第 8 の実施の形態における比較器の一構成例を示すブロック図である。

【図 32】本技術の第 8 の実施の形態における電位変動の一例を示すタイミングチャートである。

【図 33】本技術の第 8 の実施の形態の変形例における固体撮像素子の一構成例を示すブロック図である。

【図 34】本技術の第 8 の実施の形態の変形例における比較器の一構成例を示すブロック図である。

【図 35】本技術の第 9 の実施の形態における比較器の一構成例を示すブロック図である。

【図 36】本技術の第 10 の実施の形態における比較器の一構成例を示すブロック図である。

【図 37】本技術の第 10 の実施の形態における比較器の制御例の一例を示すタイミングチャートである。

【図 38】本技術の第 11 の実施の形態における比較器の一構成例を示すブロック図である。

【図 39】本技術の第 11 の実施の形態における比較器の制御例の一例を示すタイミングチャートである。

【図 40】本技術の第 12 の実施の形態における比較器の一構成例を示すブロック図である。

【図 41】本技術の第 13 の実施の形態における比較器の一構成例を示すブロック図である。

【図 42】車両制御システムの概略的な構成例を示すブロック図である。

【図 43】撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

【0046】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（S A R A D C が 2 つの画素信号を逐次選択する例）
2. 第 2 の実施の形態（S A R A D C が 2 つの共有ブロックからの画素信号を逐次選択する例）
3. 第 3 の実施の形態（キャパシタが配置された S A R A D C が画素信号を逐次選択する例）
4. 第 4 の実施の形態（上側および下側の S A R A D C が 2 つの画素信号を逐次選択する例）
5. 第 5 の実施の形態（S A R A D C が 4 つの画素信号を逐次選択する例）
6. 第 6 の実施の形態（マルチプレクサからの 2 つの画素信号を S A R A D C が逐次選択する例）
7. 第 7 の実施の形態（容量の組合せを変更し、S A R A D C が 2 つの画素信号を逐次選択する例）
8. 第 8 の実施の形態（S A R A D C が 2 つの画素信号を逐次選択し、中間電位を供給する例）
9. 第 9 の実施の形態（S A R A D C が 2 つの画素信号を逐次選択し、可変抵抗により調整した中間電位を供給する例）
10. 第 10 の実施の形態（S A R A D C が 2 つの画素信号を逐次選択し、ソース側電位をリセットする例）

10

20

30

40

50

1 1. 第 1 1 の実施の形態 (S A R A D C が 2 つの画素信号を逐次選択し、中間電位をサンプリングして保持する例)

1 2. 第 1 2 の実施の形態 (S A R A D C が 2 つの画素信号を逐次選択し、レプリカ回路によりドレイン電圧およびソース電圧を生成する例)

1 3. 第 1 3 の実施の形態 (S A R A D C が 2 つの画素信号を逐次選択し、基準側にも中間電位を供給する例)

1 4. 移動体への応用例

【0047】

< 1. 第 1 の実施の形態 >

[電子機器の構成例]

図 1 は、本技術の第 1 の実施の形態における電子機器 1 0 0 の一構成例を示すブロック図である。この電子機器 1 0 0 は、画像データを撮像するための機器であり、光学系 1 1 0、固体撮像素子 2 0 0、画像処理部 1 2 0、メモリ 1 3 0、撮像制御部 1 4 0 およびモニタ 1 5 0 を備える。電子機器 1 0 0 としては、スマートフォン、I o T (Internet of Things) カメラや車載カメラなどが想定される。

【0048】

光学系 1 1 0 は、被写体からの入射光を集光して固体撮像素子 2 0 0 に導くものである。光学系 1 1 0 は、1 枚以上の光学レンズを含む。

【0049】

固体撮像素子 2 0 0 は、撮像制御部 1 4 0 の制御に従って画像データを撮像するものである。この固体撮像素子 2 0 0 は、撮像した画像データを画像処理部 1 2 0 に信号線 2 0 9 を介して供給する。

【0050】

撮像制御部 1 4 0 は、固体撮像素子 2 0 0 を制御するものである。この撮像制御部 1 4 0 は、撮像タイミングを示す垂直同期信号や、露光時間を制御する信号などを固体撮像素子 2 0 0 に信号線 1 4 9 を介して供給する。また、撮像制御部 1 4 0 は、例えば、撮像を開始させるための操作 (シャッターボタンの押下など) が行われたときに、垂直同期信号の供給を開始する。

【0051】

画像処理部 1 2 0 は、画像データに対して、デモザイク処理やホワイトバランス処理などの所定の画像処理を実行するものである。この画像処理部 1 2 0 は、処理後の画像データをメモリ 1 3 0 やモニタ 1 5 0 に信号線 1 2 8 および 1 2 9 を介して供給する。メモリ 1 3 0 は、画像データを記憶するものである。モニタ 1 5 0 は、画像データを表示するものである。

【0052】

[固体撮像素子の構成例]

図 2 は、本技術の第 1 の実施の形態における固体撮像素子 2 0 0 の一構成例を示すブロック図である。この固体撮像素子 2 0 0 は、センサチップ 2 0 1 と、そのセンサチップ 2 0 1 に積層された回路チップ 2 0 2 とを備える。

【0053】

センサチップ 2 0 1 には、複数の画素が二次元格子状に配列された画素領域 2 2 0 が配置される。また、回路チップ 2 0 2 には、垂直駆動回路 2 1 0、カラム信号処理部 2 4 0、タイミング制御回路 2 5 0 および出力回路 2 6 0 が配置される。

【0054】

垂直駆動回路 2 1 0 は、画素を駆動して画素信号をカラム信号処理部 2 4 0 へ出力させるものである。カラム信号処理部 2 4 0 は、列ごとに、画素信号に対して A D (Analog to Digital) 変換処理を実行し、出力回路 2 6 0 に供給するものである。出力回路 2 6 0 は、カラム信号処理部 2 4 0 からのデータに対して C D S (Correlated Double Sampling) 処理などを実行し、画像処理部 1 2 0 へ出力するものである。また、出力回路 2 6 0 においては、C D S 処理の他、画像データのコントラストに基づいて焦点を検出するコント

10

20

30

40

50

ラスト A F (Auto Focus) 処理が必要に応じて実行される。

【0055】

タイミング制御回路 250 は、垂直同期信号に同期して、垂直駆動回路 210、カラム信号処理部 240 および出力回路 260 のそれぞれの動作タイミングを制御するものである。

【0056】

図 3 は、本技術の第 1 の実施の形態における画素領域 220 の平面図の一例である。この画素領域 220 には、複数の画素 230 が二次元格子状に、例えば、バイヤー配列により配列される。バイヤー配列においては、赤色の画素信号を生成する R (Red) の画素 230 と、緑色の画素信号を生成する G (Green) の画素 230 と、青色の画素信号を生成する B (Blue) の画素 230 とが配列される。なお、画素 230 は、バイヤー配列以外の方式により、配列してもよい。

【0057】

また、画素 230 の列ごとに、垂直方向に垂直信号線 V S L 1 および V S L 2 が配線される。画素領域 220 内の列の総数を M (M は、整数) とすると、合計で $2 \times M$ 本の垂直信号線が配線される。垂直方向において隣接する 2 つの画素 230 の一方は、垂直信号線 V S L 1 に接続され、他方は垂直信号線 V S L 2 に接続される。例えば、 $2k$ (k は、整数) 行目の画素 230 は、垂直信号線 V S L 1 に接続され、 $2k+1$ 行目の画素 230 は、垂直信号線 V S L 2 に接続される。これらの $2k$ 行目および $2k+1$ 行目の 2 画素からなる集合を、画素ブロック 221 とする。また、垂直信号線 V S L 1 は、画素信号 A I N_{P1} を伝送し、垂直信号線 V S L 2 は、画素信号 A I N_{P2} を伝送する。

【0058】

垂直駆動回路 210 は、画素ブロック 221 の行を順に選択して駆動し、その行において画素ブロック 221 ごとに画素信号 A I N_{P1} および A I N_{P2} を同時に出力させる。言い換えれば、垂直駆動回路 210 は、画素 230 の $2k$ 行目および $2k+1$ 行目を同時に駆動する。なお、垂直駆動回路 210 は、特許請求の範囲に記載の駆動回路の一例である。

【0059】

[画素回路の構成例]

図 4 は、本技術の第 1 の実施の形態における画素 230 の一構成例を示す回路図である。この画素 230 は、フォトダイオード 231、転送トランジスタ 232、リセットトランジスタ 233、浮遊拡散層 234、増幅トランジスタ 235 および選択トランジスタ 236 を備える。

【0060】

フォトダイオード 231 は、受光した光を光電変換して電荷を生成するものである。このフォトダイオード 231 は、半導体基板において回路を配置する面を表面として、表面に対する裏面に配置される。このような固体撮像素子は、裏面照射型の固体撮像素子と呼ばれる。なお、裏面照射型の代わりに、表面にフォトダイオード 231 を配置する表面照射型の構成を用いることもできる。

【0061】

転送トランジスタ 232 は、垂直駆動回路 210 からの転送信号 T R G に従ってフォトダイオード 231 から浮遊拡散層 234 へ電荷を転送するものである。浮遊拡散層 234 は、転送された電荷を蓄積して、蓄積した電荷の量に応じた電圧を生成するものである。

【0062】

リセットトランジスタ 233 は、垂直駆動回路 210 からのリセット信号 R S T_p に従って浮遊拡散層 234 から電荷を引き抜いて、電荷量を初期化するものである。増幅トランジスタ 235 は、浮遊拡散層 234 の電圧を増幅するものである。選択トランジスタ 236 は、垂直駆動回路 210 からの選択信号 S E L_p に従って、増幅された電圧の信号を画素信号として垂直信号線 (例えば、V S L 1) を介してカラム信号処理部 240 へ出力するものである。

【0063】

垂直駆動回路210は、露光が終了する直前の所定のタイミングにおいて、2k行目および2k+1行目に同時にリセット信号RSTpを供給して（言い換えれば、駆動して）画素信号AIN_{p1}およびAIN_{p2}を同時に出力させる。このリセット時の画素信号のレベルを以下、「リセットレベル」と称する。カラム信号処理部240は、列ごとに2つのリセットレベルを逐次選択してAD変換し、出力回路260へ出力する。

【0064】

また、垂直駆動回路210は、露光終了時のタイミングにおいて、2k行目および2k+1行目に同時に転送信号TRGを供給して（言い換えれば、駆動して）画素信号AIN_{p1}およびAIN_{p2}を同時に出力させる。この信号転送時の画素信号のレベルを以下、「信号レベル」と称する。カラム信号処理部240は、列ごとに2つの信号レベルを逐次選択してAD変換し、出力回路260へ出力する。

10

【0065】

そして、出力回路260は、画素230ごとに、リセットレベルと信号レベルとの差分を、kTCノイズ（リセットノイズ）を除去した正味の画素データとして求める。この処理は、CDS処理と呼ばれる。CDS処理により、固体撮像素子200は、ノイズの少ない画像データを撮像することができる。

【0066】

なお、画素230の回路構成は、光電変換により画素信号を生成することができるものであれば、図4に例示した構成に限定されない。

20

【0067】

〔カラム信号処理部の構成例〕

図5は、本技術の第1の実施の形態におけるカラム信号処理部240の一構成例を示すブロック図である。このカラム信号処理部240は、列ごとに、定電流源241および242とSARADC300とを備える。画素領域220内の画素列の総数をMとすると、合計でM個のSARADC300が配置される。

【0068】

定電流源241は、垂直信号線VSL1に一定の電流を供給するものである。定電流源242は、垂直信号線VSL2に一定の電流を供給するものである。

【0069】

30

SARADC300は、対応する列の垂直信号線VSL1およびVSL2に接続される。このSARADC300は、これらの垂直信号線からの画素信号AIN_{p1}およびAIN_{p2}を逐次選択してAD変換するものである。SARADC300は、AD変換後のデジタル信号DOU Tを出力回路260へ出力する。

【0070】

〔SARADCの構成例〕

図6は、本技術の第1の実施の形態におけるSARADC300の一構成例を示すブロック図である。このSARADC300は、比較器310、SAR（Successive Approximation Register）ロジック回路350およびDAC（Digital to Analog Converter）360を備える。比較器310の入力端子は、サンプル・ホールド回路を介さずに垂直信号線VSL1およびVSL2と直接接続されている。

40

【0071】

ここで、近年、いわゆるスマートフォンやウェアラブルデバイスなどの小型端末で用いられる固体撮像素子は、画素サイズが1マイクロメートル（ μm ）程度と微細であり、サンプル・ホールド回路を設けるのは困難である。その理由として、サンプル・ホールド回路を設けると、その回路により生じるノイズ（いわゆるkTCノイズ）を抑えるにはサンプル・ホールド回路内の容量を大きくするしかなく、回路面積が増加してしまうためである。また、ADCの入力容量が大きくなってしまい、つまり、垂直信号線の負荷容量が増大することに伴ってセトリング速度が低下してしまい、全体として、処理速度が低下することとなる。また垂直信号線を切り替えた際に、サンプル・ホールド回路の容量を再度充

50

電する必要がある、垂直信号線の切り替えに伴う余分なセトリング時間を必要としてしまう。

【0072】

これに対し、SARADC300では、サンプルホールド回路を設けずに、垂直信号線を切り替えることが可能であるため、サンプル・ホールド回路を用いる構成によるノイズ発生が生じない。そのため、画質の劣化を抑制することができる。また、サンプル・ホールド回路を設ける場合と比較して、固体撮像素子200の実装面積や消費電力を低減することができる。

【0073】

比較器310は、タイミング制御回路250の制御に従って画素信号 $A_{IN_{P1}}$ および $A_{IN_{P2}}$ を逐次選択して、その選択した信号と所定の基準信号 $A_{IN_{DAC}}$ とを比較するものである。この比較器310は、比較結果を示す差動信号をSARロジック回路350に出力する。この差動信号は、正側信号CMPと負側信号xCMPとからなる。

【0074】

ここで、タイミング制御回路250は、信号線選択信号とイネーブル信号ENとを比較器310に供給して、その動作を制御する。信号線選択信号は、垂直信号線VSL1およびVSL2のいずれかを選択させるための信号であり、選択信号SEL1、xSEL1、SEL2、xSEL2からなる。垂直信号線VSL1を選択させる場合には、例えば、選択信号SEL1およびxSEL2がハイレベルに、残りの信号はローレベルに設定される。一方、垂直信号線VSL2を選択させる場合には、例えば、選択信号SEL2およびxSEL1がハイレベルに、残りの信号はローレベルに設定される。

【0075】

また、イネーブル信号ENは、比較器310を有効または無効に制御するための信号である。例えば、比較器310を有効にする場合に、イネーブル信号ENにハイレベルが設定される。一方、比較器310を無効にする場合に、イネーブル信号ENにローレベルが設定される。

【0076】

SARロジック回路350は、比較器310の比較結果に基づいて、画素信号に近似するような基準信号 $A_{IN_{DAC}}$ の値を示すデジタル信号を求めてレジスタに保持し、その値に基準信号 $A_{IN_{DAC}}$ を更新させるための制御信号CTLを生成するものである。DAC360は、制御信号CTLに対するDA (Digital to Analog) 変換により、アナログの基準信号 $A_{IN_{DAC}}$ を更新するものである。なお、SARロジック回路350は、特許請求の範囲に記載の制御部の一例である。DAC360は、特許請求の範囲に記載の基準信号更新部の一例である。

【0077】

初期状態において基準信号 $A_{IN_{DAC}}$ のレベルは、所定の参照電圧を V_{REF} として、例えば、初期値 $V_{REF}/2$ に設定される。そして、比較器310は、選択した画素信号と、初期値の基準信号 $A_{IN_{DAC}}$ とを比較する。画素信号が基準信号 $A_{IN_{DAC}}$ より大きい場合、SARロジック回路350は、デジタル信号DOUTのMSB (Most Significant Bit) を「1」にする。そして、SARロジック回路350は、基準信号 $A_{IN_{DAC}}$ を $V_{REF}/4$ の分、上昇させる。

【0078】

一方、画素信号が基準信号 $A_{IN_{DAC}}$ 以下の場合、SARロジック回路350は、デジタル信号DOUTのMSBを「0」にする。そして、SARロジック回路350は、基準信号 $A_{IN_{DAC}}$ を $V_{REF}/4$ の分、降下させる。

【0079】

そして、比較器310は、次の比較を行い、画素信号が基準信号 $A_{IN_{DAC}}$ より大きい場合、SARロジック回路350は、MSBの次の桁を「1」にする。そして、SARロジック回路350は、基準信号 $A_{IN_{DAC}}$ を $V_{REF}/8$ の分、上昇させる。

【0080】

10

20

30

40

50

一方、画素信号が基準信号 A_{IN_DAC} 以下の場合、SAR ロジック回路 350 は、MSB の次の桁を「0」にする。そして、SAR ロジック回路 350 は、基準信号 A_{IN_DAC} を $V_{REF}/8$ の分、降下させる。

【0081】

以下、同様の手順が、LSB (Least Significant Bit) まで継続される。これにより、アナログの画素信号が、デジタル信号 DOUT に AD 変換される。AD 変換の終了時に SAR ロジック回路 350 は、デジタル信号 DOUT を出力回路 260 に出力する。このデジタル信号 DOUT は、画素信号 (リセットレベルまたは信号レベル) を AD 変換したデータ (すなわち、画素データ) を示す。

【0082】

なお、タイミング制御回路 250 は、DAC 360 の参照電圧 V_{REF} を変更することにより、SAR ADC 300 のゲインを制御することができる。ゲインは、例えば、「1」乃至「8」倍の範囲で制御される。

【0083】

[比較器の構成例]

図 7 は、本技術の第 1 の実施の形態における比較器 310 の一構成例を示す回路図である。この比較器 310 は、カレントミラートランジスタ 311 および 312 と、イネーブルスイッチ 313 と、選択スイッチ 314 および 317 と、画素側トランジスタ 315 および 318 と、短絡スイッチ 316 および 319 とを備える。また、比較器 310 は、基準側トランジスタ 320 と、電流源トランジスタ 321 とを備える。カレントミラートランジスタ 311 および 312 として、例えば、pMOS (p-channel Metal Oxide Semiconductor) トランジスタが用いられる。また、画素側トランジスタ 315、画素側トランジスタ 318、基準側トランジスタ 320 および電流源トランジスタ 321 として、例えば、nMOS (n-channel Metal Oxide Semiconductor) トランジスタが用いられる。

【0084】

カレントミラートランジスタ 311 のゲートは、カレントミラートランジスタ 312 のゲートに接続され、ソースは電源に接続される。また、カレントミラートランジスタ 311 のドレインは、正側出力ノード 322 に接続される。カレントミラートランジスタ 312 のソースは電源に接続され、ドレインは、負側出力ノード 323 に接続される。

【0085】

イネーブルスイッチ 313 は、タイミング制御回路 250 からのイネーブル信号 EN に従って、カレントミラートランジスタ 311 および 312 のそれぞれのゲートと負側出力ノード 323 との間の経路を開閉するものである。例えば、イネーブル信号 EN がハイレベル (有効) の場合にイネーブルスイッチ 313 は閉状態に移行し、イネーブル信号 EN がローレベル (無効) の場合にイネーブルスイッチ 313 は開状態に移行する。カレントミラートランジスタ 311 および 312 とイネーブルスイッチ 313 とからなる回路は、カレントミラー回路として機能する。

【0086】

選択スイッチ 314 は、タイミング制御回路 250 からの選択信号 SEL1 に従って画素側トランジスタ 315 のドレインと正側出力ノード 322 との間の経路を開閉するものである。例えば、選択信号 SEL1 がハイレベルである (すなわち、垂直信号線 VSL1 が選択された) 場合に選択スイッチ 314 は閉状態に移行し、選択信号 SEL1 がローレベルである場合に選択スイッチ 314 は開状態に移行する。

【0087】

画素側トランジスタ 315 のゲートは垂直信号線 VSL1 に接続され、ソースは電流源トランジスタ 321 のドレインに接続される。

【0088】

短絡スイッチ 316 は、選択信号 xSEL1 に従って、画素側トランジスタ 315 のソースおよびドレインを短絡するものである。例えば、選択信号 xSEL1 がハイレベルである (すなわち、垂直信号線 VSL1 が選択されていない) 場合に短絡スイッチ 316 は

10

20

30

40

50

閉状態に移行してソースおよびドレインを短絡する。一方、選択信号 $xSEL1$ がローレベルである場合に短絡スイッチ 316 は、開状態に移行する。

【0089】

選択スイッチ 317 は、タイミング制御回路 250 からの選択信号 $SEL2$ に従って画素側トランジスタ 318 のドレインと正側出力ノード 322 との間の経路を開閉するものである。例えば、選択信号 $SEL2$ がハイレベルである（すなわち、垂直信号線 VS_L2 が選択された）場合に選択スイッチ 317 は閉状態に移行し、選択信号 $SEL2$ がローレベルである場合に選択スイッチ 317 は開状態に移行する。なお、選択スイッチ 314 および 317 からなる回路は、特許請求の範囲に記載の比較器内選択部の一例である。

【0090】

画素側トランジスタ 318 のゲートは垂直信号線 VS_L2 に接続され、ソースは電流源トランジスタ 321 のドレインに接続される。

【0091】

短絡スイッチ 319 は、選択信号 $xSEL2$ に従って、画素側トランジスタ 318 のソースおよびドレインを短絡するものである。例えば、選択信号 $xSEL2$ がハイレベルである（すなわち、垂直信号線 VS_L2 が選択されていない）場合に短絡スイッチ 319 は閉状態に移行してソースおよびドレインを短絡する。一方、選択信号 $xSEL2$ がローレベルである場合に短絡スイッチ 319 は、開状態に移行する。なお、短絡スイッチ 316 および 319 からなる回路は、特許請求の範囲に記載の短絡部の一例である。

【0092】

基準側トランジスタ 320 のゲートには、DAC 360 からの基準信号 AIN_{DAC} が入力され、ソースは電流源トランジスタ 321 のドレインに接続され、ドレインは負側出力ノード 323 に接続される。

【0093】

正側出力ノード 322 および負側出力ノード 323 からは、正側信号 CMP および負側信号 $xCMP$ が SAR ロジック回路 350 へ出力される。これらの正側信号 CMP および負側信号 $xCMP$ からなる差動信号は、選択された垂直信号線からの画素信号と基準信号 AIN_{DAC} との比較結果を示す。

【0094】

電流源トランジスタ 321 のゲートには一定のバイアス電圧 V_{bias} が入力され、ソースは、接地端子に接続される。

【0095】

上述の構成により、垂直信号線 VS_L1 が選択された場合には、選択スイッチ 314 が閉状態に移行して、画素側トランジスタ 315 のドレインと正側出力ノード 322 とを接続する。また、選択スイッチ 317 は開状態に移行して、選択されない方の画素側トランジスタ 318 のドレインをハイインピーダンスにする。さらに、短絡スイッチ 319 は、選択されない方の画素側トランジスタ 318 のソースおよびドレインを短絡する。

【0096】

一方、垂直信号線 VS_L2 が選択された場合には、選択スイッチ 317 が閉状態に移行して、画素側トランジスタ 318 のドレインと正側出力ノード 322 とを接続する。また、選択スイッチ 314 は開状態に移行して、選択されない方の画素側トランジスタ 315 のドレインをハイインピーダンスにする。さらに、短絡スイッチ 316 は、選択されない方の画素側トランジスタ 315 のソースおよびドレインを短絡する。

【0097】

このように、選択されない方の画素側トランジスタのドレインをハイインピーダンスにし、そのソースおよびドレインを短絡することにより、選択されない方の垂直信号線からのノイズの影響を抑制することができる。すなわち、ノイズ耐性を向上させることができる。

【0098】

また、イネーブル信号 EN をローレベルにすることにより、イネーブルスイッチ 313

10

20

30

40

50

が開状態となるため、比較器 310 の比較動作を無効にすることができる。タイミング制御回路 250 は、例えば、AD 変換を行わない期間においてイネーブル信号 EN により比較器 310 を無効にすることによって、消費電力を削減することができる。なお、図 8 に例示するように、イネーブルスイッチ 313 を削除し、カレントミラートランジスタ 311 および 312 と電流源トランジスタ 321 とのそれぞれのゲートにイネーブル信号 EN を入力してもよい。この場合にタイミング制御回路 250 は、例えば、比較器 310 が比較を行うタイミングにおいてイネーブル信号 EN をハイレベルにする。また、タイミング制御回路 250 は、SAR ロジック回路 350 がレジスタを更新中の期間や、DAC 36 の基準信号を更新中の期間においてイネーブル信号 EN をローレベルにする。これにより、さらに消費電力を削減することができる。

10

【0099】

図 9 は、本技術の第 1 の実施の形態における固体撮像素子 200 の全体図の一例である。画素ブロック 221 には、2 つの画素 230 が垂直方向に配列される。垂直駆動回路 210 は、画素ブロック 221 を駆動して、2 つの画素信号 ($A_{IN_{P1}}$ および $A_{IN_{P2}}$) を垂直信号線 V_{SL1} および V_{SL2} を介して同時に出力させる。

【0100】

そして、SAR ADC 300 において、比較器 310 は、画素信号 $A_{IN_{P1}}$ および $A_{IN_{P2}}$ を逐次選択して、その信号と基準信号 $A_{IN_{DAC}}$ とを比較する。

【0101】

SAR ロジック回路 350 は、比較器 310 の比較結果に基づいて、基準信号 $A_{IN_{DAC}}$ を更新させるための制御信号 CTL を生成して DAC 360 に供給する。DAC 360 は、その制御信号 CTL に従って、基準信号 $A_{IN_{DAC}}$ を更新し、比較器 310 に供給する。

20

【0102】

[固体撮像素子の動作例]

図 10 は、本技術の第 1 の実施の形態における固体撮像素子 200 の動作の一例を示すタイミングチャートである。垂直駆動回路 210 は、タイミング T0 において、リセット信号 RSTp により画素ブロック 221 を駆動して、リセットレベル R1 および R2 を同時に出力させる。また、タイミング制御回路 250 は、SAR ADC 300 を初期化する。ここで、SAR ADC 300 の初期化とは、SAR ADC 300 内の基準信号 $A_{IN_{DAC}}$ およびデジタル信号 DOUT を初期値にすることを意味する。

30

【0103】

リセットレベル R1 および R2 が静定するまでのセトリングタイムが経過したタイミング T1 においてタイミング制御回路 250 は、選択信号により SAR ADC 300 を制御してリセットレベル R1 の AD 変換を開始させる。リセットレベル R1 の AD 変換完了時のタイミング T11 においてタイミング制御回路 250 は、選択信号により SAR ADC 300 を制御してリセットレベル R2 の AD 変換を開始させる。これらの AD 変換が完了するタイミング T2 までの間において、アナログのリセットレベル R1 および R2 は、保持される。また、AD 変換されたリセットレベルは、出力回路 260 により保持される。

【0104】

AD 変換が完了したタイミング T2 において垂直駆動回路 210 は、転送信号 TRG により画素ブロック 221 を駆動して、信号レベル S1 および S2 を同時に出力させる。また、タイミング制御回路 250 は、SAR ADC 300 を初期化する。

40

【0105】

信号レベル S1 および S2 が静定するまでのセトリングタイムが経過したタイミング T3 においてタイミング制御回路 250 は、選択信号により SAR ADC 300 を制御して信号レベル S1 の AD 変換を開始させる。信号レベル S1 の AD 変換完了時のタイミング T31 においてタイミング制御回路 250 は、選択信号により SAR ADC 300 を制御して信号レベル S2 の AD 変換を開始させる。これらの AD 変換が完了するタイミング T4 までの間において、アナログの信号レベル S1 および S2 は保持される。そして、出力

50

回路 260 は、A/D 変換された信号レベルを取得し、その信号レベルと、保持しておいたリセットレベルとの差分を求める。

【0106】

上述の画素ブロック 221 の駆動および A/D 変換は、画素ブロック 221 の行ごとに実行される。画素ブロック 221 の 1 行は、画素 230 の 2 行に相当するため、タイミング T0 や T2 において 2 行を同時に駆動することにより、それらの 2 行を順に駆動する場合と比較して、画像データの読出し速度を向上させることができる。ここで、読出し速度は、画素 230 を駆動してから A/D 変換が完了するまでの時間により、一定値（例えば、画素データのデータサイズ）を除いた値を意味する。

【0107】

また、A/D 変換を SARADC300 により実行するため、シングルスロープ型の A/D C により A/D 変換を実行する場合と比較して、A/D 変換の速度を速くすることができる。

【0108】

図 11 は、本技術の第 1 の実施の形態における固体撮像素子 200 の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

【0109】

固体撮像素子 200 内の垂直駆動回路 210 は、まず、 $2k$ 行目および $2k+1$ 行目をリセット信号 RSTp により同時に初期化する（ステップ S901）。リセットレベル R1 および R2 が静定した後に SARADC300 は、リセットレベル R1 を A/D 変換し（ステップ S902）、次にリセットレベル R2 を A/D 変換する（ステップ S903）。

【0110】

そして、垂直駆動回路 210 は、 $2k$ 行目および $2k+1$ 行目において転送信号 TRG により同時に電荷の転送を行わせる（ステップ S904）。信号レベル S1 および S2 が静定した後に SARADC300 は、信号レベル S1 を A/D 変換し（ステップ S905）、次に信号レベル S2 を A/D 変換する（ステップ S906）。

【0111】

そして、出力回路 260 は、CDS 処理を実行する（ステップ S907）。固体撮像素子 200 は、全行の読出しが完了したか否かを判断する（ステップ S908）。全行の読出しが完了していない場合に（ステップ S908：No）、固体撮像素子 200 は、ステップ S901 以降を繰り返し実行する。一方、全行の読出しが完了した場合に（ステップ S908：Yes）、固体撮像素子 200 は、画像データを撮像する動作を終了する。複数の画像データを撮像する場合には、例えば、垂直同期信号に同期してステップ S901 乃至 S908 が繰り返し実行される。

【0112】

このように、本技術の第 1 の実施の形態によれば、垂直駆動回路 210 が 2 つの画素信号を同時に出力させ、比較器 310 がそれらを逐次選択して比較することにより、画素信号を 1 つずつ出力させて比較する場合よりも読出し速度を向上させることができる。

【0113】

〔第 1 の変形例〕

上述の第 1 の実施の形態では、固体撮像素子 200 は、コントラスト AF 方式を用いて焦点を検出していたが、コントラスト AF は、位相差 AF 方式と比較して、AF 速度が遅くなってしまう。この第 1 の実施の形態の変形例の固体撮像素子 200 は、位相差 AF 方式を用いて焦点を検出する点において第 1 の実施の形態と異なる。

【0114】

図 12 は、本技術の第 1 の実施の形態の変形例における画素領域 220 の平面図の一例である。この第 1 の実施の形態の変形例の画素領域 220 には、長方形の画素が配列される。

【0115】

また、画素領域 220 においては、同色の一对の画素が、水平方向に隣接して配列され

10

20

30

40

50

る。例えば、Gの画素291の右側にGの画素292が配置される。その画素292の右側に一对のB画素が配列される。画素291および292の下方には一对のR画素が配置され、それらの右側には2つのG画素が配置される。

【0116】

そして、隣接する同色の一对の画素には、同一のマイクロレンズが設けられる。図11における一点鎖線は、マイクロレンズの位置を表す。これらの一对の画素の一方には、瞳分割された2つの像の一方の入射光が入力され、一对の画素の他方には、瞳分割された2つの像の他方の入射光が入力される。出力回路260は、画素データから2つの像の位相差を求め、その位相差から焦点を検出する位相差AF処理を実行する。

【0117】

このように、本技術の第1の実施の形態の変形例によれば、位相差AF方式を用いることにより、コントラストAF方式を用いる場合と比較して、高速に焦点を検出することができる。

【0118】

<2. 第2の実施の形態>

上述の第1の実施の形態では、画素230ごとに、浮遊拡散層234や選択トランジスタ236を配置していたが、画素数が多くなるほど回路規模が増大するおそれがある。この第2の実施の形態の固体撮像素子200は、複数の画素が浮遊拡散層等を共有する点において第1の実施の形態と異なる。

【0119】

図13は、本技術の第2の実施の形態における画素領域220の平面図の一例である。第2の実施の形態の画素領域220において、画素ブロック221には、2つの共有ブロック270が垂直方向に配列される。それぞれの共有ブロック270には、浮遊拡散層を共有する複数の画素が配列される。例えば、4行×2列の8画素が共有ブロック270に配列される。これらの画素は、第1の実施の形態と同様にベイヤー配列により配列される。なお、共有ブロック270内の画素数は、8個に限定されない。

【0120】

また、SARADC300は、画素ブロック221の列ごとに配列される。言い換えれば、SARADC300は、画素の2列ごとに配列される。また、垂直信号線は、画素ブロック221の列ごとに2本配線される。例えば、画素領域220内の画素列の総数をMとすると、SARADC300は、合計でM/2個配列され、垂直信号線は、合計でM本配線される。また、画素ブロック221内の2つの共有ブロック270は、互いに異なる垂直信号線に接続される。

【0121】

図14は、本技術の第1の実施の形態における共有ブロック270の一構成例を示す回路図である。この共有ブロック270は、転送トランジスタ271、272、275、276、279、280、283および284と、フォトダイオード273、274、277、278、281、282、285および286とを備える。また、共有ブロック270は、リセットトランジスタ287、浮遊拡散層288、増幅トランジスタ289および選択トランジスタ290を備える。転送トランジスタ271等のトランジスタとして、例えば、nMOSトランジスタが用いられる。

【0122】

フォトダイオード273、274、277、278、281、282、285および286のそれぞれは、受光した光を光電変換して電荷を生成するものである。

【0123】

転送トランジスタ271は、垂直駆動回路210からの転送信号TRG0に従ってフォトダイオード273から浮遊拡散層288へ電荷を転送するものである。転送トランジスタ272は、垂直駆動回路210からの転送信号TRG1に従ってフォトダイオード274から浮遊拡散層288へ電荷を転送するものである。

【0124】

10

20

30

40

50

転送トランジスタ 275 は、垂直駆動回路 210 からの転送信号 TRG 2 に従ってフォトダイオード 277 から浮遊拡散層 288 へ電荷を転送するものである。転送トランジスタ 276 は、垂直駆動回路 210 からの転送信号 TRG 3 に従ってフォトダイオード 278 から浮遊拡散層 288 へ電荷を転送するものである。

【0125】

また、転送トランジスタ 279 は、垂直駆動回路 210 からの転送信号 TRG 4 に従ってフォトダイオード 281 から浮遊拡散層 288 へ電荷を転送するものである。転送トランジスタ 280 は、垂直駆動回路 210 からの転送信号 TRG 5 に従ってフォトダイオード 282 から浮遊拡散層 288 へ電荷を転送するものである。

【0126】

転送トランジスタ 283 は、垂直駆動回路 210 からの転送信号 TRG 6 に従ってフォトダイオード 285 から浮遊拡散層 288 へ電荷を転送するものである。転送トランジスタ 284 は、垂直駆動回路 210 からの転送信号 TRG 7 に従ってフォトダイオード 286 から浮遊拡散層 288 へ電荷を転送するものである。

【0127】

浮遊拡散層 288 は、転送された電荷を蓄積して、蓄積した電荷の量に応じた電圧を生成するものである。リセットトランジスタ 287 は、垂直駆動回路 210 からのリセット信号 RSTp に従って浮遊拡散層 288 から電荷を引き抜いて、電荷量を初期化するものである。増幅トランジスタ 289 は、浮遊拡散層 288 の電圧を増幅するものである。選択トランジスタ 290 は、垂直駆動回路 210 からの選択信号 SELp に従って、増幅された電圧の信号を画素信号として垂直信号線 VSL1 等を介してカラム信号処理部 240 へ出力するものである。

【0128】

垂直駆動回路 210 は、画素ブロック 221 を駆動して、上側の共有ブロック 270 内のいずれかの画素の画素信号と下側の共有ブロック 270 内のいずれかの画素の画素信号とを同時に出力させる。

【0129】

このように、本技術の第 2 の実施の形態によれば、複数の画素が浮遊拡散層 288 や選択トランジスタ 290 を共有するため、浮遊拡散層 288 等を共有しない構成と比較して、画素当たりの回路規模を削減することができる。

【0130】

〔変形例〕

上述の第 2 の実施の形態では、バイヤー配列により画素を画素領域 220 に配列していたが、バイヤー配列では同色の画素が隣り合っていないため、同色の複数の画素データを画素加算する際に画質が低下するおそれがある。この第 2 の実施の形態の変形例の固体撮像素子 200 は、同色の複数の画素を隣接して配置した点において第 2 の実施の形態と異なる。

【0131】

図 15 は、本技術の第 2 の実施の形態の変形例における画素領域 220 の平面図の一例である。同図に例示するように、第 2 の実施の形態の変形例では、同色の 4 個の画素が隣接して配置される。例えば、G の画素 293 が共有ブロック 270 の左上に配置され、その右側に G の画素 294 が配置される。また、画素 293 の下方に G の画素 295 が配置され、その右側に G の画素 296 が配置される。共有ブロック 270 において残りには、R 画素が 4 つ配置される。その右側の共有ブロック 270 には、4 個の B 画素と 4 個の G 画素とが配置される。

【0132】

出力回路 260 は、画素加算モードなどにおいて、隣接する同色の 4 個の画素データを画素加算する。

【0133】

また、垂直駆動回路 210 は、ダイナミックレンジを拡大するモードにおいて、隣接す

10

20

30

40

50

る同色の４個の画素のうち半分の露光時間を、残りの露光時間と異なる値に設定する。例えば、垂直駆動回路２１０は、画素２９３と、その右下の画素２９６とを露光時間ＴＳに亘って露光させる。次に、垂直駆動回路２１０は、画素２９４と、その左下の画素２９５とを、露光時間ＴＳより長い露光時間ＴＬに亘って露光させる。そして、出力回路２６０は、露光時間ＴＳで露光した画素データと、露光時間ＴＬで露光した画素データとをアルファ合成などにより合成する。これにより、ダイナミックレンジを拡大することができる。

【０１３４】

このように、本技術の第２の実施の形態の変形例によれば、同色の複数の画素を隣接して配置したため、隣接する画素の色が異なるベイヤー配列の場合と比較して、画素加算した画像データの画質を向上させることができる。

10

【０１３５】

< ３．第３の実施の形態 >

上述の第１の実施の形態では、ＳＡＲＡＤＣ３００内にサンプル・ホールドを行うためのキャパシタを配置していなかった。しかし、この構成では、ＡＤ変換に要する時間が長くなると、画素２３０が保持した画素信号のレベルが変動して、ＡＤ変換の誤差が大きくなるおそれがある。この第３の実施の形態のＳＡＲＡＤＣ３００は、キャパシタを備える点において第１の実施の形態と異なる。

【０１３６】

図１６は、本技術の第３の実施の形態におけるＳＡＲＡＤＣ３００の一構成例を示すブロック図である。この第３の実施の形態のＳＡＲＡＤＣ３００は、キャパシタ３８１および３８２と、リセットスイッチ３７１および３７２とをさらに備える点において第１の実施の形態と異なる。

20

【０１３７】

キャパシタ３８１の一端は垂直信号線ＶＳＬ１に接続され、他端は比較器３１０の入力端子に接続される。キャパシタ３８２の一端は垂直信号線ＶＳＬ２に接続され、他端は比較器３１０の入力端子に接続される。

【０１３８】

リセットスイッチ３７１は、タイミング制御回路２５０からのリセット信号ＲＳＴ_aに従って、キャパシタ３８１の比較器３１０側の端子と、低インピーダンスの固定電位との間の経路を開閉するものである。リセットスイッチ３７２は、リセット信号ＲＳＴ_aに従って、キャパシタ３８２の比較器３１０側の端子と固定電位との間の経路を開閉するものである。例えば、リセット信号ＲＳＴ_aがハイレベルの場合にリセットスイッチ３７１および３７２は閉状態に移行する。これにより、キャパシタ３８１および３８２のそれぞれの電荷量が初期化される。一方、リセット信号ＲＳＴ_aがローレベルの場合にリセットスイッチ３７１および３７２は開状態に移行し、ハイインピーダンスとなる。なお、リセットスイッチ３７１および３７２からなる回路は、特許請求の範囲に記載のリセット部の一例である。

30

【０１３９】

図１７は、本技術の第３の実施の形態における固体撮像素子２００の動作の一例を示すタイミングチャートである。画素ブロック２２１が初期化されるタイミングＴ０から、セトリングタイムが経過するタイミングＴ１までの間において、タイミング制御回路２５０は、リセット信号ＲＳＴ_aによりリセットスイッチ３７１および３７２を閉状態にする。これにより、キャパシタ３８１および３８２の電荷量が初期化される。

40

【０１４０】

そして、タイミングＴ１において、タイミング制御回路２５０は、リセット信号ＲＳＴ_aによりリセットスイッチ３７１および３７２を開状態にする。これにより、リセットスイッチ３７１および３７２はハイインピーダンスとなる。このときに、リセットノイズがキャパシタ３８１および３８２に保持される。一方、画素２３０もリセットレベルを保持し続ける。そして、リセットレベルのＡＤ変換が完了するタイミングＴ３まで、タイミン

50

グ制御回路 250 は、リセットスイッチ 371 および 372 を開状態に維持する。

【0141】

また、タイミング T2 から信号レベルが静定するタイミング T3 までの間においても、タイミング制御回路 250 は、リセットスイッチ 371 および 372 を開状態のままにする。これにより、キャパシタ 381 および 382 の片側が解放端のままの状態であり続けるため、容量電荷が移動せず、新たに kTC ノイズが印加されることを回避することができる。タイミング T3 から、次に画素 230 をリセットするタイミングまで、タイミング制御回路 250 は、リセットスイッチ 371 および 372 を開状態に維持する。

【0142】

なお、第 3 の実施の形態では、画素 230 ごとに、浮遊拡散層 234 等を配置しているが、第 2 の実施の形態のように、複数の画素が浮遊拡散層等を共有する構成としてもよい。

【0143】

このように、本技術の第 3 の実施の形態によれば、SARADC 300 内に画素信号を保持するキャパシタ 381 および 382 を設けることにより、AD 変換中の画素信号の変動を抑制することができる。

【0144】

< 4. 第 4 の実施の形態 >

上述の第 1 の実施の形態では、1つのカラム信号処理部 240 が 2k 行目と 2k+1 行目の画素信号を逐次選択して AD 変換していたが、行数が増大するほど、AD 変換の回数が増加し、読出し速度が低下してしまう。この第 4 の実施の形態の固体撮像素子 200 は、2つのカラム信号処理部を配置した点において第 1 の実施の形態と異なる。

【0145】

図 18 は、本技術の第 4 の実施の形態における固体撮像素子 200 の一構成例を示すブロック図である。この固体撮像素子 200 は、カラム信号処理部 240 の代わりに、上側カラム信号処理部 245 と下側カラム信号処理部 246 とを備える点において第 1 の実施の形態と異なる。

【0146】

画素ブロック 221 には、4つの画素 230 が垂直方向に配列される。また、垂直駆動回路 210 は、それらの画素 230 を駆動して 4k 行目と 4k+1 行目の画素信号を上側カラム信号処理部 245 に出力させ、4k+2 行目と 4k+3 行目の画素信号とを下側カラム信号処理部 246 に出力させる。

【0147】

上側カラム信号処理部 245 は、4k 行目と 4k+1 行目の画素信号を AD 変換し、下側カラム信号処理部 246 は、4k+2 行目と 4k+3 行目の画素信号を AD 変換する。

【0148】

なお、第 4 の実施の形態では、画素 230 ごとに、浮遊拡散層 234 等を配置しているが、第 2 の実施の形態のように、複数の画素が浮遊拡散層等を共有する構成としてもよい。

【0149】

このように、本技術の第 4 の実施の形態によれば、上側カラム信号処理部 245 と下側カラム信号処理部 246 とが並列に AD 変換を行うことにより、それらの一方のみを設ける場合と比較して読出し速度を 2 倍にすることができる。

【0150】

< 5. 第 5 の実施の形態 >

上述の第 1 の実施の形態では、列ごとに SARADC 300 を配置していたが、列数が増大するほど、SARADC 300 の個数が多くなり、カラム信号処理部 240 の回路規模が大きくなるおそれがある。この第 5 の実施の形態の固体撮像素子 200 は、2列ごとに SARADC 300 を配置した点において第 1 の実施の形態と異なる。

【0151】

図19は、本技術の第5の実施の形態の変形例における画素領域220の平面図の一例である。第5の実施の形態の画素領域220においては、画素ブロック221ごとに、2行×2列に4つの画素230が配列される。また、2列ごとに、垂直信号線VSL1乃至VSL4の4本が配線される。画素領域220内の画素列の総数をMとすると、合計で2×M本の垂直信号線が配線される。画素ブロック221内の4画素は、互いに異なる垂直信号線に接続される。

【0152】

なお、画素ブロック221内に4画素を配列して、画素ブロック221の列ごとに4本の垂直信号線を配線しているが、垂直信号線の本数は2本以上であれば、4本に限定されない。すなわち、画素ブロック221内にN（Nは2以上の整数）画素を配列して、N本の垂直信号線を配線することができる。ただし、Nは、2乃至16が妥当な値である。

10

【0153】

また、第5の実施の形態では、画素230ごとに、浮遊拡散層234等を配置しているが、第2の実施の形態のように、複数の画素が浮遊拡散層等を共有する構成としてもよい。

【0154】

図20は、本技術の第5の実施の形態におけるカラム信号処理部240の一構成例を示すブロック図である。この第5の実施の形態のカラム信号処理部240は、2列ごとに、定電流源241、242、243および244とSARADC300とを備える。画素領域220内の画素列の総数をMとすると、合計でM/2個のSARADC300が配置される。SARADC300ごとの垂直信号線をN本とする場合には、図21に例示するように、N本の垂直信号線がSARADC300に入力される。

20

【0155】

図22は、本技術の第5の実施の形態におけるSARADC300の一構成例を示すブロック図である。この第5の実施の形態のSARADC300は、キャパシタ381、382、383および384と、リセットスイッチ371、372、373および274とをさらに備える点において第1の実施の形態と異なる。

【0156】

リセットスイッチ371および372と、キャパシタ381および382との接続構成は、第3の実施の形態と同様である。

30

【0157】

キャパシタ383の一端は垂直信号線VSL3に接続され、他端は比較器310の入力端子に接続される。キャパシタ384の一端は垂直信号線VSL4に接続され、他端は比較器310の入力端子に接続される。

【0158】

リセットスイッチ373は、タイミング制御回路250からのリセット信号RSTaに従って、キャパシタ383の比較器310側の端子と、固定電位との間の経路を開閉するものである。リセットスイッチ374は、リセット信号RSTaに従って、キャパシタ384の比較器310側の端子と固定電位との間の経路を開閉するものである。

【0159】

また、比較器310には、選択スイッチ314、画素側トランジスタ315および短絡スイッチ316からなる回路と同様の回路が、垂直信号線VSL3およびVSL4のそれぞれについて、さらに追加される。

40

【0160】

図23は、本技術の第5の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。タイミング制御回路250は、タイミングT0において、リセット信号RSTpにより画素ブロック221を駆動して、リセットレベルR1乃至R4を同時に出力させる。また、タイミング制御回路250は、SARADC300を初期化する。

【0161】

50

セトリングタイムが経過したタイミングT1においてタイミング制御回路250は、選択信号によりSARADC300を制御してリセットレベルR1のAD変換を開始させる。リセットレベルR1のAD変換完了時のタイミングT11においてタイミング制御回路250は、リセットレベルR2のAD変換を開始させる。そしてタイミング制御回路250は、リセットレベルR2のAD変換完了時のタイミングT12においてリセットレベルR3のAD変換を開始させ、リセットレベルR3のAD変換完了時のタイミングT13においてリセットレベルR4のAD変換を開始させる。

【0162】

AD変換が完了したタイミングT2において垂直駆動回路210は、転送信号TRGにより画素ブロック221を駆動して、信号レベルS1乃至S4を同時に出力させる。また、タイミング制御回路250は、SARADC300を初期化する。

10

【0163】

セトリングタイムが経過したタイミングT3においてタイミング制御回路250は、選択信号によりSARADC300を制御して信号レベルS1のAD変換を開始させる。信号レベルS1のAD変換完了時のタイミングT31においてタイミング制御回路250は、信号レベルS2のAD変換を開始させる。そしてタイミング制御回路250は、信号レベルS2のAD変換完了時のタイミングT32において信号レベルS3のAD変換を開始させ、信号レベルS3のAD変換完了時のタイミングT33において信号レベルS4のAD変換を開始させる。なお、リセットスイッチ371乃至374の制御タイミングは、第3の実施の形態と同様である。

20

【0164】

ここで、固体撮像素子が、2k行目のリセット（または電荷転送）と並列に、2k+1行目の画素信号のAD変換を実行するパイプライン処理を実行する方法も考えられる。しかし、このパイプライン処理では、パイプライン処理を実行しない場合と比較して読出し速度を2倍までしか高速化することができない。これは、垂直信号線の駆動速度は、AD変換速度と比較して遅く、セトリングタイムにより律速されてしまい、パイプライン処理そのものを高速化することができないためである。

【0165】

これに対して、固体撮像素子200では、パイプライン処理を行っておらず、複数の画素を同時にリセットし、セトリング後のタイミングT1以降に逐次選択してAD変換している。このため、読出し速度がセトリングタイムにより律速されることがなく、読出し速度を2倍よりも速くすることができる。

30

【0166】

このように、本技術の第5の実施の形態によれば、2列ごとにSARADC300を配置することにより、列ごとにSARADC300を配置する場合と比較して、SARADC300の個数を削減することができる。これにより、カラム信号処理部240の回路規模、実装面積や消費電力を低減することができる。

【0167】

<6. 第6の実施の形態>

上述の第1の実施の形態では、列ごとにSARADC300を配置していたが、列数が増大するほど、SARADC300の個数が多くなり、カラム信号処理部240の回路規模が大きくなるおそれがある。この第6の実施の形態の固体撮像素子200は、SARADC300の前段にマルチプレクサを配置した点において第1の実施の形態と異なる。

40

【0168】

図24は、本技術の第6の実施の形態における画素領域220の平面図の一例である。この第6の実施の形態の画素領域220において、画素ブロック221のそれぞれには、4行×2列の8個の共有ブロック270が配列される。それぞれの共有ブロック270の構成は、第2の実施の形態と同様である。また、共有ブロック270の2列（言い換えれば、画素の4列）ごとに、垂直信号線VSL1乃至VSL8の8本が配線される。画素領域220内の画素列の総数をMとすると、垂直信号線は、合計で2×M本配線される。画

50

素ブロック 221 内の共有ブロック 270 は、互いに異なる垂直信号線に接続される。

【0169】

また、固体撮像素子 200 には、第 4 の実施の形態と同様に上側カラム信号処理部 245 と下側カラム信号処理部 246 とが配置される。

【0170】

垂直駆動回路 210 は、画素ブロック 221 を駆動して、それぞれの共有ブロック 270 に 1 個の画素信号を出力させる。共有ブロック 270 は、8 個であるため、8 個の画素信号が同時に出力される。これらの 8 個の画素信号のうち 4 個は、上側カラム信号処理部 245 により A/D 変換され、残りの 4 個は、下側カラム信号処理部 246 により A/D 変換される。例えば、2 個の R 画素の画素信号と 2 個の B 画素の画素信号とを上側カラム信号処理部 245 が A/D 変換し、4 個の G 画素の画素信号を下側カラム信号処理部 246 が A/D 変換する。

【0171】

なお、画素ブロック 221 内の共有ブロック 270 の個数は 8 個に限定されず、共有ブロック 270 内の画素数も 8 個に限定されない。

【0172】

図 25 は、本技術の第 6 の実施の形態における下側カラム信号処理部 246 の一構成例を示すブロック図である。この下側カラム信号処理部 246 は、画素ブロック 221 の列（言い換えれば、画素の 4 列）ごとに、マルチプレクサ 247、SARADC300、定電流源 241 および定電流源 242 を 2 個ずつ備える。画素領域 220 内の画素列の総数を M 列とすると、マルチプレクサ 247 や SARADC300 は、合計で $M/2$ 個ずつ配置される。上側カラム信号処理部 245 の構成は、下側カラム信号処理部 246 と同様である。

【0173】

マルチプレクサ 247 は、タイミング制御回路 250 からの選択信号に従って、垂直信号線 VSL1 乃至 VSL8 のうち 2 本を選択するものである。このマルチプレクサ 247 は、選択した 2 本からの画素信号を SARADC300 へ出力する。

【0174】

タイミング制御回路 250 は、下側カラム信号処理部 246 が処理する 4 個の画素信号のうち、2 個を伝送する垂直信号線を 1 個目のマルチプレクサ 247 に選択させ、残りを 2 個目のマルチプレクサ 247 に選択させる。なお、マルチプレクサ 247 は、特許請求の範囲に記載の比較器外選択部の一例である。

【0175】

また、垂直信号線 VSL1 乃至 VSL8 は、回路チップ 202 内で分岐して 2 個のマルチプレクサ 247 に入力される。図 23 における四角のマークは、チップの境界の端子を示す。なお、チップの境界は、この構成に限定されない。例えば、マルチプレクサ 247 の入力端子をチップの境界としてもよいし、マルチプレクサ 247 の出力端子をチップの境界としてもよい。

【0176】

このように、本技術の第 6 の実施の形態によれば、マルチプレクサ 247 が 8 個の画素信号のうち 2 個を選択し、それらを SARADC300 が逐次比較することにより、2 列ごとに SARADC300 を配置することができる。これにより、カラム信号処理部 240 の回路規模、実装面積や消費電力を低減することができる。

【0177】

< 7. 第 7 の実施の形態 >

上述の第 1 の実施の形態では、垂直方向に並んだ画素を同じ SARADC300 で A/D 変換するために、そのリニアリティのばらつきに起因して画像データにおいて縦筋が生じるおそれがある。この第 7 の実施の形態の SARADC300 は、DAC360 内の容量の組合せをランダムに変更して、制御を行うことで縦筋を抑制する点において第 1 の実施の形態と異なる。

10

20

30

40

50

【0178】

図26は、本技術の第7の実施の形態におけるDAC360の一構成例を示すブロック図である。このDAC360は、容量361-1乃至361-7と、容量362-1乃至362-13と、電位制御スイッチ363-1乃至363-20とを備える。これらの容量361-1乃至361-7と、容量362-1乃至362-13とのそれぞれの一端は、共通に比較器310の入力端子に接続され、その電位の信号が基準信号AIN_{DAC}として供給される。

【0179】

容量361-1乃至361-7は、デジタル信号DOU_Tの上位の所定ビット（例えば、上位3ビット）を生成するために用いられる容量であり、画素ブロック221の行が選択されるたびに、組合せがランダムに変更される。例えば、これらの容量の値は全て同一であり、所定の単位容量値をCとして、16Cに設定される。

10

【0180】

容量362-1乃至362-13は、デジタル信号DOU_Tの下位の所定ビット（例えば、5ビット目からLSBまで）を生成するために用いられる容量である。例えば、8C、4C、2C、1Cおよび0.5Cなどの各種の容量値が設定される。

【0181】

電位制御スイッチ363-1乃至363-20は、容量361-1乃至361-7と容量362-1乃至362-13とのそれぞれの両端のうち比較器310に接続されていない方の一端の電位を変更するものである。電位制御スイッチ363-1乃至363-20のそれぞれには互いに異なる容量が対応付けられ、それらのスイッチは、対応する容量の一端を互いに異なる電位VRC、VRTおよびVRBのいずれかに接続する。例えば、電位VRCは、初期値の電位であり、初期状態において全ての容量は電位VRCに接続される。電位VRTは、電位VRCより高い電位（VRCの2倍など）であり、電位VRBは、電位VRCより低い電位（接地電位など）である。

20

【0182】

また、電位制御スイッチ363-1乃至363-20には、SARロジック回路350からの制御信号CTLenおよびCTLudが入力され、それぞれのスイッチは、それらの制御信号に従って接続先を切り替える。

【0183】

制御信号CTLenは、容量ごとに、その容量の一端の電位をVRCに接続するか否かを示す信号である。例えば、容量が20個である場合、制御信号CTLenのデータサイズは、20ビットである。

30

【0184】

制御信号CTLudは、容量ごとに、その容量の一端の電位を電位VRT、VRBの接続するか否かを示す信号である。例えば、容量が20個である場合、制御信号CTLudのデータサイズは、20ビットである。

【0185】

図27は、本技術の第7の実施の形態におけるSARロジック回路350の一構成例を示すブロック図である。このSARロジック回路350は、下位ビット生成部351、上位ビット生成部352および疑似乱数生成部353を備える。

40

【0186】

下位ビット生成部351は、逐次比較制御により、容量362-1乃至362-13に対応する下位ビットを生成するものである。ここで、下位ビットの生成において、制御信号CTLen、制御信号CTLudにより指定される容量の順序は固定である。例えば、逐次比較5ビット目を生成する際は、容量362-1が指定され、次の6ビット目を生成する際は、容量362-2が指定される。

【0187】

上位ビット生成部352は、逐次比較制御により、容量361-1乃至361-7に対応する上位ビットを生成するものである。この上位ビットの生成において、制御信号CT

50

L e n、制御信号 C T L u d により指定される容量の組合せは、画素の行が選択されるたびに変更される。

【0188】

疑似乱数生成部 353 は、上位ビット生成部 352 の制御に従って疑似乱数を生成するものである。

【0189】

下位ビット生成部 351 および上位ビット生成部 352 は、比較器 310 の比較結果に基づいて制御信号 C T L e n および C T L u d を生成して D A C 360 に供給し、デジタル信号 D O U T を生成して出力する。

【0190】

この逐次比較制御において、上位ビット生成部 352 は、例えば、逐次比較 2 ビット目の基準信号 A I N_{D A C} を生成する際に、4 ビットを論理値「1」にし、残りを論理値「0」にした 7 ビットの疑似乱数を疑似乱数生成部 353 に生成させる。そして、上位ビット生成部 352 は、その 4 ビットに対応した制御信号 C T L e n、制御信号 C T L u d を D A C 360 に供給する。

【0191】

そして、逐次比較 3 ビット目の基準信号 A I N_{D A C} を生成する際に、上位ビット生成部 352 は、2 ビット目の生成時に論理値「1」にしたビットを除く 3 ビットのうち 2 ビットを論理値「1」にした 7 ビットの疑似乱数を疑似乱数生成部 353 に生成させる。上位ビット生成部 352 は、その 2 ビットに対応した制御信号 C T L e n、制御信号 C T L u d を D A C 360 に供給する。

【0192】

続いて、逐次比較 4 ビット目の基準信号 A I N_{D A C} を生成する際に、上位ビット生成部 352 は、逐次比較 2 ビット目生成時と逐次比較 3 ビット目生成時とに論理値「1」にしたビットを除く残りの 1 ビットに対応した制御信号 C T L e n、制御信号 C T L u d を D A C 360 に供給する。

【0193】

図 28 は、本技術の第 7 の実施の形態における画素信号の 1 行目の逐次比較 4 ビット目までの D A C 360 の制御例を説明するための図である。同図における a は、2 ビット目を生成する際の D A C 360 の状態の一例を示す図である。同図における b は、3 ビット目を生成する際の D A C 360 の状態の一例を示す図であり、同図における c は、4 ビット目を生成する際の D A C 360 の状態の一例を示す図である。

【0194】

まず、上位ビット生成部 352 は、比較器 310 の比較結果に基づいて基準信号 A I N_{D A C} を生成する。そして、逐次比較 2 ビット目の基準信号 A I N_{D A C} を生成する際に、上位ビット生成部 352 は、7 ビットの疑似乱数により、容量 361-1 乃至 361-7 のうちランダムに 4 つを選択する。例えば、2 進数で「1111000」の疑似乱数が生成された場合、容量 361-1 乃至 361-4 が選択される。これらの容量値が 16C である場合、64C の合成容量が得られる。また、上位ビット生成部 352 は、前回の比較器 310 の比較結果に基づいて電位 V R T および V R B のいずれに接続するかを指定する。例えば、比較結果 C M P が論理値「1」であった場合には、基準信号 A I N_{D A C} を上昇させるため、同図における a に例示するように容量 361-1 乃至 361-4 を電位 V R T に接続させる。

【0195】

そして、逐次比較 3 ビット目の基準信号 A I N_{D A C} を生成する際に、上位ビット生成部 352 は、7 ビットの疑似乱数により、既に選択済みの 4 つを除いた残り 3 つの容量のうちからランダムに 2 つを選択する。例えば、2 進数で「0000110」の疑似乱数が生成された場合、容量 361-5 および 361-6 が選択される。これらの容量値が 16C である場合、32C の合成容量が得られる。また、上位ビット生成部 352 は、前回の比較器 310 の比較結果に基づいて電位 V R T および V R B のいずれに接続するかを指定

10

20

30

40

50

する。例えば、比較結果CMPが論理値「0」であった場合には、基準信号AIN_{DAC}を降下させるため、同図におけるaに例示するように容量361-5および361-6を、電位VRBに接続させる。

【0196】

そして、逐次比較4ビット目の基準信号AIN_{DAC}を生成する際に、上位ビット生成部352は、既に選択済みの6つを除いた残り1つの容量を選択する。例えば、容量361-7が選択され、この容量値は16Cである。また、上位ビット生成部352は、前回の比較器310の比較結果に基づいて電位VRTおよびVRBのいずれに接続するかを指定する。例えば、比較結果CMPが論理値「1」であった場合には、基準信号AIN_{DAC}を上昇させるため、同図におけるaに例示するように容量361-7を、電位VRTに接続させる。

10

【0197】

なお、上記の例ではビット生成毎に疑似乱数の生成を実施したが、逐次比較2ビット目を生成する際に逐次比較4ビット目までの疑似乱数を一度に生成してもよい。この場合には、疑似乱数生成部353内などに、疑似乱数を保持するためのメモリが追加され、SARロジック回路350は、そのメモリから疑似乱数を読み出して容量の組合せを変更する。

【0198】

5ビット目以降は、下位ビット生成部351により固定の順序で容量が選択される。

【0199】

20

図29は、本技術の第7の実施の形態における画素信号2行目の逐次比較4ビット目までのDAC360の制御例を説明するための図である。同図におけるaは、2ビット目を生成する際のDAC360の状態の一例を示す図である。同図におけるbは、3ビット目を生成する際のDAC360の状態の一例を示す図であり、同図におけるcは、4ビット目を生成する際のDAC360の状態の一例を示す図である。

【0200】

逐次比較2ビット目生成時に2進数で「0011110」の疑似乱数が生成された場合、同図におけるaに例示するように、容量361-3乃至361-6が選択される。3ビット目生成時に2進数で「1100000」の疑似乱数が生成された場合、同図におけるbに例示するように、容量361-1および361-2が選択される。4ビット目生成時には、同図におけるcに例示するように、残りの容量361-7が選択される。

30

【0201】

図30は、本技術の第7の実施の形態における画素信号3行目の逐次比較4ビット目までのDAC360の制御例を説明するための図である。同図におけるaは、2ビット目を生成する際のDAC360の状態の一例を示す図である。同図におけるbは、3ビット目を生成する際のDAC360の状態の一例を示す図であり、同図におけるcは、4ビット目を生成する際のDAC360の状態の一例を示す図である。

【0202】

逐次比較2ビット目生成時に2進数で「1000111」の疑似乱数が生成された場合、同図におけるaに例示するように、容量361-1と容量361-5乃至361-7とが選択される。3ビット目生成時に2進数で「0011000」の疑似乱数が生成された場合、同図におけるbに例示するように、容量361-3および361-4が選択される。4ビット目生成時には、同図におけるcに例示するように、残りの容量361-2が選択される。

40

【0203】

画素信号4行目以降も同様に、行が選択されるたびに、容量361-1乃至361-7の組合せがランダムに変更される。

【0204】

垂直方向に並んだ画素を同じSARADC300でAD変換すると、そのリニアリティのばらつきに起因して、容量の組合せを変更しない第1の実施の形態では、画像データに

50

縦筋が生じるおそれがある。これに対して、第7の実施の形態では、SARロジック回路350が、行ごとにランダムに容量の組合せを変更するため、SARADC300が持つ固定のエラーパターンを変化させることができる。行ごとのエラーパターンの変化により、画像データにおいて、エラーパターンが分散され、縦筋の発生を抑制することができる。

【0205】

なお、DAC360内の容量の個数を20個としているが、容量は2個以上であれば、20個に限定されない。また、20個の容量のうち上位4ビットに対応する7個の組合せをランダムに変更しているが、ランダムに組合せを変更する容量の個数は7個に限定されない。例えば、全ての容量について、組合せをランダムに変更してもよい。また、上位4ビットについて、容量の組合せをランダムに変更しているが、組合せを変更するビット列は上位4ビットに限定されない。例えば、上位2ビットや上位3ビットについて容量の組合せをランダムに変更してもよい。

【0206】

また、疑似乱数生成部353をSARロジック回路350の内部に配置しているが、SARロジック回路350の外部に配置することもできる。

【0207】

また、基準信号AINDACをシングルエンド信号としているが、差動信号としてもよい。この場合には、DAC360内において、複数の容量と電位制御スイッチとが正側と負側とのそれぞれに配置される。そして、上位ビット生成部352は、行が選択されるたびに、正側の容量と負側の容量とのそれぞれの組合せをランダムに変更する。

【0208】

このように、本技術の第7の実施の形態によれば、SARロジック回路350は、疑似乱数に基づいて容量を選択するため、行ごとに容量の組合せをランダムに変更することができる。これにより、SARADC300のエラーパターンを行ごとに变化させて縦筋を抑制し、画質を向上させることができる。

【0209】

< 8. 第8の実施の形態 >

上述の第1の実施の形態では、比較器310において、垂直信号線VSL1およびVSL2を切り替えていたが、切替えの際に切り替え先の垂直信号線の電位が大きく変動することがある。そして、この変動に起因して画素側トランジスタ毎の黒レベルずれやストリーキングが発生するおそれがある。この第8の実施の形態の比較器310は、切替え先のトランジスタのソースおよびドレインに、中間電位を供給することにより、切替え時の電位変動を抑制する点において第1の実施の形態と異なる。

【0210】

図31は、本技術の第8の実施の形態における比較器310の一構成例を示すブロック図である。この第8の実施の形態の比較器310は、電流源401、イネーブル制御トランジスタ402と、画素側トランジスタ315および318と、基準側トランジスタ320と、レプリカ回路420とを備える。また、比較器310は、選択スイッチ314、317、404および406と、短絡スイッチ316、319、403および405と、固定抵抗407および408とを備える。レプリカ回路420は、電流源421と、固定抵抗422乃至424と、レプリカ回路内トランジスタ425とを備える。イネーブル制御トランジスタ402およびレプリカ回路内トランジスタ425として、例えば、nMOSトランジスタが用いられる。また、第8の実施の形態では、画素側トランジスタ315等の各トランジスタとして、pMOSトランジスタが用いられる。

【0211】

電流源401およびイネーブル制御トランジスタ402は、電源端子とドレイン側ノード411との間において直列に接続される。また、イネーブル制御トランジスタ402のゲートには、イネーブル信号ENが入力される。

【0212】

10

20

30

40

50

ソース側ノード411とドレイン側ノード412との間において、画素側トランジスタ315および318は並列に接続される。また、画素側トランジスタ315のゲートには垂直信号線VSL1からの画素信号 $A I N_{P1}$ が入力され、画素側トランジスタ318のゲートには垂直信号線VSL1からの画素信号 $A I N_{P2}$ が入力される。ドレイン側ノード412と接地端子との間には固定抵抗407が挿入される。ドレイン側ノード412から負側信号xCMPが出力される。

【0213】

基準側トランジスタ320のゲートには基準信号 $A I N_{D A C}$ が入力され、ソースはソース側ノード411に接続され、ドレインは固定抵抗408に接続される。固定抵抗408の他端は、接地端子に接続される。基準側トランジスタ320および固定抵抗408の接続点から正側信号CMPが出力される。

10

【0214】

選択スイッチ314は、選択信号SEL1に従って、画素側トランジスタ315のソースと、ソース側ノード411との間の経路を開閉するものである。選択スイッチ404は、選択信号SEL1に従って、画素側トランジスタ315のドレインと、ドレイン側ノード412との間の経路を開閉するものである。

【0215】

短絡スイッチ316は、選択信号xSEL1に従って画素側トランジスタ315のソースと固定抵抗422および423の接続点との間の経路を開閉するものである。短絡スイッチ403は、選択信号xSEL1に従って画素側トランジスタ315のドレインと固定抵抗422および423の接続点との間の経路を開閉するものである。

20

【0216】

選択スイッチ317は、選択信号SEL2に従って、画素側トランジスタ318のソースと、ソース側ノード411との間の経路を開閉するものである。選択スイッチ406は、選択信号SEL2に従って、画素側トランジスタ318のドレインと、ドレイン側ノード412との間の経路を開閉するものである。

【0217】

短絡スイッチ319は、選択信号xSEL2に従って画素側トランジスタ318のソースと固定抵抗422および423の接続点との間の経路を開閉するものである。短絡スイッチ405は、選択信号xSEL2に従って画素側トランジスタ318のドレインと固定抵抗422および423の接続点との間の経路を開閉するものである。

30

【0218】

また、レプリカ回路420において、電流源421、レプリカ回路内トランジスタ425および固定抵抗424は、電源端子と接地端子との間において直列に接続される。また、固定抵抗422および423は、レプリカ回路内トランジスタ425のドレインおよびソースの間において直列に接続される。レプリカ回路内トランジスタ425のゲートには、所定のバイアス電圧Vbが供給される。

【0219】

上述の構成により、レプリカ回路420は、ソース側ノード411とドレイン側ノード412との中間の中間電位を生成する。そして、選択スイッチ314等は、選択信号により選択された画素側トランジスタのソースおよびドレインをソース側ノード411およびドレイン側ノード412に接続する。ここで、 $A I N_{P1}$ から $A I N_{P2}$ に切り替えるため、選択スイッチ314等が切替え先の画素側トランジスタを接続した際に、そのトランジスタのドレインおよびソースの電位が変動する。第1の実施の形態では、ドレインの電位変動が、切替え先の垂直信号線にキックバックしてしまう。このキックバックに起因して、比較器310の出力に誤差が生じ、黒レベルずれやストリーキングが発生してしまうおそれがある。

40

【0220】

そこで、第8の実施の形態では、短絡スイッチ316等が、切替えの前に、切替え先の画素側トランジスタのソースおよびドレインをレプリカ回路420と接続しておき、それ

50

らに中間電位を供給する。これにより、切替えの際に、画素側トランジスタのソース電圧 V_s が変動した際に、そのトランジスタのドレイン電圧 V_d も変動し、その波形はソース電圧 V_s と逆相であるため、これらが打ち消し合って、キックバック量を抑制することができる。

【0221】

なお、短絡スイッチ 316、319、403 および 405 からなる回路は、特許請求の範囲に記載の比較器内制御部の一例である。

【0222】

また、2本の垂直信号線 VSL を切り替えているが、3本以上の垂直信号線を切り替えることもできる。この場合には、選択スイッチや短絡スイッチを垂直信号線の本数に応じて追加すればよい。

【0223】

図32は、本技術の第8の実施の形態における電位変動の一例を示すタイミングチャートである。タイミング $T11$ において、垂直信号線 $VSL1$ から垂直信号線 $VSL2$ に切り替え、リセットレベル $R1$ および $R2$ を順に AD 変換する場合を考える。垂直信号線 $VSL1$ から垂直信号線 $VSL2$ の切替えの際に、画素トランジスタ 318 のドレイン電圧 V_d が変動する。その一方で、ソース電圧 V_s も変動し、その波形はドレイン電圧 V_d と逆相である。このため、これらが相殺してキックバック量が抑制され、切替え先の垂直信号線 $VSL2$ の電位の変動が抑制される。

【0224】

このように、本技術の第8の実施の形態によれば、比較器 310 は、画素側トランジスタのソースおよびドレインに中間電位を供給しておくため、切替えの際のキックバック量を低減して黒レベルずれやストリーキングを抑制することができる。

【0225】

〔変形例〕

上述の第1の実施の形態では、 $SADADC300$ ごとにレプリカ回路 420 を配置していたが、配置する $SADADC300$ が多くなるほど、レプリカ回路 420 の個数が多くなり、回路規模が増大してしまう。この第1の実施の形態の変形例における固体撮像素子 200 は、複数の $SARADC300$ がレプリカ回路 420 を共有する点において第1の実施の形態と異なる。

【0226】

図33は、本技術の第8の実施の形態の変形例における固体撮像素子 200 の一構成例を示すブロック図である。この第2の実施の形態の固体撮像素子 200 において、複数本（例えば、8本）の垂直信号線に対して、1つの $SARADC300$ が接続される。また、レプリカ回路 420 は、2つ配置され、複数の $SADRC300$ により、これらのレプリカ回路 420 が共有される。レプリカ回路 420 の個数は2つに限定されず、例えば、1つであってもよい。また、センサチップ 201 には、複数の画素 230 が配置され、回路チップ 202 には、 $SARADC300$ やレプリカ回路 420 などが配置される。

【0227】

図34は、本技術の第8の実施の形態の変形例における比較器 310 の一構成例を示すブロック図である。この第8の実施の形態の変形例の比較器 310 は、レプリカ回路 420 が内部に配置されない点において第8の実施の形態と異なる。

【0228】

このように、本技術の第8の実施の形態の変形例によれば、複数の $SARADC300$ がレプリカ回路 420 を共有するため、 $SARADC300$ ごとにレプリカ回路 420 を配置する場合と比較して、回路規模を削減することができる。

【0229】

<9. 第9の実施の形態>

上述の第8の実施の形態では、レプリカ回路 420 が一定の中間電位を供給していたが、レプリカ回路 420 内の素子の製造ばらつきにより、中間電位が設計値からずれてしま

10

20

30

40

50

うおそれがある。この第 9 の実施の形態のレプリカ回路 4 2 0 は、可変抵抗により、中間電位を調整する点において第 8 の実施の形態と異なる。

【0 2 3 0】

図 3 5 は、本技術の第 9 の実施の形態における比較器 3 1 0 の一構成例を示すブロック図である。この第 9 の実施の形態の比較器 3 1 0 は、レプリカ回路 4 2 0 において、固定抵抗 4 2 2 および 4 2 3 の代わりに可変抵抗 4 2 6 および 4 2 7 が配置される点において第 8 の実施の形態と異なる。

【0 2 3 1】

可変抵抗 4 2 6 および 4 2 7 のそれぞれの抵抗値は、中間電位が設計値と略一致するように、工場出荷時などに作業員やアプリケーションの実行により設定される。そして、設定値は、レジスタなどに保持される。

10

【0 2 3 2】

なお、第 9 の実施の形態において、第 8 の実施の形態の変形例のように、レプリカ回路 4 2 0 を複数の S A R A D C 3 0 0 が共有する構成とすることもできる。

【0 2 3 3】

このように、本技術の第 9 の実施の形態によれば、レプリカ回路 4 2 0 内に可変抵抗 4 2 6 および 4 2 7 を配置したため、それらの抵抗値の変更により中間電位を調整することができる。

【0 2 3 4】

< 1 0 . 第 1 0 の実施の形態 >

20

上述の第 9 の実施の形態では、レプリカ回路 4 2 0 が中間電位を生成していたが、ソース側ノード 4 1 1 の電位変動により、切替えの際に中間電位からソース電位への変動量が入力毎に大きく変わるおそれがある。この第 1 0 の実施の形態の比較器 3 1 0 は、画素信号の切替えのたびにソース側ノード 4 1 1 の電位を初期値にリセットする点において第 9 の実施の形態と異なる。

【0 2 3 5】

図 3 6 は、本技術の第 1 0 の実施の形態における比較器 3 1 0 の一構成例を示すブロック図である。この第 1 0 の実施の形態の比較器 3 1 0 は、ソースリセットスイッチ 4 0 9 をさらに配置した点において第 1 の実施の形態と異なる。

【0 2 3 6】

30

ソースリセットスイッチ 4 0 9 は、画素信号の切り替えのたびにソース側ノード 4 1 1 の電位をリセットするものである。このソースリセットスイッチ 4 0 9 は、タイミング制御回路 2 5 0 からのソースリセット信号 s R S T に従ってソース側ノード 4 1 1 と、電流源 4 2 1 および可変抵抗 4 2 6 の接続点との間の経路を開閉する。

【0 2 3 7】

図 3 7 は、本技術の第 1 0 の実施の形態における比較器 3 1 0 の制御例の一例を示すタイミングチャートである。タイミング T 1 乃至 T 1 1 までの間に亘ってタイミング制御回路 2 5 0 は、ハイレベルの選択信号 S E L 1 を供給して、信号レベル S 1 の A D 変換を実行させる。そして、タイミング T 1 1 からタイミング T 1 2 までの期間内にタイミング制御回路 2 5 0 は、ソースリセット信号 s R S T を供給してソース側ノード 4 1 1 の電位をリセットさせる。次に、タイミング制御回路 2 5 0 は、タイミング T 1 2 乃至 T 2 までの間に亘って、ハイレベルの選択信号 S E L 2 を供給して、信号レベル S 2 の A D 変換を実行させる。

40

【0 2 3 8】

第 9 の実施の形態で画素信号（データもしくは信号レベルなど）を切り替える際に、切替え前後でソース側ノード 4 1 1 の電位が遷移すると、中間電位からソースへの変動量が画素トランジスタ毎に変わりキックバック量に差分が生じてしまう。これにより、比較器 3 1 0 の比較結果が期待値と異なる値になるおそれがある。

【0 2 3 9】

これに対して、第 1 0 の実施の形態では、画素信号を切り替えるたびにタイミング制御

50

回路 250 が、ソース側ノード 411 の電位をリセットしている。これにより、画素信号のそれぞれについて中間電位からソース電位への遷移量が同一となり、キックバック量に差分が生じなくなる。

【0240】

また、第 10 の実施の形態においてタイミング制御回路 250 は、選択信号 SEL_n (n は整数) がハイレベルになったときから、全ての AD 変換が終了するまでの期間に亘って、選択信号 $xSEL_n$ をローレベルにしている。例えば、選択信号 SEL_1 がハイレベルになったタイミング T_1 から、信号レベル S_1 および S_2 の AD 変換が終了するタイミング T_2 までの間に亘って選択信号 $xSEL_1$ がローレベルに設定される。このように切替えの際に、切替え前の選択信号 $xSEL_1$ に対応する画素側トランジスタ 315 のソースおよびドレインがレプリカ回路 420 に再度接続されないように制御することにより、中間電位の揺れを抑制することができる。

10

【0241】

なお、比較器 310 は、2 つの画素信号を切り替えているが、3 つ以上の画素信号を切り替える構成とすることもできる。また、第 10 の実施の形態において、第 8 の実施の形態の変形例のように、レプリカ回路 420 を複数の SARADC 300 が共有する構成とすることもできる。

【0242】

このように、本技術の第 10 の実施の形態によれば、比較器 310 が、画素信号の切替えのたびにソース側ノード 411 の電位をリセットするため、切替えの際のソース側ノード 411 の画素トランジスタ毎の電位遷移を抑制することができる。

20

【0243】

<11. 第 11 の実施の形態>

上述の第 10 の実施の形態では、レプリカ回路 420 が中間電位を生成していたが、ソース側ノード 411 のリセットや電源揺れなどにより、中間電位が変動するおそれがある。この第 11 の実施の形態の比較器 310 は、サンプルホールド回路により、中間電位の変動を抑制する点において第 10 の実施の形態と異なる。

【0244】

図 38 は、本技術の第 11 の実施の形態における比較器 310 の一構成例を示すブロック図である。この第 11 の実施の形態の比較器 310 は、サンプルホールド回路 430 をさらに配置した点において第 10 の実施の形態と異なる。

30

【0245】

サンプルホールド回路 430 は、タイミング制御回路 250 からのサンプリング信号 SMP に同期して、中間電位をサンプリングし、保持するものである。このサンプルホールド回路 430 は、サンプリング信号 SMP に同期してサンプリングを行うサンプリングスイッチ 431 と、サンプリングされた電位を保持する容量 432 とを備える。

【0246】

図 39 は、本技術の第 11 の実施の形態における比較器 310 の制御例の一例を示すタイミングチャートである。タイミング制御回路 250 は、例えば、最初の AD 変換が開始されるタイミング T_1 の直前において、サンプリング信号 SMP により中間電位のサンプリングおよび保持を実行させる。そして、全ての AD 変換終了後に、再度サンプリングが行われる。なお、サンプリングのタイミングは、同図に例示したタイミングに限定されない。例えば、画素信号が切り替えられるたびに、その直前にサンプルホールド回路 430 がサンプリングすることもできる。

40

【0247】

なお、比較器 310 は、2 つの画素信号を切り替えているが、3 つ以上の画素信号を切り替える構成とすることもできる。また、第 11 の実施の形態において、第 8 の実施の形態の変形例のように、レプリカ回路 420 を複数の SARADC 300 が共有する構成とすることもできる。

【0248】

50

このように、本技術の第 1 1 の実施の形態によれば、サンプルホールド回路 4 3 0 が、中間電位をサンプリングして保持するため、ソース側ノード 4 1 1 のリセットや電源揺れなどによる中間電位の揺れを抑制することができる。

【0249】

< 1 2 . 第 1 2 の実施の形態 >

上述の第 8 の実施の形態では、固定抵抗 4 2 2 および 4 2 3 とレプリカ回路内トランジスタ 4 2 5 とにより中間電位を生成していた。しかし、固定抵抗 4 2 2 および 4 2 3 を用いずにレプリカ回路 4 2 0 を構成することもできる。この第 1 2 の実施の形態のレプリカ回路 4 2 0 は、固定抵抗 4 2 2 および 4 2 3 が配置されない点において第 8 の実施の形態と異なる。

10

【0250】

図 4 0 は、本技術の第 1 2 の実施の形態における比較器 3 1 0 の一構成例を示すブロック図である。この第 1 2 の実施の形態の比較器 3 1 0 は、固定抵抗 4 2 2 および 4 2 3 が配置されない点において第 8 の実施の形態と異なる。また、レプリカ回路内トランジスタ 4 2 5 のソースおよびドレインは、短絡スイッチ 3 1 6、4 0 3、3 1 9 および 4 0 5 を介して、画素側トランジスタ 3 1 5 および 3 1 8 のそれぞれのソースおよびドレインに接続される。

【0251】

上述の構成により、画素側トランジスタ 3 1 5 および 3 1 8 のそれぞれのソースおよびドレインへの電圧をバイアス電圧 V_b により生成することができる。この場合、レプリカ回路 4 2 0 は、そのレプリカ回路 4 2 0 以外の比較器 3 1 0 内の回路である本回路と同様の電流密度となるように構成される。このため、消費電流は、第 8 の実施の形態と比較して増大するおそれがある。なお、アプリケーションに応じて、ノイズに対する要求が緩く、キックバックによるノイズが多少生じててもよい場合には、レプリカ回路 4 2 0 と本回路との電流密度を多少変えてもよい。

20

【0252】

なお、第 1 2 の実施の形態において、第 8 の実施の形態の変形例のように、レプリカ回路 4 2 0 を複数の S A R A D C 3 0 0 が共有する構成とすることもできる。

【0253】

このように、本技術の第 1 2 の実施の形態によれば、固定抵抗 4 2 2 および 4 2 3 を用いずにレプリカ回路 4 2 0 を構成したため、第 8 の実施の形態と比較してレプリカ回路 4 2 0 の回路規模を削減することができる。

30

【0254】

< 1 3 . 第 1 3 の実施の形態 >

上述の第 8 の実施の形態では、画素側トランジスタのソースおよびドレインに中間電位を供給して画素側のキックバックを抑制していたが、D A C 3 5 0 側のキックバックを抑制することもできる。この第 1 3 の実施の形態の比較器 3 1 0 は、基準側トランジスタ 3 2 0 のソースおよびドレインに中間電位を供給する点において第 8 の実施の形態と異なる。

【0255】

図 4 1 は、本技術の第 1 3 の実施の形態における比較器 3 1 0 の一構成例を示すブロック図である。この第 1 3 の実施の形態の比較器 3 1 0 は、短絡スイッチ 4 4 1 および 4 4 2 と選択スイッチ 4 4 3 および 4 4 4 とをさらに備える点において第 8 の実施の形態と異なる。

40

【0256】

短絡スイッチ 4 4 1 は、選択信号 $xSELdac$ に従って基準側トランジスタ 3 2 0 のソースと固定抵抗 4 2 2 および 4 2 3 の接続点との間の経路を開閉するものである。短絡スイッチ 4 4 2 は、選択信号 $xSELdac$ に従って基準側トランジスタ 3 2 0 のドレインと固定抵抗 4 2 2 および 4 2 3 の接続点との間の経路を開閉するものである。

【0257】

50

選択スイッチ４４３は、選択信号ＳＥＬｄａｃに従って、基準側トランジスタ３２０のソースと、ソース側ノード４１１との間の経路を開閉するものである。選択スイッチ４４４は、選択信号ＳＥＬｄａｃに従って、基準側トランジスタ３２０のドレインと、ドレイン側ノード４１２との間の経路を開閉するものである。選択信号ＳＥＬｄａｃは、例えば、逐次比較によるＡＤ変換の期間にハイレベルに制御され、それ以外の期間にローレベルに制御される。選択信号ｘＳＥＬｄａｃは、選択信号ＳＥＬｄａｃを反転した信号であってもよいし、図３９のｘＳＥＬと同様の制御であってもよい。

【０２５８】

なお、第１３の実施の形態において、比較器３１０は、２つの画素信号を切り替えているが、３つ以上の画素信号を切り替える構成とすることもできる。また、第８の実施の形態の変形例のように、レプリカ回路４２０を複数のＳＡＲＡＤＣ３００が共有する構成とすることもできる。また、第９の実施の形態のように、レプリカ回路４２０内に可変抵抗４２６および４２７を配置することもできる。また、第１０の実施の形態のように、ソースリセットスイッチ４０９をさらに配置することもできる。また、第１１の実施の形態のように、サンプルホールド回路４３０をさらに配置することもできる。

【０２５９】

このように、本技術の第１３の実施の形態によれば、比較器３１０は、基準側トランジスタ３２０のソースおよびドレインに中間電位を供給しておくため、基準側においても切替えの際のキックバック量を低減することができる。

【０２６０】

< １４．移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【０２６１】

図４２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【０２６２】

車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図４２に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（interface）１２０５３が図示されている。

【０２６３】

駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【０２６４】

ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィ

ンドウ装置、ランプ等を制御する。

【0265】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0266】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0267】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0268】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むA D A S (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

【0269】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0270】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0271】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図42の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0272】

図43は、撮像部12031の設置位置の例を示す図である。

【0273】

10

20

30

40

50

図43では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0274】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

【0275】

なお、図43には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

20

【0276】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0277】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

【0278】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

40

【0279】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識する

50

ことができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

【0280】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図1に例示した電子機器100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

【0281】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

【0282】

また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

【0283】

なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

【0284】

なお、本技術は以下のような構成もとることができる。

(1) 複数の画素が配列された画素ブロックと、

前記画素ブロックを駆動して複数の画素信号を同時に出力させる駆動回路と、

前記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較器と、

前記比較器の比較結果に基づいて前記所定の基準信号を更新させるための制御信号を生成する制御部と、

前記制御信号に従って前記所定の基準信号を更新する基準信号更新部とを具備する固体撮像素子。

(2) 前記比較器は、

前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、

正側出力ノードと負側出力ノードとに接続されたカレントミラー回路と、

前記正側出力ノードおよび前記負側出力ノードの一方にドレインが接続され、前記所定の基準信号がゲートに入力される基準側トランジスタと、

所定の選択信号に従って前記複数の画素側トランジスタのいずれかを選択して当該選択したトランジスタのドレインと前記正側出力ノードおよび前記負側出力ノードの他方とを接続する比較器内選択部と

10

20

30

40

50

を備え、

前記比較器は、前記正側出力ノードおよび前記負側出力ノードから前記比較結果を出力する

前記（１）記載の固体撮像素子。

（３）前記比較器は、

所定のイネーブル信号に従って前記複数の画素側トランジスタと前記基準側トランジスタとに一定の電流を供給する電流源トランジスタをさらに備え、

前記カレントミラー回路は、各々のゲートに前記所定のイネーブル信号が入力された一対のカレントミラートランジスタを備える

前記（２）記載の固体撮像素子。

10

（４）前記カレントミラー回路は、

各々のゲートが互いに接続された一対のカレントミラートランジスタと、

前記一対のカレントミラートランジスタの一方のドレインと前記一対のカレントミラートランジスタのそれぞれの前記ゲートとの間の経路を前記所定のイネーブル信号に従って開閉するイネーブルスイッチと

を備える前記（２）記載の固体撮像素子。

（５）前記比較器は、前記所定の選択信号に従って前記複数の画素側トランジスタのうち選択されていないトランジスタのドレインおよびソースを短絡する短絡部をさらに備える前記（２）から（４）のいずれかに記載の固体撮像素子。

（６）前記比較器は、前記複数の画素側トランジスタのそれぞれについてキャパシタをさらに備え、

20

前記複数の画素信号は、互いに異なる信号線を介して出力され、

前記複数の画素側トランジスタのそれぞれのゲートは、互いに異なる前記キャパシタを介して互いに異なる前記信号線に接続される

前記（２）から（５）のいずれかに記載の固体撮像素子。

（７）前記比較部は、所定のリセット信号に従って前記キャパシタのそれぞれを初期化するリセット部をさらに備える前記（６）記載の固体撮像素子。

（８）前記比較器は、上側比較器および下側比較器を備え、

前記駆動回路は、前記複数の画素信号の半分を前記上側比較器および前記下側比較器の一方に出力し、前記複数の画素信号の残りを前記上側比較器および前記下側比較器の他方に出力する

30

前記（１）から（７）のいずれかに記載の固体撮像素子。

（９）前記複数の画素信号のうち所定数の画素信号を選択して前記比較器に供給する比較外選択部をさらに具備する

前記（１）から（８）のいずれかに記載の固体撮像素子。

（１０）前記駆動回路は、前記複数の画素信号のそれぞれのリセットレベルを出力させた後に前記複数の画素信号のそれぞれの信号レベルを出力させ、

前記比較器は、前記リセットレベルと前記所定の基準信号とを比較した後に前記信号レベルと前記所定の基準信号とを比較する

前記（１）から（９）のいずれかに記載の固体撮像素子。

40

（１１）前記画素ブロックは、前記複数の画素が所定方向に配列された列からなり、

前記比較器は、前記列ごとに配置される

前記（１）から（１０）のいずれかに記載の固体撮像素子。

（１２）所定数の前記画素ブロックは、画素領域内において二次元格子状に配列され、

前記画素ブロック内において、前記複数の画素は二次元格子状に配列され、

前記比較器は、前記画素ブロックの列ごとに配列される

前記（１）から（１０）のいずれかに記載の固体撮像素子。

（１３）前記画素ブロックには、それぞれが浮遊拡散層を共有する複数の画素からなる複数の共有ブロックが設けられる

前記（１２）記載の固体撮像素子。

50

(14) 所定数の前記画素ブロックは、画素領域内において二次元格子状に配列され、前記画素領域において隣接する一对の画素は、一对の像の位相差を検出するための画素である

前記(1)から(13)のいずれかに記載の固体撮像素子。

(15) 前記複数の画素は、ベイヤー配列により配列される

前記(1)から(14)のいずれかに記載の固体撮像素子。

(16) 所定数の前記画素ブロックは、画素領域内において二次元格子状に配列され、

前記画素領域において隣接する複数の画素のそれぞれは、同一の色の光を光電変換して画素信号を生成する

前記(1)から(14)のいずれかに記載の固体撮像素子。

10

(17) 前記基準信号更新部は、
複数の容量と、

前記制御信号に従って前記複数の容量のそれぞれの一端の電位を変更する電位制御部とを備え、

前記制御部は、疑似乱数に基づいて前記複数の容量のうち所定個数を選択して当該選択した容量のそれぞれの電位を変更させる前記制御信号を生成する

前記(1)から(16)のいずれかに記載の固体撮像素子。

(18) 前記比較器は、

前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、

20

前記所定の基準信号がゲートに入力される基準側トランジスタと、

所定の選択信号に従って前記複数の画素側トランジスタのソースおよびドレインに、ソース側ノードおよびドレイン側ノードの中間電位を供給する比較器内制御部とを備える

前記(1)から(17)のいずれかに記載の固体撮像素子。

(19) 前記複数の画素信号の切替えのたびに前記ドレイン側ノードの電位を初期値にするドレインリセットスイッチをさらに具備する

請求項18記載の固体撮像素子。

(20) 所定のサンプリング信号に同期して前記中間電位をサンプリングして保持するサンプルホールド回路をさらに具備する

30

前記(18)または(19)に記載の固体撮像素子。

(21) 前記中間電位を生成するレプリカ回路をさらに具備する

前記(18)から(20)のいずれかに記載の固体撮像素子。

(22) 所定数の前記比較器が配列され、

前記レプリカ回路は前記比較器のそれぞれの内部に配置される

前記(21)記載の固体撮像素子。

(23) 所定数の前記比較器が配列され、

前記レプリカ回路は前記所定数の比較器により共有される

前記(21)記載の固体撮像素子。

(24) 前記レプリカ回路は、所定のバイアス電圧がゲートに入力されるレプリカ回路内トランジスタを備える

40

前記(21)から(23)のいずれかに記載の固体撮像素子。

(25) 前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された固定抵抗をさらに備える

前記(24)に記載の固体撮像素子。

(26) 前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された可変抵抗をさらに備える

前記(24)に記載の固体撮像素子。

(27) 前記比較器は、

前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側ト

50

ランジスタと、

前記所定の基準信号がゲートに入力される基準側トランジスタとを備え、

前記固体撮像素子は、前記複数の画素側トランジスタのそれぞれのソース電圧およびドレイン電圧を生成して供給するレプリカ回路をさらに備える

前記（１）から（１７）のいずれかに記載の固体撮像素子。

（２８）前記比較器は、

前記複数の画素信号のうち互いに異なる画素信号がゲートに入力される複数の画素側トランジスタと、

前記所定の基準信号がゲートに入力される基準側トランジスタと、

10

所定の制御信号に従って前記複数の基準側トランジスタのソースおよびドレインに、ソース側ノードおよびドレイン側ノードの中間電位を供給する比較器内制御部とを備える

前記（１）から（１７）のいずれかに記載の固体撮像素子。

（２９）前記比較器内制御部は、所定の選択信号に従って前記複数の画素側トランジスタのソースおよびドレインに前記中間電位をさらに供給する

前記（２８）記載の固体撮像素子。

（３０）前記複数の画素信号の切替えのたびに前記ソース側ノードの電位を初期値にするソースリセットスイッチをさらに具備する

前記（２９）記載の固体撮像素子。

20

（３１）所定のサンプリング信号に同期して前記中間電位をサンプリングして保持するサンプルホールド回路をさらに具備する

前記（２８）から（３０）のいずれかに記載の固体撮像素子。

（３２）前記中間電位を生成するレプリカ回路をさらに具備する

前記（２８）から（３１）のいずれかに記載の固体撮像素子。

（３３）所定数の前記比較器が配列され、

前記レプリカ回路は前記比較器のそれぞれの内部に配置される

前記（３２）記載の固体撮像素子。

（３４）所定数の前記比較器が配列され、

前記レプリカ回路は前記所定数の比較器により共有される

30

前記（３２）に記載の固体撮像素子。

（３５）前記レプリカ回路は、所定のバイアス電圧がゲートに入力されるレプリカ回路内トランジスタを備える

前記（３２）から（３４）のいずれかに記載の固体撮像素子。

（３６）前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された固定抵抗をさらに備える

前記（３５）記載の固体撮像素子。

（３７）前記レプリカ回路は、前記レプリカ回路内トランジスタと前記比較器内制御部との間に挿入された可変抵抗をさらに備える

前記（３５）記載の固体撮像素子。

40

（２９）複数の画素が配列された画素ブロックと、

前記画素ブロックを駆動して複数の画素信号を同時に出力させる駆動回路と、

前記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較器と、

前記比較器の比較結果に基づいて前記所定の基準信号を更新させるための制御信号を生成する制御部と、

前記制御信号に従って前記所定の基準信号を更新する基準信号更新部と、

前記比較結果からなる画素データを処理する画像処理部と

を具備する電子機器。

（３０）駆動回路が、複数の画素が配列された画素ブロックを駆動して複数の画素信号を

50

同時に出力させる駆動手順と、

比較器が、前記複数の画素信号を逐次選択して当該選択した画素信号と所定の基準信号とを比較する比較手順と、

制御部が、前記比較器の比較結果に基づいて前記所定の基準信号を更新させるための制御信号を生成する制御手順と、

基準信号更新部が、前記制御信号に従って前記所定の基準信号を更新する基準信号更新手順と

を具備する固体撮像素子の制御方法。

【符号の説明】

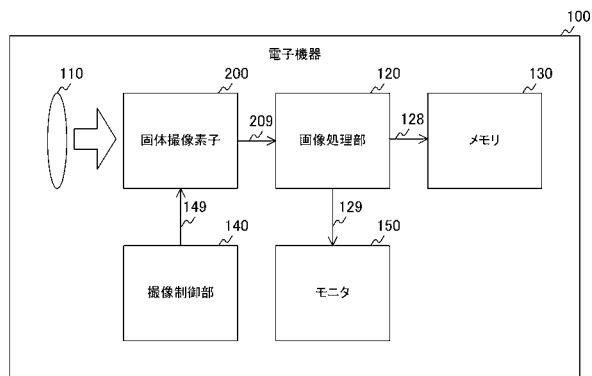
【0285】

100	電子機器	10
110	光学系	
120	画像処理部	
130	メモリ	
140	撮像制御部	
150	モニタ	
200	固体撮像素子	
201	センサチップ	
202	回路チップ	
210	垂直駆動回路	20
220	画素領域	
221	画素ブロック	
230、291～296	画素	
231、273、274、277、278、281、282、285、286	フォト	
ダイオード		
232、271、272、275、276、279、280、283、284、	転送	
トランジスタ		
233、287、	リセットトランジスタ	
234、288	浮遊拡散層	
235、289	増幅トランジスタ	30
236、290	選択トランジスタ	
240	カラム信号処理部	
241～244	定電流源	
245	上側カラム信号処理部	
246	下側カラム信号処理部	
247	マルチプレクサ	
250	タイミング制御回路	
260	出力回路	
270	共有ブロック	
300	SARADC	40
310	比較器	
311、312	カレントミラートランジスタ	
313	イネーブルスイッチ	
314、317、404、406、443、444	選択スイッチ	
315、318	画素側トランジスタ	
316、319、403、405、441、442	短絡スイッチ	
320	基準側トランジスタ	
321	電流源トランジスタ	
350	SAR (Successive Approximation Register) ロジック回路	
351	下位ビット生成部	50

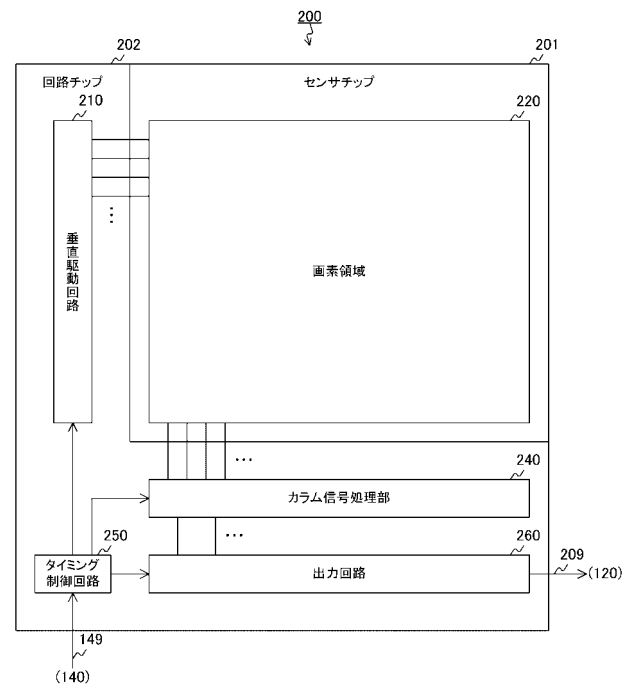
352 上位ビット生成部
 353 疑似乱数生成部
 360 DAC (Digital to Analog Converter)
 361-1~361-7、362-1~362-13、432 容量
 363-1~363-20 電位制御スイッチ
 371~374 リセットスイッチ
 381~384 キャパシタ
 401、421 電流源
 402 イネーブル制御トランジスタ
 407、408、422、423、424 固定抵抗
 409 ドレインリセットスイッチ
 420 レプリカ回路
 425 レプリカ回路内トランジスタ
 426、427 可変抵抗
 430 サンプルホールド回路
 431 サンプリングスイッチ
 12031 撮像部

10

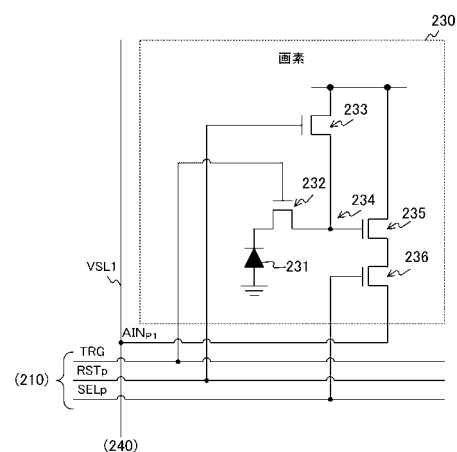
【図 1】



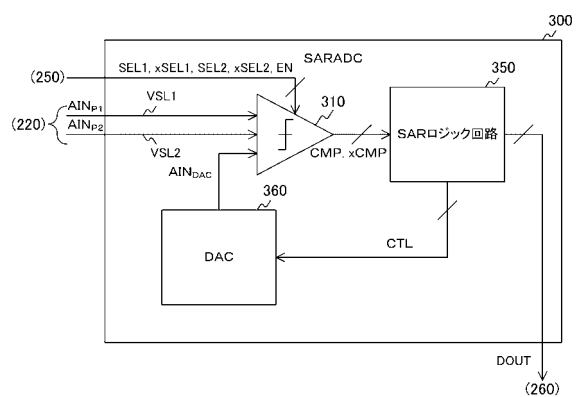
【図 2】



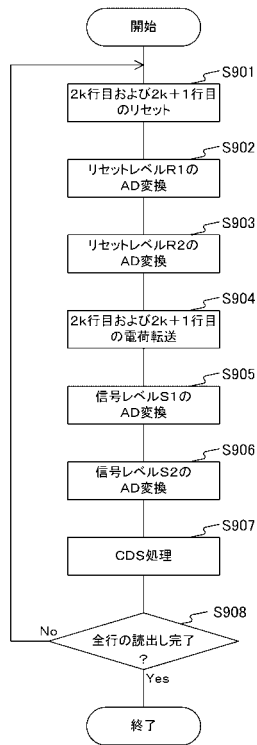
【図 4】



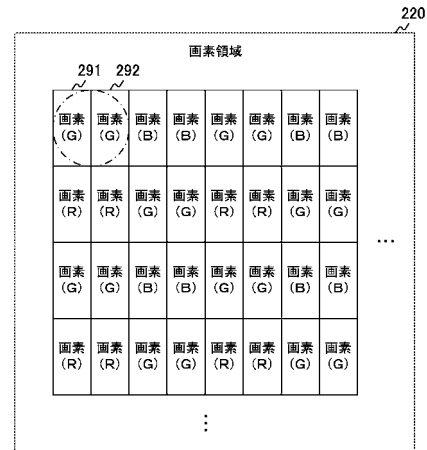
【图 6】



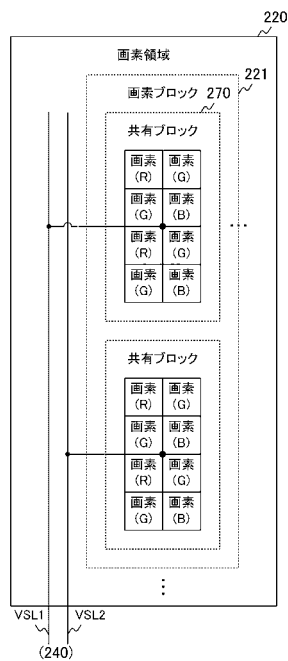
【図 1 1】



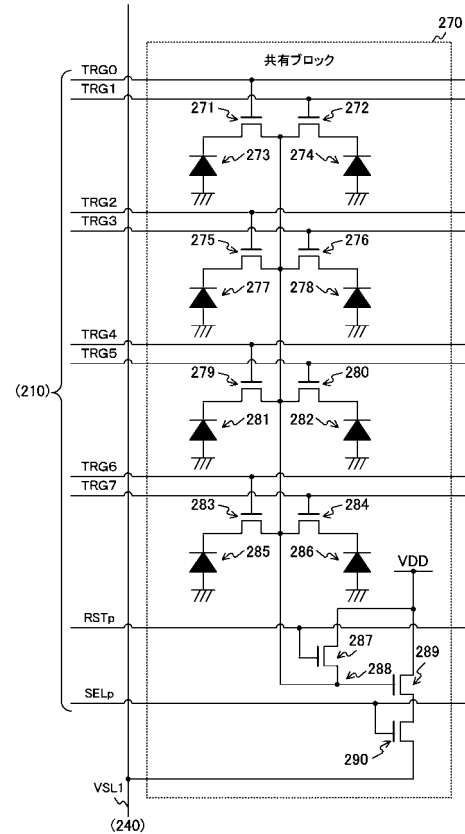
【図 1 2】



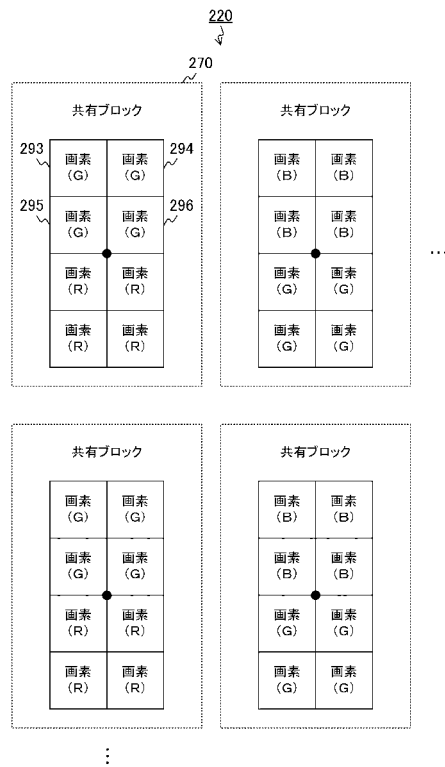
【図 1 3】



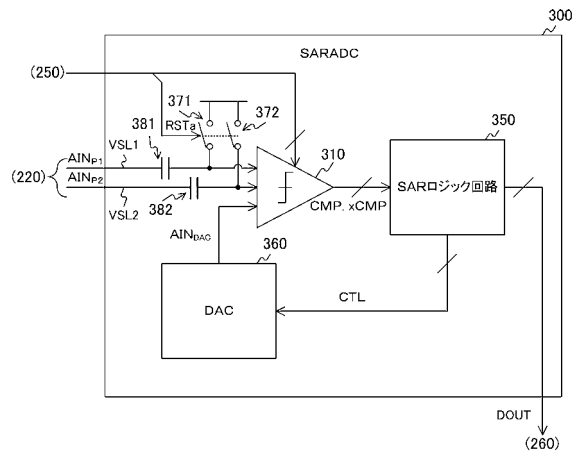
【図 1 4】



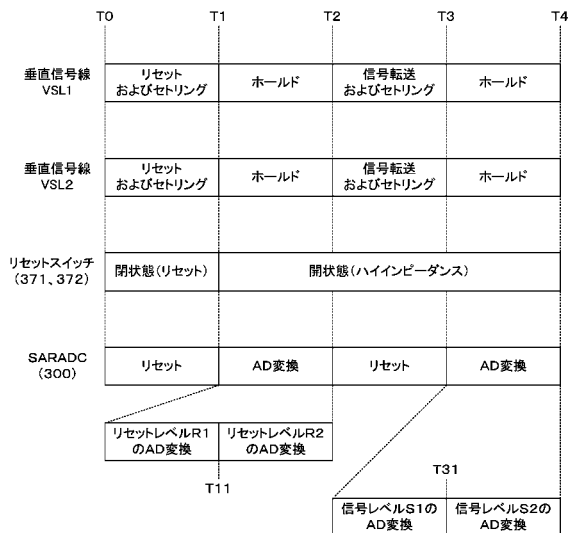
【図 15】



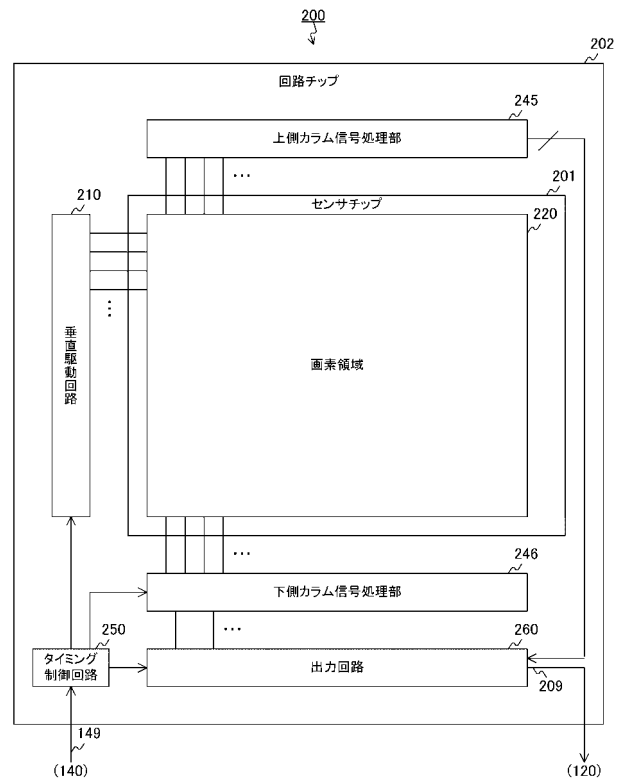
【図 16】



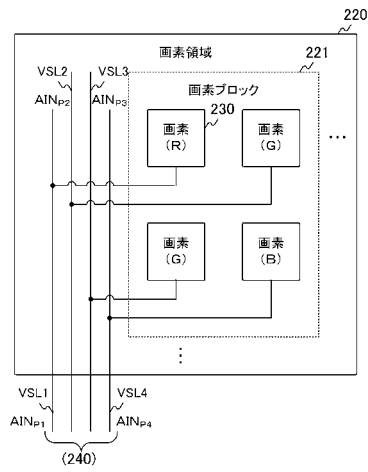
【図 17】



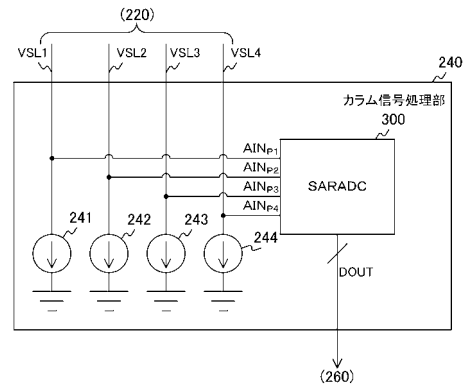
【図 18】



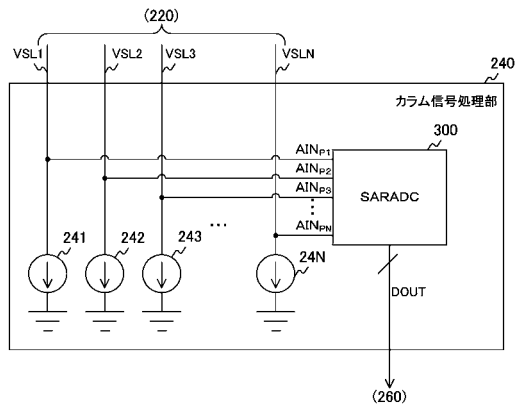
【図 19】



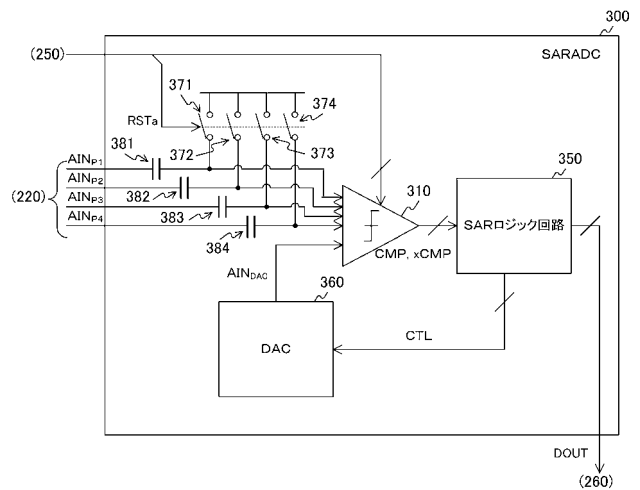
【図 20】



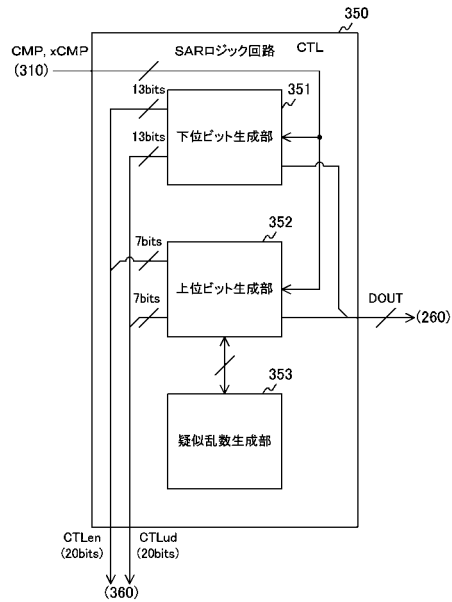
【図 21】



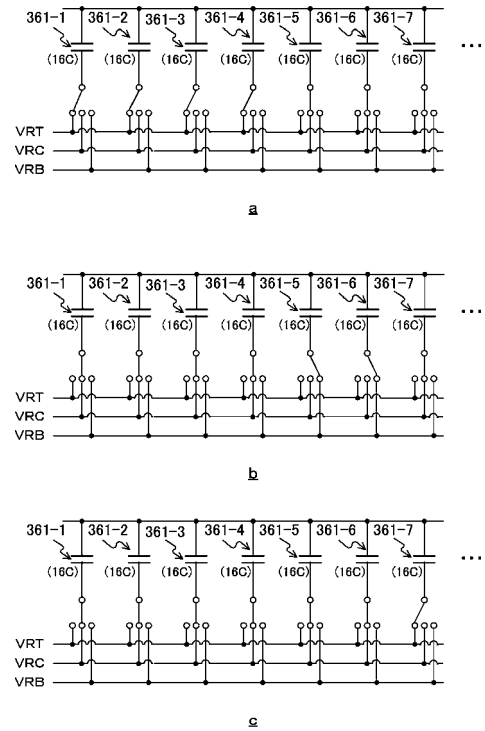
【図 22】



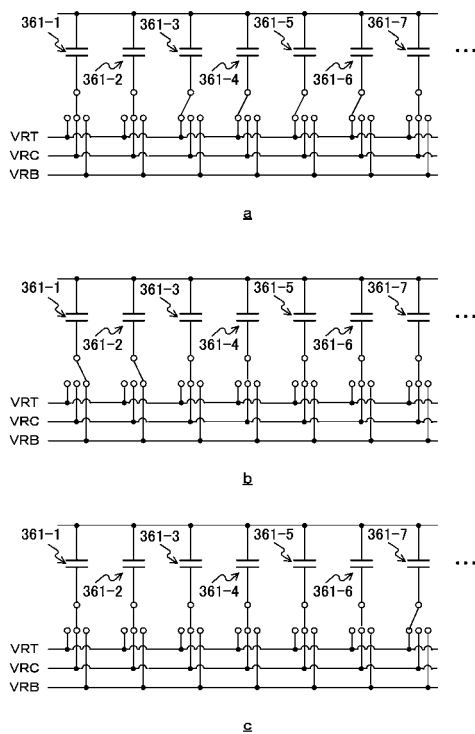
【図 27】



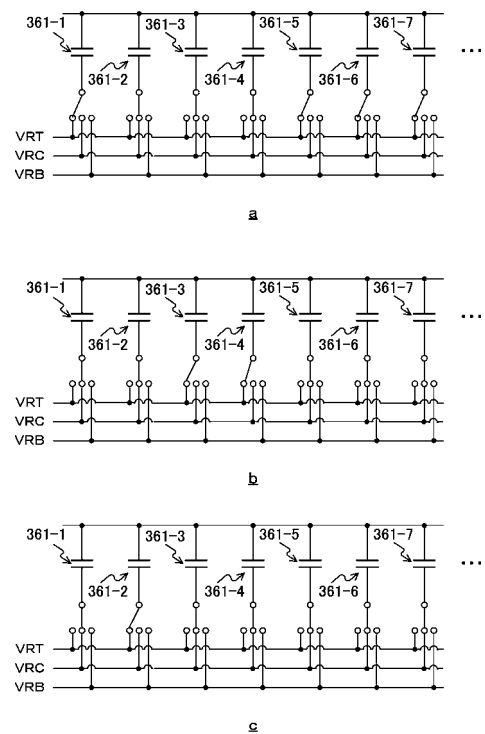
【図 28】



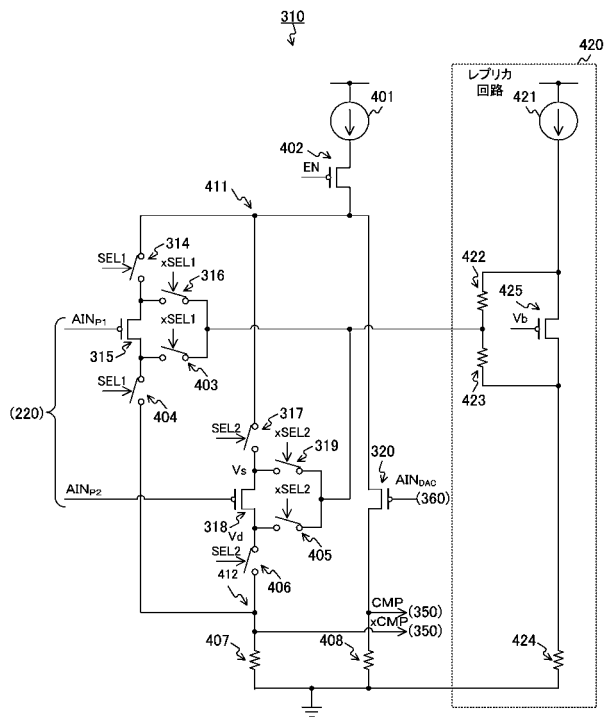
【図 29】



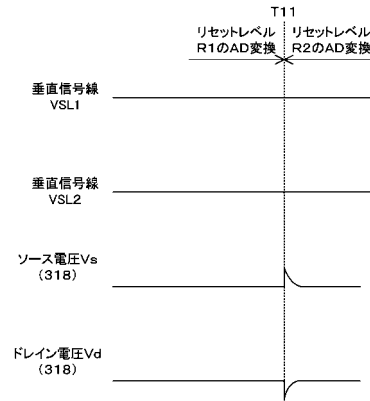
【図 30】



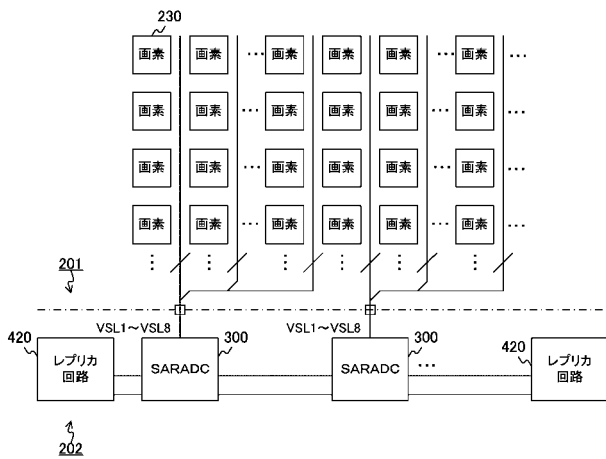
【図 3 1】



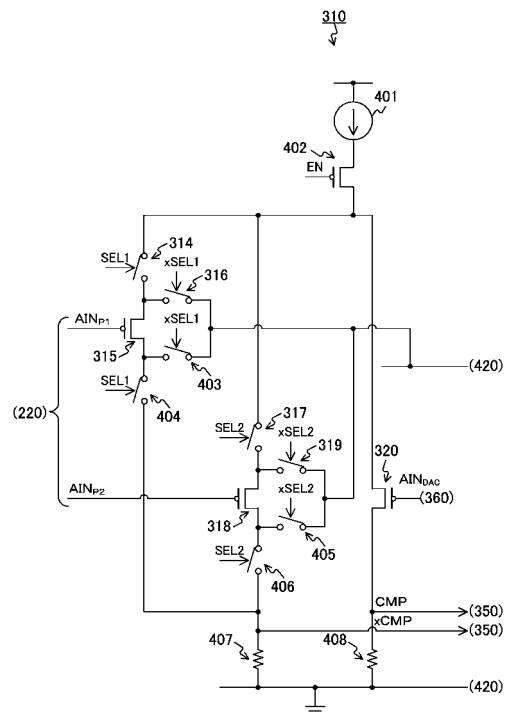
【図 3 2】



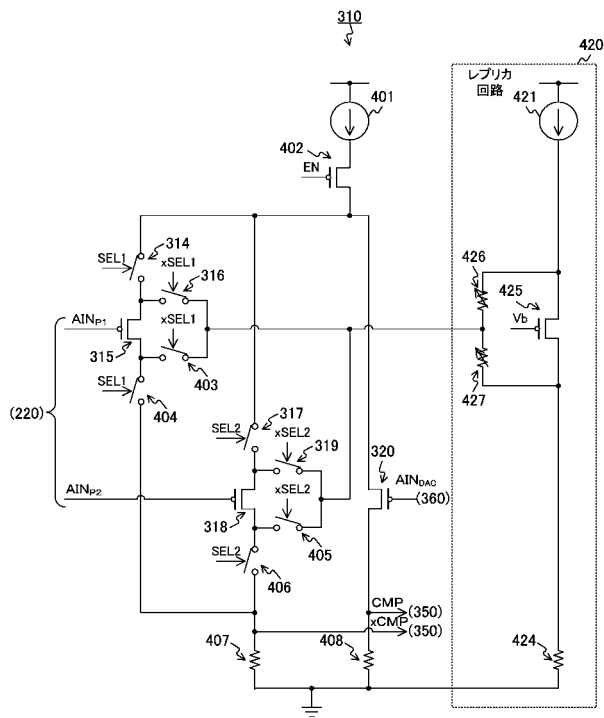
【図 3 3】



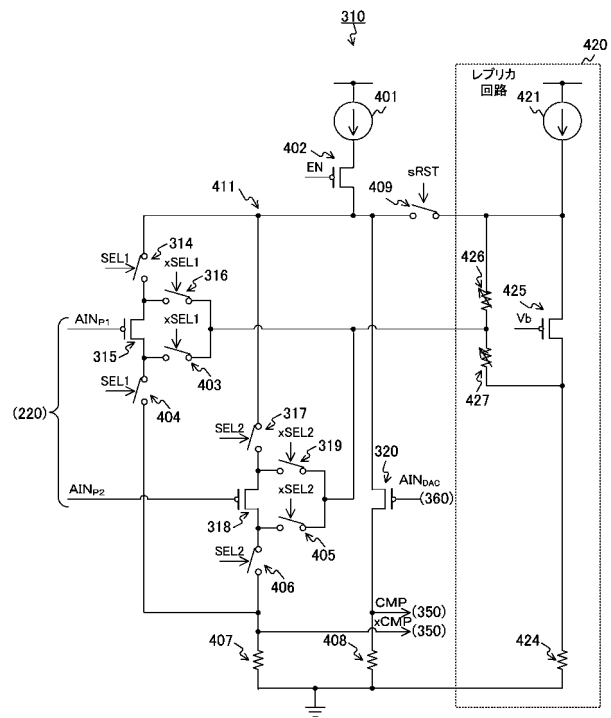
【図 3 4】



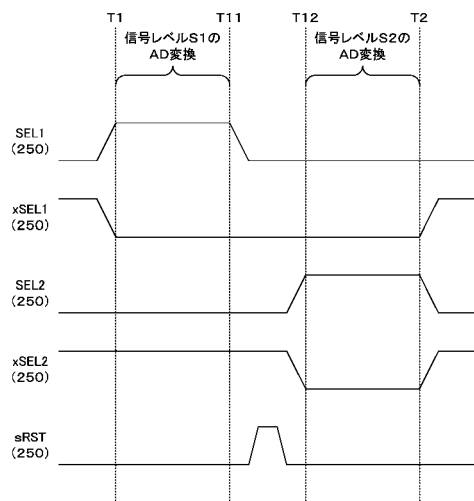
【図 35】



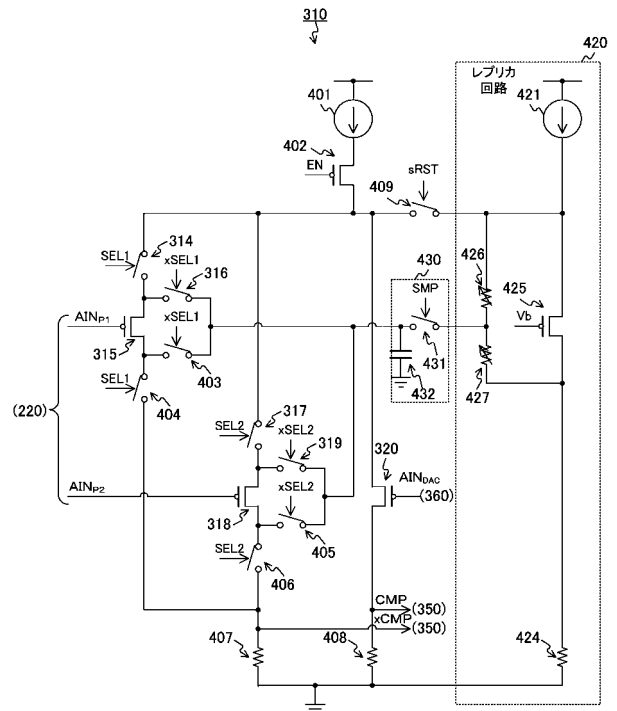
【図 36】



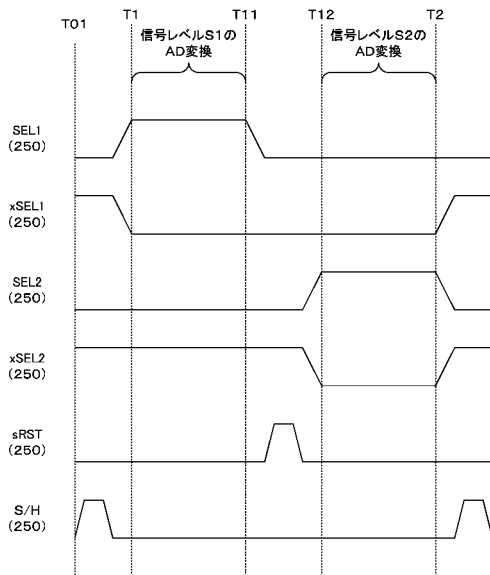
【図 37】



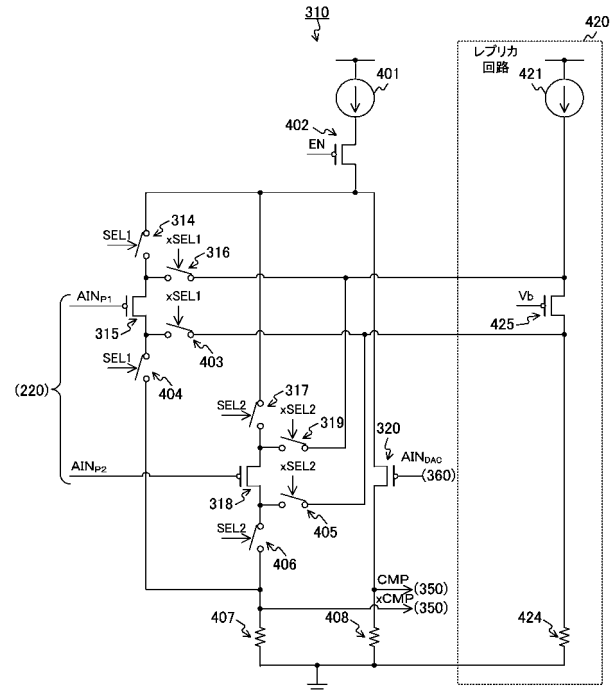
【図 38】



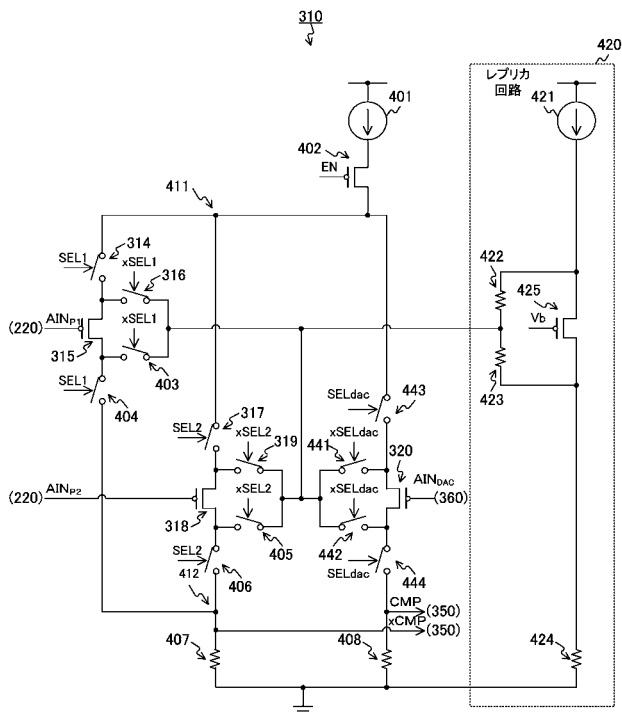
【図 39】



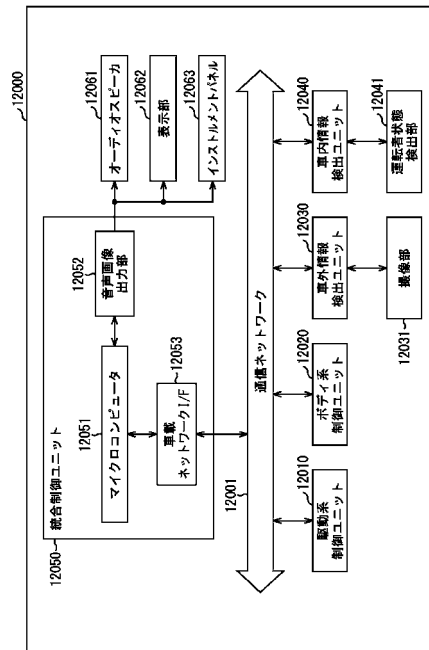
【図 40】



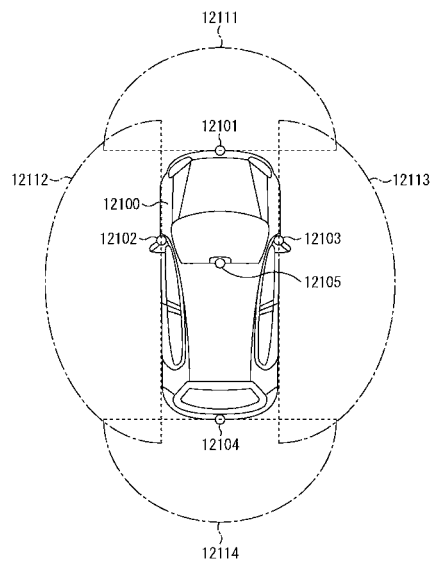
【図 41】



【図 42】



【図 4 3】



フロントページの続き

(72)発明者 日野 康史

神奈川県厚木市旭町四丁目1 4 番1 号 ソニーセミコンダクタソリューションズ株式会社内

(72)発明者 富田 和寿

神奈川県厚木市旭町四丁目1 4 番1 号 ソニーセミコンダクタソリューションズ株式会社内

Fターム(参考) 5C024 GX01 GY18 HX12 HX13 HX23 HX35 HX44 HX45

5J022 AA02 AB01 BA05 BA10 CF01 CF04