

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5204775号  
(P5204775)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl. F I  
**HO 3M 13/29 (2006.01)** HO 3M 13/29

請求項の数 3 (全 15 頁)

(21) 出願番号	特願2009-524554 (P2009-524554)	(73) 特許権者	502032105
(86) (22) 出願日	平成19年8月16日 (2007.8.16)		エルジー エレクトロニクス インコーポ
(65) 公表番号	特表2010-500841 (P2010-500841A)		レイティド
(43) 公表日	平成22年1月7日 (2010.1.7)		大韓民国, ソウル 150-721, ヨン
(86) 国際出願番号	PCT/KR2007/003912		ドンポーク, ヨイドードン, 20
(87) 国際公開番号	W02008/020712	(74) 代理人	100078282
(87) 国際公開日	平成20年2月21日 (2008.2.21)		弁理士 山本 秀策
審査請求日	平成21年3月31日 (2009.3.31)	(74) 代理人	100062409
(31) 優先権主張番号	10-2006-0076990		弁理士 安村 高明
(32) 優先日	平成18年8月16日 (2006.8.16)	(74) 代理人	100113413
(33) 優先権主張国	韓国 (KR)		弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 ターボ符号の符号化装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

ターボ符号を用いて情報ビット列を符号化する装置であって、  
 前記装置は、  
 任意ビット列を生成するように構成された任意ビット発生器であって、前記任意ビット列の長さは、前記情報ビット列の長さと等しい、任意ビット発生器と、  
 インターリーピングされた情報ビット列と、インターリーピングされた任意ビット列とを生成するように構成されたインターリーパであって、前記インターリーピングされた情報ビット列及び前記インターリーピングされた任意ビット列は、前記情報ビット列及び前記任意ビット列をインターリーピングすることによって生成される、インターリーパと、  
 前記情報ビット列及び前記任意ビット列から第1のパリティビット列を生成するように構成された第1の構成符号器と、  
 前記インターリーピングされた情報ビット列及び前記インターリーピングされた任意ビット列から第2のパリティビット列を生成するように構成された第2の構成符号器と、  
 前記情報ビット列、前記第1のパリティビット列及び前記第2のパリティビット列に関連した組織ビット列を生成するように構成された多重化器と  
 を含み、  
前記第1の構成符号器は、前記情報ビット列及び前記任意ビット列を加算するモジュロ  
- 2 加算器を含み、  
前記第2の構成符号器は、前記インターリーピングされた情報ビット列及び前記インタ

10

20

ーリーピングされた任意ビット列を加算するモジュロ - 2 加算器を含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、

前記第 1 の構成符号器と前記第 2 の構成符号器は、二重二進再帰的組織型畳み込み符号の同一の構造を有する、装置。

【請求項 3】

請求項 1 に記載の装置であって、

前記組織ビット列は、前記情報ビット列のコピーである、装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、ターボ符号の符号化装置及び方法に関し、より詳しくは、任意ビットを挿入するターボ符号の符号化装置及び方法に関する。

【背景技術】

【0002】

デジタル信号は無線通信システムで多様な伝播経路(propagation path)を経て伝送される。また、デジタル信号はCD(compact disc)やDVD(digital versatile disc)のような記録媒体から再生される。デジタル信号は、多様なチャネルを介して伝送、再生されながら雑音や変形による多様なデータエラーが含まれることがある。

【0003】

20

データエラーを訂正するための技法のうち一つがエラー訂正技法である。エラー訂正技法は、データに余分のコードを追加し、データに誤差が含まれても訂正されたデータが復元されるようにする。

【0004】

エラー訂正技法のうち一つがターボ符号である。古典的なターボ符号は、一つの入力に二重二進(duo-binary)再帰的組織型畳み込み(recursive systematic convolutional)符号を用いる。古典的なターボ符号で一度に一つの入力に対してのみ処理することとは違って、同時に多数の入力を処理する非二進ターボ符号(non-binary turbo code)が紹介されている。非二進ターボ符号に関する一例は、C. Berrou, M. Jezequel, C. Douillard, and S. Kerouedan, The advantage  
s of nonbinary turbo codes, Proc. Inf. Theory  
Workshop, Cairns, Australia, Sep. 2001, p  
p. 61-63を参照することができる。

30

【0005】

非二進ターボ符号の古典的なターボ符号に対する長所によって、非二進ターボ符号の一つである二重二進ターボ符号(duo-binary turbo code)が、DVB-RCS(digital video broadcasting-return channel over satellite)標準(ETSI 301 790)と国際電子電気工学会(IEEE)802.11及び802.16標準などで採択されている。これらの標準では、二重二進ターボ符号を畳み込みターボ符号(convolutional turbo code)ともいう。

40

【0006】

符号率(code rate)は、情報ビット列(information bit stream)の長さ/符号化ビット列(coded bit stream)の長さで定義することができる。符号率が1/3の場合、符号化ビット列の長さが3nのとき、情報ビット列の長さはnとなる。

【0007】

ターボ符号は、入力される情報ビット列の長さが長くなるほど符号ビット列の長さが長くなるため性能が向上される。然しながら、同じ符号率で情報ビット列の長さが決まると、符号化ビット列の長さが決まる。従って、ターボ符号の性能を向上させるのに限界がある。

【発明の概要】

50

## 【発明が解決しようとする課題】

## 【0008】

本発明の解決しようとする技術的課題は、任意ビットを挿入して性能を向上させるターボ符号の符号化装置及び方法を提供することである。

## 【課題を解決するための手段】

## 【0009】

本発明の一態様によると、ターボ符号の符号化装置を提供する。上記ターボ符号の符号化装置は、任意ビット列を生成する任意ビット発生器、情報ビット列と上記任意ビット列が独立的に入力されるインターリーバ、上記情報ビット列と上記任意ビット列が独立的に入力されて第1のパリティビット列を生成する第1の構成符号器、及び上記インターリーバの出力を入力を受けて第2のパリティビット列を生成する第2の構成符号器を含む。

10

## 【0010】

本発明の他の態様によると、ターボ符号の符号化方法を提供する。上記ターボ符号の符号化方法は、情報ビット列に独立的な任意ビット列を生成する段階と、上記情報ビット列と上記任意ビット列を符号化してパリティビット列を生成する段階と、を含む。

本発明は、たとえば、以下も提供する。

## (項目1)

任意ビット列を生成する任意ビット発生器；

情報ビット列と上記任意ビット列が独立的に入力されるインターリーバ；

上記情報ビット列と上記任意ビット列が独立的に入力されて第1のパリティビット列を生成する第1の構成符号器；及び、

20

上記インターリーバの出力を入力を受けて第2のパリティビット列を生成する第2の構成符号器を含むターボ符号の符号化装置。

## (項目2)

項目1において、

上記任意ビット発生器は、上記任意ビット列を上記情報ビット列に対して独立に生成するターボ符号の符号化装置。

## (項目3)

項目1において、

上記第1の構成符号器と上記第2の構成符号器は、お互いに同じ構造の二重二進再帰的組織型畳み込み符号 (duo-binary recursive systematic convolution code) であるターボ符号の符号化装置。

30

## (項目4)

項目1において、

上記情報ビット列による組織ビット列、上記第1のパリティビット列、上記第2のパリティビット列を多重化する多重化器をさらに含むターボ符号の符号化装置。

## (項目5)

項目4において、

上記組織ビット列には上記任意ビット列が含まれないターボ符号の符号化装置。

## (項目6)

情報ビット列に独立的な任意ビット列を生成する段階；及び、

上記情報ビット列と上記任意ビット列を符号化してパリティビット列を生成する段階を含むターボ符号の符号化方法。

40

## (項目7)

項目6において、

上記パリティビット列を生成する段階は、

上記情報ビット列と上記任意ビット列を符号化して第1のパリティビット列を生成する段階と、

上記情報ビット列と上記任意ビット列をインターリービングし、インターリービングされたビット列を符号化して第2のパリティビット列を生成する段階と、を含むターボ符号

50

の符号化方法。

(項目 8)

項目 7 において、

上記情報ビット列と上記任意ビット列は、独立的にインターリーブされるターボ符号の符号化方法。

【発明の効果】

【0011】

上記で上述した通り、本発明によると、符号率の変化なしに復号化ビット列の長さをより長くしてターボ符号の性能を高めることができる。また、任意ビット列を情報ビット列に対して独立的に生成し、パリティビットの生成時、任意ビットが共に影響を及ぼすようにすることによってターボ符号の信頼性を高めることができる。

10

【図面の簡単な説明】

【0012】

【図1】通信システムを示したブロック図である。

【図2】本発明の一実施例による符号化装置を示したブロック図である。

【図3】本発明の他の実施例による符号化装置を示したブロック図である。

【図4】本発明のもう一つの実施例による符号化装置を示したブロック図である。

【図5】本発明の一実施例による復号化装置を示したブロック図である。

【図6】受信組織ビット列に挿入される任意ビット列を示した例示図である。

【図7】本発明と従来技術のシミュレーション結果を比較したグラフである。

20

【図8】本発明のもう一つの実施例による符号化装置を示したブロック図である。

【発明を実施するための形態】

【0013】

以下、添付図面を参照して本発明の望ましい実施例を詳細に説明する。明細書全体にわたって同じ参照番号は同じ構成要素を示す。

【0014】

図1は、通信システムを示したブロック図である。通信システムは、音声、パケットデータなどのような多様な通信サービスを提供するために広く配置される(deploy)。この技術は、ダウンリンク(downlink)またはアップリンク(uplink)に使われることができる。ダウンリンクは、基地局(basestation; BS)から端末機(mobilestation; MS)への通信を意味して、アップリンクは、端末機から基地局への通信を意味する。基地局は、一般的に端末機と通信する固定された地点(fixed station)をいい、ノードB(node-B)、BTS(base transceiver system)、アクセスポイント(access point)等、他の用語(terminology)とも呼ばれることができる。端末機は、固定されたり移動性を有することができ、UE(user equipment)、UT(user terminal)、SS(subscriber station)、無線機器(Wireless device)等、他の用語とも呼ばれることができる。

30

【0015】

図1を参照すると、通信システムは伝送器(transmitter; 100)と受信器(receiver; 200)を含む。ダウンリンクで、伝送器(100)は基地局の一部分(part)であってもよく、受信器(200)は端末機の一部分であってもよい。アップリンクで、伝送器(100)は端末機の一部分であってもよく、受信器(200)は基地局の一部分であってもよい。基地局は多数の受信器と多数の伝送器を含むことができる。端末機は多数の受信器と多数の伝送器を含むことができる。

40

【0016】

伝送器(100)は、CRCインコーダ(110)、チャネルインコーダ(channel encoder; 120)、変調器(modulator; 130)及び伝送回路(transmit circuitry; 140)を含む。

【0017】

CRCインコーダ(110)は、入力されるデータにエラー検出のためのCRC(cyclic redundancy check)ビットを追加する。入力データは、テキスト、音声、映像またはそ

50

の他データを含むことができる。

【0018】

チャンネルインコーダ(120)は、入力されるデータを、決まったコーディング方式によってインコーディングして符号化データ(coded bit)を形成する。チャンネルインコーダ(120)は、ターボ符号を用いた符号化装置であり、これに関しては図2を参照して後述する。

【0019】

変調器(130)は、各符号化されたデータを、決まった変調方式(modulation scheme)によって変調する。変調方式には制限がなく、m-P S K(m-quadrature phase shift keying)またはm-Q A M(m-quadrature amplitude modulation)を使用することができる。例えば、m-P S Kは、B P S K、Q P S Kまたは8-P S Kであってもよい。m-Q A Mは、16-Q A M、64-Q A Mまたは256-Q A Mであってもよい。

【0020】

伝送回路(140)は、変調されたデジタルデータをアナログ信号に変換してアンテナ(190)を介して一つまたはその以上の受信器(200)に伝送する。

【0021】

一方、受信器(200)は、受信回路(receive circuitry; 210)、復調器(demodulator; 220)、チャンネルデコーダ(230)及びCRCデコーダ(240)を含む。受信回路(210)は、アンテナ(290)で受信されたアナログ信号をデジタル信号に変換する。復調器(220)は、デジタル信号を復調して、チャンネルデコーダ(230)は、復調されたデジタル信号を、決まったデコーディング方式によってデコーディングする。チャンネルデコーダ(230)は、ターボ符号を用いた復号化装置であり、これに関しては図5を参照して後述する。CRCデコーダ(240)はデコーディングされたデータにエラーが検出されるか否かを確認する。

【0022】

エラーが検出される場合、受信器(200)は伝送器(100)にデータの再伝送を要求することができる。伝送器(100)は、再伝送要請によってデータを再伝送し、受信器(200)は、再伝送されたデータを用いて、再びエラー検出の如何を確認する。これを複合自動再伝送(hybrid automatic repeat request)という。複合自動再伝送のために受信器(200)には伝送回路(未図示)をさらに含むことができ、伝送器(100)には受信回路(未図示)をさらに含むことができる。

【0023】

受信器(200)はC Q I(channel quality indicator)を伝送器(100)に帰還させることができる。受信器(200)はC Q Iを介してチャンネル状態を伝送器(100)に帰還させ、伝送器(100)はチャンネル状態によって変調及びコーディング方式を適応的に変えることができる。これを適応的変調及びコーディング方式(adaptive modulation and coding scheme)という。適応的変調及びコーディング方式のために受信器(200)には伝送回路(未図示)をさらに含むことができ、伝送器(100)には受信回路(未図示)をさらに含むことができる。

【0024】

上記では一つの伝送アンテナと一つの受信アンテナを有するシングル入力シングル出力(single-input single-output; S I S O)に対して説明しているが、本発明の技術的思想は、多数の伝送アンテナと一つの受信アンテナを有する多重入力多重出力(multiple-input multiple-output; M I M O)システムにもそのまま適用することができる。

【0025】

以下ではターボ符号の符号化及び復号化技法に対して説明する。以下、情報ビットは符号化されないデータをいい、符号化ビットは符号化されたデータをいう。

【0026】

図2は、本発明の一実施例による符号化装置を示したブロック図である。

【0027】

図2を参照すると、符号化装置(300)は、任意ビット発生器(temporary bit generator; 310)、インターリーバ(interleaver; 320)、第1の構成符号器(first constituent encoder; 330)、第2の構成符号器(340)及び多重化器(multiplexer; 350)を含む。

【0028】

任意ビット発生器(310)は、情報ビット列(information bit stream)のような長さを有する任意ビット列を発生させる。任意ビット発生器(310)は情報ビット列と独立的に任意ビット列を生成する。任意ビットは、符号化装置と復号化装置の両者に全て知られているものであり、その生成する規則や順序には制限がない。例えば、任意ビット発生器(310)は、その値が‘0’である任意ビットを反復的に発生させることができる。また  
10 任意ビット発生器(310)は、その値が‘1’である任意ビットを反復的に発生させることができる。任意ビット発生器(310)は、その値が‘01’である任意ビット列を反復的に発生させることができる。

【0029】

情報ビット列は多重化器(350)に入力される組織ビット列(systematic bit stream; X)となる。任意ビット発生器(310)で生成される任意ビット列は、組織ビット列に含まなくてもよい。任意ビット列は、符号化装置と復号化装置が予め約束したビット列であるため、任意ビット列を伝送する必要がないためである。

【0030】

任意ビット列を組織ビット列に含まれないようにするために多様な方式が可能である。  
20 例えば、任意ビット発生器(310)の出力が多重化器(350)の入力と連結されないようにすることができる。または任意ビット発生器(310)の出力と多重化器(350)の入力が連結されても多重化器(350)で任意ビット列を穿孔して除去することができる。別途の任意ビット除去器(未図示)を、任意ビット発生器(310)と多重化器(350)の間に配置することもできる。

【0031】

インターリーバ(320)は、入力される情報ビット列と任意ビット列を、任意にまたは決まった規則によってインターリーピングする。インターリーバ(320)は一般的な非二進ターボ符号のインターリーバをそのまま使用することができる。インターリーバ(320)は情報ビット列と独立的に任意ビット列の入力を受け  
30 ることができる。即ち、インターリーバ(320)の第1の入力で情報ビット列が入力されて第2の入力で任意ビット列が入力される。

【0032】

第1の構成符号器(330)は、情報ビット列と任意ビット列を符号化して第1のパリティビット列(Y1)を生成する。第1の構成符号器(330)は、情報ビット列と独立的に任意ビット列の入力を受け  
40 ることができる。第2の構成符号器(340)は、インターリーバ(320)に出力される一対のビット列を符号化して第2のパリティビット列(Y2)を生成する。第1の構成符号器(330)と第2の構成符号器(340)は、お互いに同じ構造の二重二進再帰的組織型畳み込み符号(duo-binary recursive systematic convolution code)であってもよい。

【0033】

上記で第1の構成符号器(330)と第2の構成符号器(340)で提供する第1のパリティビット列(Y1)と第2のパリティビット列(Y2)は各々一つであるが、第1の構成符号器(330)または第2の構成符号器(340)で提供するパリティビット列の数は制限がなく、二つ以上のパリティビット列を生成することができる。

【0034】

多重化器(350)は、組織ビット、第1のパリティビット及び第2のパリティビットを多重化する。即ち、多重化器(350)は、組織ビット列(X)、第1のパリティビット列(Y1)及び第2のパリティビット列(Y2)の入力を受けて単位時間ごとに直列形態の符号化ビット列を生成する。多重化器(350)は所望の符号率によって入力されるパリティビ  
50

ットを穿孔(puncture)することができる。

【0035】

上記のように構成された符号化装置(300)の動作を以下で説明する。

【0036】

任意ビット発生器(310)は情報ビット列と長さが同じである任意ビット列を生成する。情報ビット列は組織ビット列(X)となり、またインターリーブ(320)と第1の構成符号器(330)に各々入力される。任意ビット列は情報ビット列と独立的にインターリーブ(320)と第1の構成符号器(330)に各々入力される。即ち、情報ビット列と任意ビット列は各々1ビットずつ順序に第1の構成符号器(330)とインターリーブ(320)に入力される。

10

【0037】

第1の構成符号器(330)は、情報ビット列と任意ビット列の入力を受けて一つの第1のパリティビット列(Y1)を出力する。また、情報ビット列と任意ビット列はインターリーブ(320)を経て第2の構成符号器(340)に入力され、第2の構成符号器(340)は一つの第2のパリティビット列(Y2)を出力する。多重化器(350)は組織ビット列(X)、第1のパリティビット列(Y1)及び第2のパリティビット列(Y2)の入力を受けて符号化ビット列を出力する。

【0038】

上記のように構成された符号化装置(300)によると、一つの情報ビットに対して組織ビット(X)は1ビットである。また、第1のパリティビット列(Y1)は、一つの情報ビットと一つの任意ビットに対して一つのビットで構成され、第2のパリティビット列(Y2)も一つのビットで構成される。従って、情報ビット列の長さをnとする時、組織ビット列(X)、第1のパリティビット列(Y1)及び第2のパリティビット列(Y2)を合わせた符号化ビット列の長さは3nとなる。従って、符号率(code rate)は1/3となる。

20

【0039】

ただし、符号率は穿孔を通したり多数のパリティビット列を生成することによって変わることができる。例えば、多重化器(350)で第2のパリティビット列(Y2)を穿孔する場合、符号率は1/2となる。または第1の構成符号器(330)で二つの第1のパリティビット列(Y1、W1)を生成して、第2の構成符号器(340)で二つの第2のパリティビット列(Y2、W2)を生成すると、符号率は1/5となる。

30

【0040】

本発明によると、任意ビット列が情報ビット列と独立的に生成されてインターリーブ(320)と第1の構成符号器(330)に入力される。インターリーブ(320)のインターリーブ方式に従って、効率的な臨時ビット列を選択することによってインターリーブゲインを高めることができる。また、構成符号器(330、340)でパリティビットを生成する時、任意ビットが共に影響を及ぼすようにすることによってターボ符号の信頼性を高めることができる。任意ビット列は予め約束されたシークエンスでチャネル状態に影響を受けないためである。

【0041】

図3は、本発明の他の実施例による符号化装置を示したブロック図である。

40

【0042】

図3を参照すると、符号化装置(400)は、任意ビット発生器(410)、インターリーブ(420)、第1の構成符号器(430)及び第2の構成符号器(440)を含む。図3の実施例は、図2の第1の構成符号器(330)と第2の構成符号器(340)を具現した実施例を示す。任意ビット発生器(410)とインターリーブ(420)は、図2の任意ビット発生器(310)、インターリーブ(320)と各々同一である。

【0043】

第1の構成符号器(430)は、情報ビット列と任意ビット発生器(410)により生成された任意ビット列を予め定義されたコードで符号化して第1のパリティビット列(Y1)を出力する。第1の構成符号器(430)は直列連結される三つの遅延器(delay; 433a、

50

4 3 3 b、4 3 3 c)と四つのモジュロ-2 加算器(modulo-2adder ; 4 3 6 a、4 3 6 b、4 3 6 c、4 3 6 d)を含む。

【0044】

初期に各遅延器(4 3 3 a、4 3 3 b、4 3 3 c)の状態は‘0’である。情報ビット列と任意ビット列が入力されると、第1のモジュロ-2 加算器(4 3 6 a)は、情報ビット、任意ビット、第1の遅延器(4 3 3 a)の出力ビット及び第3の遅延器(4 3 3 c)の出力ビットに対してモジュロ-2 加算を遂行し、その結果を第1の遅延器(4 3 3 a)に提供する。第2のモジュロ-2 加算器(4 3 6 b)は、第1の遅延器(4 3 3 a)の出力ビットと任意ビットに対してモジュロ-2 加算を遂行し、その結果を第2の遅延器(4 3 3 b)に提供する。第3のモジュロ-2 加算器(4 3 6 c)は、第2の遅延器(4 3 3 b)の出力ビットと任意ビットに対してモジュロ-2 加算を遂行し、その結果を第3の遅延器(4 3 3 c)に提供する。第4のモジュロ-2 加算器(4 3 6 d)は、第1のモジュロ-2 加算器(4 3 6 a)の出力ビット、第2の遅延器(4 3 3 b)の出力ビット及び第3の遅延器(4 3 3 c)の出力ビットに対してモジュロ-2 加算を遂行する。第4のモジュロ-2 加算器(4 3 6 d)の出力が第1のパリティビットとなる。従って、第1のパリティビットに対する多項式(polynomia)は  $1 + D^2 + D^3$  である。

10

【0045】

第2の構成符号器(4 4 0)はインターリーブされた二つのビット列を予め定義されたコードで符号化して第2のパリティビット列(Y 2)を出力する。第2の構成符号器(4 4 0)は、直列連結される三つの遅延器(4 4 3 a、4 4 3 b、4 4 3 c)と四つのモジュロ-2 加算器(4 4 6 a、4 4 6 b、4 4 6 c、4 4 6 d)を含む。第2の構成符号器(4 4 0)の動作は第1の構成符号器(4 3 0)の動作と同一である。従って、第2のパリティビットに対する多項式(polynomia)は  $1 + D^2 + D^3$  である。

20

【0046】

図4は、本発明のもう一つの実施例による符号化装置を示したブロック図である。

【0047】

図4を参照すると、符号化装置(5 0 0)は、任意ビット発生器(5 1 0)、インターリーブ(5 2 0)、第1の構成符号器(5 3 0)及び第2の構成符号器(5 4 0)を含む。符号化装置(5 0 0)は、図3の符号化装置(5 0 0)と比較する時、第1の構成符号器(5 3 0)と第2の構成符号器(5 4 0)が各々二つのパリティビット列を出力する点で差がある。

30

【0048】

第1の構成符号器(5 3 0)は二つの第1のパリティビット列(Y 1、W 1)を出力する。第1のパリティビット列の最初ビット列(Y 1)の多項式は  $1 + D^2 + D^3$  である。モジュロ-2 加算器(5 3 6 e)は、第1のモジュロ-2 加算器(5 3 6 a)の出力ビットと第3の遅延器(5 3 3 c)の出力ビットに対してモジュロ-2 加算を遂行する。従って、第1のパリティビット列の2番目のビット列(W 1)の多項式は  $1 + D^3$  である。

【0049】

第2の構成符号器(5 4 0)は二つの第2のパリティビット列(Y 2、W 2)を出力する。第2のパリティビット列の最初ビット列(Y 2)の多項式は  $1 + D^2 + D^3$  である。また、第2のパリティビット列の2番目のビット列(W 2)の多項式は  $1 + D^3$  である。

40

【0050】

一つの情報ビット列(X)に対し四つのパリティビット列が生成されるため、コード率は  $1/5$  となる。

【0051】

図5は、本発明の一実施例による復号化装置を示したブロック図である。

【0052】

図5を参照すると、復号化装置(6 0 0)は、任意ビット挿入器(6 1 0)、ターボデコーダ(6 3 0)及び任意ビット除去器(6 5 0)を含む。復号化装置(6 0 0)の入力は、受信された信号を復調して検出した受信組織ビット、受信第1のパリティビット、受信第2のパリティビットである。受信組織ビットは符号化装置(3 0 0)で出力した組織ビットに対応

50

して、受信第 1 のパリティビットは符号化装置(300)で出力した第 1 のパリティビットに対応して、受信第 2 のパリティビットは符号化装置(300)で出力した第 2 のパリティビットに対応する。

【0053】

ここで、復号化装置(600)に入力される値は全てチャネルから受信されたビットに対する軟値(soft value)である。即ち、受信組織ビットはチャネルから受信された組織ビットに対する軟値を意味して、受信第 1 のパリティビットはチャネルから受信された第 1 のパリティビットに対する軟値を意味して、受信第 2 のパリティビットはチャネルから受信された第 2 のパリティビットの軟値を意味する。

【0054】

任意ビット挿入器(610)は受信組織ビット列に任意ビット列を挿入する。任意ビット挿入される任意ビット列は、符号化装置(300)の任意ビット発生器(310)で生成する任意ビット列と同一である。挿入される値は任意ビットの軟値である。任意ビット列が挿入されたビット列を復号化ビット列という。

【0055】

ターボデコーダ(630)は、二つの構成復号器(631、632)、二つのインターリーバ(633、634)及びデインターリーバ(635)を含む。

【0056】

反復方式で動作する一般的なターボ符号デコーダである。第 1 の構成復号器(631)と第 2 の構成復号器(632)は、符号化装置(300)の第 1 の構成符号器(330)と第 2 の構成符号器(340)に対応する。第 1 の構成復号器(631)は、入力される復号化ビット列と受信第 1 のパリティビット列を操作して各データビットが 1 または 0 となる確率の推定を生成する。この推定は、受信第 2 のパリティビット列及びインターリービングされた復号化ビット列と共に第 2 の構成復号器(632)に入力される。上記過程は、与えられた反復回数や設定された BER(bit error rate)を満たす時まで繰り返される。反復が完了した後に判定(hard decision; 636)で軟値をハード判定(hard decision)してビットデータを出力する。

【0057】

任意ビット除去器(650)はターボデコーダ(630)で出力されるビットデータ列で任意ビット列を除去する。任意ビットが除去されると元来の情報ビットが復元される。

【0058】

上記構成復号器(631、632)はMAP(maximum A-posteriori Probability)アルゴリズムを適用することができる。MAPはビタビ(Viterbi)アルゴリズムのようなトレリス(trellis)復号アルゴリズムである。MAPアルゴリズムをログ領域で遂行する場合、log-MAPアルゴリズムという。

【0059】

符号化装置(300)でチャネルに伝送される符号化ビット列の長さは $3n$ である。然しながら、復号化装置(600)で復号される復号化ビット列の長さは任意ビット列 $n$ が追加されて $4n$ となる。符号率の変化なしに復号化ビット列の長さをより長くしてターボ符号の性能を高めることができる。

【0060】

図 6 は、受信組織ビット列に挿入される任意ビット列を示した例示図である。

【0061】

図 6 を参照すると、任意ビット列を受信組織ビット列に挿入する時、任意ビット列は高い信頼度を有するようにする。図面には一定の大きさを有する任意ビット列を示しているが、これは制限でなく、任意ビット列の大きさは変わることができる。

【0062】

例えば、任意ビット列の軟値は、受信組織ビット列の軟値の最大値より大きくすることができる。または任意ビット列の軟値は受信組織ビット列の平均値で 1 倍以上さらに大きくすることができる。

10

20

30

40

50

## 【 0 0 6 3 】

高い信頼度を有するように任意ビット列を挿入して誤った経路によって選択されることができ、尤度(likelihood)を制限することができ、信頼性のある復号が可能である。

## 【 0 0 6 4 】

図7は、本発明と従来技術のシミュレーション結果を比較したグラフである。情報ビットの長さを480ビットにして、AWGN(Additive White Gaussian Noise)チャネル環境でBPSK変調と8番の反復復号、log-MAPアルゴリズムを使用する。従来技術では符号率1/3である一般的な二重二進ターボ符号(duo-binary turbo code)を使用した。

## 【 0 0 6 5 】

図7を参照すると、本発明が従来技術に比べてFER(frame error rate)面で向上されることが分かる。

## 【 0 0 6 6 】

図8は、本発明のもう一つの実施例による符号化装置を示したブロック図である。

## 【 0 0 6 7 】

図8を参照すると、符号化装置(700)は、任意ビット発生器(710)、インターリーブ(720)、第1の構成符号器(730)、第2の構成符号器(740)及び多重化器(750)を含む。符号化装置(700)が、図2の符号化装置(300)との差異点は、情報ビットが一度に2ビットずつ入力される点である。

## 【 0 0 6 8 】

第1の構成符号器(730)は、二つの情報ビット列と任意ビット列を符号化して二つの第1のパリティビット列(Y1、W1)を生成する。第2の構成符号器(740)は、インターリーブ(520)に出力される三つのビット列を符号化して二つの第2のパリティビット列(Y2、W2)を生成する。第1の構成符号器(730)と第2の構成符号器(740)は、お互いに同じ構造の三重二進再帰的組織型畳み込み符号(triple-binary recursive system convolution code)であってもよい。

## 【 0 0 6 9 】

多重化器(350)は、組織ビット列(A、B)、第1のパリティビット列(Y1、W1)及び第2のパリティビット列(Y2、W2)の入力を受けて単位時間ごとに直列形態の符号化ビット列を生成する。

## 【 0 0 7 0 】

上記のように構成された符号化装置(500)によると、情報ビット列の長さを2nとする時、組織ビット列(A、B)、第1のパリティビット列(Y1、W1)及び第2のパリティビット列(Y2、W2)を合わせた符号化ビット列の長さは6nとなる。従って、符号率は1/3となる。

## 【 0 0 7 1 】

または第1の構成符号器(730)と第2の構成符号器(740)が各々一つのパリティビット列を生成する場合、符号率は1/2となる。

## 【 0 0 7 2 】

上記では二つの情報ビットを並列に入力を受けることに関して説明しているが、符号化装置はm(m>1)個の情報ビットを並列に入力を受けることができる。また、任意ビット発生器も一つでないk(k>1)個を配置することができる。この時、構成符号器は(m+k)-二進再帰的組織型畳み込み符号((m+k)-binary recursive systematic convolution code)であってもよい。

## 【 0 0 7 3 】

上述した実施例は、通信システムに適用した例を示しているが、本発明はターボ符号が使われる他のシステムにも適用することができる。例えば、CD、DVD、マグネチックテープなどの記録媒体でデータを記録する記録装置や、データが記録された記録媒体からデータを再生する再生装置に適用されることができる。

## 【 符号の説明 】

10

20

30

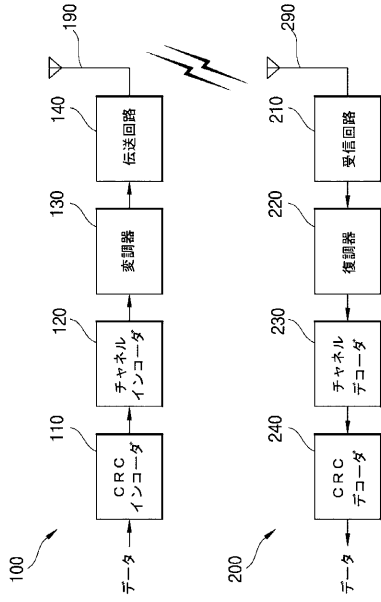
40

50

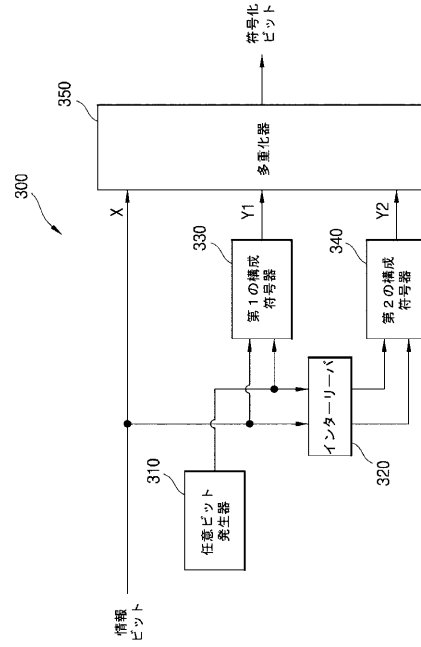
## 【 0 0 7 4 】

1 0 0	伝送器	
1 1 0	C R C インコーダ	
1 2 0	チャンネルインコーダ	
1 3 0	変調器	
1 4 0	伝送回路	
1 9 0、2 9 0	アンテナ	
2 0 0	受信器	
2 1 0	受信回路	
2 2 0	復調器	10
2 3 0	チャンネルデコーダ	
3 0 0、4 0 0、5 0 0、7 0 0	符号化装置	
3 1 0、4 1 0、5 1 0、7 1 0	任意ビット発生器	
3 2 0、4 2 0、5 2 0、7 2 0	インターリーバ	
3 3 0、4 3 0、5 3 0、7 3 0	第 1 の構成符号器	
3 4 0、4 4 0、5 4 0、7 4 0	第 2 の構成符号器	
3 5 0、7 5 0	多重化器	
4 3 3 a、4 3 3 b、4 3 3 c、4 4 3 a、4 4 3 b、4 4 3 c	遅延器	
4 3 6 a、4 3 6 b、4 3 6 c、4 3 6 d、4 4 6 a、4 4 6 b、4 4 6 c、4 4 6 d		
、モジュロ-2 加算器		20
Y 1、W 1	第 1 のパリティビット列	
Y 2、W 2	第 2 のパリティビット列	
6 0 0	復号化装置	
6 1 0	任意ビット挿入器	
6 3 0	ターボデコーダ	
6 5 0	任意ビット除去器	
6 3 1、6 3 2	構成復号器	
6 3 3、6 3 4	インターリーバ	
6 3 5	デインターリーバ	
6 5 0	任意ビット除去器	30

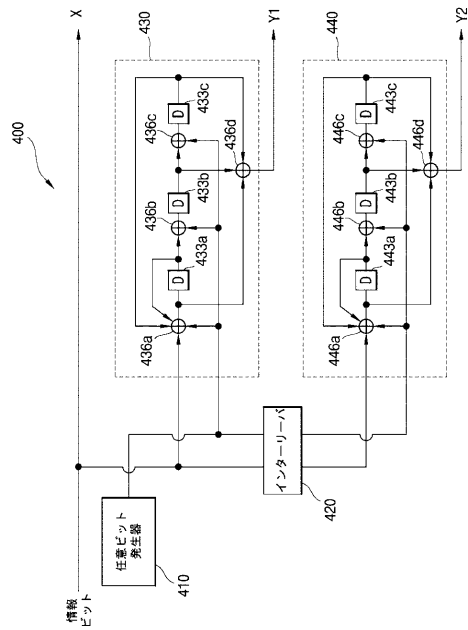
【図 1】



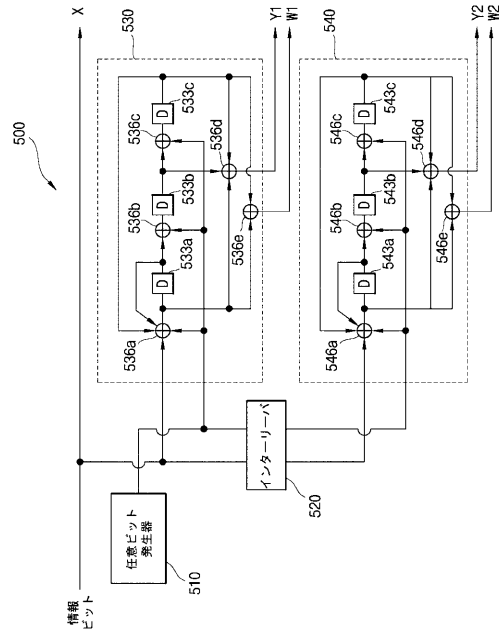
【図 2】



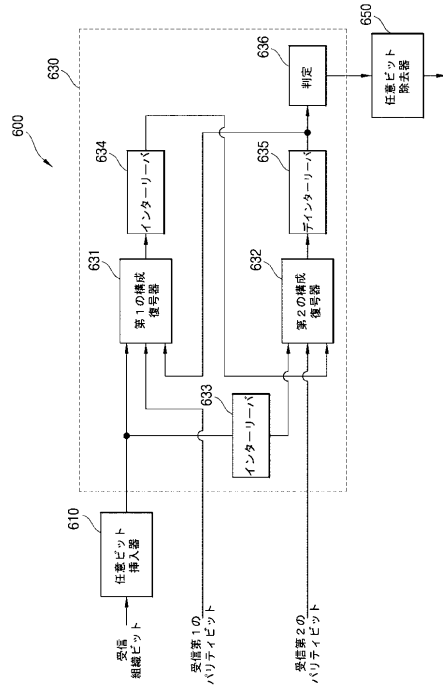
【図 3】



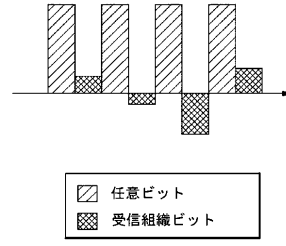
【図 4】



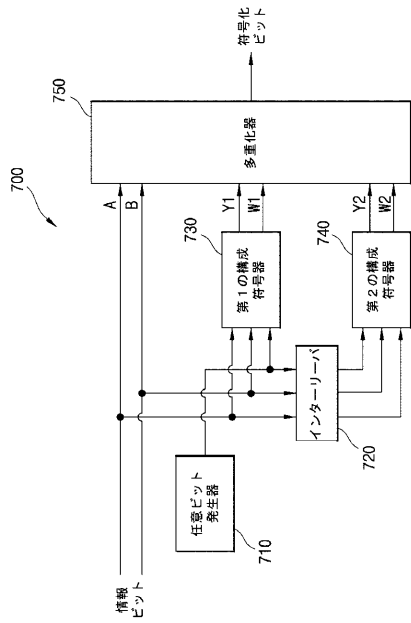
【図5】



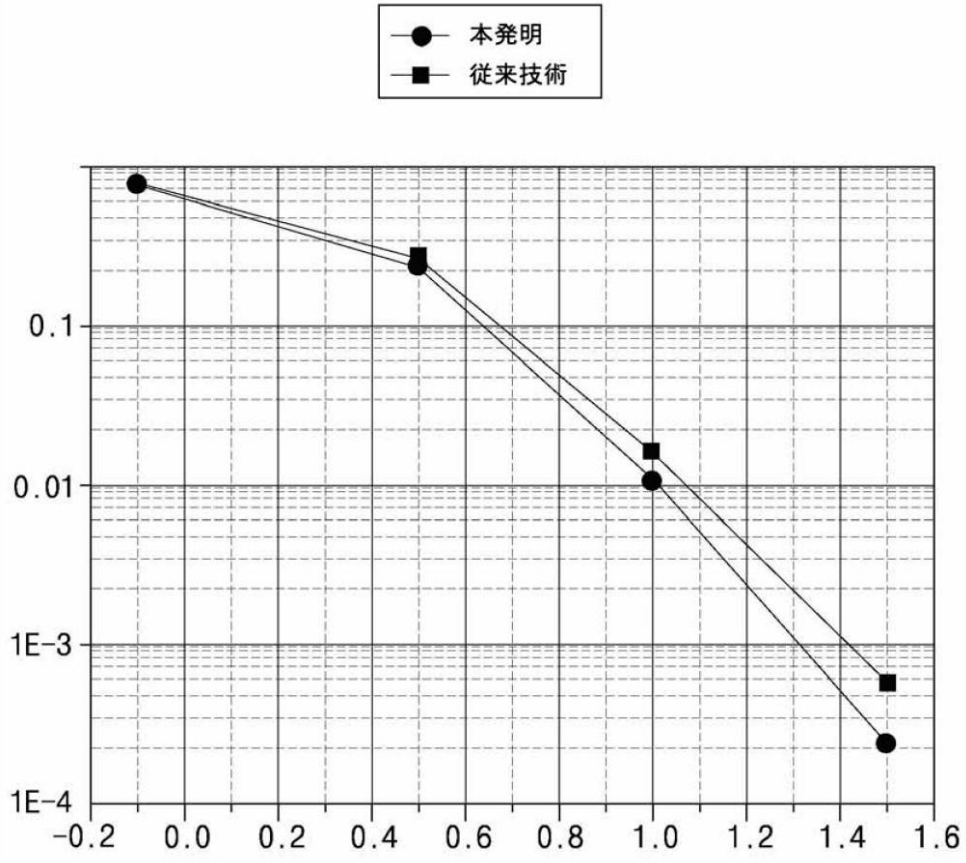
【図6】



【図8】



【図7】



## フロントページの続き

- (72)発明者 カン, スン ヒョン  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス
- (72)発明者 オー, ミン ソク  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス
- (72)発明者 チョー, キ ヒョン  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス
- (72)発明者 チョイ, チン ソ  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス
- (72)発明者 チャン, チェ ホン  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス
- (72)発明者 パク, ヒュン ホ  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス
- (72)発明者 チャン, チ ウク  
大韓民国 431-749 キョンギ-ド, アニャン-シ, ドンガン-ク, ホゲ 1-ドン  
, 533, エルジー アール アンド ディー コンプレックス

審査官 岡 裕之

- (56)参考文献 特開2002-164795(JP,A)  
特表2002-522943(JP,A)  
国際公開第2005/069493(WO,A1)  
国際公開第2007/020677(WO,A1)  
Yi Zheng, et al., Pilot Assisted SOVA Decoding for Turbo Codes, Proceedings of the 2004 IEEE Wireless Communications and Networking Conference 2004. WCNC., 2004年 3月 21日, Vol.4, pp.2285-2289  
Claude Berrou, et al., The Advantages of Non-Binary Turbo Codes, Proceedings of the Information Theory Workshop, 2001, 2001年 9月 2日, pp.61-63  
宮崎 俊治 外2名, ダミービット挿入によるターボ符号の提案, 2005年電子情報通信学会通信ソサイエティ大会講演論文集1, 2005年 9月 7日, p.407, B-5-7

- (58)調査した分野(Int.Cl., DB名)  
H03M 13/29  
IEEE Xplore  
Cinii