

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/00

G11C 11/34 H01L 21/66

G01R 31/28



[12] 发明专利申请公开说明书

[21] 申请号 02156147.8

[43] 公开日 2003 年 6 月 18 日

[11] 公开号 CN 1424760A

[22] 申请日 2002.12.10 [21] 申请号 02156147.8

[30] 优先权

[32] 2001.12.10 [33] US [31] 10/006723

[71] 申请人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 J·R·小易通

[74] 专利代理机构 中国专利代理(香港)有限公司

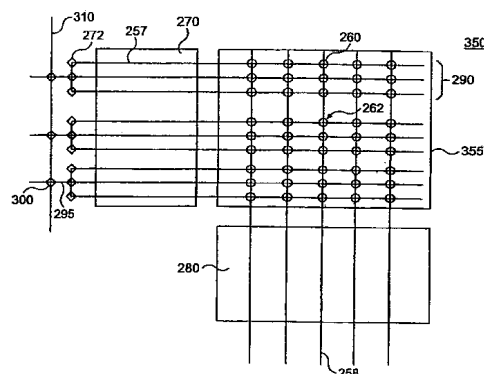
代理人 杨 凯 张志醒

权利要求书 2 页 说明书 9 页 附图 7 页

[54] 发明名称 消除二极管间相互影响的检测方法和装置

[57] 摘要

连接交叉点存储器阵列(25)中读出电流线的一种方法和装置,它大大减小了来自未被寻址的行或列线(257, 258)的反向漏电流的影响。分开的各读出线段(295)连接到行或列线(257, 258)的分开的各条带(290)上。每个读出线段(295)连接到一个读出二极管(300),而每个读出二极管(300)连接到读出总线(310)。每个读出二极管(300)为在一条选中的行线或列线(257, 258)上的检测提供电流通路,而对未被寻址的行线或列线(257, 258)每个读出线段(295)只允许一个二极管(300)的漏电流通过。这种布局的结果是对交叉点存储器阵列中数据单元状态的检测具有更宽的裕度且存储器阵列(25)的电路设计更为简单。



ISSN 1008-4274

1. 一种存储器存储装置，它包括：

交叉点存储器阵列(25)，其中，该交叉点存储器阵列(25)包括在
5 多个交叉点相交的第一(257)和第二(258)组横置电极；

在每个交叉点的存储器元件(26)，每个所述存储器元件(26)都可在高阻抗状态和低阻抗状态之间转换；

连接到所述第一(257)和第二(258)组横置电极的地址解码电路(270, 280)；

10 连接到所述第一组(257)横置电极的条带电路(290)，其中，把所述第一组(257)横置电极的各电极组合以形成一组条带(290)；

多个读出线段(295)，其中，每个所述读出线段(295)通过二极管(300)连接到单独的条带(290)；以及

连接到每个所述二极管(300)的读出总线(310)。

15 2. 如权利要求1所述的存储器存储装置，其特征在于：可以采用以通过所述存储器元件(26)的预定电流密度的形式施加写入信号的方法使所述存储器元件(26)在低阻抗状态和高阻抗状态之间转换。

3. 如权利要求1所述的存储器存储装置，其特征在于：所述地址解码电路(270, 280)包括第一和第二组输入线，用于分别对所述第一
20 (257)和第二(258)组横置电极寻址。

4. 如权利要求1所述的存储器存储装置，其特征在于：所述存储器元件(26)包括二极管(66)和熔丝元件(64)，所述熔丝元件(64)可以从导电状态转换为非导电状态。

5. 如权利要求1所述的存储器存储装置，其特征在于：存储器元
25 件(26)包括二极管(66)和抗熔丝元件，所述抗熔丝元件可以从非导电状态转换为导电状态。

6. 如权利要求1所述的存储器存储装置，其特征在于：所述存储器元件(26)包括两层导电材料和所述两层导电材料之间的一层或多层

半导体材料。

7. 如权利要求 1 所述的存储器存储装置，其特征在于：所述交叉点存储器阵列 (25) 是在介质衬底材料上形成的。

8. 如权利要求 7 所述的存储器存储装置，其特征在于：所述介质衬底材料包括以下的材料之一，即，聚合物材料和其上具有介质材料复层的金属薄膜之一。

9. 一种用于对存储器存储装置中存储器元件 (26) 的状态进行检测的方法，它包括：

(a) 将条带电路 (290) 连接到第一组横置电极 (257)，在将所述第一组横置电极 (257) 的各电极组合以形成一组条带 (290)；

(b) 产生沿对应于所述存储器元件 (26) 的选中电极的电流；以及

(c) 检测所述电流是否流过所述选中电极。

10. 如权利要求 9 所述的方法，其特征在于所述连接步骤包括：

将多个读出线段 (295) 连接到所述一组条带 (290) 上，其中，每个所述读出线段 (295) 通过二极管 (300) 连接到单独的条带 (290)；以及将读出总线 (310) 连接到每个二极管 (300)。

消除二极管间相互影响的检测方法和装置

5 技术领域

本发明涉及数字存储器阵列，具体地说，涉及在数字存储器阵列中检测数据单元状态的方法和装置。

背景技术

10 许多消费类装置目前都构建成能产生和/或使用大量数字数据。例如用于静态或动态图像的便携式数字相机会产生大量的代表图像的数字数据。每个数字图像可能需要数兆字节的数据存储，而这种存储一般都必须在相机内实现。

15 包括交叉点存储器阵列的数据存储装置是可应用于诸如数字相机等便携式装置的一种存储形式。多个存储器阵列可以堆叠或层叠为一个存储模块，提供价廉而高容量的数据存储。存储器模块可以用于档案库存储系统中，在这种系统中存储器模块提供可以安装在电器或接口卡中的一次性写入数据存储器。

20 交叉点存储器阵列包括多组横置电极 (transverse electrodes)，也称为行线和列线，而存储器元件则形成在电极的每个交叉点处。以预定电流密度的形式施加写入信号通过存储器元件，每个存储器元件就可以在低阻抗状态和高阻抗状态 (代表二进制数据状态) 之间转换。每个行线和列线连接到能检测或读出对应于该行线或列线的存储器元件状态的读出二极管。单一读出线扫描所有行线和列线并从除连接到已寻址的行线或列线的单一读出二极管之外的
25 所有读出二极管拉出漏电流。漏电流的流动方向与读出电流相反，而且比读出电流可能大许多倍。所以，漏电流可能会掩盖读出电流，要精确地检测已寻址的存储器元件的状态就很困难。

因此，需要有一种可以减小漏电流对读出电流的影响从而可以更容易地检测读出电流的用于检测交叉点存储器阵列中数据单元状态的方法和装置。

5 发明内容

一种存储器存储装置包括交叉点存储器阵列，后者包括在多个交叉点相交的第一组和第二组横置电极。存储器元件位于每个交叉点处，且每个存储器元件可在低阻抗状态和高阻抗状态之间转换。地址解码电路连接到第一和第二组横置电极。条带电路连接到第一组横置电极，将所述第一组横置电极的各电极组合以形成一组条带。多个读出线段中的每一段通过二极管连接到单独的条带，并且读出总线连接到每个二极管。

一种存储器存储装置包括交叉点存储器阵列，后者包括在多个交叉点相交的第一组和第二组横置电极。存储器元件位于每个交叉点处，且每个存储器元件可在低阻抗状态和高阻抗状态之间转换。地址解码电路连接到第一和第二组横置电极。条带电路连接到第一和第二组横置电极，将所述第一和第二组横置电极的各电极组合以形成第一和第二组条带。多个读出线段中的每一段通过二极管连接到单独的条带。第一读出总线连接到与第一组条带连接的每个二极管，而第二读出总线连接到与第二组条带连接的每个二极管。

用于检测存储器存储装置中存储器元件状态的方法包括将条带电路连接到第一组横置电极的步骤，其中将第一组横置电极的各电极组合以形成一组条带。该方法还包括产生沿对应于存储器元件的选中电极的电流并检测该电流是否在所述选中电极中流动的步骤。

附图说明

以下将参考附图进行详细说明，图中同样的数字指同样的元件，附图中：

图 1 是一次性写入的存储器模块的剖视立体图；

图 2 是一次性写入的存储器模块中各层的分解图；

图 3 是在装配成存储器模块前存储器模块层的简化平面图；

图 4A 是交叉点存储器元件的示意图；

5 图 4B 是图 4A 的局部放大图；

图 5 是一次性写入的存储器阵列的示意图，用以说明其存储器元件；

图 6 是利用二极管感测方法的存储器阵列的电路示意图；

图 7 是利用二极管去耦合感测方法的存储器阵列的电路示意图。

10

具体实施方式

参阅图 1 和图 2，图中示出存储器模块 20 的物理布局。详细地说，图 1 是存储器模块 20 的剖视立体图，而图 2 是存储器模块 20 的数个存储器模块层 22 的分解图。此外，图 3 是存储器模块层 22 的平面图，图解说明其上各组件布局的实例。

15

参阅图 1-3，每一层 22 包括：存储器阵列 25 或者多个阵列或一个阵列的一部分；以及形成在衬底 50 上的多路复用(mux)电路 30。存储器阵列 25 包括存储器元件 26 的矩阵。多路复用电路 30 包括行和列的多路复用电路部分 30a 和 30b，它们分别位于存储器阵列 25 的相应的正交边沿附近。输入/输出(I/O)引线 40 也在制造过程中形成在衬底 50 上。在存储器模块 20 中，行 I/O 引线(40a)从行多路复用电路 30a 延伸到衬底 50 的第一邻近边沿 44a，而列 I/O 引线(40b)从列多路复用电路 30b 延伸到衬底 50 的第二邻近边沿 44b。每条引线 40 终止在各接触盘 42 处，接触盘 42 的一部分暴露在衬底 50 的边沿 44a 和 44b 处。

20

25

许多层 22 以相同取向堆叠(图 2)并层叠在一起(图 1)，形成存储器模块 20。在一个实施例中，存储器模块 20 包括 16 到 32 层。导电接触元件 55(图 1 中以部分剖视图的形式示出)与堆叠层的接触盘

42 的暴露部分电接触。接触元件 55 沿存储器模块 55 的侧边延伸，垂直于各层 22 的平面。每个接触元件 55，如图所示，与该堆叠中的多个层 22 的各接触盘 42 电接触。接触元件 55 可用来将存储器模块 20 连接到存储器系统的其他组件上。

5 每层 22 的衬底 50 可以例如用诸如塑料(例如聚酰亚胺，聚脂)或金属(如不锈钢)等薄的廉价材料制成。可以例如按照金属-半导体-金属(MSM)工艺在衬底 50 上形成存储器阵列 25 和多路复用电路 30。MSM 工艺产生导电金属电路的两个图案层，在这两层之间有一层或多层半导体材料层(可能包含金属和/或介质)。在金属层穿过并接触半
10 导体层的相对侧的地方、在金属层之间形成二极管结。

 有机或无机材料可以用作半导体层。无机材料包括例如非晶硅和锗材料，在光生伏打电池领域中已知这些材料使用在类似的应用场合。无机半导体材料由于能在低温下进行处理(这与塑料衬底上的生产过程更为兼容)而更为可取。例如，聚酰亚胺衬底材料能够耐受
15 高达 300°C 的温度下的加工，而其它可能的衬底材料，例如聚乙烯 naphthalate (PEN) 和聚对酞酸乙二酯(PET)，却限于最高约为 130-150°C 的加工温度。因此，对于既定应用的半导体材料的选择取决于所选的衬底材料。一般来说，能在低于约 150°C 的温度下进行加工的半导体材料可与大多数衬底材料兼容。

20 在存储器模块中可用作半导体层的有机材料包括由 copper(铜) pthalocyanine (CuPc) 和 PTBCI (3, 4, 9, 10-perylenetetracarbonxilic-bis-benzimidazole) 组成的双层。其它可与 CuPc 结合使用的侯选材料有：PTCDA (3, 4, 9, 10-perylenetetracarbonxilic danhydride); 以及 BTQBT [(1, 2, 5-thiadiazolo)-p-quinobis(1, 3-dithiole)]。这些层也可用以下
25 材料制成：TPD (N, N'-diphenyl- N, N'-bis(3-methylphenyl)1-1'-biphenyl-4,4'-diamine); α -NPD (4,4'-bis [N-(1-naphthyl)-N-phenyl-amino] biphenyl); 以及 TPP (5,10,15,20- 四 苯

(tetraphenyl)-21H, 23H-卟吩(porphine))。对于本专业的技术人员来说显然其它材料也可用于存储器模块 20。

在存储器模块 20 的每一层 22 上形成存储器阵列 25。存储器阵列 25 包括行线和列线(或电极)的矩阵, 在每个交叉点、即行/列交叉点有存储器元件 26。存储器阵列 25 可包括例如 8192 条行线和 8192 条列线, 但在存储器阵列 25 中也可使用更多或少些的行线和列线。

图 4A 和 4B 是具有列线 60 和行线 62 的存储器阵列 25 的一部分的示意图。连接在每个列线 60 和行线 62 之间的是存储器元件 26, 图 4B 示出其详图, 这是图 4A 的局部放大图。图中示出, 每个存储器元件 26 包括与二极管 66 串联的熔丝元件 64, 虽然在实际中, 熔丝和二极管的功能可以由同一元件提供。熔丝元件 64 提供存储器元件 26 的实际数据存储效果, 而二极管 66 则便于利用行线 62 和列线 60 对存储器元件 26 寻址, 作数据写入和读出。

存储器阵列的工作如下。制造时, 每个存储器元件 26 具有导通的熔丝元件 64。熔丝元件 64 的导通状态代表一种二进制的状态, 例如数据“0”。为了向存储器阵列 25 写入数据, 就利用行线和列线对拟存储数据“1”的存储器元件 26 寻址, 于是其中的熔丝元件 64 “烧断”, 使熔丝处于非导通状态。熔丝元件 64 的非导通状态代表另一种二进制数据状态, 在此例中为数据“1”。在大多数情况下, 烧断熔丝元件 64 是一次性操作, 这就使存储器成为一次性写入存储器。数据写入操作(例如把数据“1”写入所选的存储器元件)是通过以下方法进行的: 通过所选的行线 62 向所选列线 60 施加预定的电流、足以烧断直接连接所选行线 62 和所选列线 60 的存储器元件 26 的熔丝元件 64。利用列线 60 和行线 62 对存储器元件 26 寻址并检测哪个存储器元件 26 导通(数据“0”), 哪个非导通(数据“1”), 就可从存储器阵列中读出数据。更通常的是, 存储器元件 26 的二进制数据状态是用“导通”电阻和“非导通”电阻的某个比值来区别的。

虽然上述说明是指存储器阵列中制造成低电阻状态然后烧断成

高电阻状态的熔丝元件 64，但是，存储器阵列 25 也可使用以相反方式工作的“抗熔丝”元件。此时，存储器元件 26 制成为高电阻状态，然后烧断，造成短路，形成低电阻。每个存储器元件 26 中的抗熔丝元件也与二极管 66 串联，理由同上。在此情况下二极管 66 和抗熔丝元件是分立的元件，因为在熔丝烧断以后还需要二极管的功能以便利用行线 62 和列线 60 对存储器元件 26 寻址作数据写入和读出。

熔丝(或抗熔丝)元件的电阻在某一临界电流阈值从高电阻状态向低电阻状态(或从低电阻状态向高电阻状态)改变。这种电阻变化可能是很显著的，通常有好几个数量级。存储器元件 26 的面积可以由行线 62 和列线 60 的交叉面积确定，或由刻蚀法限定。熔丝元件 64 和二极管 66 可以由依次淀积在行线 62 和列线 60 之间的多层薄膜形成。可以通过多种方法、例如激光烧蚀、光刻和软光刻将熔丝和二极管层构成图案、以便将各个存储器元件 26 之间的交扰减至最小。

二极管 66 有助于利用列线 60 和行线 62 对存储器元件 26 作唯一寻址以便数据的写入和读出。二极管 66 形成通过每个存储器元件 26 的单向导通通路、使得单一列线 60 和单一行线 62 可用来对单一存储器元件 26 进行唯一寻址。换句话说，形成从一条行线 62 到一条列线的电路就允许电流只通过单一存储器元件 26。采取通过所述电路施加预定的“数据写入”电流方法，可以将存储器元件 26 中的熔丝元件 64 烧断而将数据“0”改为数据“1”。而且，通过检测此电路的电阻，就可以确定存储器熔丝元件 64 是烧断了还是完整无损，这样就可读出数据“1”或数据“0”。

图 5 是交叉点一次性写入二极管存储器阵列的示意图。图 5 示出 8 行 8 列的阵列 70，在阵列 70 的交叉点处有存储器元件 76，每个存储器元件 76 包括二极管和熔丝元件。如果将电压如图所示加在行线 72 和列线 74 上(即所有列线 74 都处于电位 V ，只有一条为 $-V$ ，而所有行线 72 都处于电位 $-V$ ，只有一条为 V)，那么只有一个存储器元件 76 的二极管为正向偏置。在图 5 所示的情况，只有阵列 70 左

上角 90 的存储器元件 76 的二极管是正向偏置的。在阵列 70 的最顶一行和最左一列的二极管上没有偏压，且阵列 70 中存储器元件 76 其余的二极管都是反向偏置的，构成对阵列 70 的寻址方案。

如果电流在行线 72 和列线 74 之间流过，那么，行线 72 和列线 74 的交叉点处的存储器元件 76 的熔丝完整无损（例如，代表数据“0”）。反之，如果在行线 72 和列线 74 之间没有电流流过，那么相应的存储器元件 76 的熔丝已烧断（例如，代表数据“1”）。调节加在阵列 70 的线上的电压大小，就可有更大的电流流过所选存储器元件 76 的二极管。如果电压产生的电流超过了熔丝的阈值电流，熔丝就会烧断，改变存储器元件 76 的状态，这样就构成了写入阵列 70 的方法。

烧断阵列 70 中的熔丝所需要的实际电流（或为达到该电流所加的电压）可以在制造存储器元件 76 时预计和控制。使存储器元件 76 的熔丝烧断的所加电压/电流可以用改变通过存储器元件 76 的电流密度的方法来调节。例如，减少行线和列线交叉点处交叉的截面积就可降低为达到烧断熔丝的临界电流密度而需加的电流/电压。此方案可以用在阵列 70 的设计和制造中，以确保所加电压仅烧断所需的存储器元件 76 的熔丝。

在传统的交叉点存储器阵列中，被寻址的存储器元件的状态由流过读出线的电流达到适当选择的偏置点来确定。为使电流通过读出线，必须满足两个条件：（1）该存储器元件必须被寻址，以及（2）该存储器元件的熔丝必须处于高阻状态。如果二极管未被寻址，则相应的行和/或列的读出二极管就不会正向偏压，也就不会导通电流。所以，如果一条读出线连接到全部行（或列）线，且行和列阵列中有一个存储器元件被寻址，那么该存储器元件的状态就可被明确地确定。

图 6 示出利用上述传统的二极管感测方法的交叉点存储器阵列 255 的电路 250 的示意图。存储器阵列 255 包括 8192 条行线 257 和

8192 条列线 258。图中示出多个存储器元件 260，它们连接到为对存储器阵列进行寻址而制造的各自的行和列的寻址电路 270 和 280 上。电路 250 还包括行读出线 274 和列读出线 284。行读出线 274 通过相应的行读出二极管连接到 8192 条行线中的每一条上。具体地说，每个行读出二极管 272 的正极连接到相应的行线，负极连接到行读出线 274。同理，各个列读出二极管 282 从列读出线 284 连接到存储器阵列的各 8192 条列线上。二极管 282 的负极连接到各列线，而其正极连接到列读出线 284。

在图 6 所示的实例中，当对应于存储器元件 262 的行线 257 和列线 258 被寻址电路 270 和 280 选中时，这个中心存储器元件 262 就被寻址。通过电源装置(未示出)把电压/电流加到行线 257 和列线 258 上。如果存储器元件 262 的熔丝烧断，就没有电流流过存储器元件 262。于是，加在相应行线 257 和相应列线 258 的读出电流就会分别流过相应的读出二极管 272 和 282 以及行和列读出线 274 和 284。如果存储器元件 262 的熔丝完整无损，则读出电流就会流过存储器元件 262，在读出线 274 和 284 中都没有电流流过，无论阵列 255 中其他的存储器元件中的熔丝状态如何。因此，没有读出电流流过对应于被寻址的存储器元件 262 的读出二极管 272 和 282。此寻址方案确保未被选中的存储器元件的对应读出二极管被反向偏置。

图 6 的电路设计在检测被寻址的存储器元件 262 的状态方面有一些困难。8192 条行线中的每一条连接到单独的行读出二极管 272，每个行读出二极管 272 连接到单一行读出线 274。未被寻址的行线的读出二极管如上所述是反向偏置的，只有被寻址的行线的读出二极管为正向偏置的。8191 个反向偏置的读出二极管常会有漏电流进入行读出线 274。所以，由于累积的漏电流的方向与读出电流的方向相反，所以反向漏电流就会大大超过读出电流，检测读出电流就很困难。对于列读出线 284，也存在关于列读出二极管 282 和列线 258 的类似的问题。

图 7 示出用于交叉点存储器阵列 355 的利用二极管去耦检测方法的电路 350 的示意图。图 7 所示的电路在结构上和操作上与图 6 所示的电路相同，但有以下区别。

在图 7 中，行线 257 分成条带 290，每个条带包括 512 条线。因此，存储器阵列 355 中的 8192 条行线被分成 16 个行条带 290。但也可以将多些或少些的线分为一个条带，以使产生的条带数多些或少些。每个行条带 290 连接到单独的读出线段 295。每个行条带 290 的读出线段 295 与其它 15 个行条带 290 的读出线段是电隔离的。行条带中每个行读出二极管 272 与每个读出线段并联。每个读出线段 295 与一个读出二极管 300 串联，行条带 290 的所有读出二极管 300 连接到读出总线 310。应考虑到增加了读出二极管 300 而调节用来在行线 257 上产生电流的电源装置的电压电平。

来自未被寻址的行线 257 的漏电流仅通过 15 个读出二极管 300 流入读出总线 310，而在图 6 所示的传统二极管感测方法中却有 8191 个读出二极管 272。因此减小了漏电流掩盖读出电流的总体效应，从而提供了检测读出电流的更宽的范围。

由于检测读出电流有了更宽的范围，所以就不再需要列线 258 的冗余读出线。这样在设计电路 350 时就有更大的自由度和多方面的适应性。不过，也可同时使用行和列读出线，以进一步改善存储器阵列中的信号检测。

虽然以上结合示范的实施例对本发明作了说明，但是，显然，对于本专业的技术人员来说，许多改动是显而易见的，本申请的意图是覆盖其任何变型。

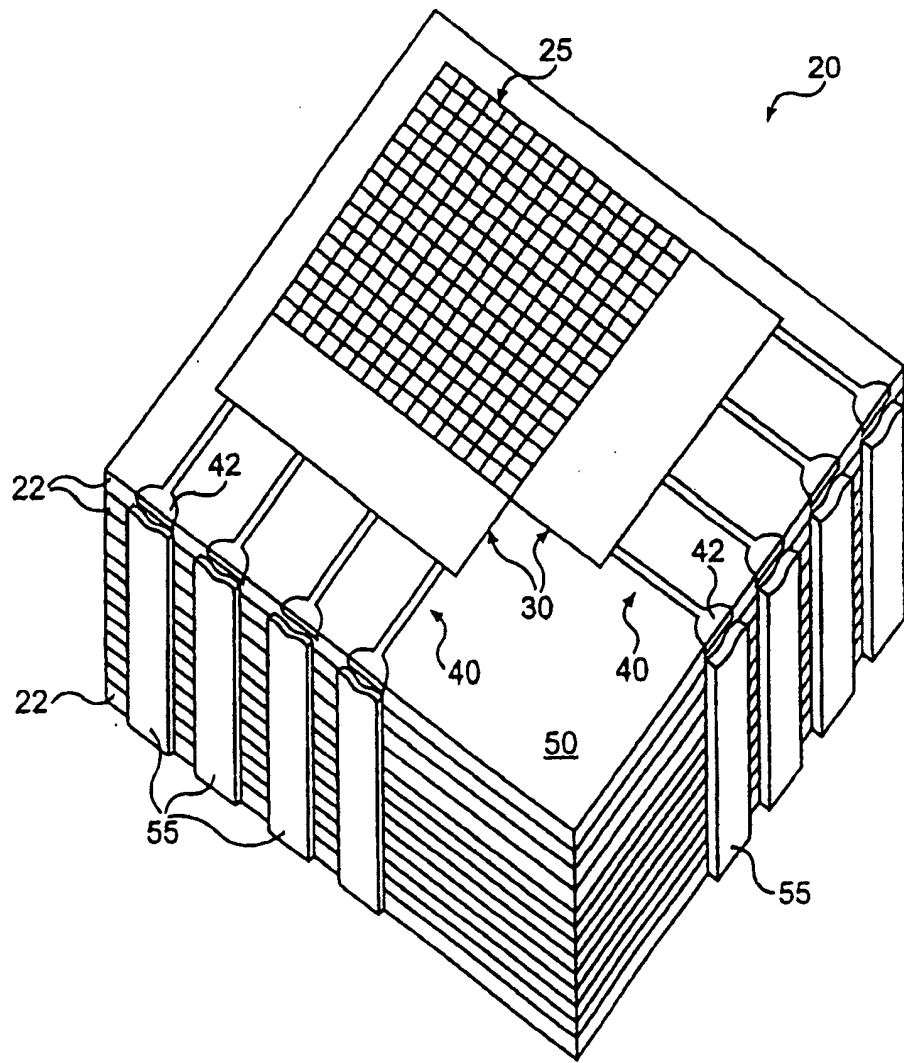


图 1

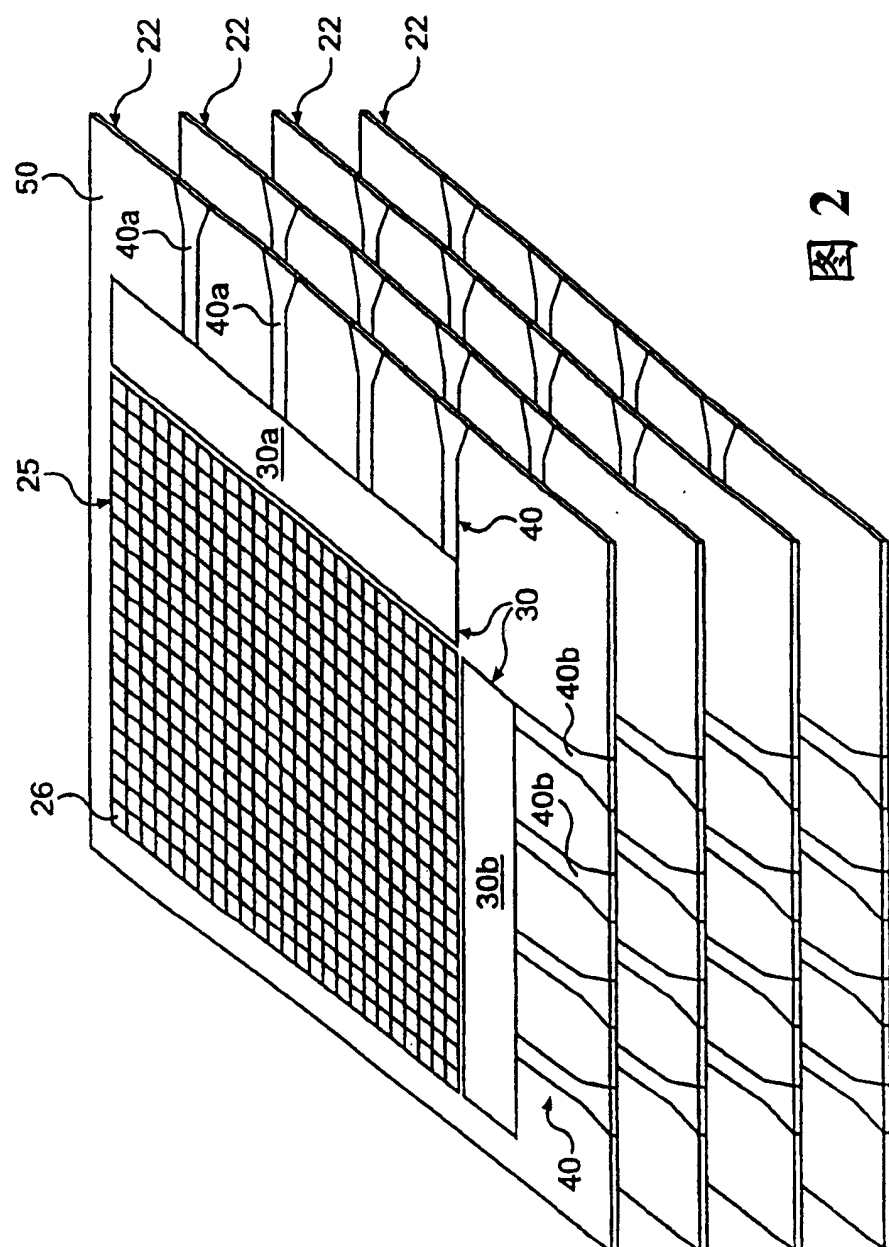


图 2

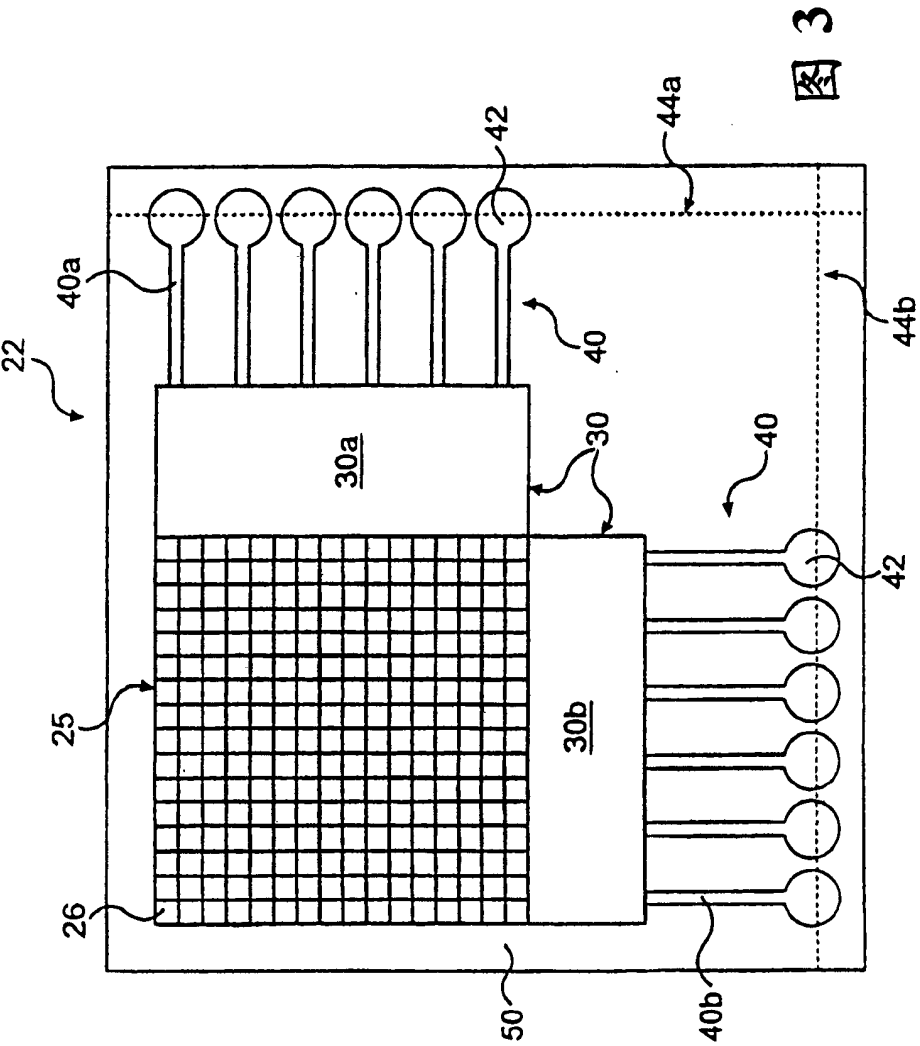
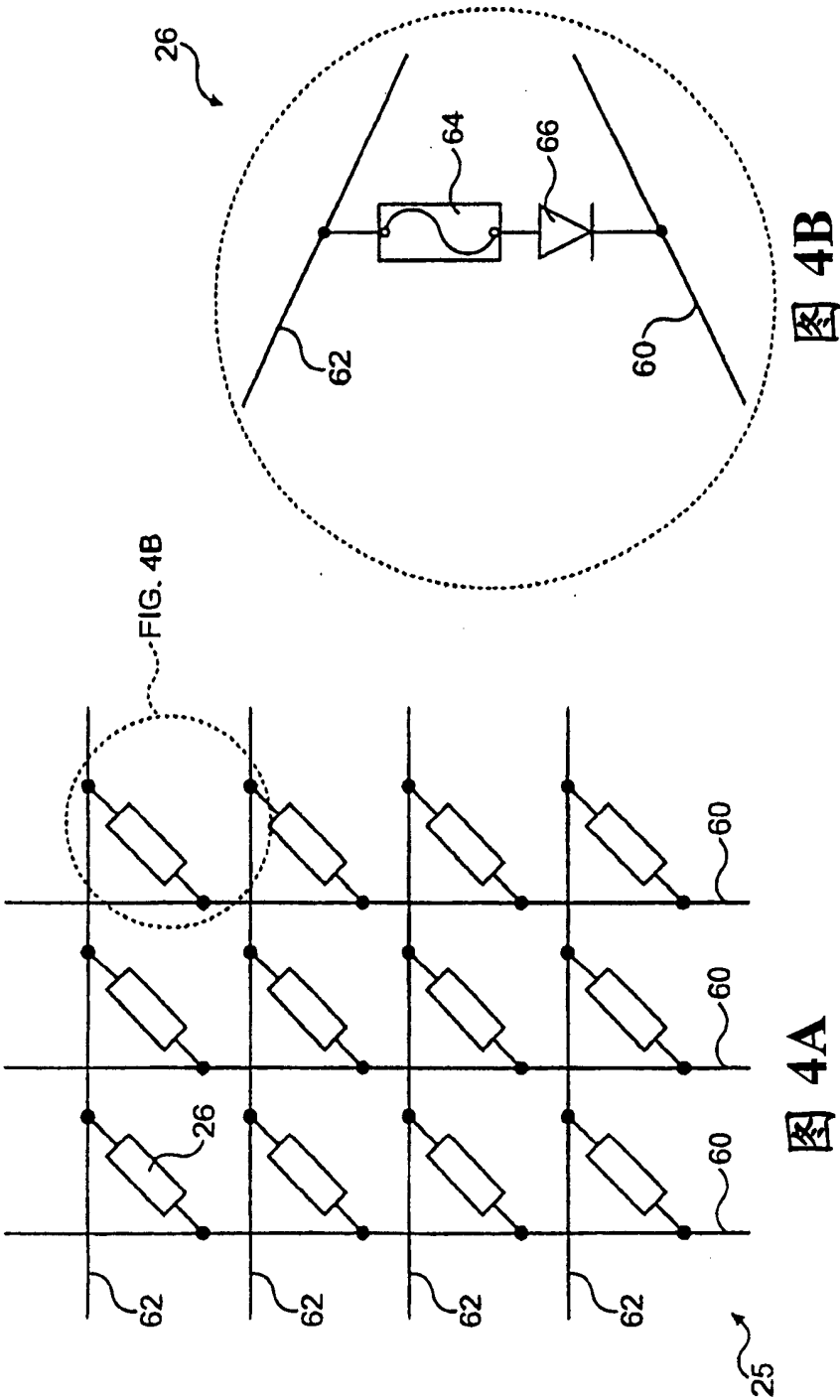
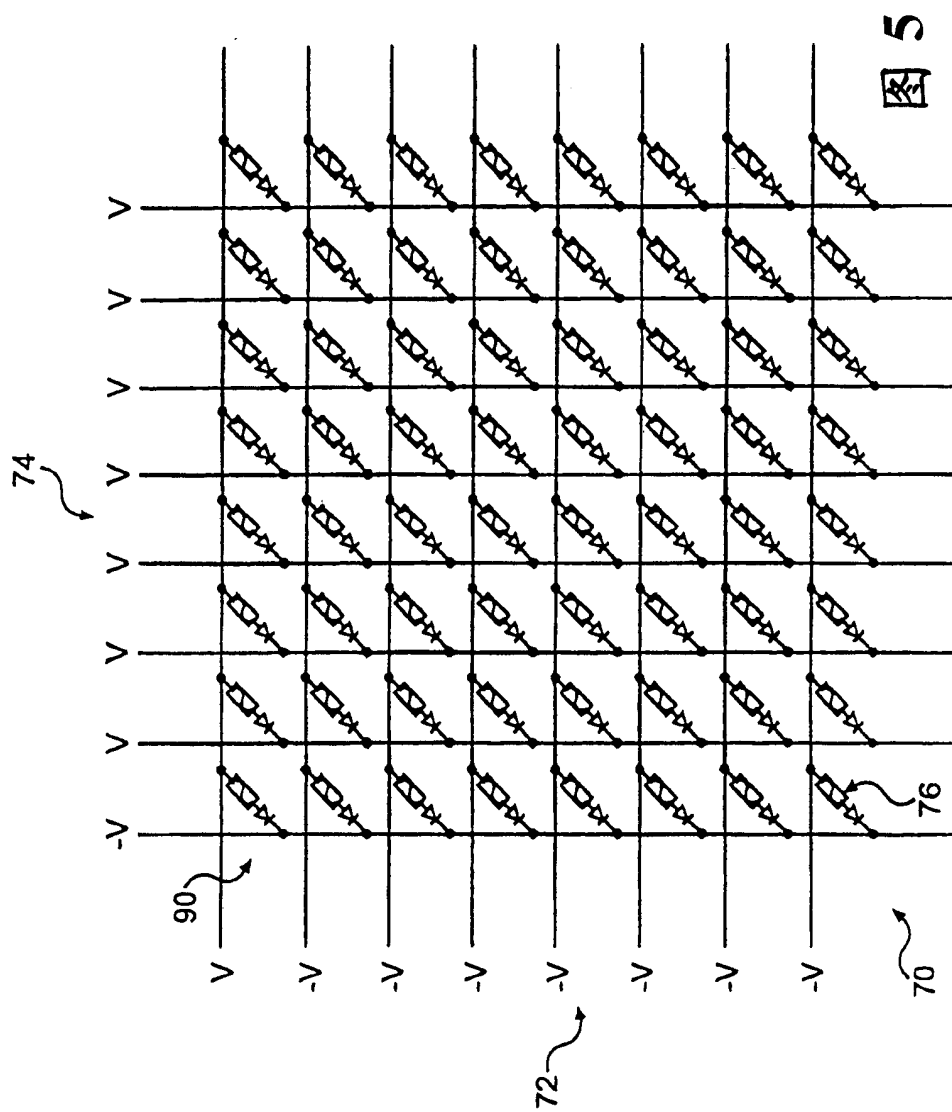


图 3





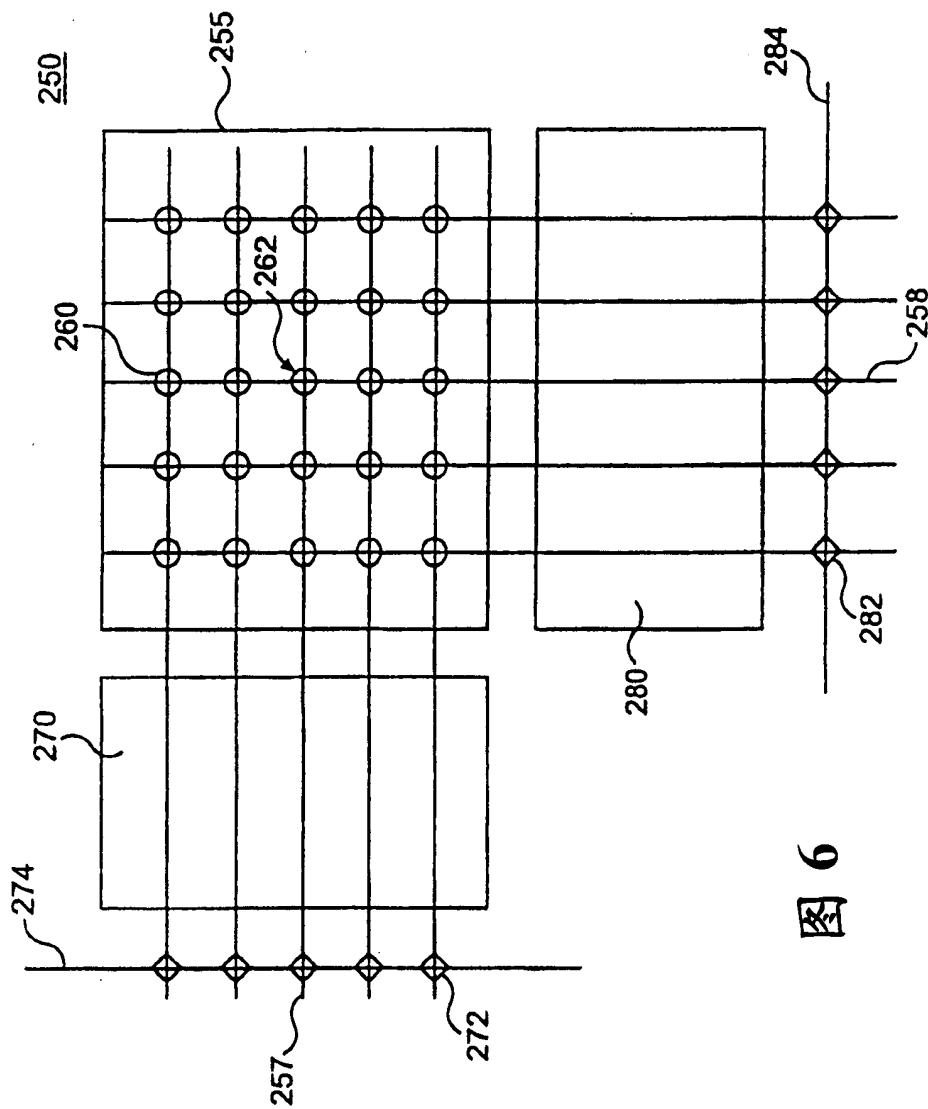


图 6

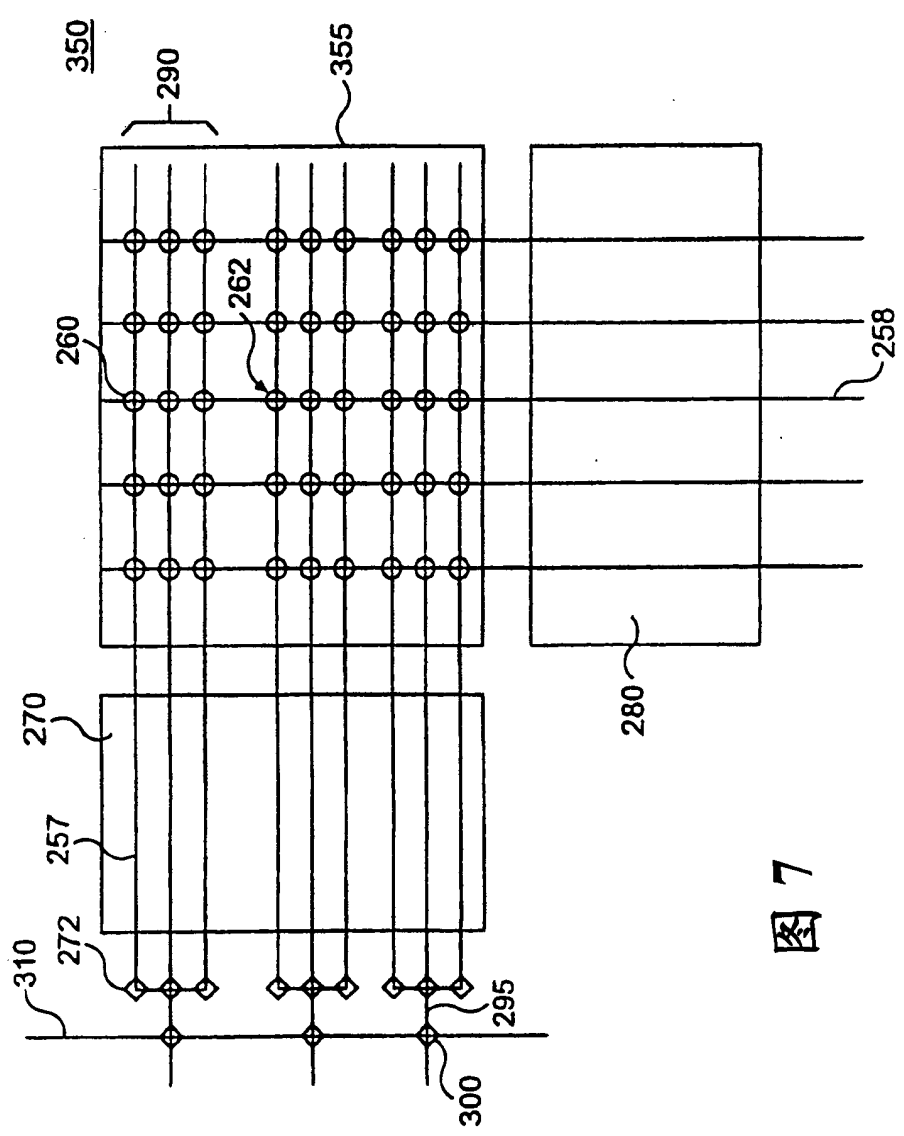


图 7