

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04B 1/707

H04L 1/00 H03M 13/00



[12] 发明专利说明书

[21] ZL 专利号 98803254.6

[43] 授权公告日 2003 年 5 月 21 日

[11] 授权公告号 CN 1109414C

[22] 申请日 1998.3.4 [21] 申请号 98803254.6

[30] 优先权

[32] 1997. 3. 12 [33] US [31] 60/040,477

[32] 1997. 6. 6 [33] US [31] 08/871,008

[86] 国际申请 PCT/US98/04243 1998.3.4

[87] 国际公布 WO98/40971 英 1998.9.17

[85] 进入国家阶段日期 1999.9.10

[71] 专利权人 交互数字技术公司

地址 美国特拉华州

[72] 发明人 小约翰 D·凯韦尔

审查员 李明

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

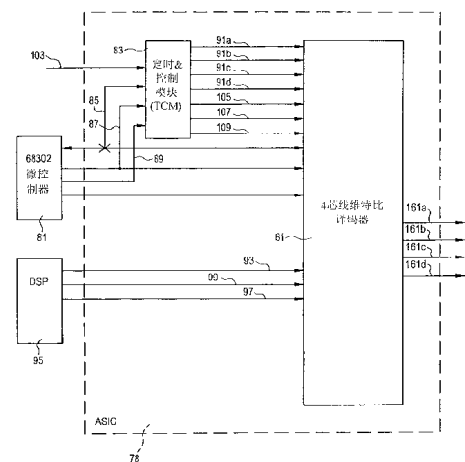
代理人 余 滕 穆德骏

权利要求书 3 页 说明书 19 页 附图 14 页

[54] 发明名称 多信道维特比译码器

[57] 摘要

一种通信系统，其中给定传输的数据率被发射机编码并随后被用来对共享公共存储器的多个卷积译码器进行调节。该系统使用了公共处理资源来提供最多为 4 个的具有多速率卷积纠错译码的离散信道，其结果是使得硅片面积得到减小，而能耗则得到了降低。该系统能够同时支持基站和用户单元位置的接收机中从 8kbps 一直到用于高速 ISDN 通信的 64kbps 的数据通信。



ISSN 1008-4274

1. 一种用于进行多信道数据通信信号的通信的通信站(17)，其同时接收和处理具有独立速率并共享着同一选定带宽的多信道数据，该通信站具有解调器装置(49a, 49b)，用于以独立速率在所述信道带宽上接收具有多个数据信道的多信道数据通信信号；解扩装置(35a, 35b)，用于将所接收信号数据的多个选定信道分离并识别出每条信道的数据率；和多个译码装置(67a-d)，其中每个所述译码装置(67a-d)分别以指定数据率对多信道数据通信信号的一条分离信道进行译码；该通信站的特征在于：

所述多个译码装置(67a-d)共享一个公共译码器存储器(69, 73)；以及

控制装置(71, 81, 83)将所分离出的每条信道导向到所述译码装置(67a-d)的某一个处并对应于由所述解扩装置识别出的数据率为该译码装置指定一种数据率。

2. 如权利要求 1 所述的通信站，其特征在于所述公共译码器存储器包括用于在所述译码操作期间协同对正被译码的所有分离信道进行处理的状态量度存储器(69)以及回溯存储器(73)。

3. 如权利要求 2 所述的通信站，其特征在于所述状态量度存储器(69)被设计成一种 ping-pong 系统，其中能够同时对所述 ping-pong 系统的 ping 节段或 pong 节段进行写入或读取操作。

4. 如权利要求 1 所述的通信站，其特征在于一个欧几里德距离计算处理机(65)作为所述多个译码装置(67a-d)的资源被共享；

所述欧几里德距离计算处理机(65)用于计算从正被译码的信道上接收到的码元到 4 个 QPSK 构象点每一个的距离，并用于为所接收到的所述每个码元识别出所述 4 个 QPSK 构象点中距离最近的构象点。

5. 如权利要求 4 所述的通信站，其特征在于所述欧几里德距离计算处理机(65)对导向所述译码装置(67a-d)的信道上的所有码元进行操作。

5 6. 如权利要求 1 所述的通信站，其特征在于：

所述解调器装置的多种独立数据率包括一个最大数据率，而低于所述最大数据率的各独立数据率是所述最大数据率的一个因数并包括与对所述最大数据率的因数成比例的复制数据。

10 7. 如权利要求 6 所述的通信站，其特征在于一个译码器接口(63)作为所述多个译码装置(67a-d)的资源被共享，所述译码器接口(63)利用饱和逻辑将与低于所述最大数据率的独立数据率相对应的所述复制数据相干地加在一起。

15 8. 如权利要求 1 所述的通信站，其特征在于每个所述译码装置(67a-d)均包括一个加和-比较-选择电路，其中每个所述加和-比较-选择电路利用饱和逻辑并通过维特比算法对每个分离信道进行处理，以获得在对正被译码的信道数据的码元所进行的回溯处理中所使用的最佳量度，而所述每个最佳量度均被“后归一化”。

20

9. 一种低能耗，高速多信道维特比译码器，在扩展频谱调制接收机中用于同时对多个信道上具有独立数据率的数据进行译码，其特征在于：

25 译码器接口(63)，用于以多种独立数据率接收至少 4 个解扩信道上的数据，其中所述多种数据率包括一个最大数据率和低于所述最大数据率的数据率；

欧几里德距离计算处理机(65)，用于计算从正被译码的信道接收到的码元到 4 个 QPSK 构象点每一个的距离，并用于为所接收到的所述每个码元识别出所述 4 个 QPSK 构象点中距离最近的构象点；

30 至少 4 个加和-比较-选择 ACS 电路(67a-d)，用于以指定数据率对

至少 4 个分离信道的数据进行处理；

状态量度存储器(69)和回溯存储器(73)，在译码操作期间用于对所有所述信道上正被译码的数据进行处理；

ACS 处理器(71)，用于协调所述 ACS 电路的处理；

5 回溯处理器(75)，用于为所有信道的数据获得译码码元；

接收机系统接口(77)，用于将多信道维特比译码器耦合到其它处理器上。

10 10. 如权利要求 9 所述的维特比译码器，其特征在于所述状态量度存储器(69)被设计成一种 ping-pong 系统，其中能够同时对所述 ping-pong 系统的 ping 节段或 pong 节段进行写入或读取操作。

11. 如权利要求 9 所述的维特比译码器，其特征在于所述译码器接口(63)是至少 4 个信道的共享资源。

15

12. 如权利要求 9 所述的维特比译码器，其特征在于所述 ACS 电路(67a-d)利用饱和逻辑并通过维特比算法对每个分离信道进行处理，以获得在对正被译码的信道数据的码元所进行的回溯处理中使用的最佳量度，而每个所述最佳量度均被“后归一化”。

20

多信道维特比译码器

5 本申请为 1997 年 3 月 12 日提交的美国临时申请 No.60/040,477 的继续。

技术领域

10 本发明一般涉及数字通信。具体涉及一种其中在通信接收机处以可变速率来发送及接收数据并在高效多信道多速率数据译码器中对该可变速率数据进行译码的系统。

背景技术

15 当今最先进的通信技术中进行一点对多点远程通信时使用的是扩频调制或码分多址 (CDMA) 技术。自 50 年代以来, 由于其通信传输难于被检测和干扰的特点, CDMA 技术一直应用于军事应用领域。该种属性是由于其中使用了远大于所传输信号的信息带宽的调制传输带宽的无线通信技术。

20 图 1 所示为一种经简化的 CDMA 通信方案。给定带宽上的一条单独通信信道与一个扩展码相混合。通过乘以一个唯一的扩展码用序列将相对较窄频带的调制信号扩展以占用宽得多的传输带宽。该扩展码由类噪声高速率伪随机序列或成为所传输数据一部分的代码组成。由于所得传输信号表现为低电平类噪声信号, 因此其一般不会与其它
25 频谱用户发生相互干扰。

 在接收机处, 通过将所接收到的宽带信号与本地所产生的相同伪随机序列相关而将该信号解扩, 可以从占用了同一传输带宽的多个数据信号中分解出所需数据。此操作将该信号压缩回其原始带宽, 并另
30 外将出现在所占用频谱内的任何窄频带无线信号扩展以使其现在对接

收机来说表现为噪声。通过使用许多不同的伪随机代码序列，在相同的传输频谱内将可以容纳多个用户。

上述 CDMA 通信技术在军事应用中取得成功的特性也使 CDMA 通信系统，特别是宽带码分多址TM或 B-CDMATM系统，成为有效使用拥挤的商用无线频谱的必须。在 CDMA 系统的众多属性中，其中之一就是其实际上的无限容量。由于 CDMA 通信系统中的每个用户均是在相同的传输带宽上发送和接收信号的，所以其对信道化和防护频带的要求相对不是很苛刻。不象 FDMA 和 TDMA 等容量受离散信道数的限制，CDMA 系统的容量只受干扰的限制。因此，能够同时在给定传输带宽上进行通信的用户的数目将能够显著增加。

除了语音信息之外，也可以向接收机发射单独的非语音信息或上述两种信息的组合。某些通信标准，如综合业务数字网（ISDN）需要比数字化语音高得多的数据率。为了使该种通信系统的功能达到最优，使用了多种速率来传输数据以增大对所有接收机的信噪比（SNR）。

扩展频谱性能的一个基本衡量指标便是系统处理增益， G_p ，其是由信道比特率对信息比特率的比值， R_c/R_i 确定的。输入和输出信号对噪声的比值之间的关系为：

$$\text{公式 1} \quad \frac{S}{N_o} = G_p \left(\frac{S}{N_i} \right)_i$$

从中可以看出数据率越高，所产生的干扰便越大，并且信噪比也将随之变差。干扰的减小将直接转化为容量的增大。

大多数 CDMA 远程通信系统均是传输可变速率的数据以使 SNR 尽可能大。为实现此目的，或者是直接将传输数据率标示在身为信号信道的一部分的系统电平控制消息内，或者是要求给定的接收机必须能够检测出所传输数据的速率。

5 由于是众多用户共享此同一频谱传输信道，所以当在各用户之间没有足够的代码隔离时则可能会将干扰从一个用户中诱发到另一个用户处。另外，当在发射机或接收机中进行卷积纠错译码之前必须事先知道该数据率。

10 大多数现有技术的接收机均使用独立的，单一速率的卷积译码器来正确地重建出先前所接收并解扩的数字数据。由于直接传送来每帧的数据率信息，所以接收机不用必须自己从所接收的数据帧中确定数据的编码率，由此降低了接收机的复杂性，并提高了整个系统的速度。然而，使用专用于每种传输数据率的卷积译码器降低了整体处理的效率并增加了系统的成本。

15 因此，有必要设计一种高效的，能够处理可变数据率的卷积译码器。

发明内容

20 本发明涉及一种通信系统，其中给定传输的数据率由发射机进行了编码并被用于对共享着公共存储器的多个卷积译码器进行调节。该系统使用公共处理资源来提供最多为 4 个的分别具有多速率卷积纠错译码功能的离散信道，其结果是减小了硅片面积并降低了操作的能耗。该系统能够支持速率从 8kbps 一直到用于高速率 ISDN 通信的 64kbps 的语音通信。尽管本发明可用于多种通信系统，其优选通信系统包括移动电话，PCS，无线本地环路和 CDMA 通信。本发明可用于
25 基站和用户单元位置的接收机中。

因此，本发明的一个目的是提供一种用于多信道应用的高效多速率卷积译码器。

30 本发明的另一个目的是提供一种复杂性被降低而性能却被提高的

多信道卷积译码器结构。

附图说明

5 在审阅了下文中对优选实施例的详细说明后，本领域的技术人员将会对本系统和方法的其它目的和优点有进一步的了解。

图 1 所示为现有技术中的典型 CDMA 通信系统的方框图；

图 2 所示为 CDMA 通信系统的详细方框图；

图 3a 所示为本优选实施例的详细方框图的第一部分；

10 图 3b 所示为本优选实施例的详细方框图的第二部分；

图 4 所示为本优选实施例的整体方框图；

图 5 所示为在主机数字信号处理器与本优选实施例之间的接口的方框图；

图 6 所示为 QPSK 构象的示意图；

15 图 7 所示为一个加和-比较-选择信道的详细方框图；

图 8a 所示为该加和-比较-选择序列器的流程图的第一部分；

图 8b 所示为该加和-比较-选择序列器的流程图的第二部分；

图 9 所示为该加和-比较-选择序列器的详细方框图；

图 10 所示为回溯处理的流程图；

20 图 11 所示为误码率处理的流程图；

图 12 所示为误码率（BER）与信噪比的关系曲线图。

具体实施方式

25 接下来将参照附图对本发明进行详细说明，各附图中用类似的标注符来表示相类似的元件。

根据本发明制成的多信道，多速率维特比译码器被实施于 CDMA 蜂窝电话系统 17 的环境中。此类译码器一般用于接收通信信号的多信道无线通信站中。图 2 所示的系统 17 包括发射机 19 和接收机 21，
30 其可能存在于基站或移动用户接收机中。

发射机 19 包括将语音和非语音数据 25 编码为帧频为多种数据率，例如 8kbps, 16kbps, 32kbps 或 64kbps 的多个数据帧的信号处理器 23。信号处理器 23 将根据语音的活动量（如果是语音数据），或对应于设定的数据率来选择一种速率。

在多路接入环境中产生所要传输的信号包括两个步骤。第一，利用前向纠错编码（FEC）27 对可以被视为二相调制信号的输入数据 25 进行编码。由于使用的是 $R=1/2$ 的卷积码，所以单一的二相调制数据信号将变成两个二相调制信号。其中一个信号代表同相信道 I。另一个信号则代表正交信道 Q。二相调制 I 和 Q 信号通常被称作正交相移键控（QPSK）。在本优选实施例中，用于 $K=7$ 的约束长度以及 $R=1/2$ 的卷积码率的长码发生器（tap generator）多项式 29, 31 为：

$$G_1 = 171_8 \quad G_2 = 133_8$$

第二步骤中，利用同相（I）35a 和正交（Q）35b QPSK 伪随机序列对两个二相调制数据或码元 33a, 33b 进行扩展处理。所得的 I 37a 和 Q 37b 扩展信号与载频 43 混合在一起，并与具有不同扩展码的其它扩展信号（信道）相结合 45 并发射 47。发射 47 过程中可以包含多个具有不同数据率的单独信道。

接收机 21 包括解调器 49a 和 49b，其将所传送来的宽带信号 47 混频 51a, 51b 到一个中间载频上。QPSK 信号随后被滤波 53 并与本地所产生的与所传送代码相匹配的 QPSK 伪随机代码 35a, 35b 相混合 55a, 55b。只有在发射机 19 处由相同代码所扩展的原始波形才可以被有效解扩。而其它信号对接收机 21 将表现为噪声。数据 57a, 57b 随后被传送给信号处理器 59，由其对卷积编码数据进行 FEC 译码。

本发明利用如图 3a 和 3b 所示的高效多信道，多速率维特比译码

器 61 进行译码。译码器 61 包括：数字信号处理器（DSP）至维特比译码器接口 63，公用欧几里德距离计算处理机 65，多个加和-比较-选择（ACS）信道 67a, 67b, 67c 和 67d，状态量度（metric）存储器阵列 69，ACS 序列器 71，回溯存储器阵列 73，回溯处理器 75 和译码器至系统接口 77。图 3a 和 3b 所示的系统可以离散地进行装配，也可以用高效专用集成电路（ASIC）79 来实现。

在本优选实施例中，译码器 61 内的任何 4 个信道 0, 1, 2, 3 均可以处理多种数据率：8kbps, 16kbps, 32kbps 或 64kbps。在另选实施例中也可以使用其它数据率。更低的数据率是通过使其具有对冗余接收码元进行操作的时间分集组合功能来实现的。其将有效地提高时间分集接收信号的 SNR。对于与低于所预期的最高数据率的数据率相对应的数据帧中的那些码元，将重复码元数据以使该数据帧能够保持恒定的码元率。

15

对于 64kbps 的数据率，每 15.625 微秒发送一个 QPSK 码元。而对于 32kbps 的数据率，则将通过一个信道重复发送两次对应的 QPSK 码元，而每次仍以 64kbps 的速率来发送这些码元，只是通过采用双倍冗余技术而将信息率降低为 32kbps。对于 16kbps 数据率，则将通过该信道重复发送 4 次对应的 QPSK 码元，对于 8kbps 数据信道，则为 8 次。

20

参照图 3a 和 3b，多信道译码器 61 共享公共资源以使硅片面积减小到最小。如图所示，状态量度存储器阵列 69 和回溯存储器阵列 73 为静态随机存取存储器（SRAM）并为每个信道所公用。另外采用公共的欧几里德距离计算处理机 65 也使效率得到了提高，其用于计算所接收的 QPSK 码元与所有 4 个信道的 QPSK 空间中的 4 个可能构象点之间的平方欧几里德距离。

25

如图所示的系统结构实施了维特比算法并用于对以卷积方法进行

30

编码的数据进行译码。对应于 $K=7$ 的约束长度以及 $R=1/2$ 的代码率的长码发生器多项式为 $G_1 = 171_8$ (29) 和 $G_2 = 133_8$ (31)。其应被理解的是，在另选实施例中根据不同的约束长度和代码率也可以使用其它形式的长码发生器多项式。例如，对 $K=9$ 的约束长度和 $R=1/2$ 的代码率，长码发生器多项式为 $G_1 = 753_8$ 和 $G_2 = 561_8$ 。长码发生器的应用在远程通信技术领域十分常见，并用于 FEC 编码器 27 中。

整体的系统结构如图 4 所示。主机微控制器 81 通过微控制器数据线 85，地址线 87 和写选通脉冲 89 对位于 ASIC 79 上的定时和控制模块 (TCM) 83 进行控制。微控制器 81 从所传送来的数据帧中确定出给定信道的时分集系数。该分集组合是通过分别对信道 0 到 3 选择性地断言和去断言分集组合信号 91a,91b,91c,91d 来进行控制的。数据输出 93 从主机 DSP 95 中引出并用于将所有 4 个信道的 I 和 Q 信号传送给维特比译码器接口 63。主机 DSP 95 使能信号 97 和地址线 99 也同样被耦合到维特比译码器接口 63 上。主机微控制器 81 对每个分集组合信号 91a,91b,91c,91d 进行控制。主机 DSP 95 则对到译码器接口 63 的单独信道数据 93 进行控制。

TCM 83 接受一个从外部得到的高频参考信号 103 以用于整个系统的时序同步。TCM 83 利用参考信号 103 推导出高频转储 105 以及维特比时钟 107 信号。此外 TCM 83 还产生总译码器复位信号 109。

特定信道的数据率由微控制器 81 通过使能各自的分集组合信号 91a,91b,91c,91d 而降低。对于 32kbps 的数据率，两个相邻码元被组合在一起；对于 16kbps 的数据率，4 个码元被组合在一起；而对于 8kbps 的数据率，则 8 个码元将被组合在一起。

本优选实施例采用了时分集技术来处理多速率数据。在 64kbps 的数据率上，使用的是每个单独的传输数位。然而，在最低的数据率 8kbps 上，则每个数位将被复制 8 倍。在以最低数据率进行处理时，

冗余码元只是被简单地加在一起。如本发明的现有技术中所说明的，通过一条对应信道每发送一个码元，便接收具有一定增益和噪声的数码（figure）。因此，如果通过该信道发送两次相同的信号，则 SNR 将加倍。其原因是由于冗余码元是被相干地加在其上的，而所引入的
5 随机噪声则不是。从最高数据率 64kbps 到最低数据率 8kbps，信号增益将增大为 8 倍。

通过降低数据比特率以及采用时间分集技术，由于在将不同码元组合在一起时可以使增益得到提高，因此信号传输能量将相应降低相当的数量。利用分集组合可以在不产生有害效应的较低 SNR 的情况下
10 将数据率降低。

对于最大的数据吞吐率 64kbps，必须禁用分集组合功能。其中是通过对于该特定信道使分集组合信号 91a,91b,91c,91d 一直保持高电平来实现这一点的。在多信道译码器 61 以较低的数据率进行操作的情况下，当译码器被使能以及当接口 63 为了传送新的码元集合而被清零时，分集组合信号 91a,91b,91c,91d 将对哪些相邻码元被组合在一起
15 进行控制。

如图 5 所示，译码器接口 63 在主机 DSP 95 数据总线 93 上接受长度为 8 位两个“互补”（compliment）I 和 Q 样本信号。来自主机 DSP 95 的数据通过数据总线 93 被输入到地址译码器 111 中。虽然数据总线 93 是一种并行输入总线，但在所有 4 个信道之间数据却是串行到达的。随后该数据被分离为用于每个信道的单独同相和正交分量，并分别通过导线 121I, 121Q,123I,123Q, 125I,125Q,127I,127Q 输出
20 到用于信道 0-3 的饱和积分和转储电路 113I,113Q,115I,115Q,117I,117Q, 119I,119Q 的每一个处。接口 63 包括具有饱和逻辑的 8 位累加器。最大的正饱和值为 $0x7f_{16}$ ，最大的负饱和值为 $0x80_{16}$ 。

30 在维特比译码器接口 63 内，利用二进制“互补”操作来进行时

间分集组合操作。当以较低的数据率进行处理时，所有的冗余 I 和 Q 样本被加在一起。类似地，如果出现溢出，饱和加法器将被用于消除符号变化。除了驻存于单独的 DSP IC 内的分集组合功能之外，也可以在 ASIC 中另外包含定制的专用功能部件。在执行完分集组合功能之后，其结果将被输出到分别用于信道 0-3 的导线 129I, 129Q, 131I, 131Q, 133I, 133Q, 135I, 135Q 上。饱和积分转储电路还对分别用于信道 0-3 的欧几理德距离计算处理机 65 使能信号 137a, 137b, 137c, 137d 进行控制。

10 参照图 3a 和 3b，所有多信道译码器 61 的内部处理器均与维特比时钟 107 保持同步。主机 DSP 95 由其自身的异步时钟（未显示）来提供时钟信号。DSP 时钟和转储信号 105 再同步于维特比时钟 107。译码器 61 要求维特比时钟 107 必须或多或少地快于转储信号 105。

15 所有信道均从译码器接口 63 耦合到如图 4 所示各自对应的 I 和 Q 和使能信号线上的欧几理德距离计算处理机 65 上。参照图 3a，欧几理德距离计算处理机 65 计算所接收到的每个 I 和 Q 码元与 4 个可能 QPSK 构象点之间的 4 个平方欧几理德距离。只有当被各自信道使能时，公共处理机才为每个信道计算距离。

20 如图 6 所示，欧几理德距离计算处理机 65 通过将其映射到 QPSK 构象 x_{00} , x_{01} , x_{10} , x_{11} 上来对在每个信道上所接收到的所有码元 p 进行比较。由于无论是采用多径还是射频技术，在传输 47 期间其均有可能被噪声和失真破坏，因此需要对所接收到的每个点 p 进行检查。
25 几何处理机 65 从所接收到的码元 p 中计算出 4 个距离 d_{00} , d_{01} , d_{10} , d_{11} 并选出最短距离 d_{00} 。

其中所用的使能机制是基于用于特定信道的传输数据率的。由于该计算只是在欧几理德距离计算处理机 65 中进行的，如果在又送来新的 I 和 Q 码元的同时几何处理机 65 已被使能，则整个处理的效
30

率将会有一定的提高。由于其在处理低速率数据时不需要浪费任何的
计算时间，所以效率也会因此而提高。

参照图 3a 和 3b，在计算出欧几里德距离之后，每个信道的离散
5 12 位输出 139a,139b,139c,139d 和与之相关的使能信号 141a,141b,
141c,141d 被一起串行地耦合到 4 个离散 ACS 电路 67a,67b,67c 和 67d，
其中上述欧几里德距离被映射到基于编码器的格子结构（trellis）上。
使用格子结构方案来对以 FEC 卷积方法进行编码的数据进行译码对本
技术领域的技术人员来说十分常见。

10

本发明将每个码元归一化并利用饱和逻辑计算出最短的格子结构
距离。先前的状态量度被加到新接收到的每个传输码元上。每条信道
上的每个单独的数据点均发展并更新该格子结构。从状态量度存储器
69 中读出状态量度数据。ACS 电路 67a,67b,67c,67d 实现维特比算法。
15 最大似然译码器依赖于身为状态图的无限复制的格子结构。卷积代码
的任何代码字均对应于沿该格子结构图上某条路径的码元。在该格子
结构的每个状态以及每个水平上，均包含有一次 ACS 操作。为了实现
基于维特比算法的译码器，需要两个不同数据集合的存储器。第一存
储器是对格子结构的每个连续水平均被更新的路径状态或量度存储器
20 69。第二组数据集合则是格子结构中每个节点或状态上的数据选集
（selection），称为路径存储器 73。

20

现有技术中，每个单独的译码器或 ACS 电路均需要单独的用于
该两个数据集合的存储器。而在本发明中，以一种新颖方式将量度 69
25 和路径存储器 73 阵列合并为一个公用于每条信道的公共存储器，由
此显著地减小了硅片面积。另外，通过将公共寻址和数据传输组合在
一起，也进一步提高了效率。对于状态量度存储器 69 状态量度数据
被写入到 143a, 143b, 143c, 143d 中并从 145a, 145b, 145c, 145d 读出。

25

30

对每个状态，存在有两个可能的终结于其上的格子结构路径。在

ACS 电路 67a,67b,67c,67d 中执行删节操作以找出终结于给定状态上的最佳量度。该最佳量度是通过选择最小的累加格子结构距离来确定的。所选中的路径，上或下，分别由 0 或 1 来表示。此信息被写入到导线 149a, 149b, 149c, 149d 上的回溯存储器 73。

5

一般是在多个接收到的码元上来组成该格子结构。本优选实施例需要离散时间上的 35 个码元，并且一旦接收到由时钟控制的每个码元就更新一次。在累积完 35 个码元之后，通过一次判断找出具有最小误差的格子结构路径。此种译码方法确定了所发送是哪个 QPSK 码元。该种格子结构引入了冗余并积累了历史信息。

10

用于信道 0 的一个 ACS 电路 67a 如图 7 所示。代表了一个 QPSK 构象点的每个新码元是输入 139a。由于该格子结构中的每个节点均分别具有一进一出两条路径，所以将根据格子结构中的现时状态以及所编码的是何种信息来将这些值拆分开并进行选择。每个构象值被输入到单独的 4 输入多路复用器 189u, 189l 中。来自每个多路复用器 189u, 189l 的输出 191u, 191l 均由格子结构和编码器中的现时状态而定。判定信号 153a 由下文中将要详细讨论的 ACS 序列器 71 产生。从存储器 69 中读出状态量度 145a 并类似地将其拆分以分别用于上端和下端路径，另外还将其输入到镜相 8 位触发器 193u, 193l 中。触发器 193u, 193l 的输出与之前的最佳量度 201 一起到达饱和减法器 197u, 197l 中，并利用饱和减法器 199u, 199l 与新码元值 191u, 191l 组合在一起。利用一个 8 位幅值比较器 203 对每个格子结构节点的上端和下端路径进行比较。每个 ACS 信道 64 分别处理每个特定码元的格子结构状态。对每条路径进行检查以确定哪条路径或轨迹最短。上端和下端路径 205u, 205l 被输入到一个 2 输入多路复用器 207 中，在其中选出最短距离或状态量度 145a 并将其存储到存储器 209 中。此值被用于下一码元的输入以进行归一化。本发明对每次操作的所有输入均进行“后归一化”。

15

20

25

30

5 现有技术中的归一化通常是以数据块为基础，或在许多信息码元均已被处理完之后进行的。然而，通过在选出每个量度之后进行“后归一化”，将能够显著地改善其性能。由于该种归一化处理有可能会产生溢出，所以“后归一化”需要有饱和逻辑。如果没有采用饱和逻辑，则其数值最终将会溢出，从而使得二进制数可能会与其期望值相差很大。而该系统又无法确定该数值是否是实际值。通过采用饱和逻辑，该数值将最终进入平稳状态（plateau）。

10 由于该格子结构上的每个节点均具有两条终结于其中的路径以及两条起始于其中的路径，所以该处理必须不断地删节（prune）。该格子结构代表了两条路径的量度，其中通过一次判定选择出一条基于较短距离的路径。其中的较好路径或最佳量度被存储在状态量度存储器 69 中，而判定结果或路径数位则被存储在回溯存储器 149a,149b,149c,149d 中。

15 在一个码元的开始处，每个 ACS 信道 67a,67b,67c,67d 将分别接收一个译码器起始信号 141a,141b,141c,141d 以初始化该信道。如上所述，存储在存储器中的删节操作的胜者与第一个进行比较，如果第二个胜者比第一个小，则该特定值将被选为最佳量度。对于该格子结构的其余 63 个输出，此操作均类似。

20 当码元进入到维特比译码器中时其上的历史相关性将使其积累了众多码元的能量并由此造成巨大的增益。该能量的增加是对在 35 个码元上对能量进行积分的结果，其实际上起到了使带宽变窄的效果。

25 ACS 电路 67a,67b,67c,67d 操作的顺序是由 ACS 序列器 71 通过导线 151a,151b, 151c,151d 来进行控制的。用一个单独的 ACS 序列器 71 来对用于所正进行译码的每条信道的单独 ACS 电路 67a,67b,67c, 67d 进行控制。当某条特定信道或者由于数据率较低，或者由于该信道未被占用还没有被使能（使能信号 141a,141b,141c,141d 无效）时，将通

30

过导线 153a,153b,153c,153d 禁止对用于该特定信道的状态量度存储器 69 和路径存储器 73 进行写入操作。

5 ACS 序列器 71 控制本发明的整个操作。ACS 序列器 71 的功能类似于状态机的功能。然而，胜于通常在现有技术中所常见的可编程装置以及下载可执行程序代码的方式，本 ACS 序列器 71 是严格地以硬件来执行操作的，由此产生了意想不到的高效率。

10 ACS 序列器 71 的操作类似于由一个计数器驱动的计数器的操作，其与一个公共存储器 69 并行地对 4 个独立的 ACS 电路 67a,67b,67c,67d 进行控制。ACS 序列器 71 还起到了位片阵列处理器的作用。图 8a 和 8b 所示为 ACS 序列器 71 的操作流程图。在初始化（步骤 401）之后，ACS 序列器 71 建立等于 0 的计数基数（步骤 403）。由于序列器实质上就是计数器，因此需要一条用于向上计数（步骤 15 415）的返回路径。进行一次判断（步骤 405）以根据从 0 到 127 与格子结构的 64 次读操作和 64 次写操作相匹配的递增顺序来确定该处理是否已经完成。该序列器以驱动寻址操作（步骤 411, 419, 425, 429）和对地址定序，以及对读操作（步骤 413, 421）和写操作（步骤 427, 431）定序的维特比率来进行时钟控制。ACS 序列器 71 与一个公共存储器 20 69 并行地对每条 ACS 信道 67a,67b,67c,67d 进行处理。

状态量度存储器阵列 69 的宽度为 64 位并被设计成具有一个 ping 节段和一个 pong 节段。64 位字的前 32 位是 ping 节段，后 32 位是 pong 节段。该 32 位节段中每 8 位节段代表了一个不同信道 0, 1, 2, 3。25 当 ACS 序列器 71 正从 pong 节段中进行读取时，其将顺序地向 ping 节段中写入。随后该序列器再对 ping 节段进行读取并向 pong 节段中写入，而对于下一码元，则再从 pong 节段中读出并向 ping 节段中写入。此种共享存储器存取的方法对本领域的技术人员十分常见。

30 ACS 序列器 71 对能够以不同的数据率来对数据进行处理 的 4 个

信道进行处理，因此 ACS 序列器 71 可能会对信道 0 的 ping 节段进行
读取，从信道 1 的 pong 节段进行读取，对信道 2 则不进行任何读取
操作或写入操作，而对信道 3 的 ping 节段进行读取。这种存储器存取
方法极为灵活。其是通过让每条信道分别具有专用起始信号
5 141a,141b,141c,141d 来实现此功能的。

ACS 序列器 71 通过检查（步骤 405）计数基数并观察（步骤 407）
该计数基数的两个最低有效位（LSB）来访问状态量度存储器阵列 69
以及每个 ACS 电路 67a,67b,67c,67d。该序列的最初两个状态将总是读
10 取操作（步骤 413, 421）。该序列的最后两个状态则是写操作（步骤
427, 431）。该写操作将其结果记入到状态量度存储器 69 中。

如图 9 所示，其是以最小硬件方式来实施 ACS 序列器 71 的。计
数器 211 利用触发器 213a,213b,213c,213d, 215a,215b,215c,215d 提供
15 了计数基数，其提供了移位操作并对 4 个可变速率数据信道进行写入
和读取操作。4 输入多路复用器 217 存取用于所有信道的状态量度地
址。

状态量度存储器阵列 69 具有用于每信道 64 状态量度的充分存储
20 容量。为了便于从 145a,145b,145c,145d 中读出以及向
143a,143b,143c,143d 写入状态量度存储器阵列 69，存储器的 ping-pong
结构简化了 ACS 序列器 71 通过 ping-pong 导线 155 和地址总线 157
所协调的单独 ACS 操作期间的操作。状态量度存储器 SRAM 阵列 69
的总容量为 4096 位。

25

回溯存储器阵列 73 被用于记录哪条路径是到每个所译码码元的
每个状态中的“幸存者”（survivor）。由于格子结构图理论上是状态
图的无限复制，因此其将需要存储器有无限容量来记录所传输每个码
元的所有信息。然而，回溯历史记录只对 35 个连续码元保留，并被
30 来自导线 149a, 149b, 149c, 149d 上的 ACS 电路 67a,67b,67c,67d 的数

据重写。回溯存储器 73 需要大小为 8960 位排列成 32×280 阵列的 SRAM。回溯深度为 35 码元，因此，在输出所译码码元之前，将需要累积 35 个码元的信息。因此产生给定输出的输入码元在时间上早出现 35 个码元。

5

回溯存储器 73 被设计成一个环形缓冲器。每写入一个新码元到回溯存储器 73 中，先前所存储的所有码元均将移位，并废弃掉最早的码元值。所需存储器应满足 5 倍于约束长度的关系，因此对于 $K=7$ 的约束长度则需要 35 码元的存储器。

10

回溯操作如图 10 所示。回溯处理器 75 的递归操作类似于 ACS 处理器 71，其中先对一个计数器进行初始化（步骤 501）并进行设置（步骤 503）指定如上所述等于 34 的数值（5 倍于约束长度）。随后将本地最佳量度指定为最佳量度值（步骤 505）。必须进行一次判断以确定回溯计数值是否等于 0（步骤 507）。如果该回溯计数值等于 0，则将完成处理（步骤 531）并获知最可能的轨迹，译码器输出一个数位（步骤 529）。如果回溯计数值不为 0，则将继续进行操作以达到最佳量度。

15

20

由于其能够处理 4 种不同的数据率，因此回溯存储器 73 的占用状态将依数据率而定，即，如果信道 0 正在以 64kbps 的速率进行操作，则在信道 0 上的 35 个码元之后，则该特定信道将填满整个回溯存储器，然而，如果信道 2 正在以其一半的速率进行操作，即 32kbps，则信道 2 将只填满回溯存储器 73 的一半。

25

由于某条信道可能会相对于其它信道有严重的时间延迟，因此其中是顺序地来对回溯存储器 73 进行分配的。由于在发射机处所进行编码的数据是唯一的，所以回溯处理器 75 对于每条信道是唯一的。因此该 4 条信道每一条的回溯操作也将是唯一的。此外，4 条信道之间的数据率可能会不同。

30

5 由于地址不同，因此回溯处理是串行的，处理器 75 顺序地对信道 0，信道 1，信道 2 和最后一条信道 3 进行操作。回溯信息的存储是依赖于地址的，其需要在时间上分离对每条信道的每项处理。如果所有 4 条信道均是以最大速率进行传输的，则由于在发射机处所编码的数据在 4 条信道每一条之间生成了不同的格子结构或回溯轨迹，使得存储器将仍然需要进行分离。以不同速率对其进行处理将进一步使处理变复杂。

10 参照图 10 所示的流程图，如果回溯计数值不等于 0（步骤 507），则处理必须为了最可能的轨迹在时间上进行回溯。处理器读出包括一个字段（1 个字节地址，和 1 个数位地址）长度为 9 位的地址。这是通过将该地址右移 4 位（步骤 509），随后再右移 1 位（步骤 511）并屏蔽掉 3 个最低有效位（步骤 513）来进行的。本地最佳量度是一个 7 位数。4 个最高有效位将变为字节地址，接下来的 3 位将变为位号，而 4 个最低有效位将被忽略。对路径位进行检查（步骤 515）以看其是否为 1 或 0。如果路径位是 0，则先前的本地最佳量度值将被右移 1 位，即等价于将其除以 2。如果路径位为 0，则本地最佳量度也将被右移 1 位（步骤 517）。如果该路径位不等于 0，则本地最佳量度将加 64，由此使其结果变为 32 到 63 之间的一个数值。处理器 75
15 将一直跟踪所有的轨迹（步骤 521，523，525，527）并一直重复，直到发现了编码数位。
20

25 处理器找出以代表了最小误差的最小能量终结于所有 64 个状态的轨迹。回溯存储器存储了与所有 64 种状态相关的 35 条轨迹，由于进入一个给定状态只有两条路径，所以其中用 1 个数位来表示该轨迹是来自于上方还是下方。因此，0 或 1 指示路径。本地最佳量度的相关路径位与字节地址和位地址一起存储。所有信息均是以字节形式进行存储的，而由于存在有 64 种状态，所以需要利用 8 个字节，每字节 8 位，来分别表示 64 种状态。由于第一字节内有 8 位，所以该 8
30

位将表示状态 0 到 7。其表明本地最佳量度指向这些状态。下一字节将指示状态 8 到 15，如此等等直到第 63 状态。

5 本处理将总是废弃掉该 7 位数的最低有效位。如上所述的 3 个最高有效位指向特定的字节地址。3 个最高有效位之后的 3 位则指向该字节地址中的一个特定位。即路径位。该路径位被用于对本地最佳量度进行修正。

10 回溯处理以 512 倍于最大吞吐量速率的速率进行操作。地址总线的控制在 ACS 序列器 71 与回溯处理器 75 之间协调。在译码器操作的 ACS 阶段，ACS 序列器 71 通过导线 151a,151b,151c,151d 对状态量度和回溯存储器的地址总线 159 进行控制。在完成了 ACS 操作之后，回溯存储器地址总线的控制权被移交给回溯处理器 75。

15 回溯存储器 73 被用于一种被称为“链接回环 (chaining back)”的程序，或以格子结构中的最后节点开始进行回溯处理，从最后判定到第一判定向后跟踪判定路径。此处理确定了是哪个译码码元将作为输出 161a,161b,161c,161d 被释放。由于希望各单独数据信道的回溯处理的寻址特性能够彼此独立，所以不能在一个公共 SRAM 模块 69,75
20 中并行地对 4 条信道进行回溯处理。有必要排定各单独信道的回溯处理的顺序。如果对于一个特定的码元间隔禁用了某条特定信道，则将跳过该信道的回溯处理。该处理需要最少 35 个时钟周期来完成对某给定信道的回溯处理。

25 本发明还具有一个计算误码率的性能诊断功能部件。欧几里德距离计算处理机 65 输出一个硬判决 163 到回溯处理器 75 中。该硬判决以先进先出 (FIFO) 方式缓存到 35 个码元中，随后将其与由回溯处理器 75 所给出的卷积编码码元输出 161a,161b,161c,161d 进行比较。累加其之间的数位差。在 256 个码元之后，将回溯处理器 75 中的累
30 加器的累加值被清空输出 165 到如图 7 所示的误码率输出电路 77 中。

当又有新的 8 位累加误码率值准备好让主机微处理器进行读取时，该特定信道的 BER 就绪信号 167 将被使能。

接下来将参照图 11 所示的流程图对误码率诊断处理进行说明。

5 为了进行误码率计算，该处理需要一个发射机部和一个接收机部。数据被引入到（步骤 601）发射机中并将对其进行前向纠错编码，QPSK 调制，以及正交信号扩展处理。不发射该信号，而是直接将其输入到接收机部对该信号进行解扩处理。解扩处理的输出不经过维特比译码器（步骤 603）并被延迟 35 个码元（步骤 607，609，611）以允许维特比译码器能够对该信息进行译码（步骤 605）。经过对其进行硬判决（未译码），将该数据与维特比译码器的输出进行比较。比较结果提供了对 SNR 和处理器性能的一个指示度。

10

本发明的性能如图 12 所示。图 12 所示为通过比较未卷积编码数据和编码数据所得的误码率可能性对信噪比的曲线图。其中例示了本发明的两个实施例。第一实施例使用的是 $K=7$ 的约束长度。而另选实施例使用的则是 $K=9$ 的约束长度。如曲线图所示，随着信噪比增大到 5，未卷积编码数据的性能表现出 0.05% 误码概率。然而，在相同的信噪比下，卷积编码数据性能则显著提高，达到百万分之一还要小。从该曲线图还可以看出，采用 $K=9$ 的约束长度比采用 $K=7$ 的约束长度在性能上有一定提高。

15

20

胜于装配一个具有 4 条每条分别具有两对 I 和 Q 信号的输入信道的四芯线（quad）输入维特比译码器，其采用了一个距离计算处理机来处理 4 条信道以及输出 16 个距离。这 16 个距离随后被耦合到 ACS 模块上。欧几里德距离计算模块的输出随后被分配给每条信道上的每个单独 ACS 模块。

25

在另选实施例中，胜于使用分别用于各条单独信道的 4 个离散 ACS 模块，通过线性提高时钟速度可以显著地降低其所需数目。通过

30

多路复用数据输入以及提高时钟速度，可以将进行格子结构操作的 ACS 功能部件减少为两个甚至是一个 ACS 电路。

5 尽管上文中对本发明的具体实施例进行了说明，但本领域的技术人员在不背离本发明的精神和范围的情况下可以对其多种修正和变型。上述说明仅用来例示，而不是对本发明形式的限制。

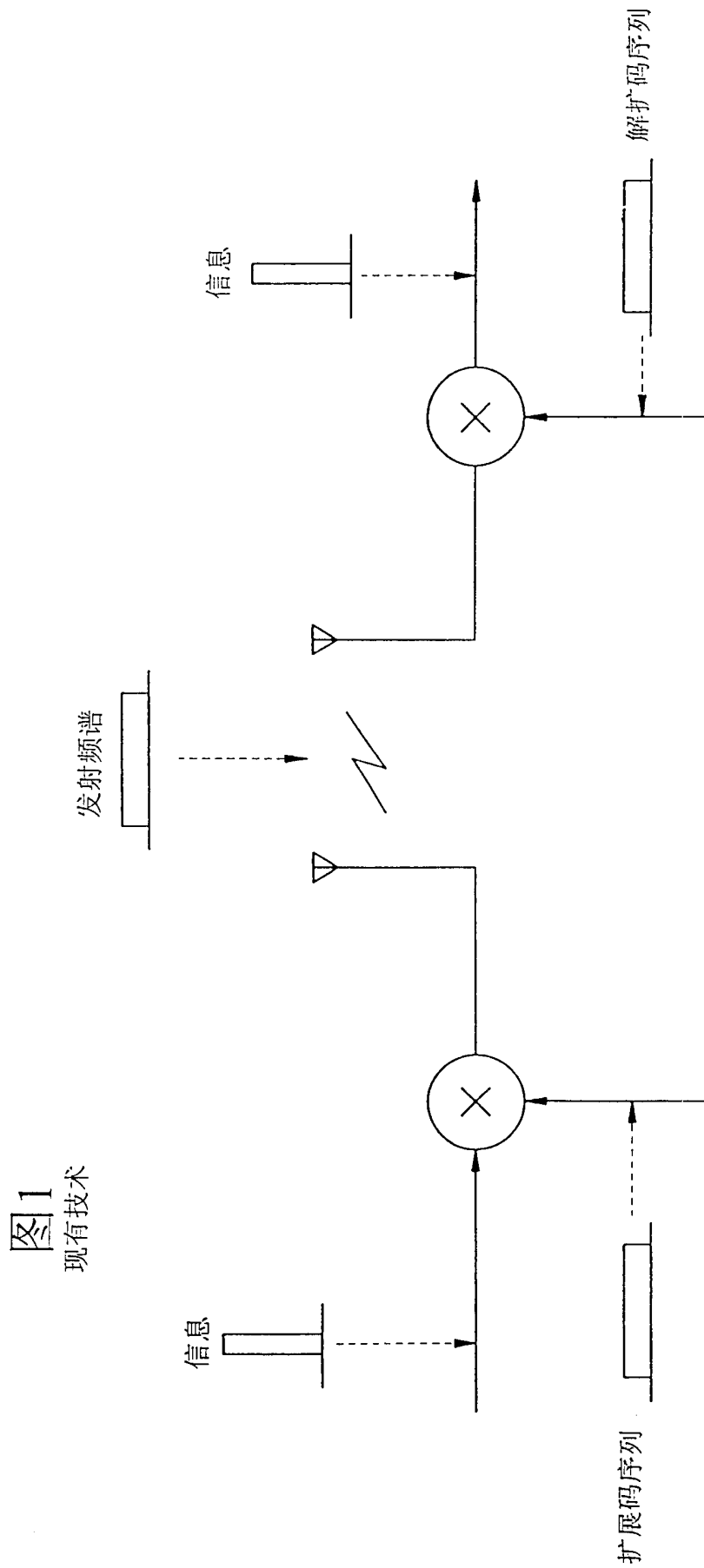


图2

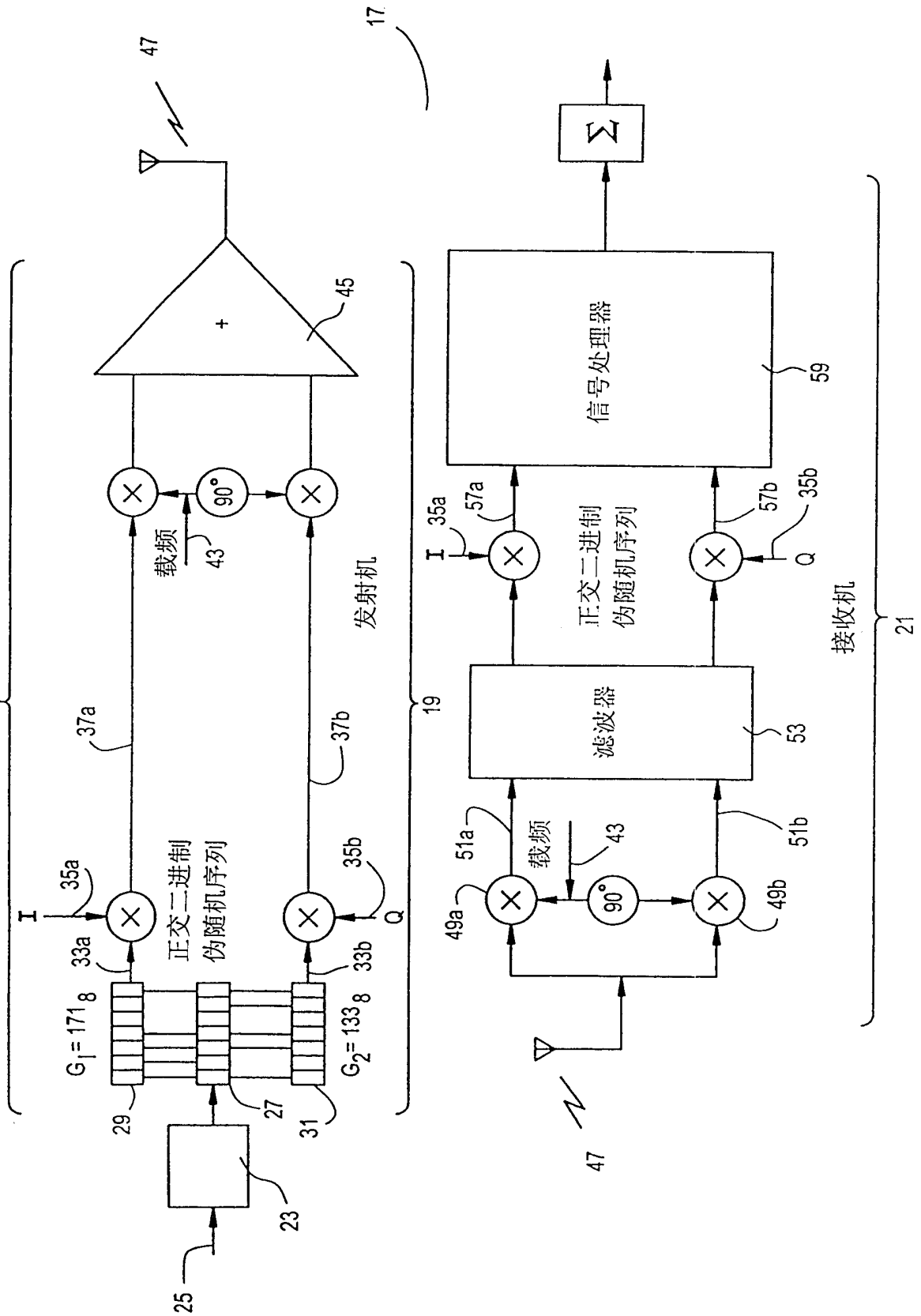


图3A

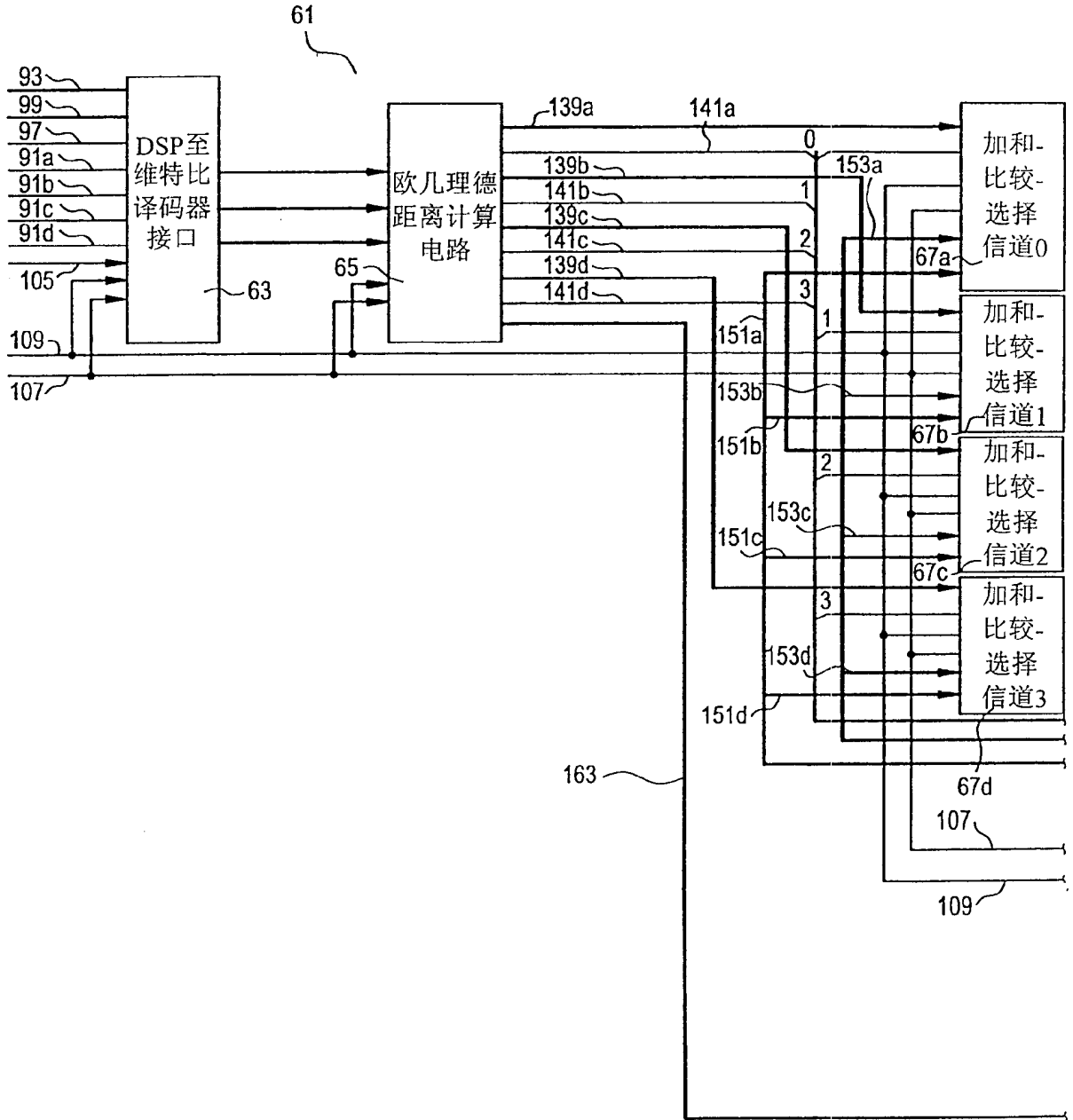


图3B

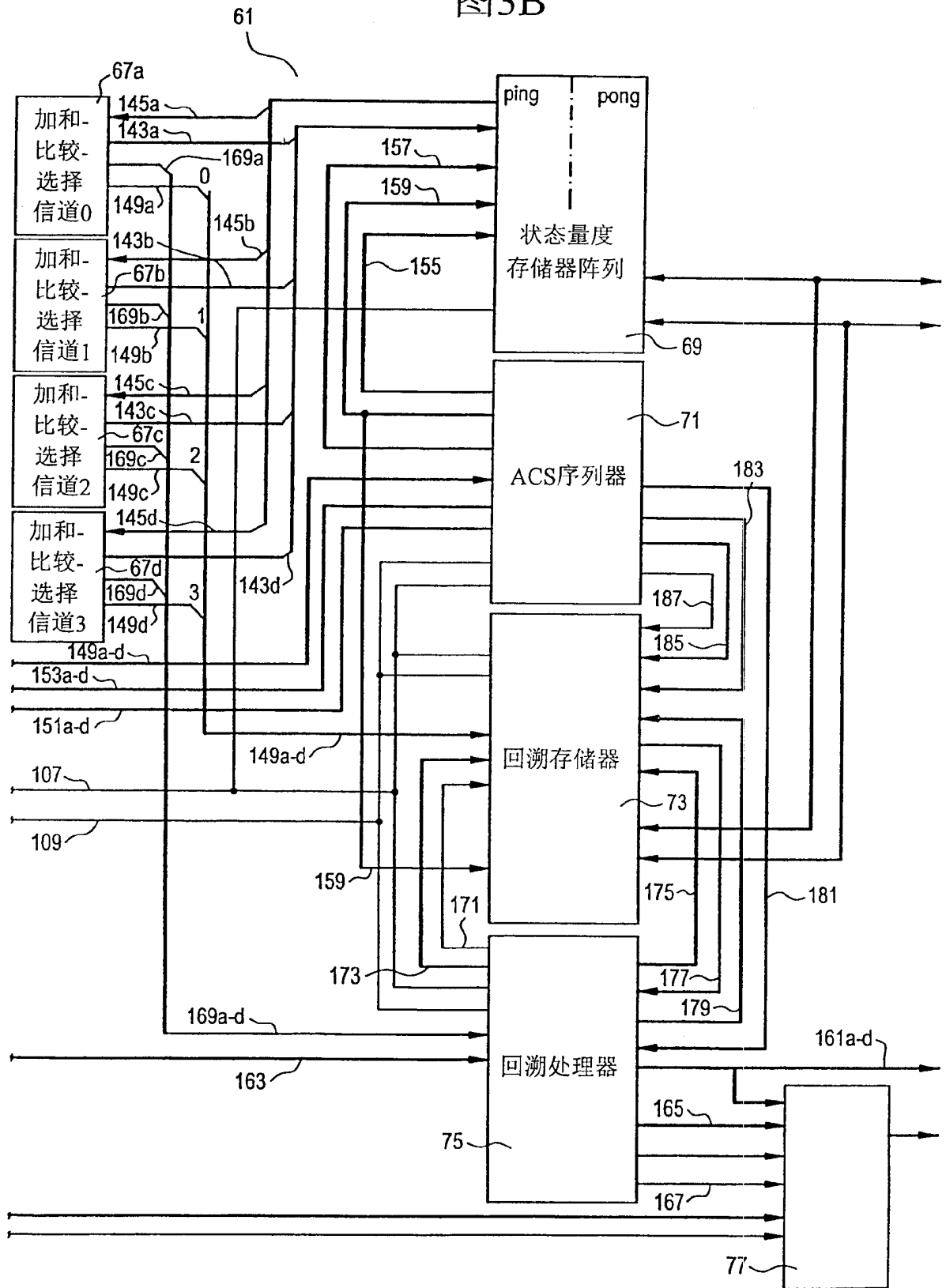
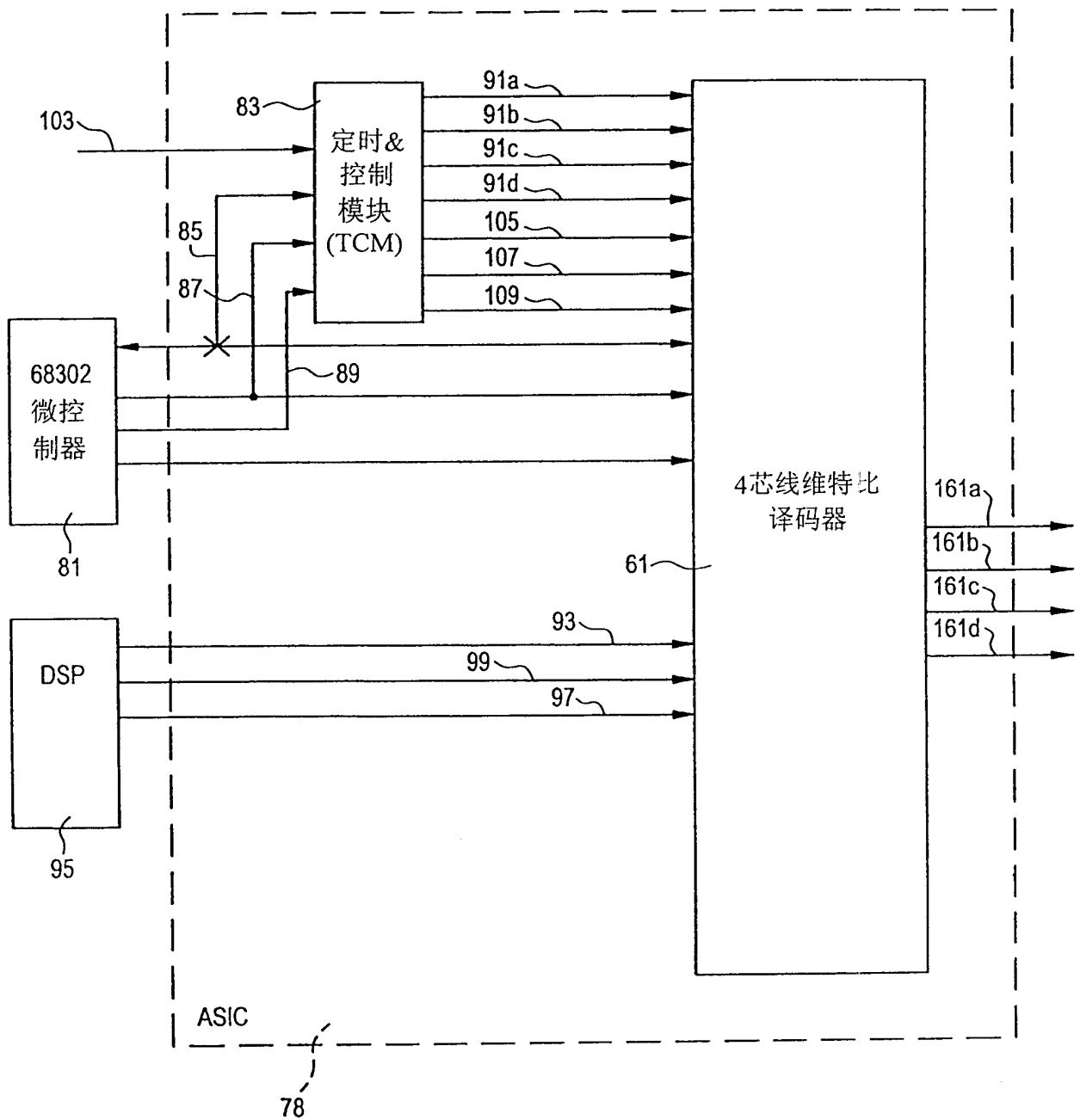


图4



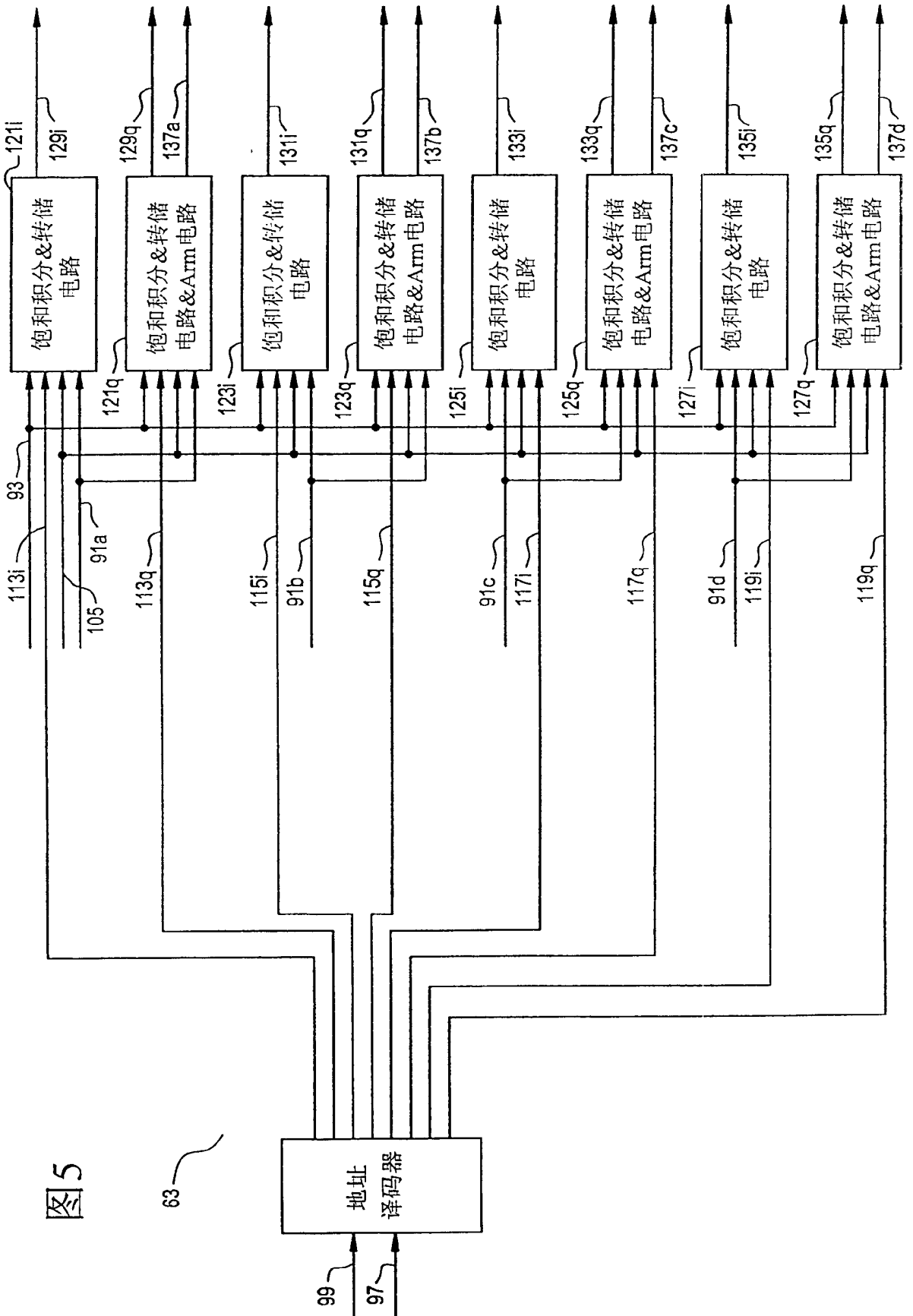


图5

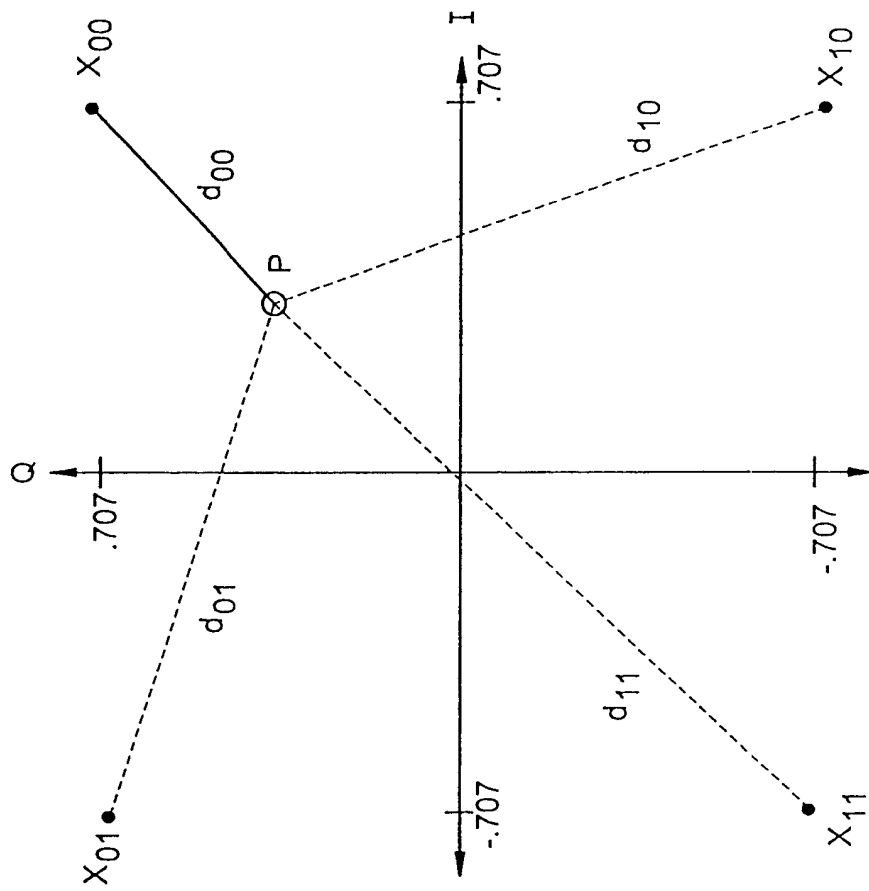


图6

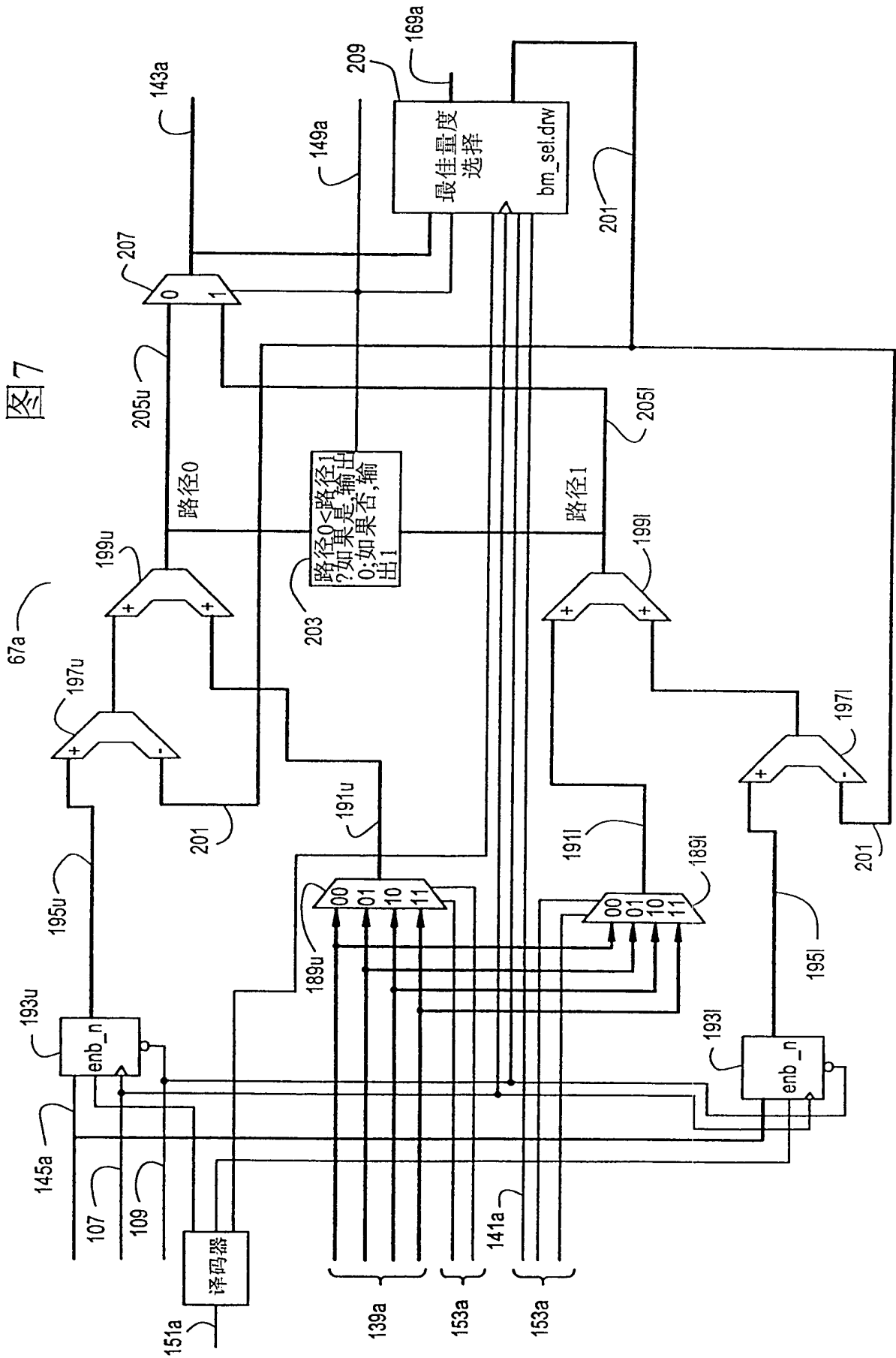


图7

图8A

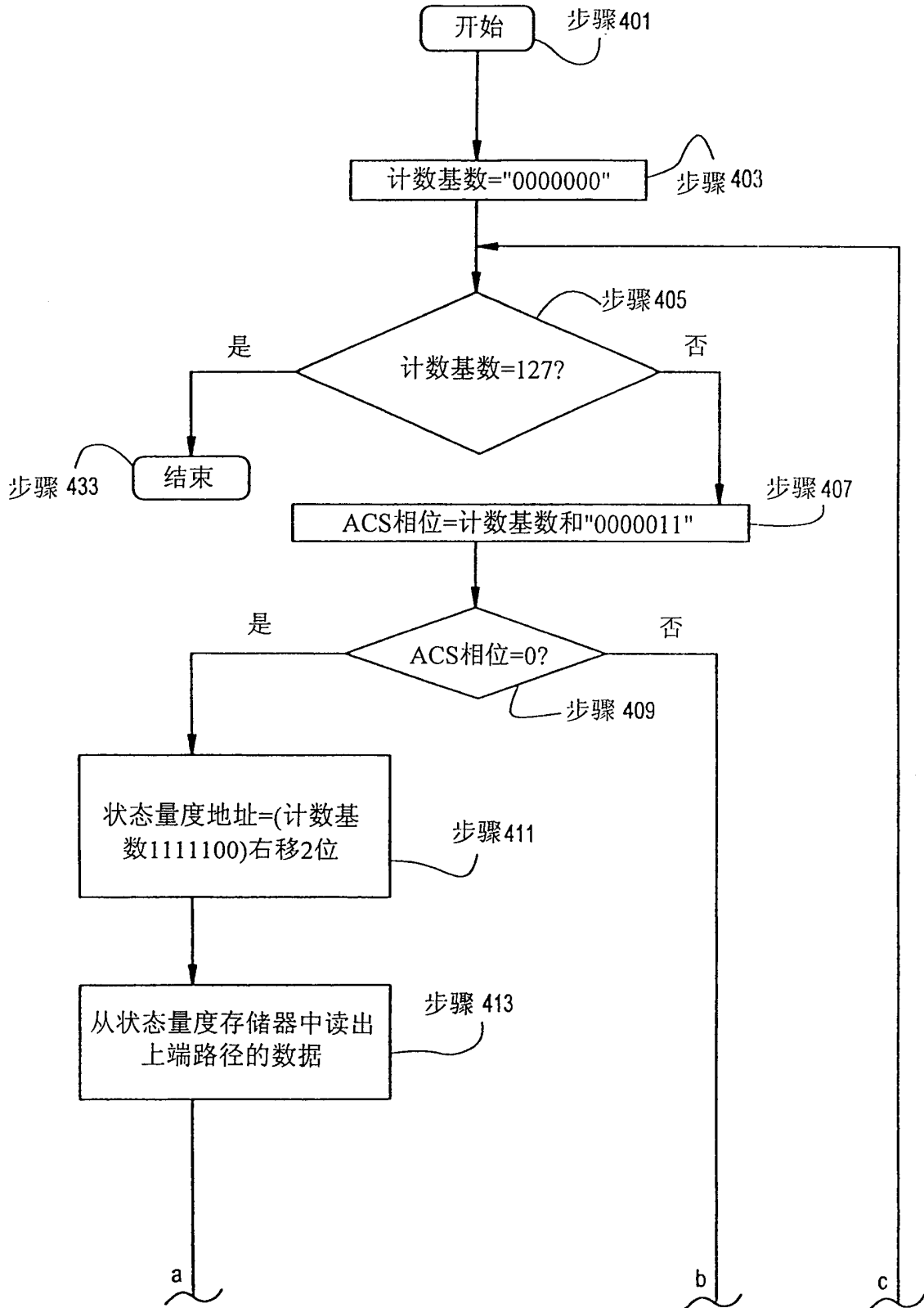


图8B

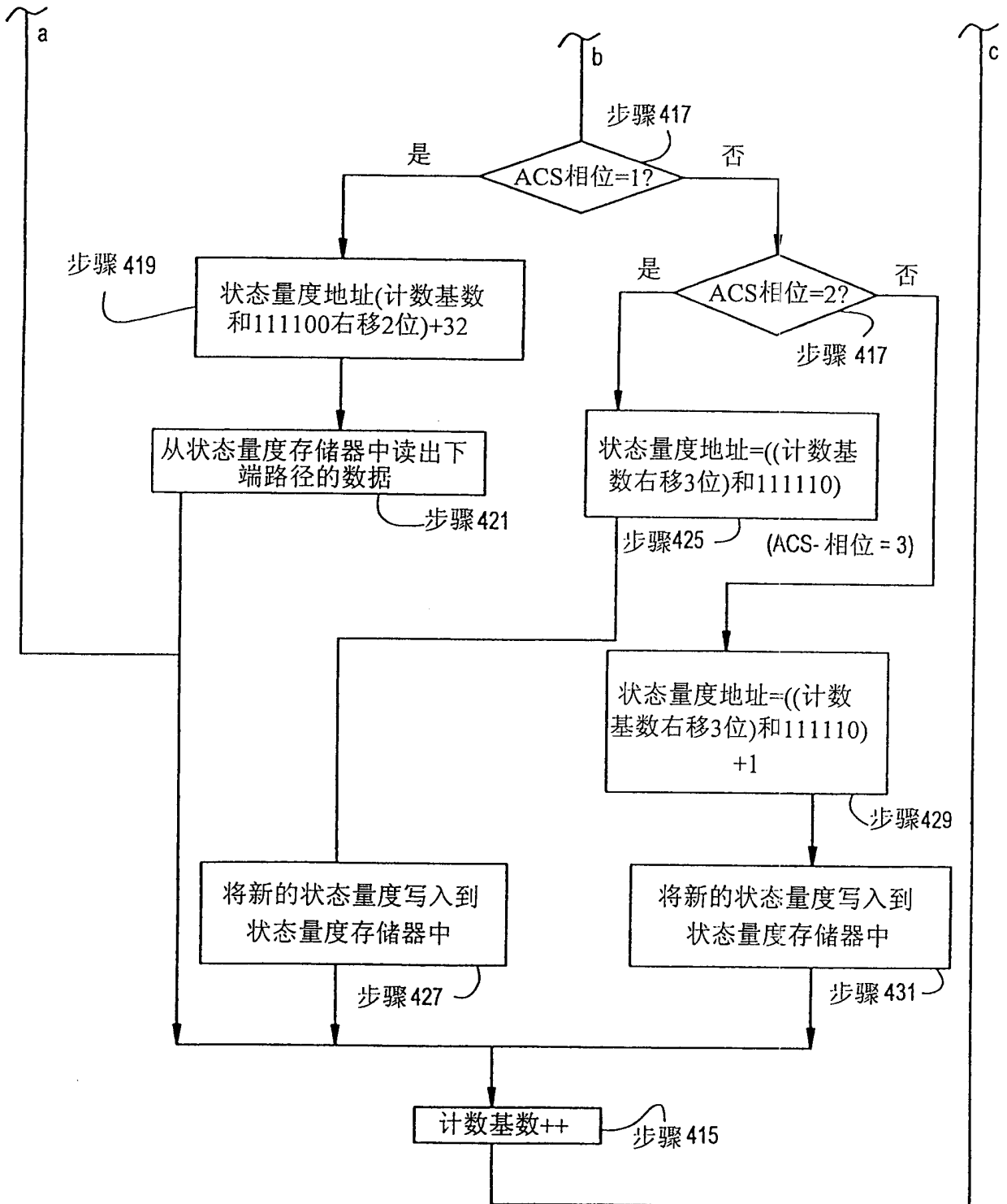


图10

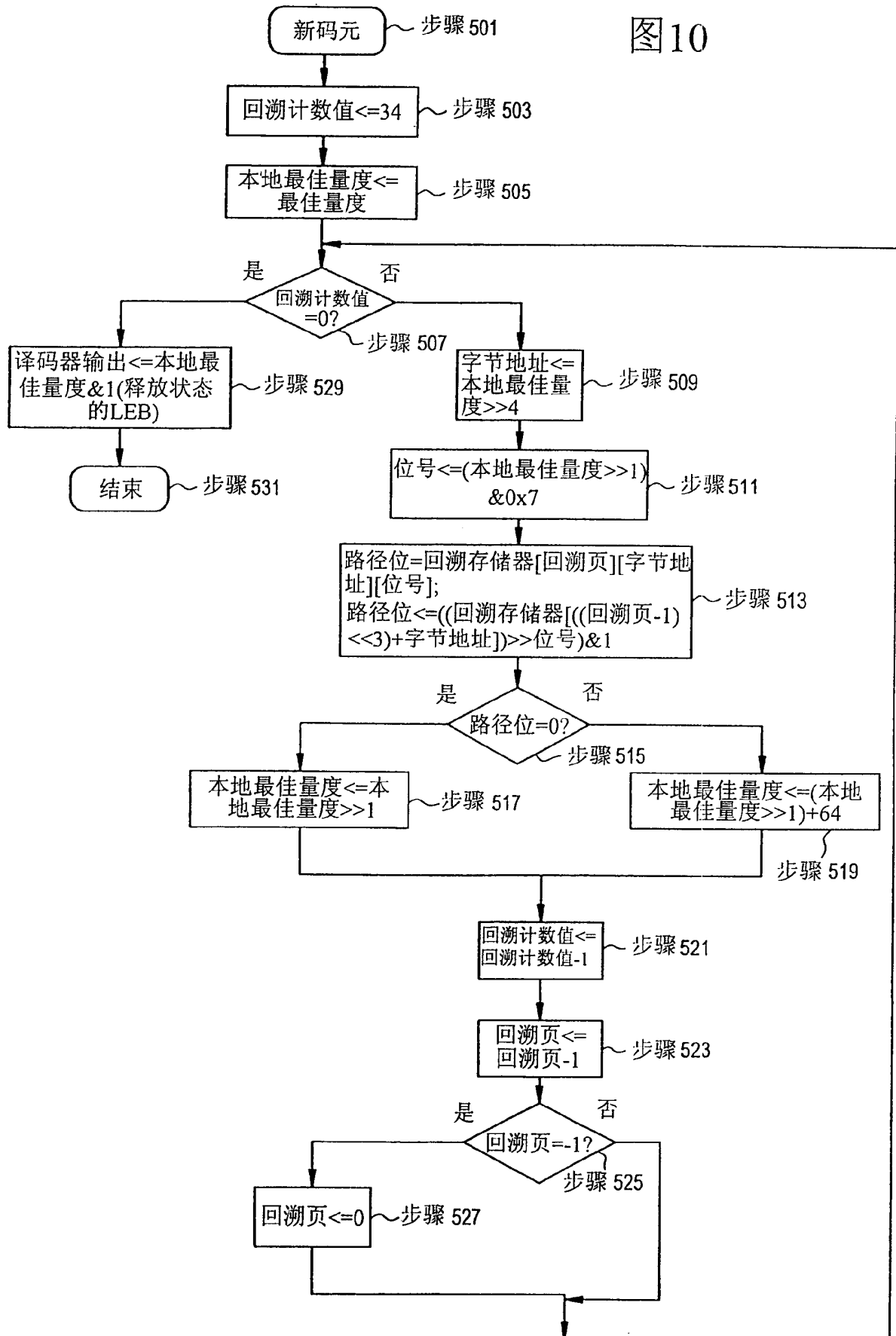


图11

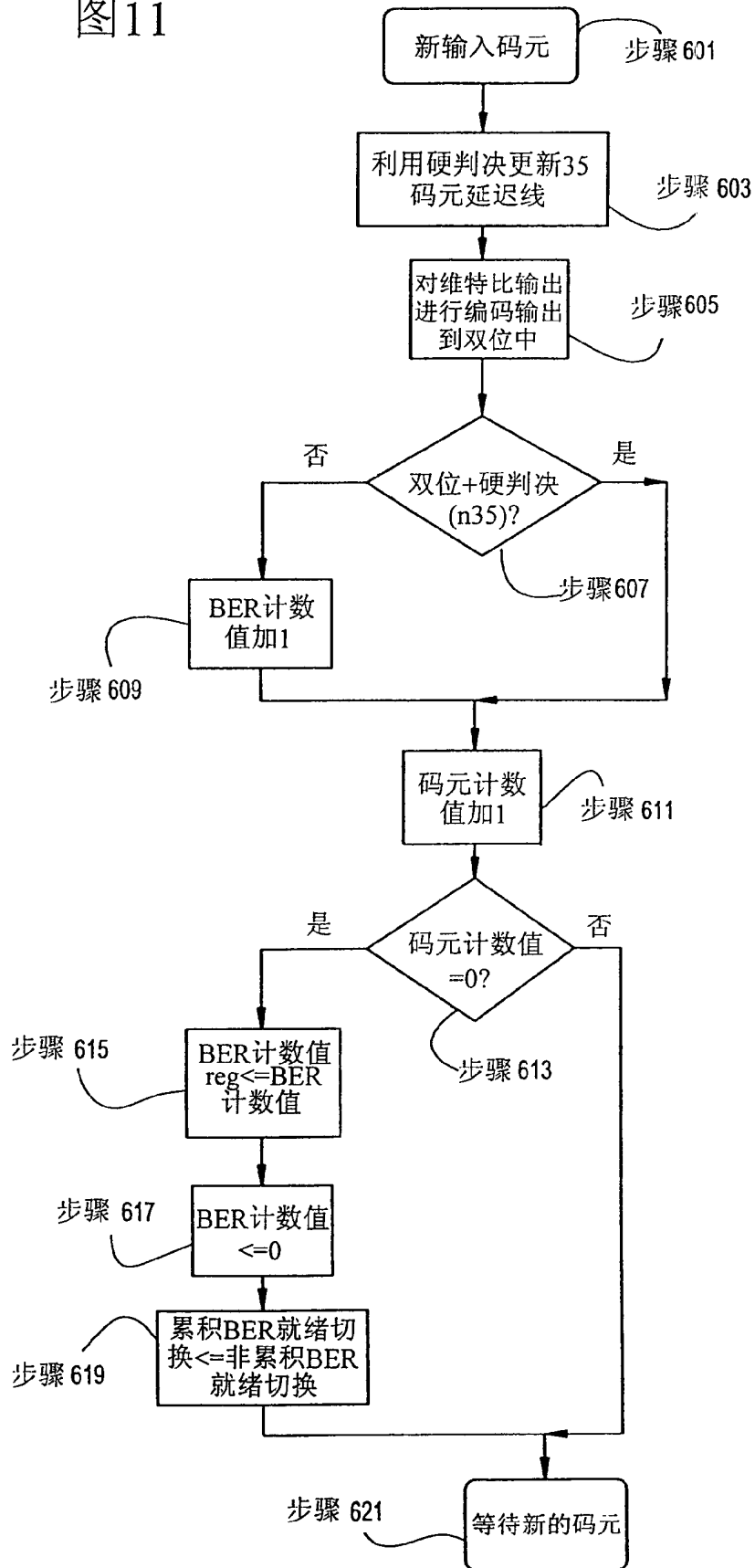


图12

