



(45)授权公告日 2019.05.14

S · N · 波蒂

申请公布号 CN 105874343 A

代理人 赵志刚 赵蓉民

14/145,293 2013.12.31 US

G01R 31/28(2006.01)

(56)对比文件

2016.06.29

CN 102692595 A, 2012.09.26.

JP 2006003317 A, 2006.01.05,

PCT/US2014/073090 2014.12.31

US 2011307750 A1, 2011.12.15,

(87)PCT国际申请的公布数据

CN 101174831 A, 2008.05.07,

W02015/103440 EN 2015.07.09

US 2005268194 A1, 2005.12.01,

(73)专利权人 德克萨斯仪器股份有限公司

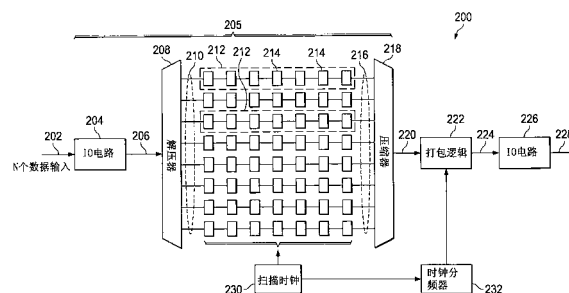
审查员 陈梦慧

地址 美国德克萨斯州

权利要求书3页 说明书6页 附图7页

在最佳频率处理较慢的扫描输出

在描述的用于测试集成电路的电路(200)的示例中,电路(200)包括由扫描时钟(230)驱动的扫描压缩体系结构(205)并生成M个扫描输出(220),其中M为整数。时钟分频器(232)被配置为将扫描时钟(230)除以k,以生成k个数量的相移扫描时钟,其中k为整数。打包逻辑(222)耦接到扫描压缩体系结构(205)并响应于M个扫描输出(220)和k个相移扫描时钟生成kM个慢扫描输出(224)。打包逻辑(222)进一步包括M个数量的打包元件,并且M个打包元件中的每个接收M个扫描输出(220)中的相应一个扫描输出(220)。每个打包元件包括k个数量的触发器,并且打包元件中的k个触发器中的每个接收M扫描输出(220)中的相应一个扫描输出(220)。每个触发器接收k个相移扫描时钟中的相应一个相移扫描时钟,致使响应于扫描输出和相移扫描时钟,每个触发器生成kM个慢扫描输出中的相应一个慢扫描输出。



1. 一种电路,所述电路包括:

扫描压缩体系结构,所述扫描压缩体系结构由扫描时钟驱动,并且被配置为生成M个扫描输出,其中M为整数;

时钟分频器,所述时钟分频器被配置将所述扫描时钟除以k,以生成k个数量的相移扫描时钟,其中k为整数;和

打包逻辑,所述打包逻辑耦接到所述扫描压缩体系结构,并且被配置为响应于所述M个扫描输出和所述k个数量的相移扫描时钟,生成kM个慢扫描输出;

其中,所述打包逻辑包括:M个数量的打包元件,所述M个数量的打包元件的每个打包元件被配置为接收所述M个扫描输出中的扫描输出;以及每个打包元件中的k个数量的触发器,打包元件中的所述k个数量的触发器的每个触发器被配置为接收所述M个扫描输出中的扫描输出,并且被配置为接收所述k个数量的相移扫描时钟中的相移扫描时钟,致使每个触发器响应于所述扫描输出和所述相移扫描时钟,生成所述kM个慢扫描输出中的慢扫描输出。

2. 根据权利要求1所述的电路,其中,响应于所述扫描输出和所述k个数量的相移扫描时钟,每个打包元件生成k个慢扫描输出。

3. 根据权利要求1所述的电路,其中,所述扫描压缩体系结构进一步包括:

第一多个输入/输出即IO电路,所述第一多个IO电路被配置为接收N个数据输入,并且被配置为生成N个扫描输入,其中N为整数;

解压器,所述解压器耦接到所述第一多个IO电路,并且被配置为接收所述N个扫描输入;

压缩器,所述压缩器耦接到所述解压器,并且被配置为生成所述M个扫描输出;和

多个扫描链,所述多个扫描链耦接在所述解压器和所述压缩器之间,其中所述多个扫描链的每个扫描链包括多个扫描单元。

4. 根据权利要求3所述的电路,其进一步包括:第二多个IO电路,所述第二多个IO电路耦接到所述打包逻辑,并且被配置为响应于来自所述打包逻辑的所述kM个慢扫描输出,生成kM个数据输出。

5. 根据权利要求3所述的电路,其中,所述多个扫描链由所述扫描时钟驱动。

6. 根据权利要求3所述的电路,其中,所述解压器被配置为响应于所述N个扫描输入,生成多个核心扫描输入。

7. 根据权利要求6所述的电路,其中,所述多个扫描链被配置为接收所述多个核心扫描输入,其中所述多个扫描单元的每个扫描单元被配置为在所述扫描时钟的频率下移位所述多个核心扫描输入中的核心扫描输入。

8. 根据权利要求6所述的电路,其中,所述多个扫描链被配置为响应于所述多个核心扫描输入,生成多个核心扫描输出。

9. 根据权利要求8所述的电路,其中,所述压缩器被配置为响应于所述多个核心扫描输出,生成所述M个扫描输出。

10. 一种测试方法,所述方法包括:

从扫描时钟生成k个数量的相移扫描时钟,其中k为整数;

将打包逻辑配置为从M个扫描输出生成kM个慢扫描输出,其中,所述打包逻辑包括M个

数量的打包元件,其中M为整数;以及

将所述M个数量的打包元件的每个打包元件配置为响应于所述M个扫描输出中的扫描输出和所述k个数量的相移扫描时钟,生成k个慢扫描输出。

11. 根据权利要求10所述的方法,其进一步包括:

响应于N个数据输入,生成N个扫描输入;

响应于所述N个扫描输入,生成多个核心扫描输入;

响应于所述多个核心扫描输入,生成多个核心扫描输出;以及

响应于所述多个核心扫描输出,生成所述M个扫描输出。

12. 根据权利要求10所述的方法,其中,每个打包元件包括k个数量的触发器。

13. 根据权利要求10所述的方法,其进一步包括:将打包元件中的所述k个数量的触发器的每个触发器配置为响应于在所述打包元件处接收的所述扫描输出以及响应于所述k个数量的相移扫描时钟中的相移扫描时钟,生成慢扫描输出。

14. 根据权利要求10所述的方法,其进一步包括:多个扫描链,被配置为响应于所述多个核心扫描输入,生成多个核心扫描输出,所述多个扫描链的每个扫描链包括多个扫描单元。

15. 根据权利要求14所述的方法,其中,所述多个扫描单元的每个扫描单元被配置为在所述扫描时钟的频率下移位所述多个核心扫描输入中的核心扫描输入。

16. 根据权利要求10所述的方法,其进一步包括响应于所述kM个慢扫描输出,生成kM个数据输出。

17. 一种计算装置,所述计算装置包括:

处理单元;

多个逻辑电路,所述逻辑电路耦接到所述处理单元;和

测试电路,所述测试电路耦接到所述多个逻辑电路的至少一个逻辑电路,所述测试电路包括:扫描压缩体系结构,所述扫描压缩体系结构由扫描时钟驱动,并且被配置为生成M个扫描输出,其中M为整数;时钟分频器,所述时钟分频器被配置为将所述扫描时钟除以k,以生成k个数量的相移扫描时钟,其中k为整数;和打包逻辑,所述打包逻辑耦接到所述扫描压缩体系结构,并且被配置为响应于所述M个扫描输出和所述k个数量的相移扫描时钟,生成kM个慢扫描输出;

其中,所述打包逻辑包括:M个数量的打包元件,所述M个数量的打包元件的每个打包元件被配置为接收所述M个扫描输出中的扫描输出;和每个打包元件中的k个数量的触发器,打包元件中的所述k个数量的触发器的每个触发器被配置为接收所述M个扫描输出中的扫描输出,并且被配置为接收所述k个数量的相移扫描时钟中的相移扫描时钟,致使每个触发器响应于所述扫描输出和所述相移扫描时钟,生成所述kM个慢扫描输出中的慢扫描输出。

18. 根据权利要求17所述的计算装置,其中,所述扫描压缩体系结构进一步包括:

第一多个输入/输出即IO电路,所述第一多个IO电路被配置为接收N个数据输入,并且被配置为生成N个扫描输入,其中N为整数;

解压器,所述解压器耦接到所述第一多个IO电路,并且被配置为接收所述N个扫描输入;

压缩器,所述压缩器耦接到所述解压器,并且被配置为生成所述M个扫描输出;和

多个扫描链,所述多个扫描链耦接在所述解压器和所述压缩器之间,其中,所述多个扫描链的每个扫描链包括多个扫描单元。

19.根据权利要求17所述的计算装置,其进一步包括:第二多个IO电路,所述第二多个IO电路耦接到所述打包逻辑,并且被配置为响应于来自所述打包逻辑的所述kM个慢扫描输出,生成kM个数据输出。

20.根据权利要求17所述的计算装置,其中,所述多个扫描链被配置为接收所述多个核心扫描输入,其中,所述多个扫描单元的每个扫描单元被配置为在所述扫描时钟的频率下移位所述多个核心扫描输入中的核心扫描输入。

在最佳频率处理较慢的扫描输出

背景技术

[0001] 本申请通常涉及扫描测试,并且特别地,涉及诸如集成电路(IC)的半导体器件的扫描测试。

[0002] 基于扫描的技术提供有效的替代物以实现与基于功能模式的测试相比的高故障覆盖。随着设计尺寸增加以及多芯的SoC(片上系统)对于驱动高速应用变得必不可少,测试数据量和测试应用时间甚至是在高效并基于平衡扫描的设计中逐渐变得不实用。目前为止,扫描压缩技术是在扫描插入设计的模式执行期间用于测试数据量和测试时间减少的最佳技术。在SoC上实施的少数压缩技术包括广播或伊利诺(Illinois)体系结构、多路复用的和异或门体系结构、或基于MISR(多输入移位寄存器)的压缩体系结构。在现今的功耗性器件中的问题是处理漏泄功率。做出努力以使用超低漏泄库(ULL)单元。基于ULL单元库的输入/输出(I/O)在输入端上接收扫描输入并且在输出端上生成扫描输出。基于ULL单元库的I/O在时钟上具有相对高的惯性延迟,和在输出端处的数据路径,该数据路径能够达到高达30ns量级。这些I/O的输入端不受该计时问题的影响,因为时钟和数据路径之间的惯性延迟相对较低。在此情况下,不可能在较高的频率下驱动扫描操作,例如30MHz或更高。虽然超低成本测试器(VLCT)能够支持数据在较高的时钟频率下被驱动,但是较慢的扫描输出对于操作是个瓶颈。相应地,扫描操作不在最佳频率下执行,导致较多的测试时间。

发明内容

[0003] 在描述的用于测试集成电路的电路的示例中,该电路包括由扫描时钟驱动的扫描压缩体系结构并生成M个扫描输出,其中M为整数。时钟分频器被配置为将扫描时钟除以k,以生成k个数量的相移扫描时钟,其中k为整数。打包逻辑耦接到扫描压缩体系结构并响应于M个扫描输出和k个数量的相移扫描时钟,生成kM个慢扫描输出。打包逻辑进一步包括M个数量的打包元件,并且M个数量的打包元件的每个打包元件接收M个扫描输出中的扫描输出。每个打包元件包括k个数量的触发器,并且在打包元件中的k个数量的触发器的每个触发器接收M个扫描输出中的扫描输出。每个触发器接收k个数量的相移扫描时钟的相移扫描时钟,致使响应于扫描输出和相移扫描时钟,每个触发器生成kM个慢扫描输出的慢扫描输出。

[0004] 另一种实施例提供一种测试的方法,其中k个数量的相移扫描时钟从扫描时钟生成,其中k为整数。打包逻辑从M个扫描输出生成kM个慢扫描输出。打包逻辑包括M个数量的打包元件,其中M为整数。M个数量的打包元件的每个打包元件响应于M个扫描输出的扫描输出和k个数量的相移扫描时钟,生成k慢扫描输出。

[0005] 此外,实施例提供一种计算装置,该计算装置包括处理单元、多个逻辑电路和测试电路,该多个逻辑电路耦接到处理单元。测试电路耦接到多个逻辑电路的至少一个逻辑电路。测试电路包括由扫描时钟驱动的扫描压缩体系结构并生成M个扫描输出,其中M为整数。时钟分频器被配置为将扫描时钟除以k,以生成k个数量的相移扫描时钟,其中k为整数。打包逻辑耦接到扫描压缩体系结构并响应于M个扫描输出和k个数量的相移扫描时钟,生成kM

个慢扫描输出。打包逻辑进一步包括M个数量的打包元件,并且M个数量的打包元件的每个打包元件接收M个扫描输出中的扫描输出。每个打包元件包括k个数量的触发器,并且在打包元件中的k个数量的触发器的每个触发器接收M个扫描输出中的扫描输出。每个触发器接收k个数量的相移扫描时钟中的相移扫描时钟,致使响应于扫描输出和相移扫描时钟,每个触发器生成kM个慢扫描输出中的慢扫描输出。

附图说明

- [0006] 图1是用于测试集成电路 (IC) 的电路的原理图。
- [0007] 图2是根据实施例的用于测试集成电路 (IC) 的电路的原理图。
- [0008] 图3是根据实施例的打包逻辑的原理图。
- [0009] 图4A是根据实施例的时钟分频器的时序图。
- [0010] 图4B是根据实施例的打包逻辑的原理图。
- [0011] 图5是根据实施例的打包逻辑的时序图。
- [0012] 图6是根据实施例的计算装置的框图。

具体实施方式

[0013] 图1是用于测试集成电路 (IC) 的电路100的原理图。电路100包括IO (输入/输出) 电路104、解压器108、扫描链112、扫描时钟128、压缩器118、内部比较器122和状态寄存器126。IO电路104从测试器 (图1中未示出) 接收N个数据输入102,其中N为整数。测试器的示例包括超低成本测试器 (VLCT) 和高端测试器。IO电路104耦接到解压器108。解压器108耦接到扫描链112。扫描链112的每个扫描链包括扫描单元,例如图1的扫描单元114。扫描链112由扫描时钟128驱动。压缩器118耦接到扫描链112。IO电路104、解压器108、扫描链112和压缩器118一起形成扫描压缩体系结构105。压缩器118耦接到内部比较器122。内部比较器122从测试器接收预期的扫描响应输入124。状态寄存器126耦接到内部比较器122。

[0014] 在电路100的操作中,IO电路104从测试器接收N个数据输入并生成N个扫描输入106。解压器108接收N个扫描输入106并响应于N个扫描输入106,生成核心扫描输入110。核心扫描输入110被提供到扫描链112。扫描单元的每个扫描单元114在扫描时钟128的频率下移位核心扫描输入110中的核心扫描输入。响应于由扫描链112接收的核心扫描输入110,扫描链112生成核心扫描输出116。压缩器118接收核心扫描输出116并响应于核心扫描输出116,生成M个扫描输出120,其中M为整数。内部比较器122接收来自压缩器118的M个扫描输出120。内部比较器122也接收来自测试器的预期的扫描响应输入124。内部比较器122被配置为比较M个扫描输出120和预期的扫描响应输入124以生成测试结果125。测试结果125存储在状态寄存器126中。状态寄存器126能够以一个或多个位的形式存储测试结果。在至少一个示例中,状态寄存器126包括一个或多个触发器 (例如D触发器) 或锁存器。在每个测试周期中,测试器生成一组位,其作为N个数据输入102被提供到扫描压缩体系结构105,并且多个测试周期构成测试模式。在每个测试周期中生成的测试结果125被存储在状态寄存器126中并且在每个测试模式结束时被分析。

[0015] 在某些情况下,内部比较器122也接收未知值 (“0”或“1”),其被称为屏蔽位。在那些情况下,当M个扫描输出120中的值包括屏蔽位时,排除用内部比较器122进行的与预期的

扫描响应输入124的比较。内部比较器122继续比较常规逻辑“1”位和逻辑“0”位作为比较,以确定正被测试的集成电路的性质(有故障/无故障)。然而,内部比较器122的使用禁止了在每个测试周期结束时的测试结果的分析,并且电路100中的测试结果在测试模式结束时被分析。并且,未知值需要在M个扫描输出120中被屏蔽,其在每个扫描输出增加附加开销(overhead)。

[0016] 图2是根据实施例的用于测试集成电路(IC)的电路200的原理图。电路200包括第一IO电路204、解压器208、扫描链212、压缩器218、打包逻辑222、第二IO电路226、扫描时钟230和时钟分频器232。IO电路204从测试器(图2中未示出)接收N个数据输入202,其中N为整数。测试器的示例包括超低成本测试器(VLCT)和高端测试器。IO电路204耦接到解压器208。解压器208耦接到扫描链212。扫描链212中的每个扫描链包括扫描单元,例如扫描单元214。扫描链212由扫描时钟230驱动。压缩器218耦接到扫描链212。IO电路204、解压器208、扫描链212和压缩器218一起形成扫描压缩体系结构205。压缩器218耦接到打包逻辑222。打包逻辑222从时钟分频器232接收信号。打包逻辑222耦接到IO电路226。

[0017] 在电路200的操作中,IO电路204从测试器接收N个数据输入202并生成N个扫描输入206。解压器208接收N个扫描输入206并响应于N个扫描输入206,生成核心扫描输入210。核心扫描输入210被提供到扫描链212。扫描链212由扫描时钟230驱动。扫描单元的每个扫描单元214在扫描时钟230的频率下移位核心扫描输入210中的核心扫描输入。响应于由扫描链212接收的核心扫描输入210,扫描链212生成核心扫描输出216。压缩器218接收核心扫描输出216并响应于核心扫描输出216,生成M个扫描输出220,其中M为整数。在一个实施例中,M等于N。时钟分频器232被配置为将扫描时钟230除以k,以生成k个数量的相移扫描时钟,其中k为整数。例如,当扫描时钟230的频率为30MHz且k等于3时,时钟分频器生成三个相移扫描时钟,每个10MHz。在一个实施例中,扫描时钟中的相移是k的函数,例如 $360^\circ/k$ 。在一个实施例中,扫描时钟中的相移是0度,所以生成的扫描时钟同相。扫描时钟中的相移由用户预定义并且被硬接线在电路200中。在至少一个示例中,时钟被相移45度、90度或180度。

[0018] 打包逻辑222耦接到扫描压缩体系结构205并响应于M个扫描输出220和k个数量的相移扫描时钟,生成kM个慢扫描输出224。关联图3进一步讨论打包逻辑222的特征和操作。打包逻辑222耦接到IO电路226。IO电路226被配置为响应于kM个慢扫描输出224,生成kM个数据输出228。与kM个慢扫描输出224和kM个数据输出228相比,N个数据输入202、N个扫描输入206和M个扫描输出220在较高的频率下操作。相应地,电路200解决处理kM个慢扫描输出224的问题,甚至当在较快速率下接收M个扫描输出220时,而不丢失数据并且从而节省用于测试集成电路的时间。在每个测试周期中,测试器生成一组位,其作为N个数据输入202被提供到扫描压缩体系结构205,并且多路测试周期构成测试模式。打包逻辑222允许在每个测试周期结束时的测试结果的分析。并且,在当打包逻辑222接收未知值(“0”或“1”) (其被称为屏蔽位)的情况下,这些屏蔽位被当做常规位,并且不在电路200上增加更多的开销。

[0019] 图3是根据实施例的打包逻辑300的原理图。打包逻辑300和电路200中的打包逻辑222有相似的连接和操作。打包逻辑300包括M个数量的打包元件(其中M为整数),例如打包元件305A、打包元件305B和打包元件305M。打包元件305M是M个数量的打包元件的第M个打包元件。M个打包元件中的每个被配置为接收M个扫描输出320的相应一个扫描输出。例如,打包元件305A接收扫描输出320A,打包元件305B接收扫描输出320B,以及打包元件305M接

收扫描输出320M。扫描输出320M是M个扫描输出320的第M个扫描输出。每个打包元件包括k个数量的触发器,其中k为整数。例如,打包元件305A包括触发器302a、触发器302b和触发器302k。触发器302k是k个数量的触发器的第k个触发器。类似地,打包元件305M包括触发器306a、触发器306b和触发器306k。在一个实施例中,触发器是锁存器、触发器的组合或寄存器。打包逻辑300被配置为从时钟分频器(图3中未示出,与图2的时钟分频器232相似)接收k个数量的相移扫描时钟。打包逻辑300接收k个相移的扫描时钟,例如扫描时钟1(315a)、扫描时钟2(315b)和扫描时钟k(315k)。扫描时钟k是k个相移扫描时钟的第k个扫描时钟。在一个实施例中,扫描时钟中的相移是k的函数,例如 $360^\circ/k$ 。在一个实施例中,扫描时钟中的相移是0度,所以生成的扫描时钟同相。时钟中的相移由用户预定义并且被硬接线在打包逻辑300中。在至少一个示例中,时钟被相移45度、90度或180度。k个触发器的每个被配置为接收k个相移扫描时钟的相应一个相移扫描时钟。例如,触发器302a、触发器304a和触发器306a接收扫描时钟1(315a)。类似地,触发器302b、触发器304b和触发器306b接收扫描时钟2(315b),以及触发器306a、触发器306b和触发器306k接收扫描时钟k(315k)。每个触发器被配置为响应于扫描输出和相移扫描时钟,生成慢扫描输出。相应地,响应于扫描输出和k个数量的相移扫描时钟,每个打包元件生成k个慢扫描输出。例如,打包元件305A生成慢扫描输出324A1、324A2和324Ak,其中324Ak是第k个慢扫描输出。类似地,打包元件305B生成慢扫描输出324B1、324B2和324Bk,其中324Bk是第k个慢扫描输出。响应于M个扫描输出320,打包逻辑300生成kM个慢扫描输出324。在实施例中,打包逻辑300接收两个扫描输出并包括两个打包元件,每个元件具有两个触发器。相应地,打包逻辑生成四个慢扫描输出。关联图4A和图4B进一步讨论打包逻辑的操作。

[0020] 图4A是根据实施例的时钟分频器的时序图。图4A示出当时钟分频器(例如时钟分频器232(如图2所示))接收扫描时钟(例如扫描时钟230)并生成k个数量的相移扫描时钟(其中k为整数)时的时序图。在至少一个示例中,图4A示出当k等于3时,来自时钟分频器232的相移扫描时钟。时钟分频器被配置为将扫描时钟除以k,以生成k个数量的相移扫描时钟。例如,若扫描时钟的频率为30MHz,那么时钟分频器将生成三个相移扫描时钟,每个10MHz。扫描时钟430由时钟分频器232接收。时钟分频器生成相移扫描时钟1(415a)、扫描时钟2(415b)和扫描时钟3(415c)。每个扫描时钟被相移120度。例如,扫描时钟2(415b)关于扫描时钟1(415a)相移120度,且类似地,扫描时钟3(415c)关于扫描时钟2(415b)相移120度。在一个实施例中,扫描时钟中的相移是k的函数,例如 $360^\circ/k$ 。在一个实施例中,扫描时钟中的相移是0度,所以生成的扫描时钟同相。时钟中的相移由用户预定义并且被硬接线在时钟分频器232中。在至少一个示例中,时钟被相移45度、90度或180度。

[0021] 图4B是根据实施例的打包逻辑400的原理图。打包逻辑400与打包逻辑300有相似的连接和操作。图4B的打包逻辑的变量是:k等于3,且M等于4。打包逻辑400包括四个打包元件405A、405B、405C和405D。打包逻辑400接收四个扫描输出420A、420B、420C和420D。四个打包元件的每个被配置为接收四个扫描输出420的相应一个扫描输出。例如,打包元件405A接收扫描输出420A、打包元件405B接收扫描输出420B以及打包元件405D接收扫描输出420D。每个打包元件包括三个触发器。例如,打包元件405A包括触发器402a、触发器402b和触发器402c。类似地,打包元件405C包括触发器406a、触发器406b和触发器406c。在一个实施例中,触发器是锁存器、触发器的组合或寄存器。打包逻辑400被配置为从时钟分频器(图4B中未

示出)接收三个相移扫描时钟,该时钟分频器与图2的时钟分频器232相似。打包逻辑400接收图4A的相移扫描时钟1(415a)、扫描时钟2(415b)和扫描时钟3(415c)。在一个实施例中,扫描时钟中的相移是 k 的函数,例如 $360^\circ/k$ 。在一个实施例中,扫描时钟中的相移是0度,所以生成的扫描时钟同相。时钟中的相移由用户预定义并且被硬接线在打包逻辑400中。在至少一个示例中,时钟被相移45度、90度或180度。每个触发器被配置为接收相移扫描时钟。例如,触发器402a、触发器404a、触发器406a和触发器408a接收扫描时钟1(415a)。类似地,触发器402b、触发器404b、触发器406b和触发器408b接收扫描时钟2(415b),以及触发器402c、触发器404c、触发器406c和触发器408c接收扫描时钟3(415c)。每个触发器被配置为响应于扫描输出和相移扫描时钟,生成慢扫描输出。相应地,响应于扫描输出和相移扫描时钟,每个打包元件生成三个慢扫描输出。例如,打包元件405A生成慢扫描输出424A1、424A2和424A3。类似地,打包元件405B生成慢扫描输出424B1、424B2和424B3。响应于四个扫描输出420,打包逻辑400生成12($4*3$)个慢扫描输出424。

[0022] 图5是根据实施例的打包逻辑的时序图500。时序图500根据图4A、图4B和打包逻辑400解释。图5示出当 k 等于3且 M 等于4时的相移扫描时钟和慢扫描输出。图5示出当时钟分频器(例如时钟分频器232(如图2所示))接收扫描时钟430并生成相移扫描时钟1(415a)、扫描时钟2(415b)和扫描时钟3(415c)时的时序图500。关联图4A讨论上文的扫描时钟的生成。打包元件405A接收扫描输出420A。时序图500示出三个慢扫描输出,其由打包元件生成,例如打包逻辑400(如图4B所示)中的打包元件405A。触发器402a接收扫描时钟1(415a)和扫描输出420A,并且生成慢扫描输出1(424A1)。类似地,响应于扫描时钟2(415b)和扫描输出420A,触发器402b生成慢扫描输出2(424A2)。并且,响应于扫描时钟3(415c)和扫描输出420A,触发器402c生成慢扫描输出(424A3)。时序图500进一步示出对于一个扫描输出而言,打包元件生成三个慢扫描输出。扫描输出420A在扫描时钟430的频率下由打包逻辑400接收,然而,慢扫描输出(424A1-424A3)在扫描时钟430的频率的三分之一的频率下生成。相应地,对于扫描时钟430的三个脉冲,每个慢扫描输出可用作打包逻辑400的输出,因此打包逻辑400允许在每个时钟周期脉冲结束时分析测试结果。每个时钟周期脉冲结束时的测试结果能够诊断失败的扫描链。相应地,打包逻辑400解决处理12个慢扫描输出的问题,甚至当在较快速率下接收四个扫描输出时,而不丢失数据并且从而节省用于测试集成电路的时间。

[0023] 图6示出计算装置600的实施例。计算装置600是或是被并入服务器机群的集成电路、具有硬驱动、视频记录仪、蓝牙器件、远程控制、键盘、移动通信器件(例如移动电话或个人数字助理)的计算装置、个人计算机或任何其他类型的电子系统。

[0024] 在某些示例中,计算装置600能够是微控制器、微处理器或片上系统(SoC),其包括处理单元612,例如中央处理单元(CPU)。例如,处理单元612能够是CISC类型(复杂指令集计算机)的CPU、RISC类型(精简指令集计算机)的CPU或数字信号处理器(DSP)。测试器610耦接到计算装置600。测试器610包括支持执行软件应用630的计算装置600的测试和调试的逻辑。例如,测试器610可用于仿真计算装置600的(一个或更多个)缺陷或不可用组件。这允许验证(一个或更多个)组件(如果(一个或更多个)组件实际地存在于计算装置600上)将怎样在各种情况下表现(例如,(一个或更多个)组件将怎样与软件应用630交互)。以此方式,软件应用630能够在类似于后期生产操作的环境中调试。

[0025] 在至少一个示例中,处理单元612包括高速缓冲存储器和逻辑,其存储和使用从测

试器610频繁地访问的信息,因此处理单元612对指导计算装置600的完全功能性负责。计算装置600包括逻辑电路615。逻辑电路615的至少一个耦接到测试电路620。测试电路620在连接和操作上与电路200类似。测试电路与测试器610共同操作。测试电路620解决处理 kM 个慢扫描输出的问题,甚至当在较快速率下接收 M 个扫描输出时,而不丢失数据并且从而节省用于测试集成电路的时间,其中 k 、 M 和 N 为整数。在每个测试周期中,测试器610生成一组位,其作为 N 个数据输入被提供到测试电路620,并且多个测试周期构成测试模式。测试电路620允许在每个时钟周期结束时分析测试结果。并且,在当测试电路620接收未知值(“0”或“1”) (其被称为屏蔽位)的情况下,测试电路620将这些屏蔽位当做常规位,并且不在计算装置600上增加更多的开销。

[0026] 在权利要求的范围内,在所述的实施例中的修改是可能的,并且其他实施例是可能的。

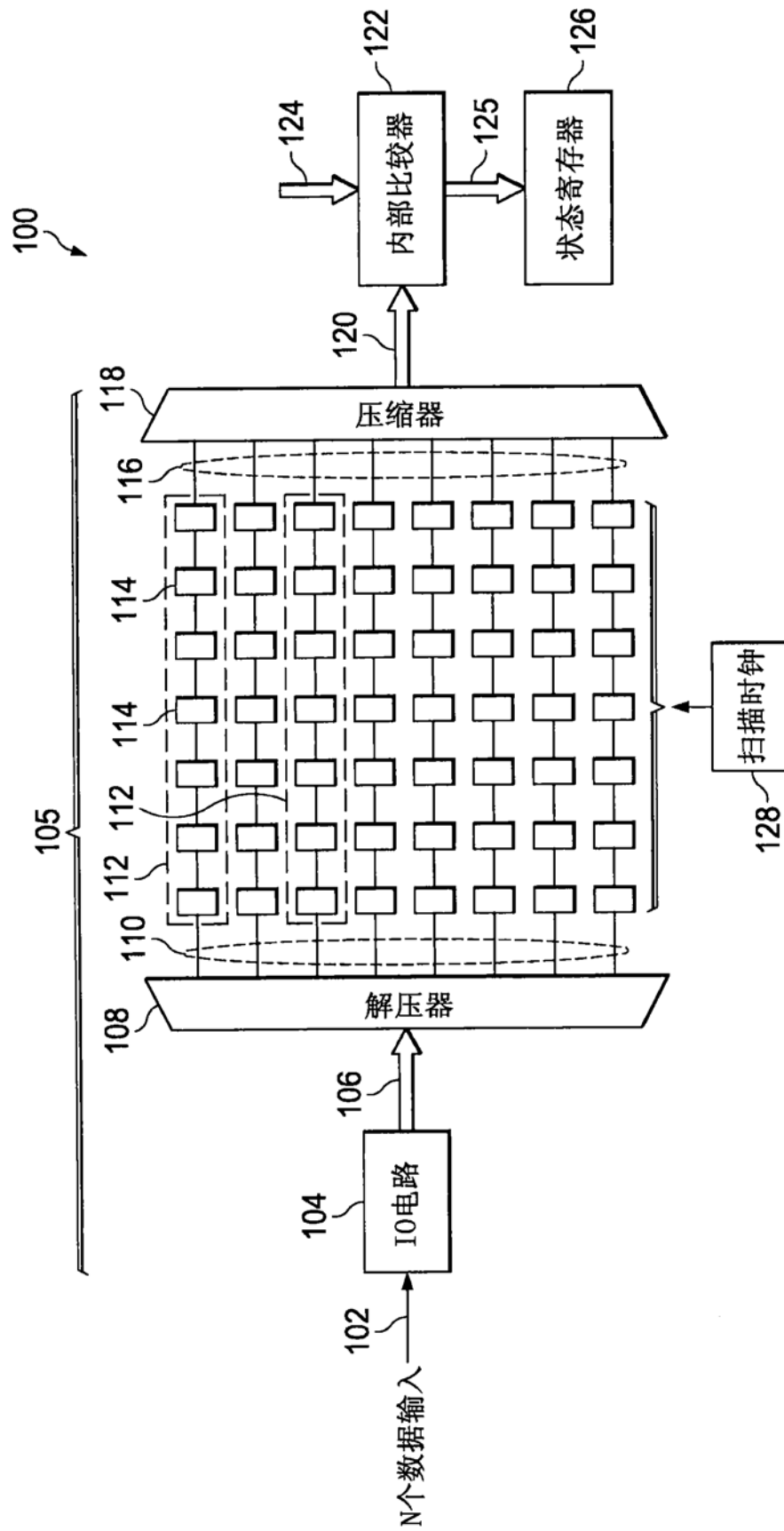


图1

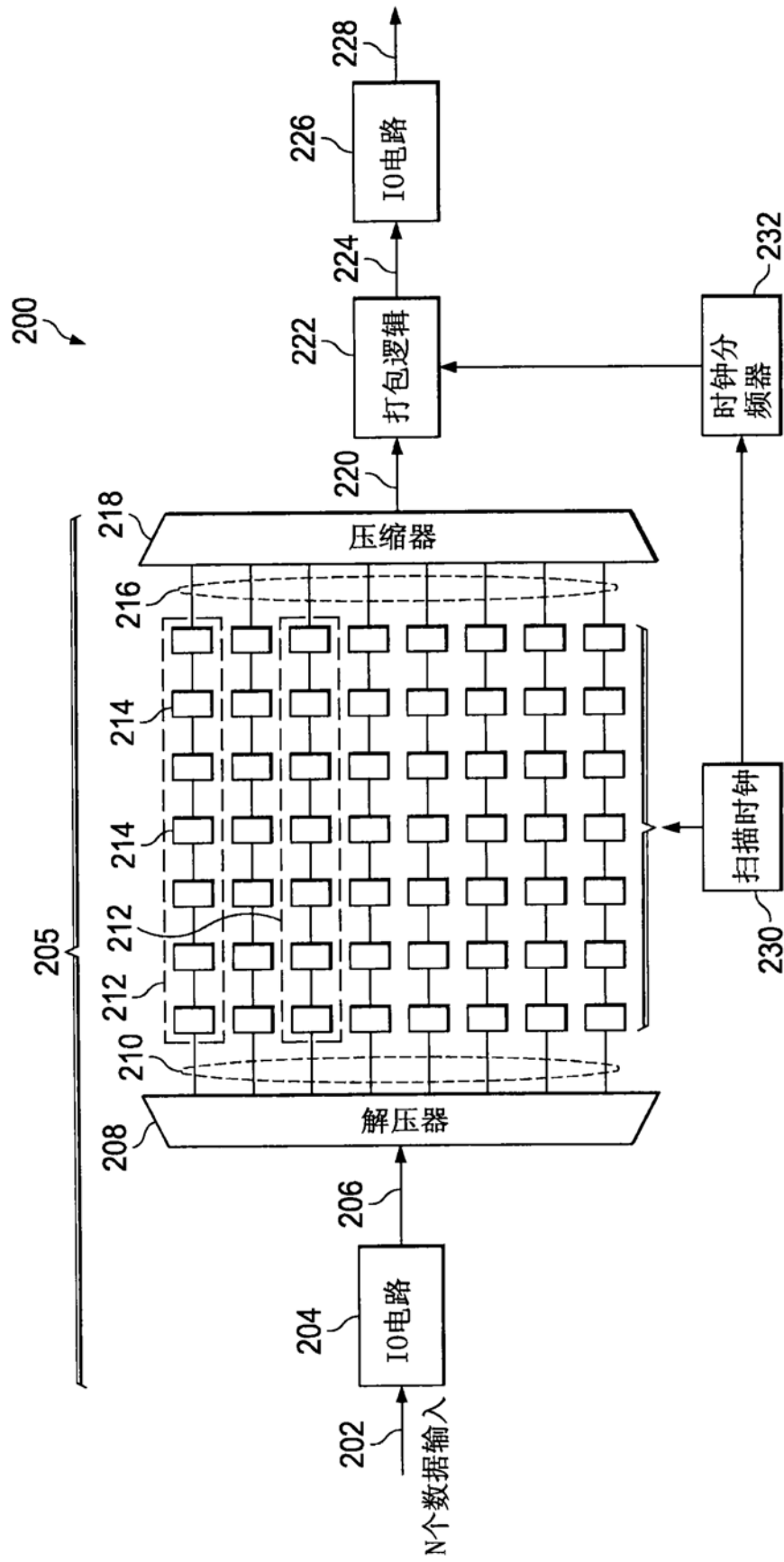


图2

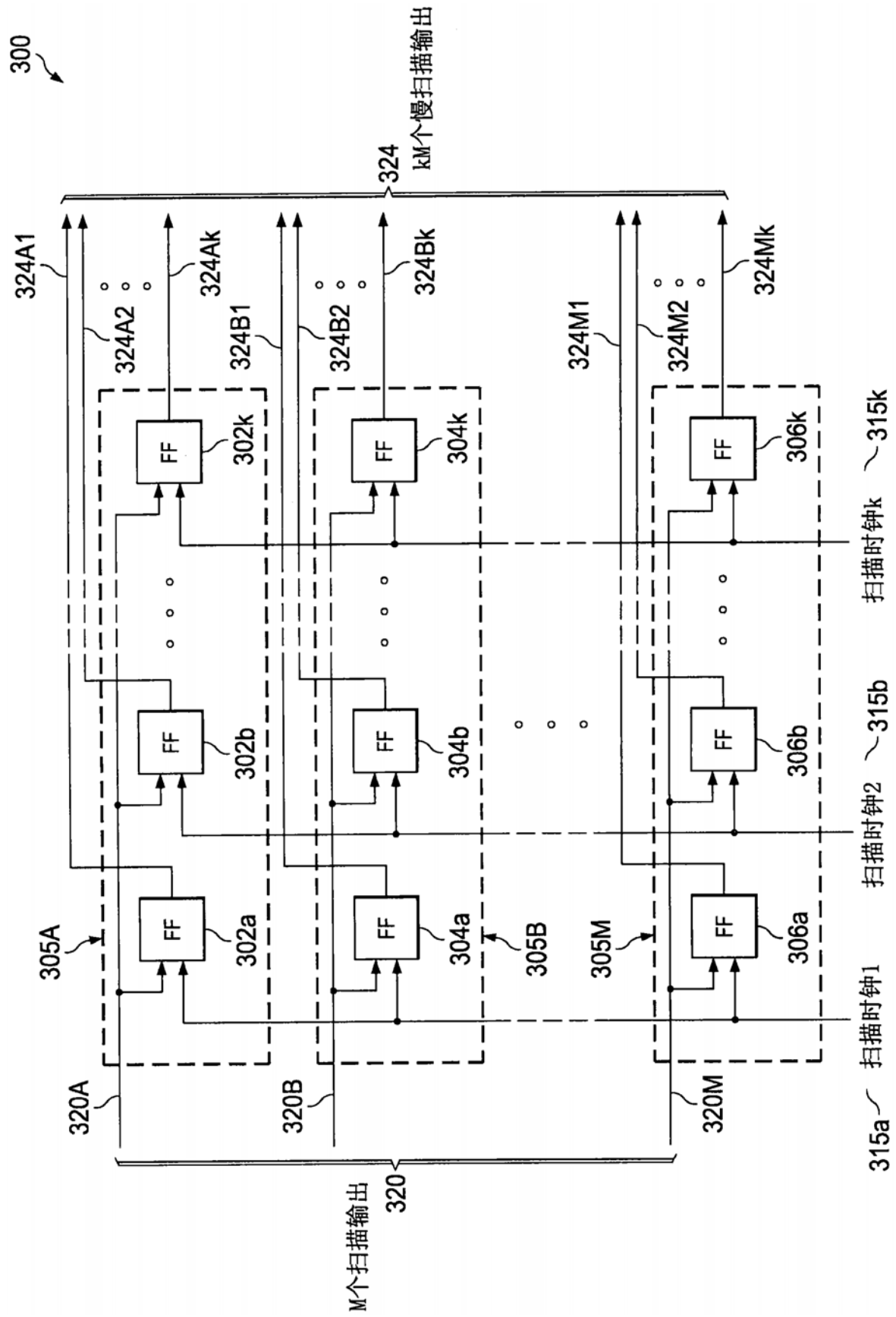


图3

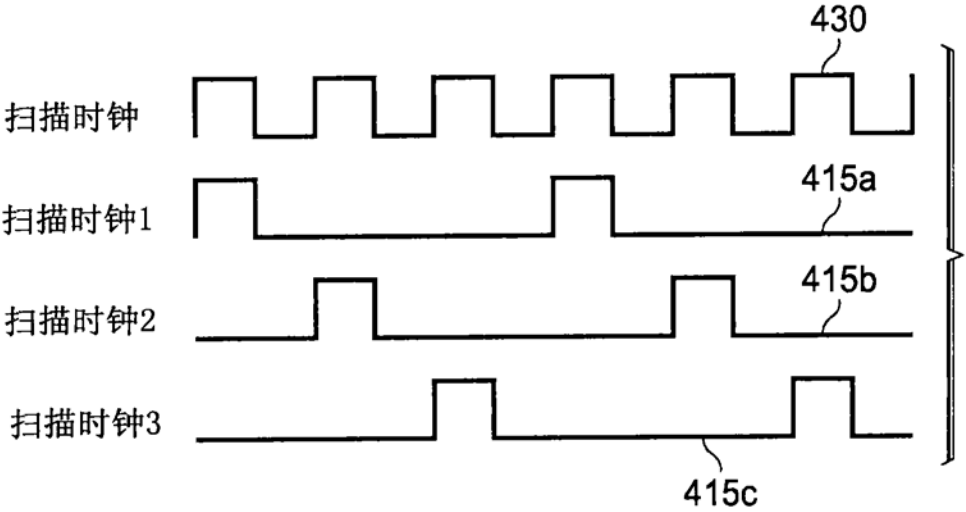


图4A

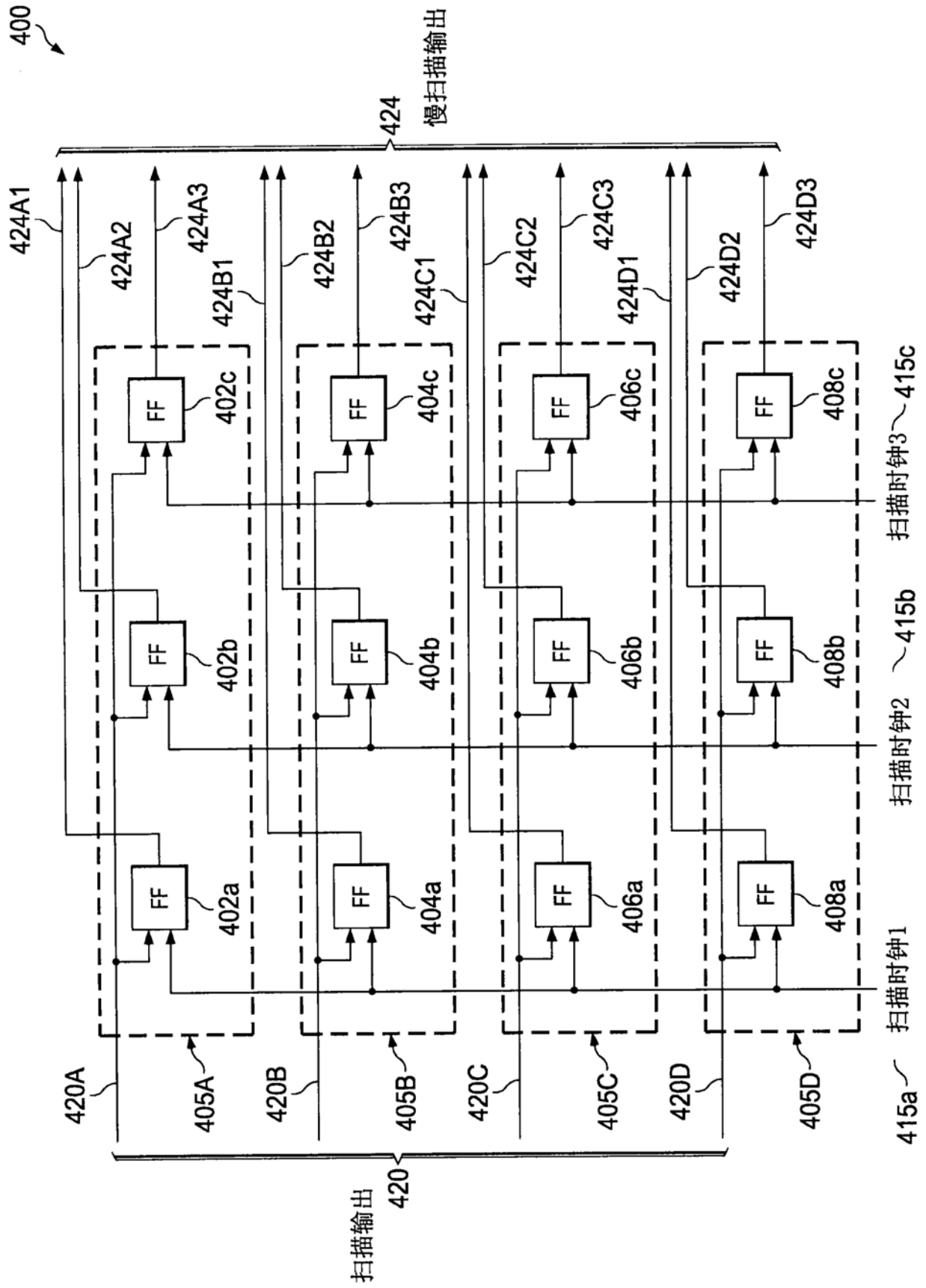


图4B

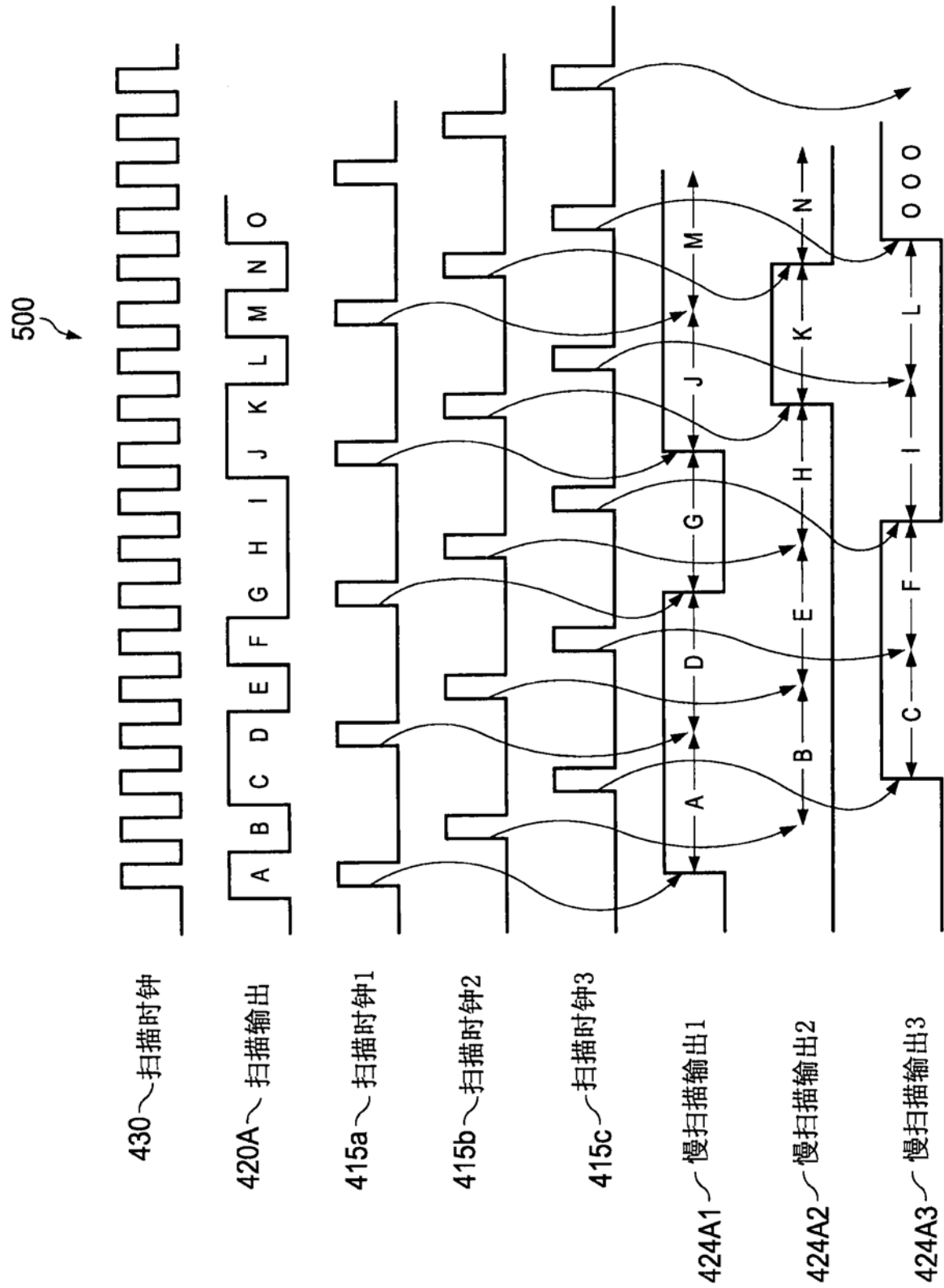


图5

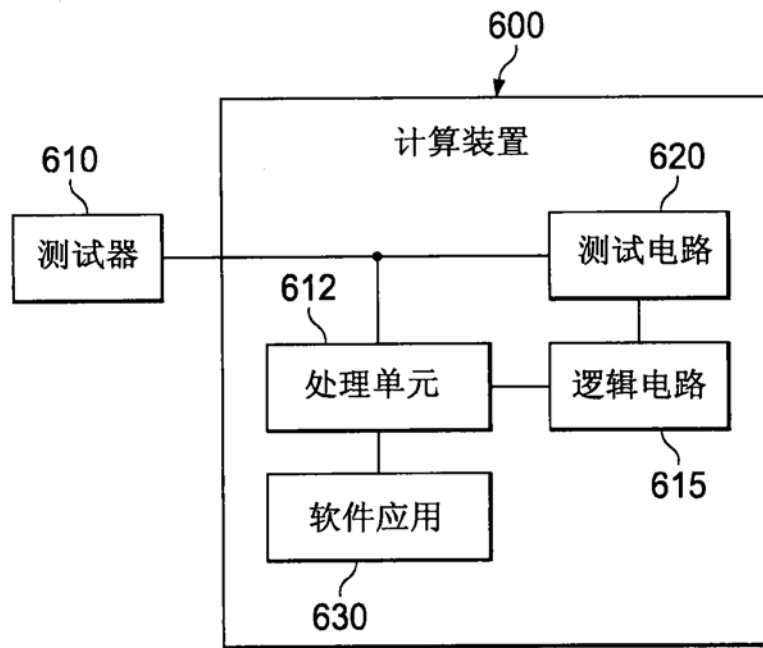


图6