

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/108

(45) 공고일자 2000년11월15일

(11) 등록번호 10-0272941

(24) 등록일자 2000년08월31일

(21) 출원번호	10-1997-0023763	(65) 공개번호	특1998-0063330
(22) 출원일자	1997년06월10일	(43) 공개일자	1998년10월07일
(30) 우선권 주장	96-343351 1996년12월24일 일본(JP)		
(73) 특허권자	미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고미쓰비시덴키 가부시키가 이샤 기타오카 다카시 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고		
(72) 발명자	나카이 야스오		
(74) 대리인	일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 김창세		

심사관 : 조지은

(54) 반도체장치및그제조방법

요약

본 발명에 의하면, 캐패시터와 트랜지스터와의 전기적 접속이 양호하게 이루어지는 반도체 장치와 그 제조 방법을 제공한다.

캐패시터의 하부전극으로 되는 기억노드(storage node)(7a)가, 제 1 폴리실리콘막(7c)에 형성된 개구부(13)내를 피복하는 제 2 폴리실리콘막(7d)를 통해, 콘택트 홀(6)에 매립된 폴리실리콘 기둥형상 도전체(柱狀導電體)(7b)에 전기적으로 접속되어 있다. 또한 그 폴리실리콘막 기둥형상 도전체는, MOS 트랜지스터 T의 소스·드레인영역(4a)에 콘택트(6a)에 의해 전기적으로 접속되어 있다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1에 있어서의 반도체 장치의 단면을 도시한 도면
 도 2는 동일 실시예에 있어서, 반도체 장치의 제조 방법의 한 공정을 도시한 단면도
 도 3은 동일 실시예에 있어서, 도 2에 도시한 공정 후에 실행되는 공정을 도시한 단면도
 도 4는 동일 실시예에 있어서, 도 3에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 5는 동일 실시예에 있어서, 도 4에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 6는 동일 실시예에 있어서, 도 5에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 7은 동일 실시예에 있어서, 도 6에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 8은 동일 실시예에 있어서, 도 7에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 9는 동일 실시예에 있어서, 도 8에 도시한 공정에서의 반도체 장치의 평면을 도시한 도면
 도 10은 본 발명의 실시예 2에 있어서, 도 8에 도시한 공정에서의 반도체 장치의 평면을 도시한 도면
 도 11은 종래 DRAM의 블록도
 도 12는 종래 DRAM의 메모리 셀의 등가(等價)회로도
 도 13은 종래 DRAM의 단면을 도시한 도면
 도 14는 종래 DRAM의 제조 방법의 한 공정을 도시한 단면도
 도 15는 도 14에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 16은 도 15에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 17은 도 16에 도시한 공정 다음에 실행되는 공정을 도시한 단면도

도 18은 도 17에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 19는 도 18에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도 20은 도 19에 도시한 공정 다음에 실행되는 공정을 도시한 단면도
 도면의 주요 부분에 대한 부호의 설명
 1 : 반도체 기판 2 : 게이트절연막
 3 : 게이트전극 4a, 4b : 소스·드레인영역
 5, 5a, 5b : 실리콘산화막 6 : 콘택트 홀
 6a : 콘택트 7b : 폴리실리콘 기동형상 도전체
 7a : 기억노드 7c : 제 1 폴리실리콘막
 7d : 제 2 폴리실리콘막 7e : 기억노드 오목(凹)부
 8 : 캐패시터 절연막 9 : 셀 플레이트
 10 : 층간 절연막 13 : 개구부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 다이내믹 랜덤 액세스 메모리(Dynamic Random Access Memory)(이하 「DRAM」이라 한다)등의 정보로서의 전하를 축적하는 캐패시터의 형성이 용이한 반도체 장치와 그 제조 방법에 관한 것이다.

최근, 반도체 장치는 컴퓨터등의 정보기기의 괄목할만한 보급에 의하여 그 수요가 급속하게 확대되고 있다. 또한, 기능적으로는 대규모의 기억용량을 가지고, 또 고속동작이 가능한 것이 요구되고 있다. 이에 따라, 반도체 장치의 고(高)집적화, 고속 응답성 및 고(高)신뢰성에 관한 기술개발이 진행되고 있다.

반도체 기억장치중에서, 기억정보의 임의적인 입출력이 가능한 것으로서 DRAM이 있다. 일반적으로, DRAM은 다수의 기억정보를 축적하는 기억영역인 메모리 셀 어레이(memory cell array)와, 외부와의 입출력에 필요한 주변회로로 구성되어 있다.

도 11은, 일반적인 DRAM의 구성을 도시하는 블록도이다. 도 11을 참조하면, DRAM(150)은, 기억정보의 데이터신호를 축적하기 위한 메모리 셀 어레이(151)와, 단위기억회로를 구성하는 메모리 셀을 선택하기 위한 어드레스 신호를 외부에서 받기 위한 행 및 열 어드레스 버퍼(row and column address buffer)(152)와, 그 어드레스신호를 판독함으로써 메모리 셀을 지정하기 위한 행디코더(153) 및 열디코더(154)와, 지정된 메모리 셀에 축적된 신호를 증폭하여 판독하는 센스 리프래쉬 앰프(sense refresh amplifier)(155)와, 데이터 입출력을 위한 데이터 입력 버퍼(data in buffer)(156) 및 데이터 출력 버퍼(data out buffer)(157)와, 클럭신호를 발생하는 클럭발생기(clock generator)(158)를 포함하고 있다. 반도체 칩상에서 큰 면적을 차지하는 메모리 셀 어레이(151)는, 단위기억정보를 축적하기 위한 메모리 셀이 매트릭스형상으로 여러개 배열되어 형성된다.

도 12는 메모리 셀 어레이에 있어서의 메모리 셀의 4비트분의 등가회로를 도시한다. 도 12를 참조하면, 메모리 셀은 비트(bit)선(214)과, MOS(Metal-Oxide-Semiconductor) 트랜지스터(215)와, 이 MOS 트랜지스터(215)에 한쪽 전극이 접속된 캐패시터(216)와, 워드(word)선(217)을 포함한다. 정보는 전하로서 캐패시터(216)에 축적된다. 도면에 도시한 1개의 메모리 셀은, 1개의 MOS 트랜지스터(215)와, 이것에 접속된 1개의 캐패시터(216)로 구성되는, 소위 1트랜지스터 1축전지형의 메모리 셀이다. 이 타입의 메모리 셀은 그 구조가 간단하기 때문에 메모리 셀 어레이의 집적도를 향상시키는 것이 용이하고, 대용량을 필요로 하는 DRAM에 폭넓게 사용되고 있다.

그런데, 반도체 장치의 고집적화에 따라, 반도체 장치의 대부분의 영역을 차지하는 메모리 셀 어레이에도 집적도의 향상이 요구된다. 메모리 셀 어레이를 축소화하기 위해서는, 메모리 셀을 구성하는 캐패시터도 축소화할 필요가 있다. 그렇지만, 캐패시터를 축소화하는 것은 캐패시터에 축적되는 정보로서의 전하량(1비트의 메모리 셀에 축적되는 전하량)을 저하시키게 된다.

1비트의 메모리 셀에 축적되는 전하량이 일정치보다 저하된 경우, 기억소자로서의 DRAM의 동작이 불안정하게 되어 신뢰성이 저하된다. 따라서, 이를 방지하기위해 캐패시터의 전극의 대(大)표면적화가 검토되고 있다.

그 일 예로서, 일본국 특허공개 평성 제 6-310672호 공보에 개시된 반도체 기억장치와 그 제조 방법에 관해서 설명한다.

도 13은, 전술한 공보에 개시된 DRAM의 메모리 셀의 단면도이다.

도 13을 참조하면, p형 기판(111)에는 NMOS 트랜지스터의 소스 또는 드레인영역인 한 쌍의 n^+ 형 확산층(112, 113)이 형성되어 있다. 이 NMOS 트랜지스터를 다른 MOS 트랜지스터와 전기적으로 분리하기 위한 필드(field) 산화막(119)이 형성되어 있다. 한 쌍의 n^+ 형 확산층(112, 113) 사이에 끼워진 p형 기판(111)상에, 게이트(gate) 산화막을 통해 폴리실리콘(polysilicon)막에 의한 매립 게이트(워드선)(115)가 형성되

어 있다.

하부캐패시터전극은, 폴리실리콘(132, 133)으로 구성되고, 폴리실리콘막(133)이 n^+ 형 확산층(112)에 전기적으로 접속되어 있다. 폴리실리콘막(133)상에, 유전율(誘電率)이 큰 박막(薄膜)(117)을 개재시켜 상부 캐패시터전극을 형성하는 폴리실리콘막(118)이 형성되어 있다. 캐패시터를 포함하는 기판상에 절연막(121)이 형성되어 있다. n^+ 형 확산층(113)과 전기적으로 접속되는 비트선(122)이 형성되어 있다.

이상과 같은 구성의 메모리 셀에 있어서는, 캐패시터의 하부전극에 해당하는 폴리실리콘막(133)의 외주연부(外周緣部) A와, 폴리실리콘막(133)의 중앙부근에 형성된 오목(凹)부 D의 측면에 의해, 캐패시터전극의 표면적을 더욱 증가시킬 수 있다. 이에 따라, 캐패시터의 전하축적의 용량이 확보되어, DRAM동작의 안정화가 도모된다.

다음에, 전술한 반도체 기억장치의 제조 방법에 관해서 도면을 이용하여 설명한다.

도 14를 참조하면, p형 기판(111)상에 필드산화막(119), 한 쌍의 n^+ 형 확산층(112, 113) 및 게이트전극을 이루는 워드선(115)을 형성한다. 다음에, 감압(減壓) CVD법에 의해, 실리콘(silicon)산화막에 의한 층간 절연막(114)을 약 3000 Å 형성한다. 다음에, 도 15를 참조하면, 층간 절연막(114)상에 감압 CVD법에 의해, 실리콘질화막(131)을 약 500 Å 형성한다. 다음에, 도 16를 참조하면, 실리콘질화막(131)상에, 감압 CVD법에 의해 폴리실리콘막(132)을 6000 Å 형성한다. 다음에, 이방성 에칭을 실시하여 실리콘질화막(131)의 표면을 노출하는 중심구멍 C를 형성한다.

다음에, 도 17를 참조하면, 상압(常壓) CVD법에 의해 중심구멍 C를 포함하는 폴리실리콘막(132)상에 실리콘산화막을 약 3000 Å 형성한다. 그 후, 그 실리콘산화막을 전면 에치백(etch bach)하여, 중심구멍 C의 내벽에만 사이드 월 스페이서(side wall spacer)(135)를 형성한다.

다음에, 도 18를 참조하면, 사이드 월 스페이서(135) 및 폴리실리콘막(132)을 마스크로 하여, 셀프 얼라인 콘택트(self align contact)법에 의해, 콘택트 홀 D를 개구한다. 그 후, 도 19를 참조하면, 플루오르화 수소산(hydrofluoric acid) 등에 의한 습식 에칭(etching)을 함으로써, 실리콘질화막(131)을 남기고 사이드 월 스페이서만을 제거한다.

다음에, 도 20를 참조하면, 감압 CVD법에 의해 폴리실리콘막(132)상에 폴리실리콘막(133)을 500 Å 형성한다. 그 후, 폴리실리콘막(132, 133)에 이방성 에칭을 실시하여, 소정 형상의 캐패시터의 하부전극(116)을 형성한다.

다음, 도 13를 참조하면, 폴리실리콘막(133)상에 감압 CVD법에 의해 실리콘질화막을 형성한다. 그 실리콘질화막을 산화시켜 유전율(誘電率)이 큰 박막(117)을 형성한다. 그 박막(117)을 덮도록 상부 캐패시터전극으로 되는 폴리실리콘막(118)을 형성한다. 그 폴리실리콘막(118)을 덮도록 절연막(121)을 형성한다. 절연막(121)상에 비트선(122)을 형성한다. 비트선(122)은 n^+ 형 확산층(113)에 전기적(電氣的)으로 접속되어 있다. 이상의 공정에 의해, DRAM의 메모리 셀이 완성된다.

전술한 제조 방법에 의하면, 도 18에 도시하는 공정에 있어서, 사이드 월 스페이서(135)와 실리콘질화막(131)을 마스크로 하여, 셀프 얼라인 콘택트법에 의해 콘택트 홀(134)이 개구되기때문에, 콘택트 홀(134)의 위치를 최적의 위치에 형성할 수 있는 것이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그렇지만, 최근의 반도체 장치에서는, 한층 더 고집적화가 요구되고 있다. 그래서, 캐패시터의 하부전극으로 되는 기억노드를 두껍게 형성함으로써, 기억노드의 측면적을 증가시킨 캐패시터를 구비한 구조가 고안되고 있다. 이러한 두껍게 형성된 기억노드(이하 “후막(厚膜)기억노드”라 한다)를 갖는 반도체 장치에서는, 후막기억노드상에 형성되는 배선과, 후막기억노드 아래에 있는 트랜지스터등의 반도체소자를 전기적으로 접속하기 위해서는, 높은 종횡비(aspect ratio)를 갖는 콘택트 홀을 개구할 필요가 있다. 즉, 콘택트 홀의 지름과 깊이의 비율이 큰 콘택트 홀을 형성해야만 한다. 그 때문에, 콘택트 홀의 형성이 곤란하게 된다고 하는 문제가 있다. 예를 들면, 도 13에 도시하는 비트선(122)과 n^+ 형 확산층(113)을 전기적으로 접속하기 위해서, 깊은 콘택트 홀을 형성해야만 한다.

이것을 피하기 위해서, 비트선(122)은, 캐패시터의 아래쪽으로 형성된다. 이 때문에, 실리콘산화막(114)은, 비트선(122)을 매립하기 위해서 더욱 두껍게 형성해야만 한다. 이러한 경우, 도 18에 도시하는 공정에 있어서, 폴리실리콘막(132)의 상면으로부터 n^+ 형 확산층(112)표면까지의 거리가 더욱 길어지게 된다. 예를 들면, 콘택트 홀(134)의 콘택트 지름을 0.3 μm로 하면, 폴리실리콘막(132)의 상면에서 n^+ 형 확산층(112)의 표면까지 개구하는데는, 종횡비가 약 6이상의 콘택트 홀을 형성해야만 한다. 그 때문에, 콘택트 홀의 형성이 대단히 곤란해진다.

또한, 종래의 반도체 장치의 제조 방법에서는 이하에서 도시하는 바와 같은 문제점도 생긴다. 도 19에 도시하는 공정에서, 실리콘산화막으로 이루어지는 사이드 월 스페이서가 하지(下地)의 실리콘질화막(131)을 남기고 습식 에칭에 의해 제거될 때에, 실리콘질화막(131) 아래의 실리콘산화막으로 이루어지는 층간 절연막(114)을 에칭하는 것이 있다. 즉, 형성방법은 다르지만 사이드 월 스페이서와 층간 절연막(114)이 함께 실리콘산화막으로 형성되어 있기 때문에, 사이드 월 스페이서의 에칭과 함께, 층간 절연막(114)도 동시에 에칭되어 버리는 것이다. 그 때문에, 실리콘질화막(114)이 차양처럼 콘택트 홀의 측면에 돌출된 상태로 될 때가 있었다. 이러한 상태에서, 도 20에 도시하는 폴리실리콘막(133)이 형성되면, 그 차양에 의해서 폴리실리콘막(133)이 콘택트 홀(134)의 내면에 양호하게 피복되지 않고, 폴리실리콘막(133)과 n^+ 형 확산층(112)이 전기적으로 양호하게 접속되지 않는 경우가 있었다.

본 발명의 목적은, 이러한 문제점을 해결하기 위해 이루어진 것으로서, 캐패시터와 트랜지스터와의 양호

한 전기적 접속을 얻음으로써 전기적 특성이 우수한 반도체 장치와, 그와 같은 캐패시터와 트랜지스터와의 양호한 전기적 접속을 얻는 반도체 장치의 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 반도체 장치는, 도전층(導電層), 절연막, 기동형상 도전체부(柱狀導電體部), 하부전극 및 상부전극을 구비하고 있다. 도전층은, 반도체 기판의 주표면에 형성되어 있다. 절연막은, 도전층을 포함하는 반도체 기판의 주표면에 형성되어 있다. 기동형상 도전체부는, 도전층의 표면을 노출하도록 절연막에 마련된 콘택트 홀에, 그 콘택트 홀의 상단을 넘지 않도록 도전체를 매립하여 형성되어 있다. 하부전극은, 제 1 도전체부(導電體部)와 제 2 도전체부를 포함하고 있다. 상부전극은 제 3 도전체부를 포함하고 있다. 제 1 도전체부는, 콘택트 홀의 외쪽을 포함하는 절연막상의 소정의 영역에 형성됨과 동시에, 적어도 기동형상 도전체부의 상단표면을 노출하는 개구부를 가지고 있다. 제 2 도전체부는, 개구부내에서 그 개구부의 측면, 절연막의 표면, 기동형상 도전체부의 상단표면에 형성되고, 또한, 제 1 도전체부의 상면에 형성되어, 기동형상 도전체부와 제 1 도전체부를 전기적으로 접속하고 있다. 제 3 도전체부는, 제 2 도전체부의 표면상에 유전체막(誘電體膜)을 개재시켜 형성되어 있다.

이 구성에 의하면, 제 1 도전체부와 제 2 도전체부를 포함하는 하부전극은, 우선, 제 1 도전체부가 제 2 도전체부에 의해 기동형상 도전체부와 전기적으로 접속되고, 그 기동형상 도전체부를 통해 도전층과 전기적으로 접속되어 있다. 그 도전층에 접속되는 기동형상 도전층은, 절연막의 콘택트 홀내에 형성되어 있다. 제 2 도전체부는, 제 1 도전체부에 마련된, 적어도 기동형상 도전체부의 상단표면을 노출하는 개구부를 피복하도록 형성되어 있다. 이 때문에, 개구부의 깊이는, 제 1 도전체부의 두께에 거의 상응하는 깊이이고, 개구부 형성시에 용이하게 형성될 수 있다. 그 결과, 하부전극과 도전층과의 전기적 접속이 양호한 반도체 장치를 용이하게 얻을 수 있음과 동시에, 반도체 장치의 전기적 특성을 향상시킬 수 있다.

바람직하게는, 반도체 장치는, 제 1 도전형 영역과, 제 2 도전형의 한 쌍의 불순물영역과, 게이트전극을 또한 가지고 있다. 그 제 1 도전형 영역은, 반도체 기판의 주표면에 형성되어 있다. 제 2 도전형의 한 쌍의 불순물영역은, 제 1 도전형 영역에 소정의 간격을 두고 형성되어 있다. 게이트전극은, 한 쌍의 불순물영역에 의해서 끼워진 제 1 도전형 영역상에, 게이트절연막을 개재시켜 형성되어 있다. 도전층은, 한 쌍의 불순물영역중의 한쪽의 영역을 포함하고 있다.

이 경우, 게이트전극과, 한 쌍의 불순물영역을 포함하는 것에 의해 1개의 트랜지스터가 구성된다. 이에 따라, 1트랜지스터 1캐패시터의 메모리 셀을 구성할 수 있다.

또한 바람직하게는, 개구부는, 제 1 도전체부를 2개로 분리하도록 형성되어 있다.

이것에 의하면, 반도체 장치의 고밀도화에 따라, 디자인룰(design rule)을 축소할 필요가 있는 경우, 개구부나 콘택트 홀의 각각의 개구지름을 유지한 채로, 하부전극의 치수를 축소할 수 있다. 즉, 하부전극의 치수가 축소되고 개구부의 개구지름쪽이 상대적으로 커져서, 하부전극이 개구부를 사이에 두고 2개로 분리되는 것과 같은 구조로 되더라도, 하부전극과 도전층과의 양호한 전기적 접속을 얻을 수 있다. 그 결과, 전기적 특성이 뛰어난 고밀도의 반도체 장치를 얻을 수 있다.

더욱 바람직하게는, 제 2 도전체부는, 그 표면에 미세한 요철을 갖는다.

이 경우, 제 2 도전체부의 표면적이 더욱 증대되어, 보다 많은 전하가 하부전극과 상부전극과의 사이에 축적된다. 그 결과, 반도체 장치의 기억유지특성등의 전기적 특성이 더욱 향상된다.

본 발명의 반도체 장치의 제조 방법은, 이하의 공정을 구비하고 있다. 반도체 기판의 주표면에 제 1 도전층을 형성한다. 제 1 도전층을 덮도록 주표면에 절연막을 형성한다. 그 절연막에 제 1 도전층의 표면을 노출하는 콘택트 홀을 형성한다. 그 콘택트 홀내를 포함한 절연막상의 소정의 영역에 제 2 도전층을 형성한다. 제 2 도전층에, 절연막의 표면을 노출함과 동시에, 그 절연막의 표면보다 아래쪽에 있어서, 콘택트 홀내에 형성된 제 2 도전층의 상단표면을 노출하는 개구부를 형성한다. 그 개구부에 있어서의 개구부의 측면, 절연막의 표면 및 제 2 도전층의 상단표면 및 제 2 도전층의 상면에, 제 3 도전층을 형성한다. 제 3 도전층상에 유전체막을 개재시켜 제 4 도전층을 형성한다.

이 구성에 의하면, 절연막상에 제 2 도전층을 형성할 때, 콘택트 홀내로도 제 2 도전층이 매립된다. 절연막상의 제 2 도전층에 마련된 콘택트 홀에 매립된 제 2 도전층의 상단표면을 노출하는 개구부내를 제 3 도전층이 피복한다. 그 개구부의 깊이는, 절연막상의 제 2 도전층의 두께에 거의 상응하는 깊이면 된다. 이 때문에, 비교적 깊은 개구부를 형성할 필요가 없어서 개구부를 용이하게 형성할 수 있다. 절연막상의 제 2 도전층은, 제 3 도전층을 통해 절연막에 형성된 콘택트 홀내의 제 2 도전층과 전기적으로 접속되고, 그 콘택트 홀내의 제 2 도전층은, 제 1 도전층과 전기적으로 접속된다. 그 결과, 제 1 도전층과 제 2, 제 3 도전층과의 전기적 접속이 양호한 반도체 장치를 용이하게 형성할 수 있다.

발명의 실시예

실시예 1

본 발명의 실시예 1에 관한 반도체 장치에 대하여 도면을 이용하여 설명한다. 도 1은, 반도체 장치의 단면을 도시한 도면이다. 도 1을 참조하면, 반도체 기판(1)상에, 게이트절연막(2)을 거쳐서 마련된 게이트전극(3)과, 한 쌍의 소스·드레인영역(4a, 4b)을 포함하는 MOS 트랜지스터 T가 형성되어 있다. MOS 트랜지스터 T는, 분리산화막(11)에 의해서, 다른 MOS 트랜지스터(도시하지 않음)와 전기적으로 절연되어 있다.

그 MOS 트랜지스터 T를 덮도록 실리콘산화막(5)이 형성되어 있다. 실리콘산화막(5)에는, 소스·드레인영역(4a)의 표면을 노출하는 콘택트 홀(6)이 형성되어 있다. 그 콘택트 홀(6)에는, 폴리실리콘 기동형상 도전체(7b)가 매립되어 있다. 콘택트(6a)에 의해, 폴리실리콘 기동형상 도전체(7b)와 소스·드레인영역(4a)이 전기적으로 접속되어 있다.

실리콘산화막(5)상에는, 제 1 폴리실리콘막(7c)과 제 2 폴리실리콘막(7d)를 포함하는 기억노드(7a)가 형성되어 있다. 기억노드(7a)는 캐패시터의 하부전극을 이룬다. 그 기억노드(7a)는 제 2 폴리실리콘막(7d)를 통해 폴리실리콘 기동형상 도전체(7b)와 전기적으로 접속되어 있다. 또, 이 기억노드(7a)의 평면 구조는 위에서 설명하겠지만, 도 9에 도시하는 평면구조를 갖고 있다.

기억노드(7a)의 표면상에, 캐패시터 절연막(8)을 개재시켜 셀 플레이트(9)가 형성되어 있다. 셀 플레이트(9)는, 캐패시터의 상부전극을 이룬다. 그 셀 플레이트(9)를 덮도록 층간 절연막(10)이 형성되어 있다.

상술한 반도체 장치에서는, 기억노드(7a)의 상면으로부터 실리콘산화막(5) 표면 근방을 향해 기억노드 오목부(凹部)(7e)가 마련되어 있다. 이 기억노드 오목부(7e)의 측면에 의해, 캐패시터의 전극의 표면적의 확대가 도모되어, 캐패시터의 전하 축적량을 확보할 수 있다. 또한, 제 2 폴리실리콘막(7d)으로서, 표면에 미세한 요철이 있는 소위 조면(粗面) 폴리실리콘막을 적용함으로써, 한층 더 캐패시터의 전하 축적량을 확보할 수 있다.

특히, 상술한 구조를 갖는 기억노드가 후막기억노드인 경우에는, 상술한 바와 같이, 비트선을 기억노드의 아래에 형성할 필요가 있다. 이 때문에, 비트선을 매립하기 위해서는, 실리콘산화막(5)의 막두께를 보다 두껍게 형성해야만 한다. 이러한 경우, 종래의 제조 방법에서는, 이미 설명한 바와 같이, 기억노드와 소스·드레인영역을 전기적으로 접속하기 위한 콘택트 홀을 개구하는 것이 곤란했다. 본 구조의 반도체 장치에서는 그것을 해소할 수 있다. 이하, 그것을 제조공정에 따라서 설명한다.

도 2를 참조하면, p형의 반도체 기판(1)상에 LOCOS법등에 의해 분리산화막(11)을 형성한다. 그 후, 게이트절연막(2)을 개재시켜 게이트전극(3)을 형성한다. 그 후, 게이트전극(3)등을 마스크로 하여 이온주입을 실시하고, n형의 한 쌍의 소스·드레인영역(4a, 4b)을 형성한다. 이에 따라 MOS 트랜지스터 T가 형성된다. 다음에 그 MOS 트랜지스터 T를 덮도록, CVD법등에 의해 실리콘산화막(5a)을 형성한다. 그 실리콘산화막(5a)에 소스·드레인영역(4b)의 표면을 노출하는 콘택트 홀을 형성한다. 그 콘택트 홀을 매립하도록 실리콘산화막(5a)상에, CVD법등에 의해 폴리실리콘막을 형성한다. 소정의 사진제판을 실시하여 폴리실리콘막을 에칭함으로써 비트선(16)을 형성한다. 비트선(16)은, 소스·드레인영역(4b)에 전기적으로 접속된다. 그 후, 그 비트선(16)을 덮도록 실리콘산화막(5a)상에, CVD법등에 의해 실리콘산화막(5b)을 형성한다. 또한, 도 2에서, 비트선(16)은 실리콘산화막(5)에 매립되기 때문에 점선으로 표시되어 있다. 또한, 이하에 도시하는 공정의 도면에 있어서는 비트선이 생략되어 있다.

다음에 도 3를 참조하면, 실리콘산화막(5)상에 소정의 사진제판을 실시한다. 그리고, 실리콘산화막(5)을 이방성 에칭함으로써, 소스·드레인영역(4a)의 표면을 노출하는 콘택트 홀(6)을 개구한다. 콘택트 홀(6)의 콘택트지름을 $0.3\mu\text{m}$ 로 한다. 그 콘택트 홀(6)을 매립하도록 CVD법등에 의해 폴리실리콘막(7)을 약 7000\AA 형성한다. 폴리실리콘막(7)은 콘택트(6a)에 의해, 소스·드레인영역(4a)와 전기적으로 접속된다.

다음에 도 4를 참조하면, 폴리실리콘막(7)상에 소정의 사진제판을 실시하여, 콘택트 홀(6) 윗쪽에 개구 패턴을 갖는 포토레지스트(photoresist)(12)를 형성한다. 또, 개구의 지름을 $0.5\mu\text{m}$ 로 하여, 콘택트 홀(6)의 개구지름 $0.3\mu\text{m}$ 보다 큰 지름으로 하고 있다.

다음, 도 5를 참조하면, 도 4에 도시하는 포토레지스트(12)를 마스크로 하여 폴리실리콘막(7)에 이방성 에칭을 실시하여 개구부(13)를 형성한다. 개구부(13)에 의해, 콘택트 홀(6)의 개구단(開口端)(6b), 즉 실리콘산화막(5)의 표면의 일부가 노출된다. 또한, 그 실리콘산화막(5)의 표면보다 아래쪽으로는, 콘택트 홀(6)내에 매립된 폴리실리콘막의 상단면이 노출한다. 콘택트 홀(6)내에 남겨진 폴리실리콘막은, 폴리실리콘 기동형상 도전체(7b)를 이룬다.

종래의 제조 방법에서는, 개구부로서, 폴리실리콘막(7)의 두께와 실리콘산화막(5)의 두께를 합한 두께에 상당하는 깊이의 개구부를 형성할 필요가 있었다.이 때문에, 중형비가 큰 개구부를 형성하지 않으면 안되어서, 개구가 매우 곤란하였다. 본 제조 방법에 의하면, 개구부(13)의 깊이는 폴리실리콘막(7)의 두께에 거의 상응하는 깊이이다. 이 때문에, 개구부(13)를 용이하게 형성할 수 있다. 또한, 이 공정 단계에서는, 폴리실리콘 기동형상 도전체(7b)와 폴리실리콘막(7)과는 전기적으로 일시 분리된다. 그 후, 포토레지스트를 제거한다.

다음에 도 6를 참조하면, 개구부(13)의 내면을 포함하는 폴리실리콘(7)상에 CVD법등에 의해 또 폴리실리콘막(14)을 500\AA 형성한다. 폴리실리콘막(14)에 의해 폴리실리콘(7)과 폴리실리콘 기동형상 도전체(7b)가 다시 전기적으로 접속된다.

다음에 도 7를 참조하면, 개구부(13)를 포함하도록 소정의 패턴을 갖는 포토 레지스트(15)를 형성한다. 도 8를 참조하면, 도 7에 도시하는 포토레지스트(15)를 마스크로 하여 폴리실리콘막(14, 7)에 이방성 에칭을 실시하여, 실리콘산화막(5)의 표면을 노출한다. 그 후 포토 레지스트를 제거한다. 이에 따라, 제 1 폴리실리콘막(7c)과 제 2 폴리실리콘막(7d)로 이루어지는 기억노드(7a)가 형성된다. 이 기억노드(7a)는 폴리실리콘 기동형상 도전체(7b)를 통해 콘택트(6a)에 의해 소스·드레인영역(4a)와 전기적으로 접속되어 있다. 또한, 기억노드 오목부(7e)가 기억노드(7a)에 형성되어 있다. 이 공정에서의 평면도를 도 9에 도시한다. 도 9를 참조하면, 기억노드(7a)의 평면형상은, 한 번 L1의 길이가 $1.8\mu\text{m}$, 다른 한 번 L2의 길이가 $0.7\mu\text{m}$ 인 대략적으로 직사각형모양을 이루고 있다. 그 중앙부근에는, 지름이 약 $0.4\mu\text{m}$, 깊이가 약 $0.65\mu\text{m}$ 인 기억노드 오목부(7e)가 형성되어 있다.

그 다음, 도 1를 참조하면, 기억노드(7a)에 캐패시터 절연막(8)을 개재시켜 셀 플레이트(9)를 형성한다. 이에 따라 캐패시터가 완성된다. 셀 플레이트(9)를 덮도록, 실리콘산화막등의 층간 절연막(10)을 형성하여 반도체 장치가 완성된다.

전술한 제조 방법에 의하면, 특히 도 5에 도시하는 공정에서, 개구부로서, 거의 폴리실리콘막(7)의 두께에 상당하는 깊이를 개구부 형성할 수 있다. 더구나, 콘택트 홀에 매립된 기동형상 도전체(7b)와 폴리실리콘막(7)을 전기적으로 접속하는 폴리실리콘막(14)이 개구부(13)내에 양호하게 형성된다. 또한, 개구부(13)내에 형성되는 폴리실리콘막(14)에 의해 기억노드의 전극

의 표면적이 증대된다. 이에 따라, 후막기억노드와 소스·드레인영역(4a)이 전기적으로 양호하게 접속된 반도체 장치를 용이하게 형성할 수 있고, 전기적 특성이 뛰어난 반도체 장치를 얻을 수 있다.

실시예 2

고밀도화에 대응하기 위한 반도체 장치의 일 예로서, 기억노드의 형성영역이 축소된 경우의 반도체 장치에 관하여 설명한다. 반도체 장치의 기본적인 단면구조는 도 1에 도시하는 구조와 거의 동일하지만, 기억노드의 치수가 줄어든다. 즉, 도 10을 참조하면, 기억노드(7a)의 평면형상은, 한 번 L3의 길이가 1.5 μm , 다른 한 번 L4의 길이가 0.4 μm 인 대략적으로 직사각형모양을 이루고 있다. 이 경우, 도 5에 도시하는 공정에서 형성되는 개구부(13)의 개구지름은, 도 8에 도시하는 공정에서 형성되는 기억노드(7a)의 다른 번 L4의 길이보다도 크다.

이 때문에, 개구부(13)의 형성 직후에는, 제 1 폴리실리콘막(7c) 그 자체는, 개구부를 사이에 두고 한쪽과 다른 쪽으로 전기적으로 일시 분리된다. 그 후, 제 2 폴리실리콘막(7d)에 의해서 양쪽의 제 1 폴리실리콘막과 폴리실리콘 기동형상 도전체가 전기적으로 접속된다.

이 구조에 의하면, 기억노드 형성영역의 축소에 따라, 콘택트 홀(6)의 콘택트 홀지름이나 개구부의 개구지름을 작게 할 필요가 없다. 즉, 개구지름을 유지한 채로, 기억노드의 치수를 축소하여, 개구지름 쪽이 기억노드의 치수보다 상대적으로 커지더라도, 기억노드와 소스·드레인영역을 전기적으로 양호하게 접속할 수 있다. 또한, 기억노드의 사진제판시에 요구되는 콘택트 홀과의 중첩마진이 커진다고 하는 이점도 가지고 있다. 또한, 콘택트 홀의 지름을 축소할 필요가 없어서, 기동형상 도전체부와 소스·드레인영역과의 콘택트 저항의 상승도 억제된다.

또한, 실시예 1에 있어서 설명한 바와 같이, 제 2 폴리실리콘막으로서 표면에 요철이 있는 소위 조면 폴리실리콘막을 적용해도 좋다. 이 경우, 기억노드의 표면적을 더욱 증대시킬 수 있다. 또, 조면 폴리실리콘막의 형성 방법의 일례로서는, 일본국 특허공개 평성 제 5-55505호 공보에 개시되어 있는 방법을 이용할 수 있다.

또한, 폴리실리콘 기동형상 도전체로서, 인(燐)을 도프(dope)한 폴리실리콘막을 형성해도 좋다. 이 경우, 폴리실리콘 기동형상 도전체의 전기저항을 낮출 수 있다. 이 결과, 반도체 장치의 전기적 특성을 더욱 향상시킬 수 있다.

또한, 상술한 실시예에 있어서는, 반도체 기판이 p형, 소스·드레인영역이 n형인 경우에 관하여 설명하였지만, 반도체 기판이 n형, 소스·드레인영역이 p형인 경우에도 적용할 수 있는 것은 물론이다.

또, 금번에 개시한 상기 각 실시예는 단순한 예시에 불과한 것으로서, 본 발명의 범위는, 특허청구의 범위에 의해 나타나고, 특허청구의 범위에 기재된 것과 균등한 범위내의 모든 변경이 포함되는 것이 의도된다.

발명의 효과

본 발명의 반도체 장치에 의하면, 제 1 도전체부(導電體部)와 제 2 도전체부를 포함하는 하부전극은, 우선, 제 1 도전체부가 제 2 도전체부에 의해서 기동형상 도전체부와 전기적으로 접속되고, 그 기동형상 도전체부를 통해 도전층과 전기적으로 접속되어 있다. 그 도전층에 접속되는 기동형상 도전층은, 절연막의 콘택트 홀내에 형성되어 있다. 제 2 도전체부는, 제 1 도전체부에 마련된, 적어도 기동형상 도전체부의 상단표면을 노출하는 개구부를 피복하도록 형성되어 있다. 이 때문에, 개구부의 깊이는, 제 1 도전체부의 두께에 거의 상응하는 깊이이고, 개구부의 형성시, 용이하게 형성할 수 있다. 그 결과, 하부전극과 도전층과의 전기적 접속이 양호한 반도체 장치를 용이하게 얻을 수 있음과 동시에, 반도체 장치의 전기적 특성을 향상시킬 수 있다.

바람직하게는, 반도체 장치는, 제 1 도전형(導電型) 영역과, 제 2 도전형의 한 쌍의 불순물영역과, 게이트전극을 또한 가지고 있다. 그 제 1 도전형 영역은, 반도체 기판의 주표면에 형성되어 있다. 제 2 도전형의 한 쌍의 불순물영역은, 제 1 도전형 영역에, 소정의 간격을 사이에 두고 형성되어 있다. 게이트전극은, 한 쌍의 불순물영역에 의해 끼워진 제 1 도전형 영역상에, 게이트절연막을 개재시켜 형성되어 있다. 도전층은, 한 쌍의 불순물영역중의 한쪽 영역을 포함하고 있다.

이에 따라, 1트랜지스터 1캐패시터의 메모리 셀을 구성할 수 있다.

또한 바람직하게는, 개구부는, 제 1 도전체부를 2개로 분리하도록 형성되어 있다.

이것에 의하면, 반도체 장치의 고밀도화에 따라, 디자인룰을 축소할 필요가 있는 경우, 개구부나 콘택트 홀의 각각의 개구지름을 유지한 채로, 하부전극의 치수를 축소할 수 있다. 즉, 하부전극의 치수가 축소되어 개구부의 개구지름쪽이 상대적으로 커지고, 하부전극이 개구부를 사이에 두고 2개로 분리되는 것과 같은 구조로 되더라도, 하부전극과 도전층과의 양호한 전기적 접속을 얻을 수 있다. 그 결과, 전기적 특성이 뛰어난 고밀도의 반도체 장치를 얻을 수 있다.

더욱 바람직하게는, 제 2 도전체부는, 그 표면에 미세한 요철을 갖는다.

이 경우, 제 2 도전체부의 표면적이 더욱 증대되어, 보다 많은 전하가 하부전극과 상부전극 사이에 축적된다. 그 결과, 반도체 장치의 기억 유지 특성등의 전기적 특성이 더욱 향상된다.

본 발명의 반도체 장치의 제조 방법에 의하면, 절연막상에 제 2 도전층을 형성할 때에, 콘택트 홀내로도 제 2 도전층이 매립된다. 절연막상의 제 2 도전층에 마련된 콘택트 홀에 매립된 제 2 도전층의 상단표면을 노출하는 개구부내를, 제 3 도전층이 피복한다. 그 개구부의 깊이는, 절연막상의 제 2 도전층의 두께에 거의 상응하는 깊이가 좋다. 이 때문에, 비교적 깊은 개구부를 형성할 필요가 없어서, 개구부를 용이하게 형성할 수 있다. 절연막상의 제 2 도전층은, 제 3 도전층을 통해 절연막에 형성된 콘택트 홀내의 제 2 도전층과 전기적으로 접속되고, 그 콘택트 홀내의 제 2 도전층은, 제 1 도전층과 전기적으로 접속된다. 그 결과, 제 1 도전층과 제 2, 3 도전층과의 전기적 접속이 양호한 반도체 장치를 용이하게 형성할

수 있다.

(57) 청구의 범위

청구항 1

반도체 장치에 있어서,

- ① 반도체 기판의 주표면에 형성된 도전층(4a, 4b)과,
- ② 상기 도전층(4a)을 포함하는 상기 반도체 기판의 주표면상에 형성된 절연막(5)과,
- ③ 상기 도전층(4a)의 표면을 노출시키도록 상기 절연막(5)에 마련된 콘택트 홀(6)내에, 이 콘택트 홀의 상단을 넘지않게 도전체(7)를 매립하여 형성된 기동형상 도전체부(7b)와,
- ④ 상기 콘택트 홀(6)의 윗쪽을 포함한 상기 절연막(5)상의 소정 영역에 형성됨과 동시에, 적어도 상기 기동형상 도전체부(7b)의 상단표면을 노출하는 개구부(13)를 갖는 제 1 도전체부(7c)와, 상기 개구부(13)내에서, 이 개구부의 측면과 상기 절연막(5)의 표면과 상기 기동형상 도전체부(7b)의 상단표면과 상기 제 1 도전체부(7c)의 상면에 형성되어, 상기 기동형상 도전체부(7b)와 상기 제 1 도전체부(7c)를 전기적으로 접속시키는 제 2 도전체부(7d)를 포함하는 하부전극(7a)과,
- ⑤ 상기 제 2 도전체부(7d)의 표면에 유전체막(誘電體膜)(8)을 개재시켜 형성된 제 3 도전체부(9)를 포함하는 상부전극(9)을 포함하되,

상기 제 1 도전체부(7c)의 상기 개구부(13)의 폭은 상기 절연막(5)의 상기 콘택트 홀(6)의 폭보다 더 크고,

상기 제 2 도전체부(7d)는 상기 캐패시터의 상부 및 하부 전극의 표면적을 확대시키기 위한 기억노드 오목부(7e)를 구비하는

반도체 장치.

청구항 2

제 1 항에 있어서,

상기 반도체 기판의 주표면에 형성된 제 1 도전형 영역(1)과,

상기 제 1 도전형 영역(1)에, 소정의 간격을 두고 형성된 제 2 도전형의 한 쌍의 불순물영역(4a, 4b)과,

상기 한 쌍의 불순물영역(4a, 4b) 사이에 끼워진 상기 제 1 도전형 영역(1)상에 게이트절연막(2)을 개재시켜 형성된 게이트전극(3)을 더 구비하며,

상기 도전층(4a)은, 상기 한 쌍의 불순물영역(4a, 4b)중의 한쪽 영역을 포함하는 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 개구부(13)는 상기 제 1 도전체부(7c)를 2개로 분리하도록 형성되어 있는 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 도전체부(7d)는 해당 제 2 도전체부의 표면에 미세한 요철을 갖는 반도체 장치.

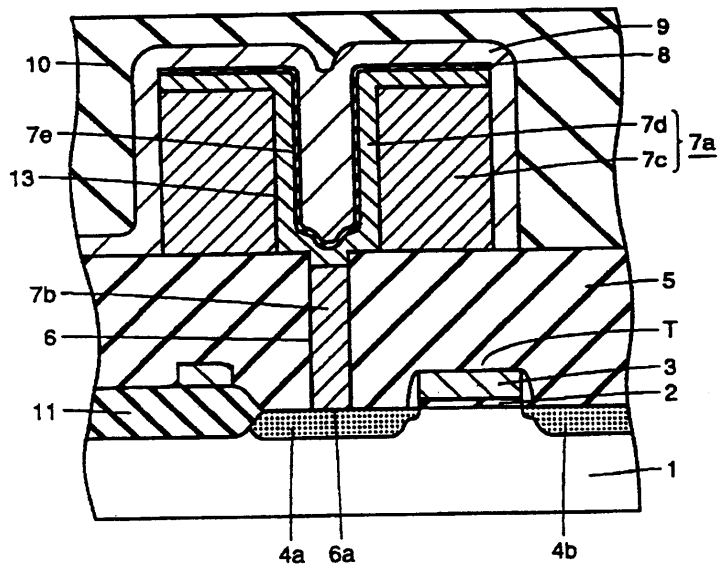
청구항 5

반도체 장치의 제조 방법에 있어서,

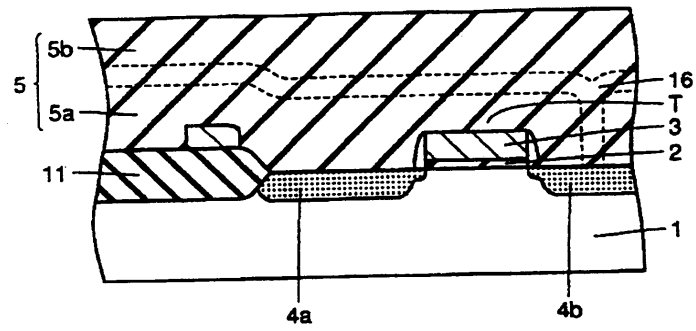
- ① 반도체 기판의 주표면에 제 1 도전층(4a)을 형성하는 공정과,
- ② 상기 제 1 도전층(4a)을 덮도록 상기 주표면상에 절연막(5)을 형성하는 공정과,
- ③ 상기 절연막(5)에 상기 제 1 도전층(4a)의 표면을 노출하는 콘택트 홀(6)을 형성하는 공정과,
- ④ 상기 콘택트 홀(6)내를 포함하는 상기 절연막(5)상의 소정의 영역에 제 2 도전층(7)을 형성하는 공정과,
- ⑤ 상기 제 2 도전층(7)에, 상기 절연막(5)의 표면을 노출하는 동시에, 이 절연막의 표면보다 아래쪽으로 상기 콘택트 홀(6)내에 형성되어 있는 상기 제 2 도전층(7b)의 상단 표면도 노출하도록, 상기 콘택트 홀(6)보다 더 큰 폭을 갖는 개구부(13)를 형성하는 공정과,
- ⑥ 상기 개구부(13)에서, 이 개구부의 측면과 상기 절연막(5)의 표면과 상기 제 2 도전층(7b)의 상단 표면과 상기 제 2 도전층(7b)의 상면에 기억노드 오목부(7e)를 갖도록 제 3 도전층(7d)을 형성하는 공정과,
- ⑦ 상기 제 3 도전층(7d)상에 유전체막(8)을 개재시켜 제 4 도전층(9)을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

도면

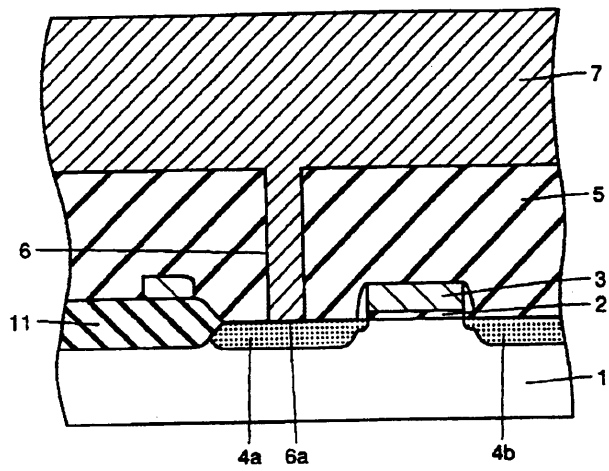
도면1



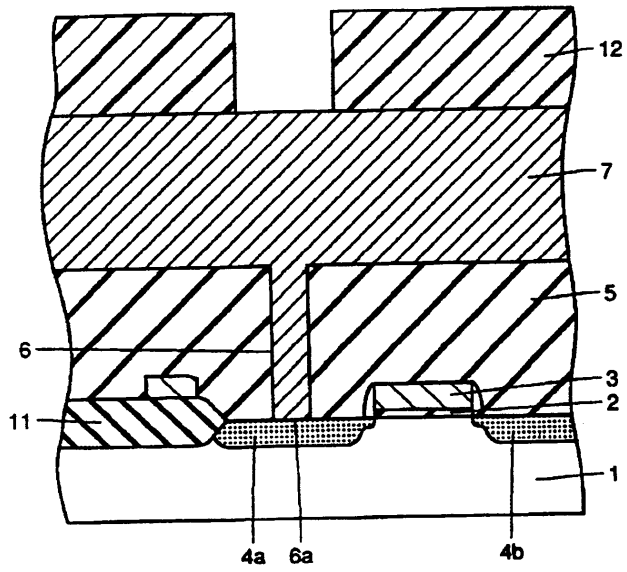
도면2



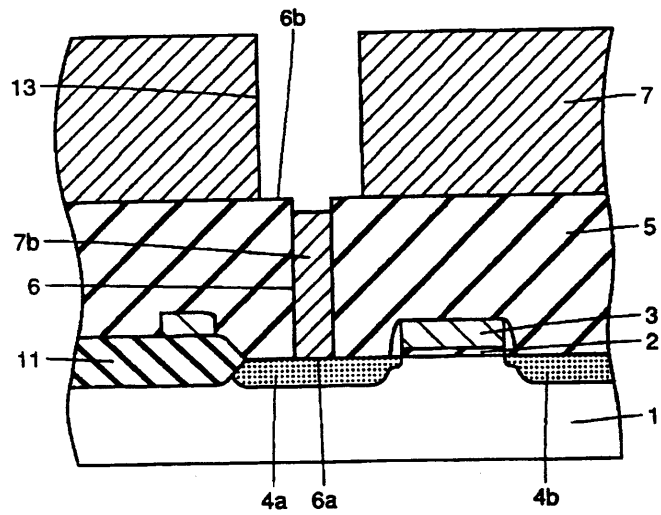
도면3



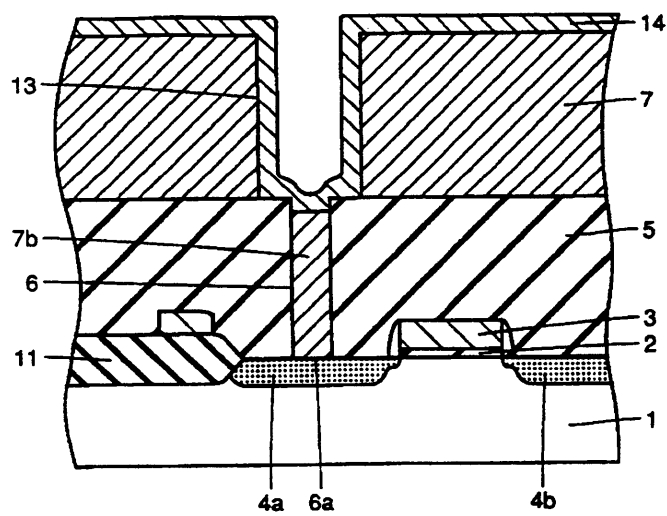
도면4



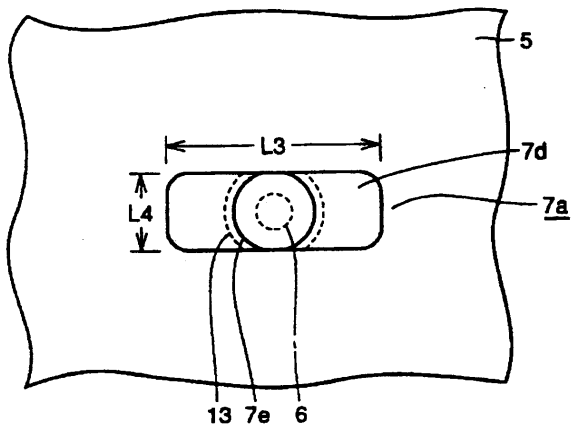
도면5



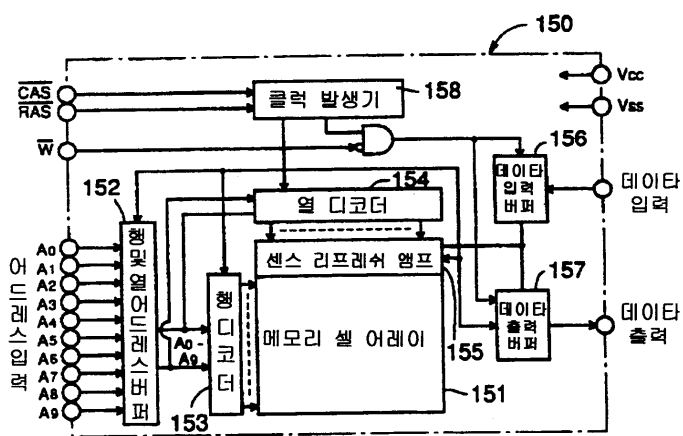
도면6



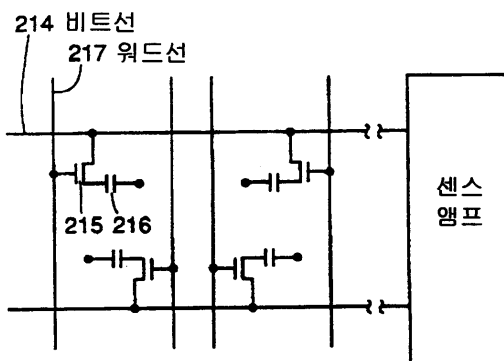
도면10



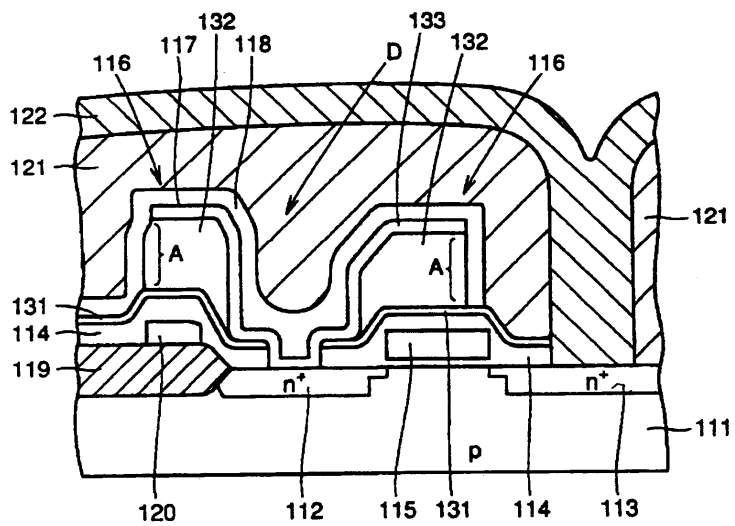
도면11



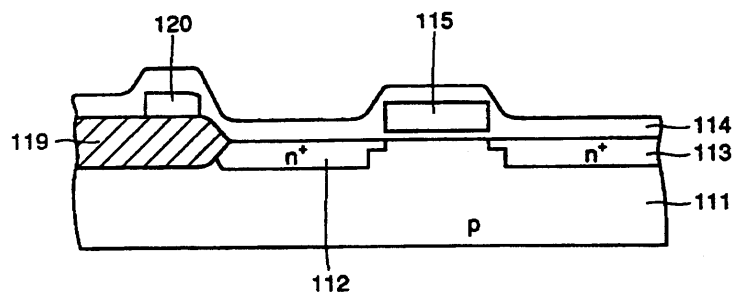
도면12



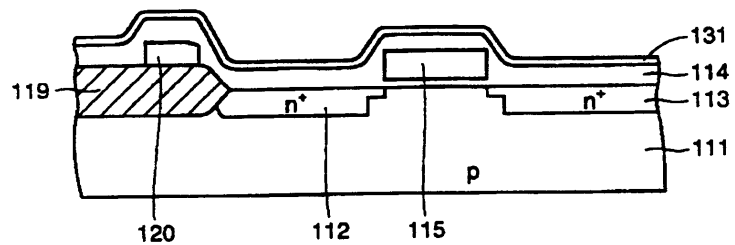
도면 13



도면 14



도면 15



도면 16

