

【特許請求の範囲】

【請求項 1】

再配線層と、
 前記再配線層の第 1 面上に設けられた複数のパンプと、
 前記再配線層の第 2 面上に積層された複数のチップと、
 前記第 2 面上に設けられ、前記複数のチップを覆う樹脂部材と、
 を備え、
 前記再配線層は、
 絶縁層と、
 前記絶縁層内に設けられた配線と、
 前記絶縁層内に設けられ、前記配線に接続された第 1 ピアと、
 前記絶縁層内に設けられ、前記第 1 ピアとは異なる金属材料によって形成され、
 前記第 1 面において露出し、前記第 1 ピア及び前記パンプに接続された電極層と、
 前記絶縁層内に設けられ、前記配線及び前記複数のチップに接続された第 2 ピアと、
 を有し、
 前記電極層と前記第 2 面との距離は、前記第 1 面と前記第 2 面との距離よりも短い半導体装置。

10

【請求項 2】

前記電極層の前記パンプ側の表面は、前記第 1 面と同一面を構成するか、前記第 1 面に対して凹んでいる請求項 1 記載の半導体装置。

20

【請求項 3】

前記電極層は貴金属を含む請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 面上に設けられ、前記配線に接続された制御用チップをさらに備えた請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

支持基板上に、絶縁層、前記絶縁層内に設けられ、前記絶縁層の下面に露出した複数の第 1 ピア、前記絶縁層内に設けられ、前記複数の第 1 ピアに接続された複数の配線、前記配線に接続され、前記絶縁層の上面において露出した複数の第 2 ピアを形成する工程と、
 前記絶縁層上に複数のチップを積層すると共に、前記複数のチップを前記第 2 ピアに接続する工程と、
 前記絶縁層上に、前記複数のチップを覆う樹脂部材を形成する工程と、
 前記支持基板を除去する工程と、
 前記第 1 ピアの露出面をエッチングすることにより、前記絶縁層の下面に凹部を形成する工程と、
 前記凹部内に、前記第 1 ピアの材料とは異なる金属材料からなる電極層を形成する工程と、
 前記電極層にパンプを接合する工程と、
 を備えた半導体装置の製造方法。

30

【請求項 6】

前記電極層を形成する工程は、前記第 1 ピアの露出面に前記金属材料を無電解めっきする工程を有する請求項 5 記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来より、プリント基板上にメモリチップを複数枚積層し、樹脂でモールドした半導体装置が製造されている。プリント基板の下面にはパンプが接合されており、このパンプを

50

介して、半導体装置が電子機器等を実装される。一方、近年、半導体装置の低背化が要求されているため、プリント基板の代わりに再配線層を用いる技術が提案されている。再配線層は支持基板上に半導体プロセスによって形成され、再配線層上にチップが積層された後、支持基板が除去される。再配線層の下面上には電極層が設けられ、この電極層にパンプが接合される。しかしながら、支持基板が除去された後の再配線層には反りが生じやすく、電極層を精度よく形成することが困難である。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-180529号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態の目的は、電極層の位置精度が高い半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、再配線層と、前記再配線層の第1面上に設けられた複数のパンプと、前記再配線層の第2面上に積層された複数のチップと、前記第2面上に設けられ、前記複数のチップを覆う樹脂部材と、を備える。前記再配線層は、絶縁層と、前記絶縁層内に設けられた配線と、前記絶縁層内に設けられ、前記配線に接続された第1ビアと、前記絶縁層内に設けられ、前記第1ビアの材料とは異なる金属材料によって形成され、前記第1面において露出し、前記第1ビア及び前記パンプに接続された電極層と、前記絶縁層内に設けられ、前記配線及び前記複数のチップに接続された第2ビアと、を有する。前記電極層と前記第2面との距離は、前記第1面と前記第2面との距離よりも短い。

20

【0006】

実施形態に係る半導体装置の製造方法は、支持基板上に、絶縁層、前記絶縁層内に設けられ、前記絶縁層の下面に露出した複数の第1ビア、前記絶縁層内に設けられ、前記複数の第1ビアに接続された複数の配線、前記配線に接続され、前記絶縁層の上面において露出した複数の第2ビアを形成する工程と、前記絶縁層上に複数のチップを積層すると共に、前記複数のチップを前記第2ビアに接続する工程と、前記絶縁層上に、前記複数のチップを覆う樹脂部材を形成する工程と、前記支持基板を除去する工程と、前記第1ビアの露出面をエッチングすることにより、前記絶縁層の下面に凹部を形成する工程と、前記凹部内に、前記第1ビアの材料とは異なる金属材料からなる電極層を形成する工程と、前記電極層にパンプを接合する工程と、を備える。

30

【図面の簡単な説明】

【0007】

【図1】実施形態に係る半導体装置を示す断面図である。

【図2】実施形態に係る半導体装置の再配線層の一部を示す一部拡大断面図である。

【図3】(a)～(d)は、実施形態に係る半導体装置の製造方法を示す断面図である。

40

【図4】(a)～(c)は、実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】(a)～(c)は、実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】(a)～(c)は、実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】(a)及び(b)は、実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】実施形態に係る半導体装置の製造方法を示す一部拡大断面図である。

【発明を実施するための形態】

【0008】

以下、実施形態について説明する。

図1は、本実施形態に係る半導体装置を示す断面図である。

50

図 2 は、本実施形態に係る半導体装置の再配線層の一部を示す一部拡大断面図である。

【 0 0 0 9 】

図 1 に示すように、本実施形態に係る半導体装置 1 においては、再配線層 1 0 が設けられている。再配線層 1 0 においては、母材として、例えば有機材料からなる絶縁層 1 1 が設けられている。また、再配線層 1 0 においては、絶縁層 1 1 内に、複数の配線 1 2、複数のビア 1 3、複数のビア 1 4 及び複数の電極層 1 5 が設けられている。

【 0 0 1 0 】

配線 1 2 は、例えば金属材料からなり、絶縁層 1 1 内に埋め込まれている。ビア 1 3 は、例えば銅 (C u) 等の金属材料からなり、絶縁層 1 1 内に配置されており、配線 1 2 に接続されている。以下、本明細書においては、配線 1 2 からビア 1 3 に向かう方向を「下」といい、その反対方向を「上」という。すなわち、ビア 1 3 は配線 1 2 よりも下方に配置されている。ビア 1 4 は、金属材料、例えば貴金属、例えば、ニッケル (N i) 層、パラジウム (P d) 層及び金 (A u) 層の積層体からなり、絶縁層 1 1 内において、配線 1 2 よりも上方に配置されており、配線 1 2 に接続されている。ビア 1 4 は、再配線層 1 0 の上面 1 0 a において露出している。

10

【 0 0 1 1 】

電極層 1 5 は、絶縁層 1 1 内において、ビア 1 3 の下面上に配置されており、ビア 1 3 に接続されている。電極層 1 5 は、再配線層 1 0 の下面 1 0 b において露出している。電極層 1 5 は、ビア 1 3 の材料とは異なる金属材料からなり、例えば貴金属を含む。電極層 1 5 の厚さは、例えば、数 μm (ミクロン) である。

20

【 0 0 1 2 】

また、半導体装置 1 においては、再配線層 1 0 上に複数の半導体チップ 2 0 が設けられており、上下方向に沿って積層されている。半導体チップ 2 0 は、例えば、3 次元 N A N D 型のメモリチップである。再配線層 1 0 のビア 1 4 と最下段の半導体チップ 2 0 とは、マイクロバンプ 2 1 により接合されている。また、隣り合う半導体チップ 2 0 同士は、マイクロバンプ 2 2 により接合されている。なお、本明細書において「接合されている」とは、機械的に連結されていると共に電氣的に接続されている状態をいう。再配線層 1 0 の上面 1 0 a 上には、樹脂部材 2 4 が設けられている。樹脂部材 2 4 は樹脂材料からなり、積層された半導体チップ 2 0、マイクロバンプ 2 1 及び 2 2 を覆っている。

30

【 0 0 1 3 】

半導体装置 1 において、再配線層 1 0 の下面 1 0 b 上には、バンプ 2 6 が設けられている。バンプ 2 6 は例えば半田からなり、その直径はマイクロバンプ 2 1 及び 2 2 の直径よりも大きく、例えば数百 μm である。バンプ 2 6 は電極層 1 5 の下面 1 5 a (図 2 参照) に接合されている。

【 0 0 1 4 】

また、再配線層 1 0 の下面 1 0 b 上には、制御用チップ 2 7 が搭載されている。制御用チップ 2 7 は、マイクロバンプ 2 8 を介して、再配線層 1 0 の電極層 1 5 に接合されている。すなわち、複数の電極層 1 5 のうちの一部はバンプ 2 6 に接合されており、他の一部はマイクロバンプ 2 8 に接合されている。また、再配線層 1 0 と制御用チップ 2 7 との間には、マイクロバンプ 2 8 を覆う樹脂部材 2 9 が設けられている。

40

【 0 0 1 5 】

半導体装置 1 においては、各半導体チップ 2 0 の電極 (図示せず) が、マイクロバンプ 2 2 及び 2 1、ビア 1 4、配線 1 2、ビア 1 3、電極層 1 5 及びバンプ 2 6 を介して、外部に接続される。そして、制御用チップ 2 7 は、例えば、複数の半導体チップ 2 0 と外部との間の信号のやりとりを制御するインターフェイスとして機能すると共に、これらの半導体チップ 2 0 の動作を制御するコントローラーとして機能する。

【 0 0 1 6 】

図 2 に示すように、配線 1 2 においては、例えば銅からなる本体部 1 2 a が設けられており、本体部 1 2 a の下面上に銅層 1 2 b 及びチタン層 1 2 c が設けられている。一方、電極層 1 5 及びビア 1 3 からなる積層体の形状は、逆四角錐台形状である。すなわち、電

50

極層 15 に近いほど、幅が狭くなっている。電極層 15 においては、ビア 13 側から順に、ニッケル層 15 b 及び金属間化合物層 15 c が積層されている。ニッケル層 15 b はビア 13 に接し、金属間化合物層 15 c はバンプ 26 に接している。金属間化合物層 15 c は、例えば、銅、錫 (Sn) 及びニッケル (Ni) を主成分とする金属間化合物からなり、パラジウム (Pd) 及び金 (Au) 等の貴金属を含んでいてもよい。

【0017】

電極層 15 と再配線層 10 の上面 10 a との距離 L1 は、再配線層 10 の厚さ、すなわち、再配線層 10 の下面 10 b と上面 10 a との距離 L2 よりも短い。すなわち、 $L1 < L2$ である。また、電極層 15 の下面 15 a、すなわち、バンプ 26 側の表面は、再配線層 10 の下面 10 b に対して凹んでいる。なお、電極層 15 の下面 15 a は、再配線層 10 の下面 10 b と同一面を構成していてもよい。換言すれば、電極層 15 の下面 15 a と再配線層 10 の上面 10 a との距離 L3 は、上述の距離 L2 以下である。すなわち、 $L3 \leq L2$ である。

10

【0018】

次に、本実施形態に係る半導体装置の製造方法について説明する。

図 3 (a) ~ (d)、図 4 (a) ~ (c)、図 5 (a) ~ (c)、図 6 (a) ~ (c)、図 7 (a) 及び (b) は、本実施形態に係る半導体装置の製造方法を示す断面図である。

図 8 は、本実施形態に係る半導体装置の製造方法を示す一部拡大断面図である。

20

【0019】

まず、図 3 (a) に示すように、支持基板 100 を用意する。支持基板 100 は、例えば、シリコンウェーハ又はガラス基板である。次に、支持基板 100 の上面上に剥離層 101 を形成する。剥離層 101 は、例えば、特定の薬液に溶解可能な有機材料、光照射によって分解反応を生じる有機材料、又は、一定以上の応力印加で剥離を生じる有機材料若しくは無機材料からなる。次に、剥離層 101 上にチタン (Ti) 層 102 を形成し、その上に銅層 103 を形成する。チタン層 102 は支持基板 100 との密着性が高い。チタン層 102 及び銅層 103 により、シード層 104 が構成される。

【0020】

次に、図 3 (b) に示すように、シード層 104 上に、例えば有機材料からなる絶縁層 11 a を形成する。次に、例えばリソグラフィ法又はレーザー照射により、絶縁層 11 a にビアホール 11 b を形成する。ビアホール 11 b の底面には、シード層 104 が露出する。

30

【0021】

次に、図 3 (c) に示すように、シード層 104 を介して電解めっきを行い、ビアホール 11 b 内に金属材料、例えば、銅を埋め込み、ビア 13 を形成する。このとき、銅層 103 は導電性が高いため、後述するレジストパターン 105 が広範囲に形成された場合に、電解めっきの厚さを均一化しやすい。

【0022】

次に、図 3 (d) に示すように、絶縁層 11 a 上にチタン層 12 c 及び銅層 12 b を形成する。次に、銅層 12 b 上にレジストパターン 105 を形成する。レジストパターン 105 には、リソグラフィ法により、開口部 105 a を形成する。開口部 105 a の底面には、銅層 12 b が露出する。次に、チタン層 12 c 及び銅層 12 b をシード層として電解めっきを行い、開口部 105 a 内に銅を埋め込み、本体部 12 a を形成する。次に、レジストパターン 105 を除去する。次に、エッチングを行い、銅層 12 b 及びチタン層 12 c における本体部 12 a によって覆われていない部分を除去する。これにより、銅層 12 b 及びチタン層 12 c が、上方から見て本体部 12 a と同じ形状にパターンニングされる。本体部 12 a、並びに、パターンニングされた銅層 12 b 及びチタン層 12 c により、配線 12 が形成される。配線 12 はビア 13 に接続される。

40

【0023】

次に、図 4 (a) に示すように、絶縁層 11 a 及び配線 12 上に、例えば有機材料から

50

なる絶縁層 11c を形成する。絶縁層 11a 及び絶縁層 11c により、絶縁層 11 が形成される。次に、例えばリソグラフィ法又はレーザー照射により、絶縁層 11c にビアホール 11d を形成する。ビアホール 11d の底面には、配線 12 が露出する。

【0024】

次に、図 4 (b) に示すように、無電解めっき法により、配線 12 の露出面上に、貴金属を含む金属材料、例えば、ニッケル層、パラジウム層及び金層をこの順に形成する。これにより、ビアホール 11d 内にビア 14 が形成される。ビア 14 は、配線 12 に接続されると共に、絶縁層 11a の上面において露出する。

【0025】

次に、図 4 (c) に示すように、ビア 14 上にマイクロバンプ 21 を介して半導体チップ 20 を接合する。次に、この半導体チップ 20 上に、複数の半導体チップ 20 をマイクロバンプ 22 を介して積層する。これにより、絶縁層 11 上に、複数の半導体チップ 20 が積層される。複数の半導体チップ 20 の電極 (図示せず) は、マイクロバンプ 22 及び 21 を介して、ビア 14 に接続される。なお、予めマイクロバンプ 22 を介して相互に接合させた複数の半導体チップ 20 からなる積層体を、マイクロバンプ 21 を介してビア 14 に接合してもよい。

10

【0026】

次に、図 5 (a) に示すように、絶縁層 11 上に、複数の半導体チップ 20 からなる積層体を覆うように樹脂材料を成形封止し、例えば 200 以下の温度で熱硬化させることにより、樹脂部材 24 を形成する。

20

【0027】

次に、図 5 (b) に示すように、例えば薬液を用いて溶解させることにより、若しくは、光照射により剥離層を分解することにより、剥離層 101 を除去する。又は、剥離層 101 の密着力を上回る力で支持基板 100 を剥離層 101 から引き剥がす。これにより、支持基板 100 が除去されて、シード層 104 が露出する。

【0028】

次に、図 5 (c) に示すように、シード層 104 上に剥離層 101 の残渣 (図示せず) が残留していれば、これを除去する。次に、例えばウェットエッチング法により、シード層 104 を除去する。これにより、絶縁層 11 及びビア 13 が露出する。

【0029】

次に、図 6 (a) に示すように、例えばウェットエッチング法により、ビア 13 の露出面をエッチングする。これにより、ビア 13 の一部が除去され、絶縁層 11 の下面に凹部 106 が形成される。凹部 106 の底面にはビア 13 の残部が露出する。凹部 106 の深さは、例えば数 μm とする。なお、ビア 13 の材料を銅とした場合には、銅のエッチング液による処理条件を制御することで、銅層 103 の全面除去とビア 13 の一部除去を 1 回のウェットエッチング処理で実施可能である。

30

【0030】

次に、図 6 (b) 及び図 8 に示すように、例えば無電解めっき法により、ビア 13 の露出面に、ビア 13 の材料とは異なる金属材料、例えば貴金属を含む金属材料、例えば、ニッケル層 15b、パラジウム層 15d 及び金層 15e をこの順に形成する。これにより、凹部 106 内に電極層 15 が形成される。このとき、電極層 15 の厚さがビア 13 の除去厚、すなわち、凹部 106 の深さを超えないように、電極材料の成長条件、例えば温度や処理時間を制御する。絶縁層 11、配線 12、ビア 13、ビア 14 及び電極層 15 により、再配線層 10 が形成される。電極層 15 の下面 15a は、再配線層 10 の下面 10b に対して凹んでいるか、同一面である。

40

【0031】

次に、図 6 (c) に示すように、一部の電極層 15 に、マイクロバンプ 28 を介して、制御用チップ 27 を接合する。次に、再配線層 10 と制御用チップ 27 との間に、マイクロバンプ 28 を覆うように、樹脂部材 29 を形成する。

【0032】

50

次に、図7(a)に示すように、マイクロパンプ28が接合されていない電極層15に、例えば半田からなるパンプ26を接合する。このとき、図8及び図2に示すように、パンプ26が接合された電極層15においては、金属層15e及びパラジウム層15dがパンプ26内に拡散して消失する。一方、ニッケル層15bとパンプ26との間には、銅、錫及びニッケルを主成分とする金属間化合物層15cが形成される。

【0033】

次に、図7(b)に示すように、ダイシングを行い、再配線層10及び樹脂部材24を切断する。これにより、複数の半導体装置1が製造される。

【0034】

次に、本実施形態の効果について説明する。

本実施形態においては、図3(a)～図5(a)に示す工程において、支持基板100上に絶縁層11、半導体チップ20からなる積層体、樹脂部材24等からなる構造体を形成した後、図5(b)に示す工程において、支持基板100を除去している。また、図5(c)～図7(a)に示す工程において、電極層15及びパンプ26を形成している。これにより、再配線層10を介して半導体チップ20をパンプ26に接続することができる。この結果、プリント基板を用いる場合と比較して、半導体装置1の低背化を図ることができる。

【0035】

また、図5(b)に示す工程において支持基板100を除去すると、主として半導体チップ20において発生する応力、及び、樹脂部材24を熱硬化させたときの応力により、絶縁層11、半導体チップ20からなる積層体、樹脂部材24等からなる構造体に反りが発生する可能性がある。反りが発生すると、ビア13の位置が設計位置からずれてしまう。しかしながら、本実施形態においては、図6(a)に示す工程において、ビア13をエッチングすることにより凹部106を形成し、図6(b)に示す工程において、凹部106内に無電解めっき法により、電極層15を形成している。このように、本実施形態においては、ビア13の位置がずれた場合でも、電極層15を自己整合的に形成できるため、電極層15の位置精度が高い。また、電極層15が凹部106内に形成されるため、電極層15の形成に伴って電極層15同士が近づくことがなく、電極層15間の短絡を抑制できる。

【0036】

これに対して、仮に、例えばリソグラフィ法及びRIE(Reactive Ion Etching: 反応性イオンエッチング)法等により、ビア13とは独立に電極層15を形成しようとする、構造体の反りによってビア13の位置がずれた場合には、電極層15とビア13との位置合わせが困難になる。また、仮に、凹部106を形成せずに電極層15を形成すると、電極層15の成長に伴って電極層15が水平方向にも広がるため、電極層15同士が近づき、短絡する可能性がある。電極層15同士の短絡を確実に防止するためには、設計段階において、電極層15間の距離を十分に長くしておく必要があり、半導体装置1の小型化が阻害されてしまう。

【0037】

以上説明した実施形態によれば、電極層の位置精度が高い半導体装置及びその製造方法を実現することができる。

【0038】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。

【符号の説明】

【0039】

10

20

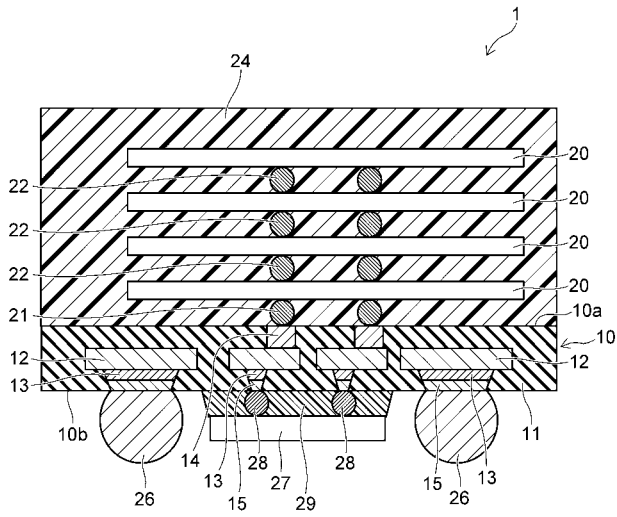
30

40

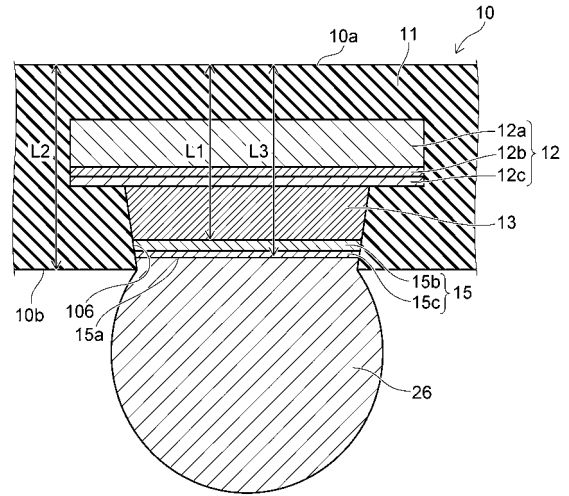
50

1 : 半導体装置	
1 0 : 再配線層	
1 0 a : 上面	
1 0 b : 下面	
1 1 : 絶縁層	
1 1 a : 絶縁層	
1 1 b : ビアホール	
1 1 c : 絶縁層	
1 1 d : ビアホール	
1 2 : 配線	10
1 2 a : 本体部	
1 2 b : 銅層	
1 2 c : チタン層	
1 3 : ビア	
1 4 : ビア	
1 5 : 電極層	
1 5 a : 下面	
1 5 b : ニッケル層	
1 5 c : 金属間化合物層	
1 5 d : パラジウム層	20
1 5 e : 金層	
2 0 : 半導体チップ	
2 1、2 2 : マイクロバンプ	
2 4 : 樹脂部材	
2 6 : バンプ	
2 7 : 制御用チップ	
2 8 : マイクロバンプ	
2 9 : 樹脂部材	
1 0 0 : 支持基板	
1 0 1 : 剥離層	30
1 0 2 : チタン層	
1 0 3 : 銅層	
1 0 4 : シード層	
1 0 5 : レジストパターン	
1 0 5 a : 開口部	
1 0 6 : 凹部	
L 1、L 2、L 3 : 距離	

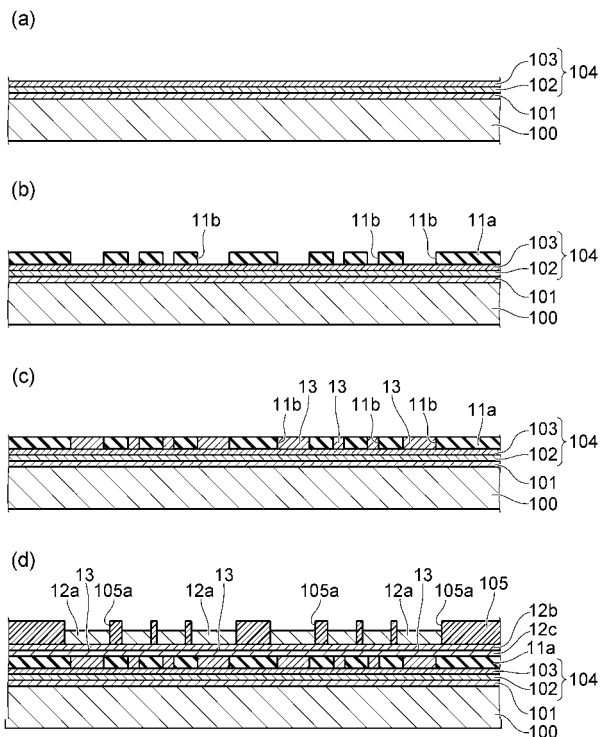
【 図 1 】



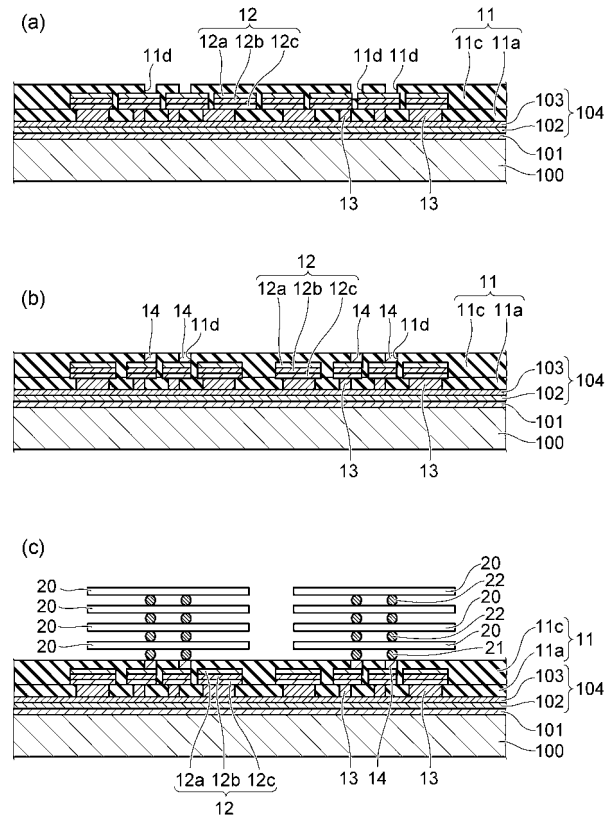
【 図 2 】



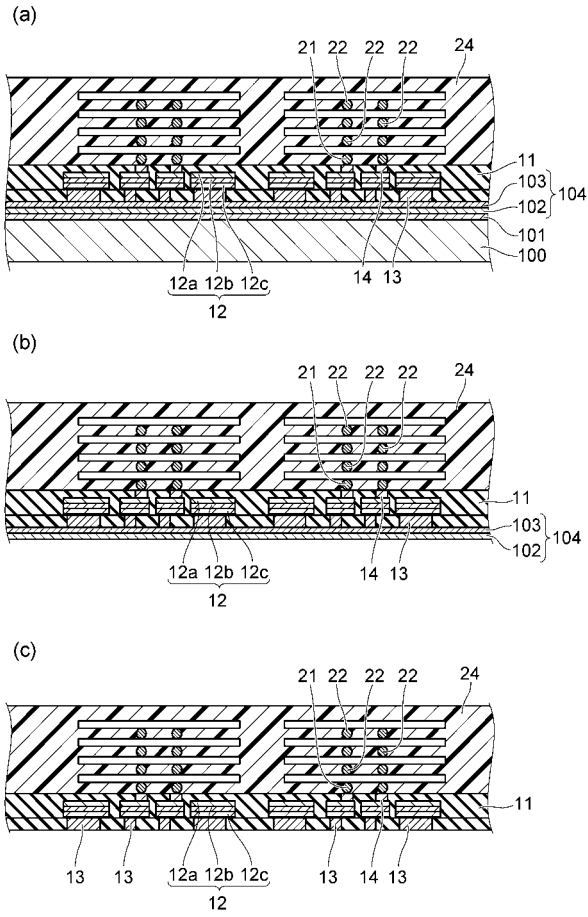
【 図 3 】



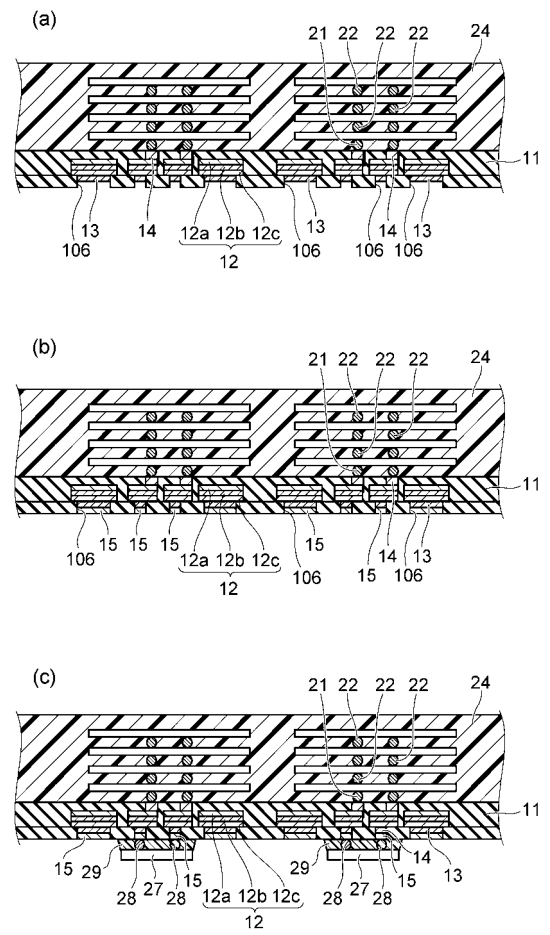
【 図 4 】



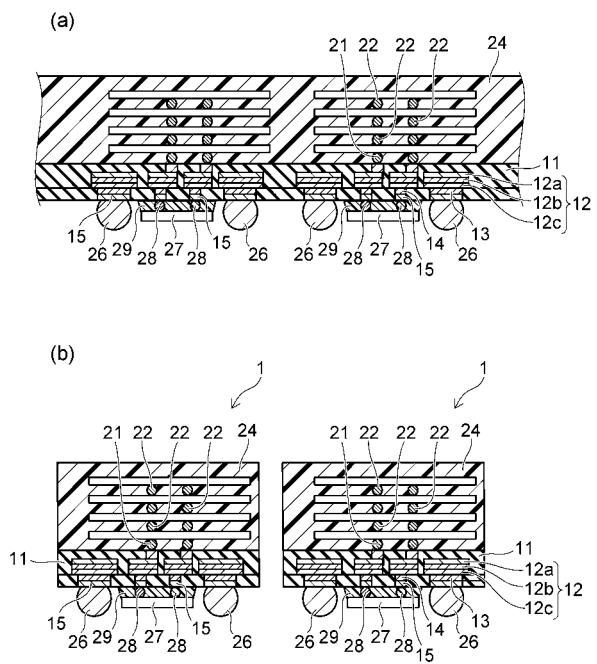
【 図 5 】



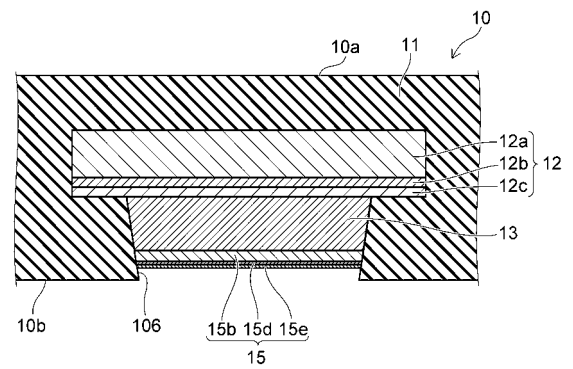
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 栗田 洋一郎
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 下川 一生
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内