

(12) 发明专利

(10) 授权公告号 CN 102035552 B

(45) 授权公告日 2013.04.17

(21) 申请号 201010544692.8

人无线通信系统.《计算机工程》.2010,第36卷  
(第13期),

(22) 申请日 2010.11.11

审查员 桂煦

(73) 专利权人 大连理工大学

地址 116024 辽宁省大连市甘井子区凌工路  
2号

(72) 发明人 邱铁 江贺 冯林 吴振宇

(74) 专利代理机构 大连理工大学专利中心  
21200

代理人 关慧贞

(51) Int. Cl.

H03M 1/12(2006.01)

(56) 对比文件

CN 101551786 A, 2009.10.07,

CN 1143869 A, 1997.02.26,

US 5230071 A, 1993.07.20,

赵亮,冯林,吴振宇.基于FPGA的小型机器

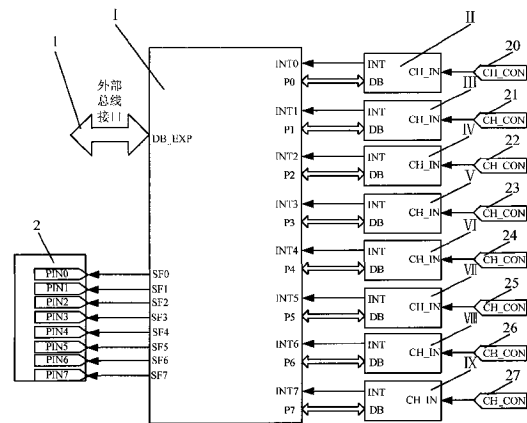
权利要求书 3 页 说明书 6 页 附图 2 页

(54) 发明名称

一种八通道高速模拟信号并行采集装置

(57) 摘要

本发明一种八通道高速模拟信号并行采集装置属于电子通信领域,特别涉及一种带有先进先出缓存多通道高速变化的模拟信号采集,并转换成数字信号传送给外部总线进行处理。信号采集装置采用现场可编程门阵列器件作为八路高速拟信号的预处理单元,带有八个先进先出缓存,配合算术逻辑单元进行八通道高速模拟信号的并行采集。采集装置内置八个先进先出 FIFO 缓存,其整体结构由 FPGA 并行采集模块、八个 A/D 转换模块组成;FPGA 并行采集模块由 ALU 单元、八个三态门和八个 FIFO 缓存组成。本发明采集速度快,能够保证采集的实时性,解决了八路高速模拟信号的并行采集问题,提高了装置的性能。



1. 一种八通道高速模拟信号并行采集装置,其特征是,采集装置采用现场可编程门阵列器件作为八路高速模拟信号的预处理单元,带有八个先进先出缓存,配合算术逻辑单元进行八通道高速模拟信号的并行采集;采集装置内置八个先进先出 FIFO 缓存,其整体结构由 FPGA 并行采集模块 (I)、第一 A/D 转换模块 (II)、第二 A/D 转换模块 (III)、第三 A/D 转换模块 (IV)、第四 A/D 转换模块 (V)、第五 A/D 转换模块 (VI)、第六 A/D 转换模块 (VII)、第七 A/D 转换模块 (VIII) 和第八 A/D 转换模块 (IX) 组成;FPGA 并行采集模块 (I) 由 ALU 单元 (3)、第一三态门 (4)、第一 FIFO 缓存 (5)、第二三态门 (6)、第二 FIFO 缓存 (7)、第三三态门 (8)、第三 FIFO 缓存 (9)、第四三态门 (10)、第四 FIFO 缓存 (11)、第五三态门 (12)、第五 FIFO 缓存 (13)、第六三态门 (14)、第六 FIFO 缓存 (15)、第七三态门 (16)、第七 FIFO 缓存 (17)、第八三态门 (18)、第八 FIFO 缓存 (19) 组成,其中每个 FIFO 缓存占有 8 个字节大小;

FPGA 并行采集模块 (I) 的中断第 0 引脚 INTO 与第一 A/D 转换模块 (II) 的 A/D 转换中断引脚 INT 相连,用于接收第一 A/D 转换模块 (II) 的转换完毕中断请求;FPGA 并行采集模块 (I) 的通用输入输出第 0 端口 P0 与第一 A/D 转换模块 (II) 的 A/D 转换数据总线 DB 相连,用于接收第一 A/D 转换模块 (II) 的转换结果数据;第一 A/D 转换模块 (II) 的模拟信号输入通道 CH\_IN 与第一模拟信号输入端 (20) 的模拟信号输入端接线引脚 CH\_CON 相连,作为第一模拟信号的输入端;FPGA 并行采集模块 (I) 的用于查询第一 FIFO 缓存 (5) 的状态信息的第一 FIFO 缓存状态引脚 SF0 与状态总线接线端子 (2) 的状态总线接线端子第 0 引脚 PIN0 相连;

FPGA 并行采集模块 (I) 的中断第 1 引脚 INT1 与第二 A/D 转换模块 (III) 的 A/D 转换中断引脚 INT 相连,用于接收第二 A/D 转换模块 (III) 的转换完毕中断请求;FPGA 并行采集模块 (I) 的通用输入输出第 1 端口 P1 与第二 A/D 转换模块 III 的 A/D 转换数据总线 DB 相连,用于接收第二 A/D 转换模块 (III) 的转换结果数据;第二 A/D 转换模块 (III) 的模拟信号输入通道 CH\_IN 与第二模拟信号输入端 (21) 的模拟信号输入端接线引脚 CH\_CON 相连,作为第二模拟信号的输入端;FPGA 并行采集模块 (I) 的用于查询第二 FIFO 缓存 (7) 的状态信息的第二 FIFO 缓存状态引脚 SF1 与状态总线接线端子 (2) 的状态总线接线端子第 1 引脚 PIN1 相连;

FPGA 并行采集模块 (I) 的中断第 2 引脚 INT2 与第三 A/D 转换模块 (IV) 的 A/D 转换中断引脚 INT 相连,用于接收第三 A/D 转换模块 (IV) 的转换完毕中断请求;FPGA 并行采集模块 (I) 的通用输入输出第 2 端口 P2 与第三 A/D 转换模块 (IV) 的 A/D 转换数据总线 DB 相连,用于接收第三 A/D 转换模块 (IV) 的转换结果数据;第三 A/D 转换模块 (IV) 的模拟信号输入通道 CH\_IN 与第三模拟信号输入端 (22) 的模拟信号输入端接线引脚 CH\_CON 相连,作为第三模拟信号的输入端;FPGA 并行采集模块 (I) 的用于查询第三 FIFO 缓存 (9) 的状态信息的第三 FIFO 缓存状态引脚 SF2 与状态总线接线端子 (2) 的状态总线接线端子第 2 引脚 PIN2 相连;

FPGA 并行采集模块 (I) 的中断第 3 引脚 INT3 与第四 A/D 转换模块 (V) 的 A/D 转换中断引脚 INT 相连,用于接收第四 A/D 转换模块 (V) 的转换完毕中断请求;FPGA 并行采集模块 (I) 的通用输入输出第 3 端口 P3 与第四 A/D 转换模块 (V) 的 A/D 转换数据总线 DB 相连,用于接收第四 A/D 转换模块 (V) 的转换结果数据;第四 A/D 转换模块 (V) 的模拟信号输入通

道 CH\_IN 与第四模拟信号输入端 (23) 的模拟信号输入端接线引脚 CH\_CON 相连, 作为第四模拟信号的输入端 ;FPGA 并行采集模块 (I) 的用于查询第四 FIFO 缓存 (11) 的状态信息的第四 FIFO 缓存状态引脚 SF3 与状态总线接线端子 (2) 的状态总线接线端子第 3 引脚 PIN3 相连 ;

FPGA 并行采集模块 (I) 的中断第 4 引脚 INT4 与第五 A/D 转换模块 (VI) 的 A/D 转换中断引脚 INT 相连, 用于接收第五 A/D 转换模块 (VI) 的转换完毕中断请求 ;FPGA 并行采集模块 (I) 的通用输入输出第 4 端口 P4 与第五 A/D 转换模块 (VI) 的 A/D 转换数据总线 DB 相连, 用于接收第五 A/D 转换模块 (VI) 的转换结果数据 ;第五 A/D 转换模块 (VI) 的模拟信号输入通道 CH\_IN 与第五模拟信号输入端 (24) 的模拟信号输入端接线引脚 CH\_CON 相连, 作为第五模拟信号的输入端 ;FPGA 并行采集模块 (I) 的用于查询第五 FIFO 缓存 (13) 的状态信息的第五 FIFO 缓存状态引脚 SF4 与状态总线接线端子 (2) 的状态总线接线端子第 4 引脚 PIN4 相连 ;

FPGA 并行采集模块 (I) 的中断第 5 引脚 INT5 与第六 A/D 转换模块 (VII) 的 A/D 转换中断引脚 INT 相连, 用于接收第六 A/D 转换模块 (VII) 的转换完毕中断请求 ;FPGA 并行采集模块 (I) 的通用输入输出第 5 端口 P5 与第六 A/D 转换模块 (VII) 的 A/D 转换数据总线 DB 相连, 用于接收第六 A/D 转换模块 (VII) 的转换结果数据 ;第六 A/D 转换模块 (VII) 的模拟信号输入通道 CH\_IN 与第六模拟信号输入端 (25) 的模拟信号输入端接线引脚 CH\_CON 相连, 作为第六模拟信号的输入端 ;FPGA 并行采集模块 (I) 的用于查询第六 FIFO 缓存 (15) 的状态信息的第六 FIFO 缓存状态引脚 SF5 与状态总线接线端子 (2) 的状态总线接线端子第 5 引脚 PIN5 相连 ;

FPGA 并行采集模块 (I) 的中断第 6 引脚 INT6 与第七 A/D 转换模块 (VIII) 的 A/D 转换中断引脚 INT 相连, 用于接收第七 A/D 转换模块 (VIII) 的转换完毕中断请求 ;FPGA 并行采集模块 (I) 的通用输入输出第 6 端口 P6 与第七 A/D 转换模块 (VIII) 的 A/D 转换数据总线 DB 相连, 用于接收第七 A/D 转换模块 (VIII) 的转换结果数据 ;第七 A/D 转换模块 (VIII) 的模拟信号输入通道 CH\_IN 与第七模拟信号输入端 (26) 的模拟信号输入端接线引脚 CH\_CON 相连, 作为第七模拟信号的输入端 ;FPGA 并行采集模块 (I) 的用于查询第七 FIFO 缓存 (17) 的状态信息的第七 FIFO 缓存状态引脚 SF6 与状态总线接线端子 (2) 的状态总线接线端子第 6 引脚 PIN6 相连 ;

FPGA 并行采集模块 (I) 的中断第 7 引脚 INT7 与第八 A/D 转换模块 (IX) 的 A/D 转换中断引脚 INT 相连, 用于接收第八 A/D 转换模块 (IX) 的转换完毕中断请求 ;FPGA 并行采集模块 (I) 的通用输入输出第 7 端口 P7 与第八 A/D 转换模块 (IX) 的 A/D 转换数据总线 DB 相连, 用于接收第八 A/D 转换模块 (IX) 的转换结果数据 ;第八 A/D 转换模块 (IX) 的模拟信号输入通道 CH\_IN 与第八模拟信号输入端 (27) 的模拟信号输入端接线引脚 CH\_CON 相连, 作为第八模拟信号的输入端 ;FPGA 并行采集模块 (I) 的用于查询第八 FIFO 缓存 (19) 的状态信息的第八 FIFO 缓存状态引脚 SF7 与状态总线接线端子 (2) 的状态总线接线端子第 7 引脚 PIN7 相连 ;

在 FPGA 并行采集模块 (I) 中, 通用输入输出第 0 端口 P0 与第一 FIFO 缓存 5 相连, 第一 FIFO 缓存 (5) 通过第一三态门 (4) 连接到内部总线 (28), 第一三态门 (4) 由 ALU 单元 (3) 的片选信号第 0 控制端 CS0 控制, 第一 FIFO 缓存 (5) 是否为空由第一 FIFO 缓存状态引脚

SF0 进行标识,中断第 0 引脚 INTO 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 1 端口 P1 与第二 FIFO 缓存 (7) 相连,第二 FIFO 缓存 (7) 通过第二三态门 (6) 连接到内部总线 (28),第二三态门 (6) 由 ALU 单元 (3) 的片选信号第 1 控制端 CS1 控制,第二 FIFO 缓存 (7) 是否为空由第二 FIFO 缓存状态引脚 SF1 进行标识,中断第 1 引脚 INT1 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 2 端口 P2 与第三 FIFO 缓存 (9) 相连,第三 FIFO 缓存 (9) 通过第三三态门 (8) 连接到内部总线 (28),第三三态门 (8) 由 ALU 单元 (3) 的片选信号第 2 控制端 CS2 控制,第三 FIFO 缓存 (9) 是否为空由第三 FIFO 缓存状态引脚 SF2 进行标识,中断第 2 引脚 INT2 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 3 端口 P3 与第四 FIFO 缓存 (11) 相连,第四 FIFO 缓存 (11) 通过第四三态门 (10) 连接到内部总线 (28),第四三态门 (10) 由 ALU 单元 (3) 的片选信号第 3 控制端 CS3 控制,第四 FIFO 缓存 (11) 是否为空由第四 FIFO 缓存状态引脚 SF3 进行标识,中断第 3 引脚 INT3 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 4 端口 P4 与第五 FIFO 缓存 (13) 相连,第五 FIFO 缓存 (13) 通过第五三态门 (12) 连接到内部总线 (28),第五三态门 (12) 由 ALU 单元 (3) 的片选信号第 4 控制端 CS4 控制,第五 FIFO 缓存 (13) 是否为空由第五 FIFO 缓存状态引脚 SF4 进行标识,中断第 4 引脚 INT4 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 5 端口 P5 与第六 FIFO 缓存 (15) 相连,第六 FIFO 缓存 (15) 通过第六三态门 (14) 连接到内部总线 (28),第六三态门 (14) 由 ALU 单元 (3) 的片选信号第 5 控制端 CS5 控制,第六 FIFO 缓存 (15) 是否为空由第六 FIFO 缓存状态引脚 SF5 进行标识,中断第 5 引脚 INT5 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 6 端口 P6 与第七 FIFO 缓存 (17) 相连,第七 FIFO 缓存 (17) 通过第七三态门 (16) 连接到内部总线 (28),第七三态门 (16) 由 ALU 单元 (3) 的片选信号第 6 控制端 CS6 控制,第七 FIFO 缓存 (17) 是否为空由第七 FIFO 缓存状态引脚 SF6 进行标识,中断第 6 引脚 INT6 作为 ALU 单元 (3) 输入信号;

在 FPGA 并行采集模块 (I) 中,通用输入输出第 7 端口 P7 与第八 FIFO 缓存 (19) 相连,第八 FIFO 缓存 (19) 通过第八三态门 (18) 连接到内部总线 (28),第八三态门 (18) 由 ALU 单元 (3) 的片选信号第 7 控制端 CS7 控制,第八 FIFO 缓存 (19) 是否为空由第八 FIFO 缓存状态引脚 SF7 进行标识,中断第 7 引脚 INT7 作为 ALU 单元 (3) 输入信号;外部总线接口 (1) 与内部总线 (28) 的外部总线端口 DB\_EXP 连接。

## 一种八通道高速模拟信号并行采集装置

### 技术领域

[0001] 本发明一种八通道高速模拟信号并行采集装置属于电子通信领域,特别涉及一种带有先进先出缓存多通道高速变化的模拟信号采集,并转换成数字信号传送给外部总线进行处理的信号采集装置。

### 背景技术

[0002] 在通信技术领域,数字信号传输稳定、易于控制和处理,是当前应用最多的通信方式。在实际应用中,很多信号源为模拟信号,例如从传感器感知的信号为连续变化的电压或电流信号,这些信号需要转换成数字信号。对于一般的低速模拟信号,可以通过一个微控制单元控制一个模拟/数字转换器(以下简称 A/D)来实现,但是当所采集的模拟信号为多路并且变化特别快时,很难保证所采集的模拟信号不失真。在申请号为 200710140206,发明人为蔡仁哲的发明专利“数字模拟转换器及转换方法”中,公告了一种数字模拟转换器,是基于单路的转换方法而提出的,不能对多路模拟信号进行分时高速采集处理。在申请号为 201010217051.1 的发明专利“双 MCU 控制多通道高速模拟信号采集器”中,发明人邱铁等提出了一种多通道数字模拟转换器,是基于双 MCU 协同处理采集信号,不能同时满足八路高速模拟信号的采集要求。

### 发明内容

[0003] 本发明要解决的技术难题是克服上述现有技术的缺陷,发明一种性能优越的多通道高速模拟信号并行采集装置。如果用传统的信号采集方法,采用单个处理器同时采集八路高速变化的模拟信号,无法保证信号不失真;如果采用多个处理器,会造成资源浪费。而本发明的一种八通道高速模拟信号并行采集装置是采用现场可编程门阵列器件(以下简称 FPGA)作为八路高速拟信号的预处理单元,带有八个先进先出缓存,配合算术逻辑单元(以下简称 ALU 单元)进行八通道高速模拟信号的并行采集。采集速度快,能够保证采集的实时性,解决了八路高速模拟信号的并行采集问题,提高了装置的性能。

[0004] 本发明采用的技术方案是一种八通道高速模拟信号并行采集装置,信号采集装置采用现场可编程门阵列器件作为八路高速拟信号的预处理单元,带有八个先进先出缓存,配合算术逻辑单元进行八通道高速模拟信号的并行采集;采集装置内置八个先进先出 FIFO 缓存,其整体结构由 FPGA 并行采集模块 I、第一 A/D 转换模块 II、第二 A/D 转换模块 III、第三 A/D 转换模块 IV、第四 A/D 转换模块 V、第五 A/D 转换模块 VI、第六 A/D 转换模块 VII、第七 A/D 转换模块 VIII 和第八 A/D 转换模块 IX 组成。FPGA 并行采集模块 I 由 ALU 单元 3、第一三态门 4、第一 FIFO 缓存 5、第二三态门 6、第二 FIFO 缓存 7、第三三态门 8、第三 FIFO 缓存 9、第四三态门 10、第四 FIFO 缓存 11、第五三态门 12、第五 FIFO 缓存 13、第六三态门 14、第六 FIFO 缓存 15、第七三态门 16、第七 FIFO 缓存 17、第八三态门 18、第八 FIFO 缓存 19 组成,其中每个 FIFO 缓存占有 8 个字节大小。

[0005] FPGA 并行采集模块 I 的中断第 0 引脚 INT0 与第一 A/D 转换模块 II 的 A/D 转换中

断引脚 INT 相连,用于接收第一 A/D 转换模块 II 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 0 端口 P0 与第一 A/D 转换模块 II 的 A/D 转换数据总线 DB 相连,用于接收第一 A/D 转换模块 II 的转换结果数据;第一 A/D 转换模块 II 的模拟信号输入通道 CH\_IN 与第一模拟信号输入端 20 的模拟信号输入端接线引脚 CH\_CON 相连,作为第一路模拟号的输入端;FPGA 并行采集模块 I 的第一 FIFO 缓存状态引脚 SF0 与状态总线接线端子 2 的状态总线接线端子第 0 引脚 PIN0 相连,用于查询第一 FIFO 缓存 5 的状态信息。

[0006] FPGA 并行采集模块 I 的中断第 1 引脚 INT1 与第二 A/D 转换模块 III 的 A/D 转换中断引脚 INT 相连,用于接收第二 A/D 转换模块 III 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 1 端口 P1 与第二 A/D 转换模块 III 的 A/D 转换数据总线 DB 相连,用于接收第二 A/D 转换模块 III 的转换结果数据;第二 A/D 转换模块 III 的模拟信号输入通道 CH\_IN 与第二模拟信号输入端 21 的模拟信号输入端接线引脚 CH\_CON 相连,作为第二路模拟号的输入端。FPGA 并行采集模块 I 的第二 FIFO 缓存状态引脚 SF1 与状态总线接线端子 2 的状态总线接线端子第 1 引脚 PIN1 相连,用于查询第二 FIFO 缓存 7 的状态信息。

[0007] FPGA 并行采集模块 I 的中断第 2 引脚 INT2 与第三 A/D 转换模块 IV 的 A/D 转换中断引脚 INT 相连,用于接收第三 A/D 转换模块 IV 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 2 端口 P2 与第三 A/D 转换模块 IV 的 A/D 转换数据总线 DB 相连,用于接收第三 A/D 转换模块 IV 的转换结果数据;第三 A/D 转换模块 IV 的模拟信号输入通道 CH\_IN 与第三模拟信号输入端 22 的模拟信号输入端接线引脚 CH\_CON 相连,作为第三路模拟号的输入端。FPGA 并行采集模块 I 的第三 FIFO 缓存状态引脚 SF2 与状态总线接线端子 2 的状态总线接线端子第 2 引脚 PIN2 相连,用于查询第三 FIFO 缓存 9 的状态信息。

[0008] FPGA 并行采集模块 I 的中断第 3 引脚 INT3 与第四 A/D 转换模块 V 的 A/D 转换中断引脚 INT 相连,用于接收第四 A/D 转换模块 V 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 3 端口 P3 与第四 A/D 转换模块 V 的 A/D 转换数据总线 DB 相连,用于接收第四 A/D 转换模块 V 的转换结果数据;第四 A/D 转换模块 V 的模拟信号输入通道 CH\_IN 与第四模拟信号输入端 23 的模拟信号输入端接线引脚 CH\_CON 相连,作为第四路模拟号的输入端。FPGA 并行采集模块 I 的第四 FIFO 缓存状态引脚 SF3 与状态总线接线端子 2 的状态总线接线端子第 3 引脚 PIN3 相连,用于查询第四 FIFO 缓存 11 的状态信息。

[0009] FPGA 并行采集模块 I 的中断第 4 引脚 INT4 与第五 A/D 转换模块 VI 的 A/D 转换中断引脚 INT 相连,用于接收第五 A/D 转换模块 VI 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 4 端口 P4 与第五 A/D 转换模块 VI 的 A/D 转换数据总线 DB 相连,用于接收第五 A/D 转换模块 VI 的转换结果数据;第五 A/D 转换模块 VI 的模拟信号输入通道 CH\_IN 与第五模拟信号输入端 24 的模拟信号输入端接线引脚 CH\_CON 相连,作为第五路模拟号的输入端。FPGA 并行采集模块 I 的第五 FIFO 缓存状态引脚 SF4 与状态总线接线端子 2 的状态总线接线端子第 4 引脚 PIN4 相连,用于查询第五 FIFO 缓存 13 的状态信息。

[0010] FPGA 并行采集模块 I 的中断第 5 引脚 INT5 与第六 A/D 转换模块 VII 的 A/D 转换中断引脚 INT 相连,用于接收第六 A/D 转换模块 VII 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 5 端口 P5 与第六 A/D 转换模块 VII 的 A/D 转换数据总线 DB 相连,用于接收第六 A/D 转换模块 VII 的转换结果数据;第六 A/D 转换模块 VII 的模拟信号输入通道 CH\_IN 与第六模拟信号输入端 25 的模拟信号输入端接线引脚 CH\_CON 相连,作为第六

路模拟号的输入端。FPGA 并行采集模块 I 的第六 FIFO 缓存状态引脚 SF5 与状态总线接线端子 2 的状态总线接线端子第 5 引脚 PIN5 相连,用于查询第六 FIFO 缓存 15 的状态信息。

[0011] FPGA 并行采集模块 I 的中断第 6 引脚 INT6 与第七 A/D 转换模块 VIII 的 A/D 转换中断引脚 INT 相连,用于接收第七 A/D 转换模块 VIII 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 6 端口 P6 与第七 A/D 转换模块 VIII 的 A/D 转换数据总线 DB 相连,用于接收第七 A/D 转换模块 VIII 的转换结果数据;第七 A/D 转换模块 VIII 的模拟信号输入通道 CH\_IN 与第七模拟信号输入端 26 的模拟信号输入端接线引脚 CH\_CON 相连,作为第七路模拟号的输入端。FPGA 并行采集模块 I 的第七 FIFO 缓存状态引脚 SF6 与状态总线接线端子 2 的状态总线接线端子第 6 引脚 PIN6 相连,用于查询第七 FIFO 缓存 17 的状态信息。

[0012] FPGA 并行采集模块 I 的中断第 7 引脚 INT7 与第八 A/D 转换模块 IX 的 A/D 转换中断引脚 INT 相连,用于接收第八 A/D 转换模块 IX 的转换完毕中断请求;FPGA 并行采集模块 I 的通用输入输出第 7 端口 P7 与第八 A/D 转换模块 IX 的 A/D 转换数据总线 DB 相连,用于接收第八 A/D 转换模块 IX 的转换结果数据;第八 A/D 转换模块 IX 的模拟信号输入通道 CH\_IN 与第八模拟信号输入端 27 的模拟信号输入端接线引脚 CH\_CON 相连,作为第八路模拟号的输入端。FPGA 并行采集模块 I 的第八 FIFO 缓存状态引脚 SF7 与状态总线接线端子 2 的状态总线接线端子第 7 引脚 PIN7 相连,用于查询第八 FIFO 缓存 19 的状态信息。

[0013] 在 FPGA 并行采集模块 I 中,通用输入输出第 0 端口 P0 与第一 FIFO 缓存 5 相连,第一 FIFO 缓存 5 通过第一三态门 4 连接到内部总线 28,第一三态门 4 由 ALU 单元 3 的片选信号第 0 控制端 CS0 控制,第一 FIFO 缓存 5 是否为空由第一 FIFO 缓存状态引脚 SF0 进行标识,中断第 0 引脚 INT0 作为 ALU 单元 3 的输入信号;

[0014] 通用输入输出第 1 端口 P1 与第二 FIFO 缓存 7 相连,第二 FIFO 缓存 7 通过第二三态门 6 连接到内部总线 28,第二三态门 6 由 ALU 单元 3 的片选信号第 1 控制端 CS1 控制,第二 FIFO 缓存 7 是否为空由第二 FIFO 缓存状态引脚 SF1 进行标识,中断第 1 引脚 INT1 作为 ALU 单元 3 的输入信号;

[0015] 通用输入输出第 2 端口 P2 与第三 FIFO 缓存 9 相连,第三 FIFO 缓存 9 通过第三三态门 8 连接到内部总线 28,第三三态门 8 由 ALU 单元 3 的片选信号第 2 控制端 CS2 控制,第三 FIFO 缓存 9 是否为空由第三 FIFO 缓存状态引脚 SF2 进行标识,中断第 2 引脚 INT2 作为 ALU 单元 3 的输入信号;

[0016] 通用输入输出第 3 端口 P3 与第四 FIFO 缓存 11 相连,第四 FIFO 缓存 11 通过第四三态门 10 连接到内部总线 28,第四三态门 10 由 ALU 单元 3 的片选信号第 3 控制端 CS3 控制,第四 FIFO 缓存 11 是否为空由第四 FIFO 缓存状态引脚 SF3 进行标识,中断第 3 引脚 INT3 作为 ALU 单元 3 的输入信号;

[0017] 通用输入输出第 4 端口 P4 与第五 FIFO 缓存 13 相连,第五 FIFO 缓存 13 通过第五三态门 12 连接到内部总线 28,第五三态门 12 由 ALU 单元 3 的片选信号第 4 控制端 CS4 控制,第五 FIFO 缓存 13 是否为空由第五 FIFO 缓存状态引脚 SF4 进行标识,中断第 4 引脚 INT4 作为 ALU 单元 3 输入信号;

[0018] 通用输入输出第 5 端口 P5 与第六 FIFO 缓存 15 相连,第六 FIFO 缓存 15 通过第六三态门 14 连接到内部总线 28,第六三态门 14 由 ALU 单元 3 的片选信号第 5 控制端 CS5

控制,第六 FIFO 缓存 15 是否为空由第六 FIFO 缓存状态引脚 SF5 进行标识,中断第 5 引脚 INT5 作为 ALU 单元 3 的输入信号;

[0019] 通用输入输出第 6 端口 P6 与第七 FIFO 缓存 17 相连,第七 FIFO 缓存 17 通过第七三态门 16 连接到内部总线 28,第七三态门 16 由 ALU 单元 3 的片选信号第 6 控制端 CS6 控制,第七 FIFO 缓存 17 是否为空由第七 FIFO 缓存状态引脚 SF6 进行标识,中断第 6 引脚 INT6 作为 ALU 单元 3 的输入信号;

[0020] 通用输入输出第 7 端口 P7 与第八 FIFO 缓存 19 相连,第八 FIFO 缓存 19 通过第八三态门 18 连接到内部总线 28,第八三态门 18 由 ALU 单元 3 的片选信号第 7 控制端 CS7 控制,第八 FIFO 缓存 19 是否为空由第八 FIFO 缓存状态引脚 SF7 进行标识,中断第 7 引脚 INT7 作为 ALU 单元 3 的输入信号;

[0021] 外部总线接口 1 与的内部总线 28 的外部总线端口 DB\_EXP 连接,可以进行数据输入与输出。

[0022] 本发明的效果是采用 FPGA 设计八通道带有先进先出缓存的高速模拟信号并行采集装置,结构新颖,采集信号响应快,各个通道可以同时进行采集,在时间上无需等待,实时性好;总线接口灵活方便,易与控制 and 扩展;具有良好的可维护,较好的经济性,制造方便,成本低;相对传统多 MCU 采集方式,功耗低。

## 附图说明

[0023] 图 1 为一种八通道高速模拟信号并行采集装置的总体结构图,图 2 为 FPGA 并行采集模块内部结构图。

[0024] 其中, I-FPGA 并行采集模块, II- 第一 A/D 转换模块, III- 第二 A/D 转换模块, IV- 第三 A/D 转换模块, V- 第四 A/D 转换模块, VI- 第五 A/D 转换模块, VII- 第六 A/D 转换模块, VIII- 第七 A/D 转换模块, IX- 第八 A/D 转换模块; 1- 外部总线接口, 2- 状态总线接线端子, 3-ALU 单元, 4- 第一三态门, 5- 第一 FIFO 状态缓存, 6- 第二三态门, 7- 第二 FIFO 缓存, 8- 第三三态门, 9- 第三 FIFO 缓存, 10- 第四三态门, 11- 第四 FIFO 缓存, 12- 第五三态门, 13- 第五 FIFO 缓存, 14- 第六三态门, 15- 第六 FIFO 缓存, 16- 第七三态门, 17- 第七 FIFO 缓存, 18- 第八三态门, 19- 第八 FIFO 缓存, 20- 第一模拟信号输入端, 21- 第二模拟信号输入端, 22- 第三模拟信号输入端, 23- 第四模拟信号输入端, 24- 第五模拟信号输入端, 25- 第六模拟信号输入端, 26- 第七模拟信号输入端, 27- 第八模拟信号输入端, 28- 内部总线; DB\_EXP- 外部总线端口, INT0- 中断第 0 引脚, INT1- 中断第 1 引脚, INT2- 中断第 2 引脚, INT3- 中断第 3 引脚, INT4- 中断第 4 引脚, INT5- 中断第 5 引脚, INT6- 中断第 6 引脚, INT7- 中断第 7 引脚, P0- 通用输入输出第 0 端口, P1- 通用输入输出第 1 端口, P2- 通用输入输出第 2 端口, P3- 通用输入输出第 3 端口, P4- 通用输入输出第 4 端口, P5- 通用输入输出第 5 端口, P6- 通用输入输出第 6 端口, P7- 通用输入输出第 7 端口, INT-A/D 转换中断引脚, DB-A/D 转换模块数据总线, CH\_IN- 模拟信号输入通道, CH\_CON- 模拟信号输入端接线引脚, SF0- 第一 FIFO 缓存状态引脚, SF1- 第二 FIFO 缓存状态引脚, SF2- 第三 FIFO 缓存状态引脚, SF3- 第四 FIFO 缓存状态引脚, SF4- 第五 FIFO 缓存状态引脚, SF5- 第六 FIFO 缓存状态引脚, SF6- 第七 FIFO 缓存状态引脚, SF7- 第八 FIFO 缓存状态引脚, PIN0- 状态总线接线端子第 0 引脚, PIN1- 状态总线接线端子第 1 引脚, PIN2- 状态总线接线端子第 2 引脚,

PIN3- 状态总线接线端子第 3 引脚, PIN4- 状态总线接线端子第 4 引脚, PIN5- 状态总线接线端子第 5 引脚, PIN6- 状态总线接线端子第 6 引脚, PIN7- 状态总线接线端子第 7 引脚。CS0- 片选信号第 0 控制端, CS1- 片选信号第 1 控制端, CS2- 片选信号第 2 控制端, CS3- 片选信号第 3 控制端, CS4- 片选信号第 4 控制端, CS5- 片选信号第 5 控制端, CS6- 片选信号第 6 控制端, CS7- 片选信号第 7 控制端。

### 具体实施方式

[0025] 下面结合说明书附图和技术方案详细说明本发明的具体实施方式：

[0026] 一种八通道高速模拟信号并行采集装置的总体结构图, 电路模块组成和连接关系, 如说明书附图 1 所示, FPGA 并行采集模块内部结构如图 2 所示。本发明可以同时采集八路模拟信号, 并且此八路信号都可以独立进行, 因此本实施例以第一 A/D 转换模块 II 采集过程为例, 详细说明本发明的实施方式。

[0027] 模拟信号从第一模拟信号输入端 20 的模拟信号输入端接线引脚 CH\_CON 输入, 由经由模拟信号输入通道 CH\_IN 进入第一 A/D 转换模块 II。第一 A/D 转换模块 II 对模拟信号进行采样转换, 转换完毕后存入第一 FIFO 缓存 5, 并由 A/D 转换中断引脚 INT 申请中断。此时, FPGA 并行采集模块 I 的中断第 0 引脚 INTO 收到中断请求后, 由 ALU 单元 3 进行处理。首先 ALU 单元 3 将第一 FIFO 缓存状态引脚 SF0 置为 1, 其真值表如下表所示, 指示第一 FIFO 缓存 5 的数据进入内部总线 28; 接下来 ALU 单元 3 的片选信号第 0 控制端 CS0 控制第一三态门 4 处于开启状态, 使第一 A/D 转换模块 II 连接到内部总线 28, 保证数据进行传输, 将数据送到外部总线接口 1, 从而完成一次数据采集和传输。如果第一 A/D 转换模块 II 对模拟信号进行采样转换并存入第一 FIFO 缓存 5 后, 在第一 FIFO 缓存 5 中的数据没有被及时取走, 由于第一 FIFO 缓存 5 具有 8 个字节的缓存, 可以暂时缓存数据。其余七路模拟信号的采集同第一 A/D 转换模块 II 的采集方式。

[0028]

引脚状态		功能描述
第一 FIFO 缓存状态引脚 SF0	0	第一 FIFO 缓存 5 未与内部总线 28 相连
	1	第一 FIFO 缓存 5 的数据进入内部总线 28
第二 FIFO 缓存状态引脚 SF1	0	第二 FIFO 缓存 7 未与内部总线 28 相连
	1	第二 FIFO 缓存 7 的数据进入内部总线 28
第三 FIFO 缓存状态引脚 SF2	0	第三 FIFO 缓存 9 未与内部总线 28 相连
	1	第三 FIFO 缓存 9 的数据进入内部总线 28
第四 FIFO 缓存状态引脚 SF3	0	第四 FIFO 缓存 11 未与内部总线 28 相连
	1	第四 FIFO 缓存 11 的数据进入内部总线 28
第五 FIFO 缓存状态引脚 SF4	0	第五 FIFO 缓存 13 未与内部总线 28 相连
	1	第五 FIFO 缓存 13 的数据进入内部总线 28
第六 FIFO 缓存状态引脚 SF5	0	第六 FIFO 缓存 15 未与内部总线 28 相连
	1	第六 FIFO 缓存 15 的数据进入内部总线 28
第七 FIFO 缓存状态引脚 SF6	0	第七 FIFO 缓存 17 未与内部总线 28 相连
	1	第七 FIFO 缓存 17 的数据进入内部总线 28
第八 FIFO 缓存状态引脚 SF7	0	第八 FIFO 缓存 19 未与内部总线 28 相连
	1	第八 FIFO 缓存 19 的数据进入内部总线 28

[0029] 本发明一种八通道高速模拟信号并行采集装置, FPGA 并行采集模块 I 带有八个 FIFO 缓存, 并实时监测八通道 A/D 转换模块的采集状态, 能够对八路高速变化的模拟信号进行实时采集, 信号采集和存缓存数据延迟时间短, 效率高, 能够适应高速变化的模拟信号采集和处理。采用 FPGA 硬件可编程技术设计的 FPGA 并行采集模块 I, 功率消耗低, 响应快, 能够进行高速的处理与通道实时切换, 外部总线接口简单, 具有很强的扩展性和可移植性。



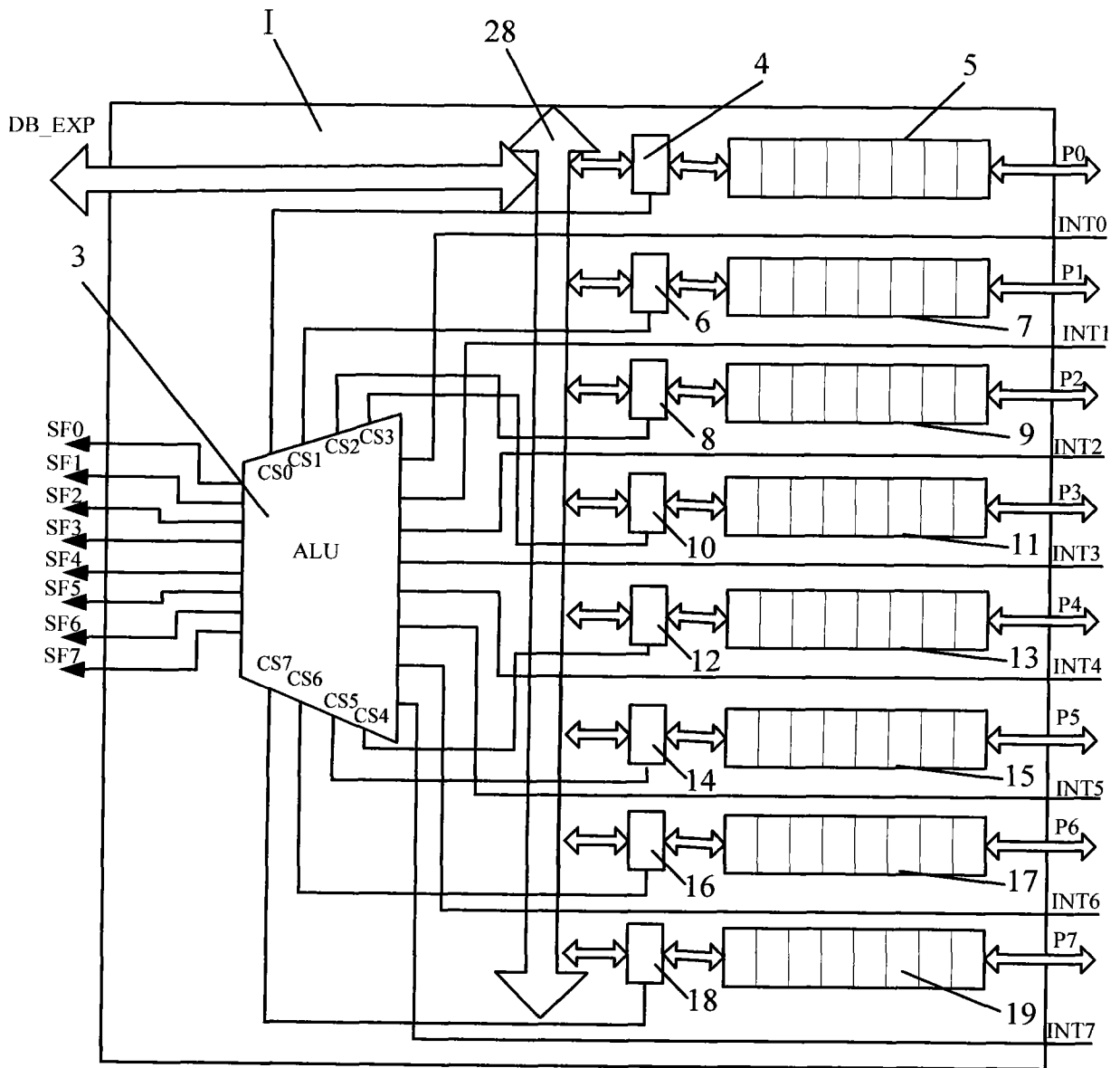


图 2