

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成20年10月2日(2008.10.2)

【公開番号】特開2002-204356(P2002-204356A)

【公開日】平成14年7月19日(2002.7.19)

【出願番号】特願2001-297445(P2001-297445)

【国際特許分類】

H 0 4 N 1/41 (2006.01)

H 0 3 M 7/40 (2006.01)

H 0 4 N 7/30 (2006.01)

【F I】

H 0 4 N 1/41 B

H 0 3 M 7/40

H 0 4 N 7/133 Z

【手続補正書】

【提出日】平成20年8月19日(2008.8.19)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】データ処理装置、データ処理方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数ビットで表現される画素データが m 画素 × n 画素分格納されている第 1 のメモリから、第 2 のメモリに対してデータ転送を行う D M A 回路を有するデータ処理装置であって、

前記 D M A 回路は、

前記第 1 のメモリに格納されている画素データを所定画素数単位でロードするロード手段と、

前記ロード手段によりロードされた所定画素数単位の画素データ群を同じビット位置に属するビット群で構成されるビットプレーン毎に分割した場合に、それぞれのビットプレーンをバック済みビットデータとして保存するバッファ手段と、

n 画素 × m 画素について前記ロード手段が画素データのロードを完了した後、前記バッファ手段が各ビットプレーンについて保存したバック済みビットデータを、前記第 2 のメモリに転送する転送手段と

を備えることを特徴とするデータ処理装置。

【請求項 2】

前記データ処理装置は、前記第 2 のメモリ内に格納されているそれぞれのビットプレーンのバック済みビットデータに対して所定ビット数単位で符号化処理を行うことを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 3】

前記符号化処理は、J P E G 2 0 0 0 符号化処理を含むことを特徴とする請求項 2 に記

載のデータ処理装置。

【請求項 4】

前記ロード手段は、8ビットで表現される画素データを、4画素単位でロードし、

前記転送手段は、32ビット分のバック済みビットデータを前記第2のメモリに対して転送することを特徴とする請求項1に記載のデータ処理装置。

【請求項 5】

複数の多値画素データを、同じビット位置に属するビット群で構成されるビットプレーン毎に分割した場合に、それぞれのビットプレーンを保持する第1のメモリから、第2のメモリに対してデータ転送を行うDMA回路を有するデータ処理装置であって、

前記DMA回路は、

前記第1のメモリに格納されているビットプレーンを、所定ビットプレーン数単位でロードするロード手段と、

前記ロード手段がロードしたビットプレーンのそれぞれから、ビットプレーン内位置が同じであるビットを抽出し、抽出したビットをまとめてバック済みビットデータとして保存する処理を、各ビットプレーン内位置について行うバッファ手段と、

前記ロード手段が全てのビットプレーンをロードした後に前記バッファ手段が各ビットプレーン内位置について保存したバック済みビットデータを、前記第2のメモリに転送する転送手段と

を備えることを特徴とするデータ処理装置。

【請求項 6】

前記ロード手段は、16ビットで表現されるビットプレーンを、2ビットプレーン単位でロードし、

前記転送手段は、32ビット分の多値画素データを前記第2のメモリに対して転送することを特徴とする請求項1に記載のデータ処理装置。

【請求項 7】

前記データ処理装置は、前記第2のメモリに格納されているバック済みビットデータに対して所定ビット数単位で復号処理を行うことを特徴とする請求項5に記載のデータ処理装置。

【請求項 8】

複数ビットで表現される画素データが m 画素 $\times n$ 画素分格納されている第1のメモリから、第2のメモリに対してデータ転送を行うDMA回路を有するデータ処理装置が行うデータ処理方法であって、

前記DMA回路が行う方法は、

前記第1のメモリに格納されている画素データを所定画素数単位でロードするロード工程と、

前記ロード工程によりロードされた所定画素数単位の画素データ群を同じビット位置に属するビット群で構成されるビットプレーン毎に分割した場合に、それぞれのビットプレーンをバック済みビットデータとして保存するバッファ工程と、

n 画素 $\times m$ 画素について前記ロード工程で画素データのロードを完了した後、前記バッファ工程で各ビットプレーンについて保存したバック済みビットデータを、前記第2のメモリに転送する転送工程と

を備えることを特徴とするデータ処理方法。

【請求項 9】

複数の多値画素データを、同じビット位置に属するビット群で構成されるビットプレーン毎に分割した場合に、それぞれのビットプレーンを保持する第1のメモリから、第2のメモリに対してデータ転送を行うDMA回路を有するデータ処理装置が行うデータ処理方法であって、

前記DMA回路が行う方法は、

前記第1のメモリに格納されているビットプレーンを、所定ビットプレーン数単位でロードするロード手段と、

前記ロード手段がロードしたビットプレーンのそれぞれから、ビットプレーン内位置が同じであるビットを抽出し、抽出したビットをまとめてバック済みビットデータとして保存する処理を、各ビットプレーン内位置について行うバッファ手段と、

前記ロード手段が全てのビットプレーンをロードした後に前記バッファ手段が各ビットプレーン内位置について保存したバック済みビットデータを、前記第2のメモリに転送する転送手段と

を備えることを特徴とするデータ処理方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、メモリ間でデータ転送を行う技術に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

【課題を解決するための手段】

本発明の目的を達成するために、例えば本発明のデータ処理装置は以下の構成を備える。

即ち、複数ビットで表現される画素データが m 画素 \times n 画素分格納されている第1のメモリから、第2のメモリに対してデータ転送を行うDMA回路を有するデータ処理装置であって、

前記DMA回路は、

前記第1のメモリに格納されている画素データを所定画素数単位でロードするロード手段と、

前記ロード手段によりロードされた所定画素数単位の画素データ群を同じビット位置に属するビット群で構成されるビットプレーン毎に分割した場合に、それぞれのビットプレーンをバック済みビットデータとして保存するバッファ手段と、

n 画素 \times m 画素について前記ロード手段が画素データのロードを完了した後、前記バッファ手段が各ビットプレーンについて保存したバック済みビットデータを、前記第2のメモリに転送する転送手段と

を備えることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明の目的を達成するために、例えば本発明のデータ処理装置は以下の構成を備える。

即ち、複数の多値画素データを、同じビット位置に属するビット群で構成されるビットプレーン毎に分割した場合に、それぞれのビットプレーンを保持する第1のメモリから、第2のメモリに対してデータ転送を行うDMA回路を有するデータ処理装置であって、

前記DMA回路は、

前記第1のメモリに格納されているビットプレーンを、所定ビットプレーン数単位で

ロードするロード手段と、

前記ロード手段がロードしたビットプレーンのそれぞれから、ビットプレーン内位置が同じであるビットを抽出し、抽出したビットをまとめてバック済みビットデータとして保存する処理を、各ビットプレーン内位置について行うバッファ手段と、

前記ロード手段が全てのビットプレーンをロードした後に前記バッファ手段が各ビットプレーン内位置について保存したバック済みビットデータを、前記第2のメモリに転送する転送手段と

を備えることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【補正の内容】