

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7161529号
(P7161529)

(45)発行日 令和4年10月26日(2022.10.26)

(24)登録日 令和4年10月18日(2022.10.18)

(51)国際特許分類

F I

H O 1 L	29/786(2006.01)	H O 1 L	29/78	6 1 6 S
H O 1 L	21/8242(2006.01)	H O 1 L	29/78	6 1 8 B
H O 1 L	27/108(2006.01)	H O 1 L	29/78	6 1 7 L
H O 1 L	27/1156(2017.01)	H O 1 L	29/78	6 1 6 V
H O 1 L	21/336(2006.01)	H O 1 L	27/108	3 2 1

請求項の数 4 (全69頁) 最終頁に続く

(21)出願番号 特願2020-523839(P2020-523839)
 (86)(22)出願日 令和1年5月27日(2019.5.27)
 (86)国際出願番号 PCT/IB2019/054361
 (87)国際公開番号 WO2019/234547
 (87)国際公開日 令和1年12月12日(2019.12.12)
 審査請求日 令和4年3月31日(2022.3.31)
 (31)優先権主張番号 特願2018-110077(P2018-110077)
 (32)優先日 平成30年6月8日(2018.6.8)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 竹内 敏彦
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 山出 直人
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 岡崎 豊
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 手塚 祐朗
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の導電体と、第2の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、第1の酸化物と、第2の酸化物と、第3の酸化物と、を有し、
 前記第1の絶縁体から上面が露出するように前記第1の導電体が配置され、
 前記第1の絶縁体の上および前記第1の導電体の上に、前記第1の酸化物が配置され、
 前記第1の酸化物に、前記第1の導電体に達する第1の開口が設けられ、
 前記第1の酸化物の上に、前記第2の酸化物が配置され、
 前記第2の酸化物は、第1の領域、第2の領域、および前記第1の領域と前記第2の領域との間に位置する第3の領域を有し、
 前記第1の領域の抵抗および前記第2の領域の抵抗は、前記第3の領域の抵抗より低く、
 前記第2の領域は、前記第1の開口を介して前記第1の導電体の上面に接し、
 前記第2の酸化物の上に、前記第3の領域と重なりを有するように前記第3の酸化物が配置され、
 前記第3の酸化物の上に、前記第2の絶縁体が配置され、
 前記第2の絶縁体の上に、前記第2の導電体が配置され、
 前記第1の領域および前記第2の領域と重なりを有し、且つ、前記第1の絶縁体の上面に接するように、前記第3の絶縁体が配置される、半導体装置。

【請求項2】

請求項1において、

前記第 1 の領域および前記第 2 の領域は、前記第 3 の領域よりも酸素欠損を多く有する、半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 3 の絶縁体の上に配置された第 4 の絶縁体と、

前記第 4 の絶縁体の上面、前記第 3 の酸化物の上面、前記第 2 の絶縁体の上面、および前記第 2 の導電体の上面に接して配置された第 5 の絶縁体と、を有し、

平面視において、前記第 3 の酸化物、前記第 2 の絶縁体、および前記第 2 の導電体は、前記第 1 の領域と前記第 2 の領域の間に配置される、半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記第 1 の絶縁体の下に、前記第 2 の導電体と重なりを有するように配置された第 3 の導電体を有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

近年、半導体装置の開発が進められ、LSI や CPU やメモリが主に用いられている。CPU は、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0005】

LSI や CPU やメモリなどの半導体回路（IC チップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力の CPU などが開示されている（特許文献 1 参照）。また、例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている（特許文献 2 参照）。

10

20

30

40

50

【0008】

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

【先行技術文献】

【特許文献】

【0009】

【文献】特開2012-257187号公報

特開2011-151383号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、高い周波数特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

【0011】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、データの書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

本発明の一態様は、第1および第2の導電体と、第1乃至第3の絶縁体と、第1乃至第3の酸化物と、を有し、第1の絶縁体の上面から露出して第1の導電体が配置され、第1の絶縁体および第1の導電体の上に、第1の酸化物が配置され、第1の酸化物に、第1の導電体に達する第1の開口が設けられ、第1の酸化物の上に、第2の酸化物が配置され、第2の酸化物は、第1の領域、第2の領域、および第1の領域と第2の間に位置する第3の領域を有し、第1の領域および第2の領域の抵抗は、第3の領域の抵抗より低く、第2の酸化物の第2の領域は、第1の開口を介して、第1の導電体の上面に接し、第2の酸化物上に、少なくとも一部が第3の領域と重なるように、第3の酸化物が配置され、第3の酸化物上に、第2の絶縁体が配置され、第2の絶縁体上に、第2の導電体が配置され、第1の領域および第2の領域を覆い、第1の絶縁体の上面に接して、第3の絶縁体が配置される、半導体装置である。

【0014】

また、本発明の他の一態様は、第1および第2の導電体と、第1乃至第3の絶縁体と、第1乃至第3の酸化物と、を有し、第1の絶縁体の上に、第1の酸化物が配置され、第1の酸化物の上面から露出して第1の導電体が配置され、第1の酸化物の上に、第2の酸化物が配置され、第2の酸化物は、第1の領域、第2の領域、および第1の領域と第2の間に位置する第3の領域を有し、第1の領域および第2の領域の抵抗は、第3の領域の抵抗より低く、第2の酸化物の第2の領域は、第1の導電体の上面に接し、第2の酸化物上に

10

20

30

40

50

、少なくとも一部が第3の領域と重なるように、第3の酸化物が配置され、第3の酸化物上に、第2の絶縁体が配置され、第2の絶縁体上に、第2の導電体が配置され、第1の領域および第2の領域を覆い、第1の絶縁体の上面に接して、第3の絶縁体が配置される、導体装置である。

【0015】

また、本発明の他の一態様は、第1および第2の導電体と、第1乃至第3の絶縁体と、第1乃至第3の酸化物と、を有し、第1の絶縁体の上面から露出して第1の導電体が配置され、第1の絶縁体および第1の導電体の上に、第1の酸化物が配置され、第1の酸化物の上に、第2の酸化物が配置され、第1の酸化物および第2の酸化物は、第1の領域、第2の領域、および第1の領域と第2の間に位置する第3の領域を有し、第1の領域および第2の領域の抵抗は、第3の領域の抵抗より低く、第1の酸化物の第2の領域は、第1の導電体の上面に接し、第2の酸化物上に、少なくとも一部が第3の領域と重なるように、第3の酸化物が配置され、第3の酸化物上に、第2の絶縁体が配置され、第2の絶縁体上に、第2の導電体が配置され、第1の領域および第2の領域を覆い、第1の絶縁体の上面に接して、第3の絶縁体が配置される、導体装置である。

【0016】

また、上記において、第1の領域、および第2の領域は、リン、およびホウ素の一方を含む、ことが好ましい。また、上記において、第1の領域、および第2の領域は、第3の領域よりも、酸素欠損を多く有してもよい。

【0017】

また、上記において、さらに、第3の絶縁体の上に配置された、第4の絶縁体と、第4の絶縁体の上面、第3の酸化物の上面、第2の絶縁体の上面、および第2の導電体の上面に接して配置された第5の絶縁体と、を有し、第3の酸化物、第2の絶縁体、および第2の導電体は、第1の領域と第2の領域の間に配置される、ことが好ましい。また、上記において、さらに、第1の絶縁体の下に、第2の導電体と少なくとも一部が重なるように配置された、第3の導電体と、を有する、ことが好ましい。また、上記において、さらに、第3の絶縁体と、第4の絶縁体と、の間に配置された、第6の絶縁体と、を有する、ことが好ましい。また、上記において、第1の酸化物、および第2の酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する、ことが好ましい。

【0018】

また、上記において、第1の導電体の下に容量素子が設けられ、容量素子の一方の電極は、第1の導電体と電気的に接続されてもよい。また、上記において、容量素子の下に、シリコン基板に形成されたトランジスタが設けられてもよい。

【発明の効果】

【0019】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

【0020】

または、本発明の一態様により、長期間においてデータの保持が可能な半導体装置を提供することができる。または、本発明の一態様により、データの書き込み速度が速い半導体装置を提供することができる。または、本発明の一態様により、設計自由度が高い半導体装置を提供することができる。または、本発明の一態様により、消費電力を抑えることができる半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。

【0021】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【 0 0 2 2 】

【図 1】図 1（A）乃至図 1（D）は本発明の一態様に係る半導体装置の上面図および断面図である。

【図 2】図 2 は本発明の一態様に係る半導体装置の断面図である。

【図 3】図 3（A）乃至図 3（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

10

【図 4】図 4（A）乃至図 4（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 5】図 5（A）乃至図 5（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 6】図 6（A）乃至図 6（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 7】図 7（A）乃至図 7（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 8】図 8（A）乃至図 8（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

20

【図 9】図 9（A）乃至図 9（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 10】図 10（A）乃至図 10（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 11】図 11（A）乃至図 11（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 12】図 12（A）乃至図 12（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

【図 13】図 13（A）乃至図 13（D）は本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図である。

30

【図 14】図 14（A）乃至図 14（D）は本発明の一態様に係る半導体装置の上面図および断面図である。

【図 15】図 15（A）乃至図 15（D）は本発明の一態様に係る半導体装置の上面図および断面図である。

【図 16】図 16（A）乃至図 16（D）は本発明の一態様に係る半導体装置の上面図および断面図である。

【図 17】図 17（A）乃至図 17（D）は本発明の一態様に係る半導体装置の上面図および断面図である。

【図 18】図 18 は本発明の一態様に係る記憶装置の構成を示す断面図である。

40

【図 19】図 19 は本発明の一態様に係る記憶装置の構成を示す断面図である。

【図 20】図 20 は本発明の一態様に係る記憶装置の構成を示す断面図である。

【図 21】図 21 は本発明の一態様に係る記憶装置の構成を示す断面図である。

【図 22】図 22 は本発明の一態様に係る記憶装置の構成を示す断面図である。

【図 23】図 23 は本発明の一態様に係る記憶装置の構成を示す断面図である。

【図 24】図 24（A）、図 24（B）は本発明の一態様に係る記憶装置の構成例を示すブロック図および斜視図である。

【図 25】図 25（A）乃至図 25（H）は本発明の一態様に係る記憶装置の構成例を示す回路図である。

【図 26】図 26（A）、図 26（B）は本発明の一態様に係る半導体装置の模式図およ

50

び斜視図である。

【図 27】図 27 (A) 乃至図 27 (E) は本発明の一態様に係る記憶装置の模式図である。

【図 28】図 28 (A) 乃至図 28 (H) は本発明の一態様に係る電子機器を示す図である。

【発明を実施するための形態】

【0023】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0024】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0025】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【0026】

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0027】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0028】

例えば、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。

【0029】

ここで、X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0030】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【0031】

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【0032】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0033】

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0034】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0035】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

【0036】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0037】

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

【0038】

なお、本明細書において、バリア膜とは、水、水素などの不純物および酸素の透過を抑

10

20

30

40

50

制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

【0039】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET あるいは OS トランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

10

【0040】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20}\ \text{A}$ 以下、 85°C において $1 \times 10^{-18}\ \text{A}$ 以下、または 125°C において $1 \times 10^{-16}\ \text{A}$ 以下であることをいう。

【0041】

(実施の形態 1)

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

20

【0042】

<半導体装置の構成例>

図 1 (A)、図 1 (B)、図 1 (C)、および図 1 (D) は、本発明の一態様に係るトランジスタ 200、およびトランジスタ 200 周辺の上面図および断面図である。

【0043】

図 1 (A) は、トランジスタ 200 を有する半導体装置の上面図である。また、図 1 (B)、図 1 (C)、および図 1 (D) は、当該半導体装置の断面図である。ここで、図 1 (B) は、図 1 (A) に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 1 (C) は、図 1 (A) に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。また、図 1 (D) は、図 1 (A) に A5-A6 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のソース領域またはドレイン領域におけるチャネル幅方向の断面図でもある。なお、図 1 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0044】

本発明の一態様の半導体装置は、基板 (図示せず。) 上の絶縁体 214 と、絶縁体 214 上のトランジスタ 200 と、トランジスタ 200 上の絶縁体 280 と、絶縁体 280 上の絶縁体 282 と、絶縁体 282 上の絶縁体 274 と、絶縁体 274 上の絶縁体 281 と、を有する。絶縁体 214、絶縁体 280、絶縁体 282、絶縁体 274、および絶縁体 281 は層間膜として機能する。また、トランジスタ 200 の下に埋め込まれるように、導電体 247 が設けられる。導電体 247 は、トランジスタ 200 と電氣的に接続し、プラグとして機能する。また、トランジスタ 200 と電氣的に接続し、プラグとして機能する導電体 240 が設けられる。なお、プラグとして機能する導電体 240 の側面に接して絶縁体 241 が設けられる。

40

【0045】

また、絶縁体 256、絶縁体 258、絶縁体 280、絶縁体 282、絶縁体 274、および絶縁体 281 の開口の内壁に接して絶縁体 241 が設けられ、その側面に接して導電体 240 の第 1 の導電体が設けられ、さらに内側に導電体 240 の第 2 の導電体が設けられている。ここで、導電体 240 の上面の高さと、絶縁体 281 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 240 の第 1 の導電体および導電体 240 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるもので

50

はない。例えば、導電体 240 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【0046】

〔トランジスタ 200〕

図 1 に示すように、トランジスタ 200 は、絶縁体 214 上の絶縁体 216 と、絶縁体 216 に埋め込まれるように配置された導電体 205（導電体 205a、および導電体 205b）と、絶縁体 216 上、および導電体 205 上の絶縁体 222 と、絶縁体 222 上の絶縁体 224 と、絶縁体 224 上の酸化物 230a と、酸化物 230a 上の酸化物 230b と、酸化物 230b 上の酸化物 230c と、酸化物 230c 上の絶縁体 250 と、絶縁体 250 上に位置し、酸化物 230c と重なる導電体 260（導電体 260a、および導電体 260b）と、絶縁体 224 の上面の一部、酸化物 230a の側面、酸化物 230b の側面、および酸化物 230b の上面と接する絶縁体 256 と、絶縁体 256 の上面と接する絶縁体 258 と、を有する。導電体 260 は、導電体 260a および導電体 260b を有し、導電体 260b の底面および側面を包むように導電体 260a が配置される。なお、図 1（B）に示すように、導電体 260 の上面は、酸化物 230c の上面、絶縁体 250 の上面、および絶縁体 280 の上面と略一致して配置される。また、絶縁体 282 は、導電体 260、酸化物 230c、絶縁体 250、および絶縁体 280 のそれぞれの上面と接する。

10

【0047】

ここで、酸化物 230b は、互いに離隔して配置された、領域 249a および領域 249b を有する。領域 249a および領域 249b の抵抗は、領域 249a と領域 249b の間に位置する領域の抵抗より低い。領域 249a はトランジスタ 200 のソース領域およびドレイン領域の一方として機能し、領域 249b はトランジスタ 200 のソース領域およびドレイン領域の他方として機能する。また、酸化物 230c は、少なくとも一部が、領域 249a と領域 249b の間の領域と重なるように配置される。なお、以下において、領域 249a と領域 249b をまとめて領域 249 という場合がある。

20

【0048】

また、絶縁体 224 の上面から露出して導電体 247 が配置される。例えば、絶縁体 214、絶縁体 216、絶縁体 222、および絶縁体 224 に形成された開口に埋め込まれるように、導電体 247 を配置すればよい。導電体 247 の上面の少なくとも一部は、絶縁体 224 から露出しており、導電体 247 の上面と絶縁体 224 の上面が略一致することが好ましい。

30

【0049】

ここで、導電体 247 は、絶縁体 214 より下層に設けられた、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、およびダイオードなどの回路素子、配線、電極、または、端子と、トランジスタ 200 を電氣的に接続するためのプラグとして機能する。例えば、導電体 247 は、絶縁体 214 より下層に設けられた容量素子の電極の一方と電氣的に接続する構成にすればよい。また、例えば、導電体 247 は、絶縁体 214 より下層に設けられたトランジスタのゲートと電氣的に接続する構成にすればよい。

【0050】

酸化物 230a には、導電体 247 の少なくとも一部を露出する開口 248 が形成されている。酸化物 230b は、領域 249b において、開口 248 を介して導電体 247 の上面の少なくとも一部と接する。このように、酸化物 230b の領域 249b と導電体 247 を接続することで、トランジスタ 200 のソースまたはドレインと導電体 247 の間の電気抵抗を低減することができる。

40

【0051】

このような構成にすることで、トランジスタ 200 を含む半導体装置の、周波数特性を向上し、電気特性を良好にすることができる。

【0052】

また、導電体 247 に電氣的に接続する、スイッチ、トランジスタ、容量素子、インダ

50

クタ、抵抗素子、およびダイオードなどの回路素子、配線、電極、または、端子は、少なくとも一部が、酸化物 230 と重畳することが好ましい。これにより、トランジスタ 200、上記回路素子、配線、電極、または、端子の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。

【0053】

また、図 1 (A) (B) においては、領域 249b の下に導電体 247 を設ける構成にしたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、領域 249a の下に導電体 247 を設ける構成にしてもよいし、領域 249a と領域 249b の両方の下に導電体 247 を設ける構成にしてもよい。

【0054】

また、絶縁体 222、絶縁体 258、および絶縁体 282 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 222、絶縁体 258、および絶縁体 282 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 222、絶縁体 258、および絶縁体 282 は、それぞれ絶縁体 224 よりも酸素および水素の一方または双方の透過性が低いことが好ましい。絶縁体 222、絶縁体 258、および絶縁体 282 は、それぞれ絶縁体 250 よりも酸素および水素の一方または双方の透過性が低いことが好ましい。絶縁体 222、絶縁体 258、および絶縁体 282 は、それぞれ絶縁体 280 よりも酸素および水素の一方または双方の透過性が低いことが好ましい。

【0055】

また、酸化物 230 は、絶縁体 224 上の酸化物 230a と、酸化物 230a 上の酸化物 230b と、酸化物 230b 上に配置され、少なくとも一部が酸化物 230b の上面に接する酸化物 230c と、を有することが好ましい。

【0056】

なお、トランジスタ 200 では、チャネルが形成される領域（以下、チャネル形成領域ともいう。）と、その近傍において、酸化物 230 が、酸化物 230a、酸化物 230b、および酸化物 230c の 3 層の積層構造を有する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230 は、酸化物 230b の単層、酸化物 230b と酸化物 230a の 2 層構造、酸化物 230b と酸化物 230c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよい。また、酸化物 230a、酸化物 230b、および酸化物 230c がそれぞれ 2 層以上の積層構造を有していてもよい。また、トランジスタ 200 では、導電体 260 を 2 層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体 260 が、単層構造であってもよいし、3 層以上の積層構造であってもよい。

【0057】

ここで、導電体 260 は、トランジスタのゲート電極として機能し、領域 249a および領域 249b は、それぞれソース領域またはドレイン領域として機能する。トランジスタ 200 において、ゲート電極として機能する導電体 260 が、絶縁体 280 などに形成される開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、領域 249a と領域 249b の間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

【0058】

また、トランジスタ 200 は、チャネル形成領域を含む酸化物 230（酸化物 230a、酸化物 230b、および酸化物 230c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

【0059】

チャネル形成領域に酸化物半導体を用いたトランジスタ 200 は、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体

装置を構成するトランジスタ 200 に用いることができる。

【0060】

例えば、酸化物 230 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物 230 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

【0061】

ここで、酸化物 230 は、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで、キャリア密度が増大し、低抵抗化する場合がある。このような元素としては、代表的にはホウ素やリンが挙げられる。また、ホウ素やリン以外にも、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いることができる。また、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。また、酸化物 230 は、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を添加してもよい。上述した中でも、添加される元素は、ホウ素、及びリンが好ましい。ホウ素およびリンの添加には、アモルファスシリコン、または低温ポリシリコンの製造ラインの装置を使用することができるため、設備投資を抑制することができる。上記元素の濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）などを用いて測定すればよい。

【0062】

特に、酸化物 230 中に添加する元素として、酸化物を形成しやすい元素を用いることが好ましい。このような元素としては、代表的にはホウ素、リン、アルミニウム、マグネシウム等がある。酸化物 230 中に添加された当該元素は、酸化物 230 中の酸素を奪って酸化物を形成しうる。その結果、酸化物 230 中には多くの酸素欠損が生じる。当該酸素欠損と、酸化物 230 中の水素とが結合することでキャリアが生じ、極めて低抵抗な領域となる。さらに、酸化物 230 中に添加された元素は安定な酸化物の状態では酸化物 230 中に存在するため、その後の工程で高い温度を要する処理が行われたとしても、酸化物 230 から脱離しにくい。すなわち、酸化物 230 に添加する元素として、酸化物を形成しやすい元素を用いることで、酸化物 230 中に高温のプロセスを経ても高抵抗化しにくい領域を形成できる。

【0063】

ここで、図 1 (B) におけるチャネル形成領域近傍の拡大図を図 2 に示す。図 2 に示すように、酸化物 230 は、トランジスタ 200 のチャネル形成領域として機能する領域 234 と、ソース領域またはドレイン領域として機能する領域 249（領域 249 a、および領域 249 b）と、を有する。また、図 2 において酸化物 230 c として、酸化物 230 c 1、および酸化物 230 c 2 を含む積層構造を有する例を示しているが、本実施の形態はこれに限らない。酸化物 230 c は、単層構造でも、3 層以上の積層構造を有していてもよい。

【0064】

領域 249 は、酸化物 230 b に上記の元素が添加されて形成された領域である。図 1 (B) および図 2 に示すように、領域 249 a および領域 249 b は、導電体 260 を挟んで対向して形成されており、上面が酸化物 230 c と接することが好ましい。上面視において、領域 249 a および領域 249 b の導電体 260 側の側面は、導電体 260 の側面と一致する、または、領域 249 a および領域 249 b の少なくとも一部が導電体 260 と重畳することが好ましい。ここで、領域 249 の上記元素の濃度は、酸化物 230 の

領域 249 が形成されていない領域よりも高いことが好ましい。また、領域 249 に含まれる酸素欠損の量は、酸化物 230 の領域 249 が形成されていない領域の酸素欠損の量よりも高いことが好ましい。これにより、領域 249 は、酸化物 230 の領域 249 が形成されていない領域と比較して、キャリア密度が大きく、抵抗が低くなる。

【0065】

図 2 に示すように、酸化物 230 において、導電体 260 と重畳し、領域 249 a および領域 249 b に挟まれる領域を領域 234 とする。ここで、領域 249 は、領域 234 と比較して、キャリア密度が高く、低抵抗な領域である。よって、領域 234 はトランジスタ 200 のチャネル形成領域として機能し、領域 249 はソース領域またはドレイン領域として機能する。

【0066】

酸化物 230 にソース領域またはドレイン領域として機能する領域 249 を形成することで、金属で形成されたソース電極およびドレイン電極を設けることなく、領域 249 にプラグとして機能する導電体 240 および導電体 247 を接続することができる。酸化物 230 に接して金属で形成されたソース電極およびドレイン電極を設けると、トランジスタ 200 の作製工程または後工程において、高温の熱処理を行った場合、金属で形成されたソース電極およびドレイン電極が酸化し、トランジスタ 200 のオン電流、S 値、および周波数特性が劣化する場合がある。しかしながら、本実施の形態に示す半導体装置では、金属で形成されたソース電極およびドレイン電極を設ける必要がない。よって、トランジスタ 200 の作製工程または後工程において、高温の熱処理を行っても、良好なオン電流、S 値、および周波数特性を示す半導体装置を提供することができる。例えば、本実施の形態に示す半導体装置では、トランジスタ 200 の作製後に、450℃以上800℃以下、代表的には600℃以上750℃以下の高温がかかるプロセスを行うことができる。

【0067】

さらに、詳細は後述するが、本実施の形態に示す作製方法を用いてトランジスタ 200 を形成することで、導電体 260 を自己整合的に、領域 249 a と領域 249 b の間に配置させることができる。よって、良好な電気特性を有する半導体装置を歩留まり良く製造することができる。

【0068】

また、半導体装置の作製方法について、詳細は後述するが、領域 249 は、上記元素をドーパントとして、絶縁体 256 を介して酸化物 230 に添加することで形成されることが好ましい。このとき、ドーパントは酸化物 230 だけでなく、絶縁体 256 にも添加される場合がある。

【0069】

酸化物 230 の領域 249 に添加されたドーパントは、酸化物 230 中の酸素と結合するため、領域 249 において、酸化物 230 には酸素欠損が生成される。ここで、酸化物 230 の領域 234 に含まれる水素は、領域 249 に拡散し、該酸素欠損に捕獲される。よって、水素拡散後の領域 234 は、酸化物 230 成膜直後の領域 234 の抵抗値と比較して高抵抗化すると考えられる。一方、酸化物 230 の領域 249 は、該酸素欠損が該水素を捕獲することで、成膜後の抵抗値と比較して低抵抗化すると考えられる。

【0070】

また、領域 249 と重畳する絶縁体 256 が酸素（あるいは後述する過剰酸素）を含む場合、該酸素が領域 249 に拡散すると、領域 249 において酸化物 230 が高抵抗化し、ソース領域、およびドレイン領域として十分機能しないことが懸念される。しかし、絶縁体 256 に該ドーパントが添加されることで、絶縁体 256 に含まれる酸素は該ドーパントに捕獲され、固定化される。よって、絶縁体 256 からの酸素の放出が抑制され、領域 249 において酸化物 230 の抵抗値は、成膜後の抵抗値より低い状態を維持することができる。

【0071】

以上のメカニズムにより、酸化物 230 において、領域 234 は、高い抵抗値を維持し

10

20

30

40

50

、チャネル形成領域として機能し、領域 249 は、低い抵抗値を維持し、ソース領域、あるいはドレイン領域として機能することができると考えられる。

【0072】

なお、上記領域 249 で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域 249 において、均一である必要はない。例えば、領域 249 で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、酸化物 230 b と、絶縁体 256 または酸化物 230 c との界面近傍において最高になり、酸化物 230 a に近づくにしたがって濃度が低くなってもよい。ただし、領域 249 b は、導電体 247 と良好なコンタクトが形成されるように、低抵抗化されていることが好ましい。また、図 2 では、領域 249 が酸化物 230 b のみに形成されているが、本実施の形態はこれに限られない。例えば、酸化物 230 b だけでなく、領域 249 が酸化物 230 a にも、形成されていてもよい。

10

【0073】

また、酸化物 230 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

【0074】

また、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャネルが形成される領域 234 中の酸素欠損はできる限り低減されていることが好ましい。

20

【0075】

トランジスタのノーマリーオン化を抑制するには、酸化物 230 と近接する絶縁体 250 が、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含むことが好ましい。絶縁体 250 が有する酸素は、酸化物 230 へと拡散し、酸化物 230 の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

【0076】

つまり、絶縁体 250 が有する酸素が、酸化物 230 の領域 234 へと拡散することで、酸化物 230 の領域 234 における酸素欠損を低減することができる。また、絶縁体 280 が有する酸素が、酸化物 230 c を介して酸化物 230 の領域 234 へと拡散することで、酸化物 230 の領域 234 における酸素欠損を低減することができる。このとき、図 2 に示すように、酸化物 230 c を酸化物 230 c 1、および酸化物 230 c 2 を含む積層構造として、絶縁体 280 に含まれる酸素を、酸化物 230 c 1 を介して酸化物 230 の領域 234 へと拡散する構成としてもよい。さらに、酸化物 230 c 2 として、酸素が透過しにくい材料を用いることで、絶縁体 280 が有する酸素が、絶縁体 250、あるいは導電体 260 に拡散することを抑制でき、絶縁体 280 の酸素を酸化物 230 の領域 234 へ効率よく供給することができる。

30

40

【0077】

ここで、絶縁体 256 が、酸化物 230 b の領域 249 a および領域 249 b と、酸化物 230 a の側面を覆い、絶縁体 224 の上面に接して、配置されることが好ましく、絶縁体 256 と絶縁体 280 の間に絶縁体 258 が配置されることが好ましい。絶縁体 280 は、絶縁体 258 によって、絶縁体 256、絶縁体 224、酸化物 230 a、および酸化物 230 b と離隔される。このように、絶縁体 258 を設けることで、絶縁体 280 に含まれる酸素が酸化物 230 a、および酸化物 230 b の上面および側面から注入されるのを抑制することができる。

【0078】

以上のような構造とすることで、酸化物 230 への酸素の供給量を制御でき、信頼性が

50

高く、ノーマリーオン化が抑制されたトランジスタが得られる。

【0079】

本発明の一態様であるトランジスタ200は、図1(B)(C)に示すように、絶縁体282と、絶縁体250とが、直接接する構造となっている。このような構造とすることで、絶縁体280に含まれる酸素が、導電体260に吸収され難くなる。従って、絶縁体280に含まれる酸素は、酸化物230cを介して、酸化物230aおよび酸化物230bへ効率よく注入することができるので、酸化物230a中および酸化物230b中の酸素欠損を低減し、トランジスタ200の電気特性および信頼性を向上させることができる。また、絶縁体280に含まれる水素などの不純物が絶縁体250へ混入することを抑えることができるので、トランジスタ200の電気特性および信頼性への悪影響を抑制することができる。絶縁体282としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、または酸化ハフニウムを用いることができる。絶縁体282としては、特に窒化シリコンを用いると好適である。当該窒化シリコンは、外部から侵入しうる不純物（例えば、水素、水など）を好適にブロックすることができる。

10

【0080】

図1(D)は、図1(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200のソース領域またはドレイン領域のチャネル幅方向の断面図でもある。図1(D)に示すように、領域249bの上面、および領域249bの側面は、絶縁体256および絶縁体258で覆われる構造となっているので、領域249bの側面および領域249bの上面方向から領域249bへの水素や水などの不純物および酸素の拡散を抑制することができる。従って、領域249bの周囲からの領域249bへの酸素の拡散を抑制することができるので、領域249bの酸化を抑制することができる。なお、領域249aについても同様の効果を有する。また、酸化物230aの側面、および酸化物230bの側面方向から酸化物230aおよび酸化物230bへの水素や水などの不純物の拡散を抑制することができる。

20

【0081】

また、図1(C)に示すように、絶縁体224の底面を基準として、酸化物230aおよび酸化物230bと、導電体260とが、重ならない領域における導電体260の底面は、酸化物230bの底面より低い位置に配置されていることが好ましい。また、酸化物230bと、導電体260とが、重ならない領域における導電体260の底面と、酸化物230bの底面と、の差は、0nm以上100nm以下、好ましくは、3nm以上50nm以下、より好ましくは、5nm以上20nm以下とする。

30

【0082】

このように、ゲート電極として機能する導電体260が、チャネル形成領域の酸化物230bの側面および上面を酸化物230cおよび絶縁体250を介して覆う構成となっており、導電体260の電界をチャネル形成領域の酸化物230b全体に作用させやすくなる。よって、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。

【0083】

以上より、微細化または高集積化された半導体装置を提供することができる。または、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、高い周波数特性を有するトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。

40

【0084】

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

【0085】

導電体205は、酸化物230、および導電体260と、重なるように配置する。また

50

、導電体 205 は、絶縁体 214 および絶縁体 216 に埋め込まれて設けることが好ましい。

【0086】

ここで、導電体 260 は、第 1 のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体 205 は、第 2 のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 200 の V_{th} を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 200 の V_{th} を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

10

【0087】

なお、導電体 205 は、図 1（A）に示すように、酸化物 230 の領域 249 a および領域 249 b と重ならない領域の大きさよりも、大きく設けるとよい。特に、図 1（C）に示すように、導電体 205 は、酸化物 230 のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 230 のチャネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。または、導電体 205 を大きく設けることによって、導電体 205 形成以降の作製工程のプラズマを用いた処理において、局所的なチャージング（チャージアップと言う。）の緩和ができる場合がある。ただし、本発明の一態様はこれに限定されない。導電体 205 は、少なくとも領域 249 a と、領域 249 b との間に位置する酸化物 230 と重畳すればよい。

20

【0088】

上記構成を有することで、第 1 のゲート電極としての機能を有する導電体 260 の電界と、第 2 のゲート電極としての機能を有する導電体 205 の電界によって、チャネル形成領域を電氣的に取り囲むことができる。本明細書において、第 1 のゲート電極、および第 2 のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)` 構造とよぶ。

【0089】

また、導電体 205 の第 1 の導電層は、水または水素などの不純物および酸素の透過を抑制する導電体が好ましい。例えば、チタン、窒化チタン、タンタル、または窒化タンタルを、単層または積層で用いることができる。また、導電体 205 の第 2 の導電層は、第 1 の導電層および第 3 の導電層と密着性が良好な導電体を用いればよい。また、導電体 205 の第 3 の導電層は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 を 3 層で図示したが、単層構造または 2 層構造としてもよいし、4 層以上の多層構造としてもよい。

30

【0090】

絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 は、水または水素などの不純物が、基板側から、または、上方からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

40

【0091】

例えば、絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 として窒化シリコンなどを用いることが好ましい。これにより、水または水素などの不純物が絶縁体 214 よりも基板側からトランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 214 よりも基板側に、拡散するのを

50

抑制することができる。また、水または水素などの不純物が絶縁体 258 よりも上方に配置されている絶縁体 280 などからトランジスタ 200 側に拡散するのを抑制することができる。

【0092】

また、絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 の抵抗率を概略 $1 \times 10^{13} \Omega \text{cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 が、導電体 205 または導電体 260 のチャージアップを緩和することができる場合がある。絶縁体 214、絶縁体 258、絶縁体 282、および絶縁体 281 の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{cm}$ 以上 $1 \times 10^{15} \Omega \text{cm}$ 以下とする。

10

【0093】

また、絶縁体 214 は、積層構造であってもよい。例えば、酸化アルミニウム膜と、窒化シリコン膜との積層構造を絶縁体 214 に用いることが好適である。酸化アルミニウム膜によって、絶縁体 214 の下方に酸素を供給することができる。また、窒化シリコン膜によって、基板側からトランジスタ 200 側に拡散する水素、水などの不純物の拡散を抑制することができる。

【0094】

また、絶縁体 216、絶縁体 280、および絶縁体 274 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216、絶縁体 280、および絶縁体 274 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを適宜用いればよい。

20

【0095】

絶縁体 222、および絶縁体 224 は、ゲート絶縁体としての機能を有する。

【0096】

ここで、酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体 224 は、酸化シリコンまたは酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

30

【0097】

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{molecules/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

40

【0098】

絶縁体 222 は、水または水素などの不純物が、基板側からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体 222 は、絶縁体 224 より水素透過性が低いことが好ましい。絶縁体 222、および絶縁体 272 によって、絶縁体 224 および酸化物 230などを囲むことにより、外方から水または水素などの不純物がトランジスタ 200 に侵入することを抑制することができる。

【0099】

さらに、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁

50

体 2 2 2 は、絶縁体 2 2 4 より酸素透過性が低いことが好ましい。絶縁体 2 2 2 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 2 3 0 が有する酸素が、絶縁体 2 2 2 より下側へ拡散することを低減できるので、好ましい。また、導電体 2 0 5 が、絶縁体 2 2 4 や、酸化物 2 3 0 が有する酸素と反応することを抑制することができる。

【0100】

絶縁体 2 2 2 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 2 2 2 を形成した場合、絶縁体 2 2 2 は、酸化物 2 3 0 からの酸素の放出や、トランジスタ 2 0 0 の周辺部から酸化物 2 3 0 への水素等の不純物の混入を抑制する層として機能する。

10

【0101】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、または酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0102】

また、絶縁体 2 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）または（B a , S r）T i O₃（B S T）などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

20

【0103】

なお、絶縁体 2 2 2、および絶縁体 2 2 4 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

30

【0104】

導電体 2 4 7 も、導電体 2 0 5 と同様に、第 1 の導電層と、第 1 の導電層の内側に配置された第 2 の導電層と、第 2 の導電層の内側に配置された第 3 の導電層と、を有する構成にしてもよい。導電体 2 4 7 の第 1 の導電層としては、水または水素などの不純物および酸素の透過を抑制する導電体が好ましい。例えば、チタン、窒化チタン、タンタル、または窒化タンタルを用いることができる。また、導電体 2 4 7 の第 2 の導電層は、第 1 の導電層および第 3 の導電層と密着性が良好な導電体を用いればよい。また、導電体 2 4 7 の第 3 の導電層としては、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 2 4 7 を 3 層で図示したが、単層構造または 2 層構造としてもよいし、4 層以上の多層構造としてもよい。

40

【0105】

また、導電体 2 4 0 と同様に、導電体 2 4 7 の側面に、絶縁体 2 4 1 と同様の水素や水などの不純物および酸素の拡散を抑制する絶縁体を設けてもよい。

【0106】

酸化物 2 3 0 は、酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、酸化物 2 3 0 b 上の酸化物 2 3 0 c と、を有する。ここで、酸化物 2 3 0 c は、少なくとも一部が、領域 2 4 9 a と領域 2 4 9 b の間の領域と重なるように配置される。酸化物 2 3 0 b 下に酸化物 2 3 0 a を有することで、酸化物 2 3 0 a よりも下方に形成された構造物から、酸化物 2 3 0 b への不純物の拡散を抑制することができる。また、酸化物 2 3 0 b 上に酸化物 2 3 0 c を有することで、酸化物 2 3 0 c よりも上方に形成された構造物から、酸化

50

物 2 3 0 b への不純物の拡散を抑制することができる。

【0107】

なお、酸化物 2 3 0 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 2 3 0 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 2 3 0 a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 3 0 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 2 3 0 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 2 3 0 c は、酸化物 2 3 0 a または酸化物 2 3 0 b に用いることができる金属酸化物を、用いることができる。

10

【0108】

また、酸化物 2 3 0 b は、結晶性を有することが好ましい。例えば、後述する CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OS などの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 2 3 0 b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 2 3 0 b から酸素が引き抜かれることを低減できるので、トランジスタ 2 0 0 は、製造工程における高い温度（サーマルバジェットと言い換えてもよい）に対して安定である。

20

【0109】

また、酸化物 2 3 0 a および酸化物 2 3 0 c の伝導帯下端のエネルギーが、酸化物 2 3 0 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 2 3 0 a および酸化物 2 3 0 c の電子親和力が、酸化物 2 3 0 b の電子親和力より小さいことが好ましい。

【0110】

ここで、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 2 3 0 a と酸化物 2 3 0 b との界面、および酸化物 2 3 0 b と酸化物 2 3 0 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

30

【0111】

具体的には、酸化物 2 3 0 a として、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、または $1:1:0.5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 2 3 0 b として、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]、または $1:1:1$ [原子数比] の金属酸化物を用いればよい。また、酸化物 2 3 0 c として、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比]、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]、または $\text{Ga}:\text{Zn}=2:5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 2 3 0 c を積層構造とする場合の具体例としては、酸化物 2 3 0 c 1 として $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] と、酸化物 2 3 0 c 2 として $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] との積層構造、酸化物 2 3 0 c 1 として $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] と、酸化物 2 3 0 c 2 として $\text{Ga}:\text{Zn}=2:1$ [原子数比] との積層構造、酸化物 2 3 0 c 1 として $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] と、酸化物 2 3 0 c 2 として $\text{Ga}:\text{Zn}=2:5$ [原子数比] との積層構造、酸化物 2 3 0 c 1 として $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] と、酸化物 2 3 0 c 2 として酸化ガリウムとの積層構造などが挙げられる。

40

【0112】

このとき、キャリアの主たる経路は酸化物 2 3 0 b となる。酸化物 2 3 0 a、酸化物 2

50

30 cを上述の構成とすることで、酸化物230 aと酸化物230 bとの界面、および酸化物230 bと酸化物230 cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は高いオン電流、および高い周波数特性を得ることができる。なお、酸化物230 cを積層構造とした場合、上述の酸化物230 bと、酸化物230 cとの界面における欠陥準位密度を低くする効果に加え、酸化物230 cが有する構成元素が、絶縁体250側に拡散するのを抑制することが期待される。より具体的には、酸化物230 cを積層構造とし、積層構造の上方にInを含まない、またはInの濃度が低減された酸化物を位置させるため、絶縁体250側に拡散しうるInを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、酸化物230 cを積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

10

【0113】

また、酸化物230 cを積層構造とすることで、キャリアの主たる経路は酸化物230 bと、酸化物230 c 1との界面およびその近傍となる場合がある。

【0114】

また、酸化物230 c 1は、絶縁体280の側面と接するため、絶縁体280に含まれる酸素を酸化物230 c 1を介してトランジスタ200のチャネル形成領域に供給することができる。また、酸化物230 c 2として、酸素が透過しにくい材料を用いることが好ましい。上述した材料を用いることで、絶縁体280に含まれる酸素が酸化物230 c 2を透過して、絶縁体250、または導電体260に吸収されることを抑制でき、効率的にチャネル形成領域に酸素を供給することができる。

20

【0115】

また、酸化物230は、領域249および領域234を有する。なお、トランジスタ200をオンさせると、領域249 a、および領域249 bは、一方がソース領域、他方がドレイン領域として機能する。一方、領域234の少なくとも一部は、チャネルが形成される領域として機能する。

【0116】

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

30

【0117】

酸化物230は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、エネルギーギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

【0118】

電子親和力または伝導帯下端のエネルギー準位 E_c は、真空準位と価電子帯上端のエネルギー E_v との差であるイオン化ポテンシャル I_p と、エネルギーギャップ E_g から求めることができる。イオン化ポテンシャル I_p は、例えば、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置を用いて測定することができる。エネルギーギャップ E_g は、例えば、分光エリブソメータを用いて測定することができる。

40

【0119】

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230 cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

50

【0120】

絶縁体224と同様に、絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成してもよい。加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

【0121】

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

10

【0122】

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

20

【0123】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、およびハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。

【0124】

または、当該金属酸化物は、ゲート電極の一部としての機能を有する場合がある。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

30

【0125】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

40

【0126】

導電体260は、図1では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

【0127】

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電

50

性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0128】

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

【0129】

導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

【0130】

絶縁体256は、領域249を形成する際の保護膜としての機能を有することが好ましい。領域249の形成にイオンインプランテーションやイオンドーピングを用いる場合、保護膜として絶縁体256を設けることで、酸化物230の表面がイオンやプラズマに直接曝されることが無く、領域249の形成における酸化物230のダメージを抑制できるため、好ましい。ここで、酸化物230のダメージとは、酸化物230中における、過度の酸素欠損の形成や、過度の酸化物230の結晶性の低下などをいう。例えば、絶縁体256として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを用いることができる。

【0131】

また、絶縁体256として、酸化物230aに用いることができる材料を用いてもよい。この場合、絶縁体256として、酸素を通しにくい酸化物である、 $In:Ga:Zn=1:3:4$ [原子数比]、または $1:1:0.5$ [原子数比]の金属酸化物を用いればよい。

【0132】

また、絶縁体256は、絶縁体214などと同様に、水または水素などの不純物が、絶縁体280側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能してもよい。例えば、絶縁体256は、絶縁体224より水素透過性が低いことが好ましい。また、絶縁体256は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有していてもよい。例えば、絶縁体256は、絶縁体280または絶縁体224より酸素透過性を低くしてもよい。

【0133】

絶縁体256としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

【0134】

また、絶縁体256は、積層構造としてもよい。絶縁体256を積層構造とする場合、スパッタリング法を用いて形成された第1の絶縁体上にALD法を用いて第2の絶縁体を形成してもよい。このとき、第1の絶縁体と、第2の絶縁体は上述した材料から選ばれた、同じ材料を用いてもよいし、異なる材料を用いてもよい。例えば、第1の絶縁体として、スパッタリング法により形成された酸化アルミニウムを用い、第2の絶縁体として、ALD法により形成された酸化アルミニウムを用いてもよい。ALD法により形成される膜は被覆性が高く、酸化物230などの構造体による段差部にも高い均一性を有する膜を形成することができる。また、スパッタリング法により形成された第1の絶縁膜における成膜不良を補てんすることができ、好ましい。

【0135】

このように、水素に対してバリア性を有する絶縁体256によって、絶縁体224、および酸化物230を覆うことで、絶縁体280は、絶縁体224、および酸化物230と離隔されている。これにより、トランジスタ200の外方から水素などの不純物が浸入することを抑制できるので、トランジスタ200に良好な電気特性および信頼性を与えることができる。

【0136】

絶縁体258は、絶縁体214などと同様に、水または水素などの不純物が、絶縁体280側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体258は、絶縁体224より水素透過性が低いことが好ましい。さらに、図1(B)(C)に示すように、絶縁体258は、絶縁体256の上面、および酸化物230cの側面に接するように配置されることが好ましい。このような構成とすることで、絶縁体280に含まれる水素が、酸化物230および絶縁体224に侵入するのを抑制することができる。

【0137】

このように、水素に対してバリア性を有する絶縁体258によって、絶縁体256、絶縁体224、絶縁体250、および酸化物230を覆うことで、絶縁体280は、絶縁体256、絶縁体224、酸化物230、および絶縁体250と離隔されている。これにより、トランジスタ200の外方から水素などの不純物が浸入することを抑制できるので、トランジスタ200に良好な電気特性および信頼性を与えることができる。

【0138】

さらに、絶縁体258は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁体258は、絶縁体224より酸素透過性が低いことが好ましい。絶縁体258が、酸素の拡散を抑制する機能を有することで、絶縁体280から酸化物230aおよび酸化物230bに直接的に酸素が注入されるのを防ぐことができる。

【0139】

絶縁体258としては、例えば、絶縁体256に用いることができるバリア絶縁膜を用いればよい。ただし、絶縁体256が十分に水素に対するバリア性を有する場合、絶縁体258は必ずしも、バリア絶縁膜を用いなくてもよく、絶縁体258を設けない構成にしてもよい。

【0140】

絶縁体280は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンなどを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。絶縁体280に含まれる酸素を、酸化物230c、または酸化物230c1を介して酸化物230bに供給するために、絶縁体280はより多くの酸素を含んでいることが好ましく、例えば、化学量論比より多くの酸素を含んでいることが好ましい。絶縁体280に含まれる酸素の濃度を増加させるために、絶縁体280の形成に用いられる成膜ガスには、酸素が含まれていることが好ましい。

【0141】

絶縁体280中の水または水素などの不純物濃度が低減されていることが好ましい。特に、スパッタリング法を用いて絶縁体280を形成することで、水または水素などの不純物濃度が低減された絶縁体280が得られるため好ましい。例えば、シリコンや酸化シリコンを含むターゲットを用い、アルゴンや酸素を含むガスを用いて、スパッタリング法で形成された酸化シリコンは、水素を含む成膜ガスを用いて、CVD法により形成された酸化シリコン、および酸化窒化シリコンと比較して、膜中の水素濃度が低いため、絶縁体2

80として好適である。また、絶縁体280を形成する際の成膜レートや、酸化物230a、酸化物230b、開口248等による段差部に対する被覆性を考慮して、CVD法を用いて絶縁体280を形成してもよい。また、図示しないが、絶縁体280は、2層以上の積層構造を有していてもよく、1層目にスパッタリング法を用いて形成した酸化シリコン、2層目にCVD法を用いて形成した酸化窒化シリコンを有する積層体としてもよい。また、絶縁体280の上面は、平坦化されていてもよい。

【0142】

絶縁体282は、水または水素などの不純物が、上方から絶縁体280に混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体282としては、例えば、酸化アルミニウム、窒化シリコン、または窒化酸化シリコンなどの絶縁体を用いればよい。

10

【0143】

また、絶縁体282の上に、層間膜として機能する絶縁体274を設けることが好ましい。絶縁体274は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

【0144】

導電体240は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240は積層構造としてもよい。

【0145】

また、導電体240を積層構造とする場合、絶縁体241と接する導電体には、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体240に吸収されるのを防ぐことができる。また、絶縁体281より上層から水または水素などの不純物が、導電体240を通じて酸化物230に混入するのを抑制することができる。

20

【0146】

絶縁体241としては、例えば、酸化アルミニウム、窒化シリコン、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241は、絶縁体281、絶縁体274、絶縁体282、絶縁体280、絶縁体258、および絶縁体256に接して設けられるので、絶縁体280などから水または水素などの不純物が、導電体240を通じて酸化物230に混入するのを抑制することができる。また、絶縁体280に含まれる酸素が導電体240に吸収されるのを防ぐことができる。

30

【0147】

また、導電体240の上面に接して配線として機能する導電体を配置してもよい。該導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

【0148】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

【0149】

<基板>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述

40

50

の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0150】

<絶縁体>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0151】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0152】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0153】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0154】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、または酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコンまたは窒化シリコンなどの金属窒化物を用いることができる。

【0155】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0156】

<導電体>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチ

10

20

30

40

50

ウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金が、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、例えばニッケルシリサイドなどのシリサイドを用いてもよい。

10

【0157】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0158】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

20

【0159】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、またはシリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

30

【0160】

<金属酸化物>

酸化物230として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0161】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたは錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

40

【0162】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫などとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハ

50

フニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0163】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0164】

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

【0165】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

【0166】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう。) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【0167】

また、CAAC-OSは、インジウム、および酸素を有する層 (以下、In層) と、元素M、亜鉛、および酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn) 層の元素Mがインジウムと置換した場合、(In, M, Zn) 層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M) 層と表すこともできる。

【0168】

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥 (酸素欠損 (Vo: oxygen vacancy) ともいう。) など) の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

【0169】

nc-OSは、微小な領域 (例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域) において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0170】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物 (以下、IGZO) は、上述のナノ結晶とすることで安定な

10

20

30

40

50

構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

【0171】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

【0172】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc OS、CAAC-OSのうち、二種以上を有していてもよい。

10

【0173】

なお、本発明の一態様の半導体装置においては、酸化物半導体（金属酸化物）の構造に特に限定はないが、好ましくは結晶性を有すると好ましい。例えば、酸化物230をCAAC-OS構造とすることが出来る。酸化物230を上記の結晶構造とすることで、高い信頼性を有する半導体装置とすることができる。

【0174】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

【0175】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャンネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

20

【0176】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

30

【0177】

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

40

【0178】

<半導体装置の作製方法>

次に、図1に示す、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図3乃至図13を用いて説明する。また、図3乃至図13において、各図の(A)は上面図を示す。また、各図の(B)は、(A)に示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、各図の(D)は、(A

50

）にA5-A6の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のソース領域またはドレイン領域におけるチャンネル幅方向の断面図でもある。なお、各図の（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0179】

まず、基板（図示しない）を準備し、当該基板上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

【0180】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0181】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0182】

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、および低温での成膜が可能、などの効果がある。また、ALD法には、プラズマを利用した成膜方法PEALD（Plasma Enhanced ALD）法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

【0183】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0184】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用

10

20

30

40

50

いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0185】

本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体214より下層（図示せず）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体214より上の層に拡散するのを抑制することができる。

【0186】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0187】

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコン膜を用いた場合は、絶縁体214は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

【0188】

開口の形成後に、導電体205となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体205となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0189】

本実施の形態では、導電体205となる導電膜を、多層構造とする。まず、導電体205aとなる導電膜として、スパッタリング法によって窒化タンタルを成膜し、当該窒化タンタルの上に導電体205bとして、CVD法によって窒化チタンを成膜する。このような金属窒化物を導電体205となる導電膜の下層に用いることにより、後述する導電体205cとなる導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体205から外に拡散するのを防ぐことができる。

【0190】

次に、導電体205cとなる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、導電体205cとなる導電膜として、タングステンや銅などの低抵抗の導電性材料を成膜する。例えば、導電体205cとなる導電膜として、CVD法によってタングステンを成膜すればよい。

【0191】

次に、CMP（Chemical Mechanical Polishing）処理を行うことで、導電体205となる導電膜の一部を除去し、絶縁体216を露出する（図3参照）。その結果、開口部のみに、導電体205となる導電膜が残存する。これにより、上面が平坦な、導電体205（導電体205a、導電体205b、および導電体205c）を形成することができる。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

【0192】

ここからは、上記と異なる導電体205の形成方法について以下に説明する。

【0193】

絶縁体214上に、導電体205となる導電膜を成膜する。該導電膜の成膜は、スパッ

10

20

30

40

50

タリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。また、該導電膜は、多層膜とすることができる。本実施の形態では、該導電膜としてタングステンを成膜する。

【0194】

次に、リソグラフィー法を用いて、該導電膜を加工し、導電体205を形成する。

【0195】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【0196】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電体205となる導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電体205となる導電膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。該導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

【0197】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

【0198】

次に、絶縁体214および導電体205上に絶縁体216となる絶縁膜を成膜する。絶縁体216となる絶縁体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216となる絶縁膜として、CVD法によって酸化シリコンを成膜する。

【0199】

ここで、絶縁体216となる絶縁膜の膜厚は、導電体205の膜厚以上とすることが好ましい。例えば、導電体205の膜厚を1とすると、絶縁体216となる絶縁膜の膜厚は、1以上3以下とする。本実施の形態では、導電体205の膜厚の膜厚を150nmとし、絶縁体216となる絶縁膜の膜厚を350nmとする。

【0200】

次に、絶縁体 2 1 6 となる絶縁膜に C M P 処理を行うことで、絶縁体 2 1 6 となる絶縁膜の一部を除去し、導電体 2 0 5 の表面を露出させる。これにより、上面が平坦な、導電体 2 0 5 および絶縁体 2 1 6 を形成することができる。以上が、導電体 2 0 5 の上記と異なる形成方法である。

【0 2 0 1】

次に、絶縁体 2 1 6 および導電体 2 0 5 上に絶縁体 2 2 2 を成膜する。絶縁体 2 2 2 として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 2 2 2 が、水素および水に対するバリア性を有することで、トランジスタ 2 0 0 の周辺に設けられた構造体に含まれる水素、および水が、絶縁体 2 2 2 を通じてトランジスタ 2 0 0 の内側へ拡散することが抑制され、酸化物 2 3 0 中の酸素欠損の生成を抑制することができる。

10

【0 2 0 2】

絶縁体 2 2 2 の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。

【0 2 0 3】

次に、絶縁体 2 2 2 上に絶縁体 2 2 4 を成膜する。絶縁体 2 2 4 の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。

20

【0 2 0 4】

次に、絶縁体 2 2 4、絶縁体 2 2 2、絶縁体 2 1 6、および絶縁体 2 1 4 に開口を形成する。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

【0 2 0 5】

開口の形成後に、導電体 2 4 7 となる導電膜を成膜する。導電体 2 4 7 となる導電膜の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法または A L D 法などを用いて行うことができる。本実施の形態では、導電体 2 4 7 を導電体 2 0 5 と同様の構造に形成する。よって、導電体 2 4 7 a となる導電膜を導電体 2 0 5 a となる導電膜と同様の方法で成膜し、導電体 2 4 7 b となる導電膜を導電体 2 0 5 b となる導電膜と同様の方法で成膜し、導電体 2 4 7 c となる導電膜を導電体 2 0 5 c となる導電膜と同様の方法で成膜する。

30

【0 2 0 6】

次に、C M P 処理を行うことで、導電体 2 4 7 となる導電膜の一部を除去し、絶縁体 2 2 4 を露出する（図 3 参照）。その結果、開口部のみに、導電体 2 4 7 となる導電膜が残存する。これにより、上面が平坦な、導電体 2 4 7（導電体 2 4 7 a、導電体 2 4 7 b、および導電体 2 4 7 c）を形成することができる。なお、当該 C M P 処理により、絶縁体 2 2 4 の一部が除去される場合がある。

【0 2 0 7】

40

続いて、加熱処理を行うことが好ましい。加熱処理は、2 5 0 °C 以上 6 5 0 °C 以下、好ましくは 3 0 0 °C 以上 5 0 0 °C 以下、さらに好ましくは 3 2 0 °C 以上 4 5 0 °C 以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを 1 0 p p m 以上、1 % 以上、もしくは 1 0 % 以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 1 0 p p m 以上、1 % 以上、または 1 0 % 以上含む雰囲気で行ってもよい。

【0 2 0 8】

本実施の形態では、窒素雰囲気にて 4 0 0 °C の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 4 0 0 °C の温度で 1 時間の処理を行う。当該加熱処理によって、絶縁

50

体 2 2 4 に含まれる水、水素などの不純物を除去することができる。

【 0 2 0 9 】

また、加熱処理は、絶縁体 2 2 2 の成膜後に行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。

【 0 2 1 0 】

ここで、絶縁体 2 2 4 に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側に R F (R a d i o F r e q u e n c y) を印加する電源を有してもよい。高密度プラズマを用いることにより、高密度の酸素ラジカルを生成することができ、基板側に R F を印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体 2 2 4 内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 2 2 4 に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

【 0 2 1 1 】

ここで、絶縁体 2 2 4 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、該酸化アルミニウムを絶縁体 2 2 4 に達するまで、C M P を行ってもよい。当該 C M P を行うことで絶縁体 2 2 4 表面の平坦化および絶縁体 2 2 4 表面の平滑化を行うことができる。当該酸化アルミニウムを絶縁体 2 2 4 上に配置して C M P を行うことで、C M P の終点検出が容易となる。また、C M P によって、絶縁体 2 2 4 の一部が研磨されて、絶縁体 2 2 4 の膜厚が薄くなることがあるが、絶縁体 2 2 4 の成膜時に膜厚を調整すればよい。絶縁体 2 2 4 表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体 2 2 4 上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体 2 2 4 に酸素を添加することができるので好ましい。

【 0 2 1 2 】

次に、絶縁体 2 2 4 上に、酸化膜 2 3 0 A を成膜する（図 3 参照）。酸化膜 2 3 0 A の成膜はスパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。

【 0 2 1 3 】

例えば、酸化膜 2 3 0 A をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の I n - M - Z n 酸化物ターゲットを用いることができる。

【 0 2 1 4 】

特に、酸化膜 2 3 0 A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 2 2 4 に供給される場合がある。したがって、酸化膜 2 3 0 A のスパッタリングガスに含まれる酸素の割合は 7 0 % 以上、好ましくは 8 0 % 以上、より好ましくは 1 0 0 % とすればよい。

【 0 2 1 5 】

本実施の形態では、酸化膜 2 3 0 A として、スパッタリング法によって、I n : G a : Z n = 1 : 1 : 0 . 5 [原子数比] (2 : 2 : 1 [原子数比]) 、あるいは 1 : 3 : 4 [原子数比] のターゲットを用いて成膜する。なお、酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 2 3 0 に求める特性に合わせて形成するとよい。

【 0 2 1 6 】

次に、酸化膜 2 3 0 A 上にマスク 2 5 2 を形成する（図 3 参照）。マスク 2 5 2 として、レジストマスクや、ハードマスクを用いることができる。

【 0 2 1 7 】

次に、マスク 252 を用いて酸化膜 230A に、導電体 247 の少なくとも一部を露出する開口 248 を形成する（図 4 参照）。開口 248 の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

【0218】

次に、マスク 252 を除去して、酸化膜 230B を成膜する（図 5 参照）。ここで、酸化膜 230B は、開口 248 内部にて導電体 247 と接する。酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0219】

例えば、酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットを用いることができる。

【0220】

酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

【0221】

本実施の形態では、酸化膜 230B として、スパッタリング法によって、In:Ga:Zn = 4:2:4.1 [原子数比]、あるいは 1:1:1 [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求める特性に合わせて形成するとよい。

【0222】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜 230A、および酸化膜 230B 中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

【0223】

次に、酸化膜 230A および酸化膜 230B を島状に加工して、酸化物 230a および酸化物 230b を形成する（図 6 参照）。なお、当該工程において、絶縁体 224 の酸化物 230a と重ならない領域の膜厚が薄くなることがある。

【0224】

なお、酸化物 230a および酸化物 230b は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230a および酸化物 230b の側面は、絶縁体 222 の上面に対し、略垂直であることが好ましい。酸化物 230a および酸化物 230b の側面が、絶縁体 222 の上面に対し、略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。または、酸化物 230a および酸化物 230b と絶縁体 222 の上面のなす角が小さい角度になる構成にしてもよい。その場合、酸化物 230a および酸化物 230b の側面と絶縁体 222 の上面のなす角は 60° 以上 70° 未満が好ましい。この様な形状とすることで、これより後の工程において、絶縁体 256 などの被覆性が向上し、鬆などの欠陥を低減することができる。

【0225】

なお、当該酸化膜および導電膜の加工はリソグラフィー法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0226】

なお、酸化物 230b の側面と酸化物 230b の上面との間に、湾曲面を有することが

10

20

30

40

50

好ましい。つまり、側面と上面が交わる端部は、湾曲していることが好ましい（以下、この湾曲をラウンド状ともいう）。湾曲面は、例えば、酸化物 230b の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

【0227】

なお、当該酸化膜の加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0228】

次に絶縁体 224、酸化物 230a および酸化物 230b の上に、絶縁膜 256A を成膜する（図 6 参照）。

【0229】

絶縁膜 256A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。絶縁膜 256A は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、CVD 法によって、酸化窒化シリコンを成膜すればよい。また、例えば、スパッタリング法によって、窒化シリコン、酸化シリコン、または酸化アルミニウムを成膜してもよい。また、絶縁膜 256A として、酸化物 230a、および酸化物 230b に用いることができる材料を用いることができる。例えば、絶縁膜 256A として、 $In:Ga:Zn=1:3:4$ [原子数比]、または $1:1:0.5$ [原子数比] の金属酸化物を用いることが好ましい。

【0230】

絶縁膜 256A は、積層構造としてもよい。例えば、下層に、スパッタリング法によって、酸化アルミニウム膜を成膜し、上層に、ALD 法によって、酸化アルミニウム膜を成膜することが好ましい。または、下層に、スパッタリング法によって、酸化アルミニウム膜を成膜し、上層に、ALD 法によって、窒化シリコン膜を成膜してもよい。

【0231】

次に、絶縁膜 256A の上に、ダミーゲート 262A となる膜を成膜する。

【0232】

ダミーゲート 262A となる膜は、加工してダミーゲートとして使用する。ダミーゲートとは、仮のゲート電極のことである。つまり、ダミーゲート 262A となる膜を加工することで、仮のゲート電極を形成し、後の工程において該ダミーゲートを除去し、代わりに導電膜等によるゲート電極を形成する。従って、ダミーゲート 262A となる膜は微細加工が容易であり、かつ、除去も容易な膜を用いることが好ましい。

【0233】

ダミーゲート 262A となる膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。例えば、絶縁体、半導体、または導電体を用いることができる。具体的には、ポリシリコン、微結晶シリコン、アモルファスシリコンなどのシリコン、アルミニウム、チタン、タングステンなどの金属膜などを用いればよい。または、塗布法を用いて、炭素を含む膜、SOG (Spin On Glass)、樹脂膜などを形成しても良い。例えば、フォトレジスト、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。SOG、樹脂膜を塗布法によって形成することで、ダミーゲート膜の表面を平坦にすることができる。このように、ダミーゲート膜の表面を平坦にすることで、微細加工が容易となり、さらに、除去も容易である。

【0234】

ダミーゲートは、後述するドーパントの添加において、酸化物 230 を当該ドーパントから保護する必要がある。このため、ダミーゲート 262A となる膜は十分な硬度を持っていることが好ましい。このようなダミーゲート膜としては、例えば、炭素を含む膜が好適である。

【0235】

また、ダミーゲート 262A となる膜は、異なる膜種を用いて多層膜とすることもできる。例えば、ダミーゲート 262A となる膜を、導電膜と該導電膜上に形成する樹脂膜の 2 層構造の膜とすることができる。ダミーゲート膜をこのような構造とすることで、例えば、後の CMP 工程において、該導電膜が CMP 処理のストッパ膜として機能する場合がある。または、CMP 処理の終点検出が可能となる場合があり、加工ばらつきの低減が可能となる場合がある。

【0236】

次に、リソグラフィー法によって、ダミーゲート 262A となる膜をエッチングし、ダミーゲート 262A を形成する（図 7 参照）。ダミーゲート 262A は、少なくとも一部が、導電体 205 および酸化物 230b と重なるように形成する。

【0237】

また、ダミーゲート 262A の形成後に熱処理を行って、ダミーゲート 262A を硬化させてもよい。特に、ダミーゲート 262A の形状をアスペクト比が高い形状にする場合、ダミーゲート 262A を硬化させておくことにより、ダミーゲート 262A の変形を防ぐことができる。

【0238】

次に、絶縁膜 256A およびダミーゲート 262A を覆って、絶縁膜 258A を成膜する（図 7 参照）。絶縁膜 258A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。

【0239】

絶縁膜 258A は、水素などの不純物や、酸素の拡散を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD 法によって、酸化アルミニウム膜を成膜することが好ましい。被覆性に優れた ALD 法を用いることにより、酸化物 230a、酸化物 230b、および、ダミーゲート 262A により生じる段差部に対しても均一な厚さを有する絶縁膜 258A を形成できる。

【0240】

次に、ダミーゲート 262A をマスクとして、酸化物 230b にドーパント 257 を添加する（図 7 参照）。これにより、酸化物 230b のダミーゲート 262A と重畳していない領域に、ドーパント 257 を含む、領域 249a および領域 249b が形成される。

【0241】

ドーパント 257 の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

【0242】

ドーパント 257 としては、上述の酸素欠損を形成する元素、または酸素欠損と結合する元素などを用いればよい。このような元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。また、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。また、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガ、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を添加してもよい。上述した中でもドーパント 257 としては、ホウ素、及びリンが好ましい。ホウ素、リンをドーパント 257 として用いる場合、アモルファスシリコン、または低温ポリシリコンの製造ラインの装置を使用することができるため、設備投資を

10

20

30

40

50

抑制することができる。

【0243】

特に、ドーパント257として、酸化物を形成しやすい元素を用いることが好ましい。このような元素としては、代表的にはホウ素、リン、アルミニウム、マグネシウム等がある。

【0244】

ドーパント257を添加する際に用いる原料ガスとしては、上記不純物元素を含むガスを用いることができる。ホウ素を供給する場合、代表的には B_2H_6 ガスや BF_3 ガスなどを用いることができる。またリンを供給する場合には、代表的には PH_3 ガスを用いることができる。また、これらの原料ガスを希ガスで希釈した混合ガスを用いてもよい。

10

【0245】

その他、原料ガスとして、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 及び希ガス等を用いることができる。また、イオン源はガスに限られず、液体または固体を気化させたものをイオン源としてもよい。

【0246】

ドーパント257の添加は、絶縁膜256A、および酸化物230bの組成や密度、厚さなどを考慮して、加速電圧やドーズ量などの条件を設定することで制御することができる。特に、ドーパント257が、絶縁膜256Aのダミーゲート262Aと接していない部分を貫通できるように、ドーパント257に十分なエネルギーを与えることが好ましい。

【0247】

20

また、図7では、ドーパント257を絶縁体214の上面に略垂直に添加しているが、これに限られず、ドーパント257の添加を絶縁体214の上面に対して傾斜させて行ってもよい。絶縁体214の上面に対して傾斜させてドーパントを添加させることにより、ダミーゲート262Aと重畳する領域の一部に領域249aおよび領域249bを形成することが容易になる。

【0248】

また、本実施の形態の作製方法では、ドーパント257は、絶縁膜256Aを介して酸化物230bに添加される。当該作製方法とすることで、絶縁膜256Aにもドーパント257が添加される。すなわち、酸化物230、及び絶縁膜256Aの双方がドーパント257に含まれる元素を有する。また、絶縁膜256Aが過剰酸素を有する場合、ドーパント257によって、外部への過剰酸素の拡散を抑制できる場合がある。また、酸化物230bおよび絶縁膜256Aの下に設けられている、酸化物230a、絶縁体224および絶縁体222にもドーパント257が添加される場合がある。よって、酸化物230a、絶縁体224および絶縁体222がドーパント257に含まれる元素を有する場合がある。

30

【0249】

以上のように、ダミーゲート262Aをマスクとして、領域249を形成することにより、後の工程で形成する導電体260を、領域249aと領域249bの間に自己整合的に配置させることができる。

【0250】

40

なお、ドーパント257の添加後に熱処理を行ってもよい。これにより、酸化物230bに添加されたドーパントを拡散させることができるので、ダミーゲート262Aと重畳する領域の一部に領域249aおよび領域249bを形成することが容易になる。また、酸化物230bの膜厚方向にドーパントを拡散させることで、酸化物230bの表面から導電体247と酸化物230bの境界近傍まで低抵抗化させ、導電体247と酸化物230bのコンタクト抵抗を低減させることができる。また、当該熱処理により、チャネル形成領域として機能する領域234に含まれる水素を、領域249に含まれる酸素欠損で捕獲できる場合がある。これにより、トランジスタ200に安定な電気特性を与え、信頼性の向上を図ることができる。また、当該熱処理は、以降の工程で行ってもよい。

【0251】

50

次に、絶縁膜 258A 上に、絶縁膜 280A を成膜する（図 8 参照）。絶縁膜 280A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

【0252】

次に、絶縁膜 280A、絶縁膜 258A、およびダミーゲート 262A の一部を、ダミーゲート 262A の一部が露出するまで除去し、絶縁体 280、絶縁体 258B、およびダミーゲート 262 を形成する（図 9 参照）。絶縁体 280、絶縁体 258B、およびダミーゲート 262 の形成には CMP 処理を用いることが好ましい。ここで、図 9（B）に示すように、ダミーゲート 262 の上面と、絶縁体 258B および絶縁体 280 の上面が略一致する。

【0253】

次に、ダミーゲート 262 と、絶縁膜 256A および絶縁膜 258A の絶縁体 280 から露出した部分を除去し、開口を形成する（図 10 参照）。ダミーゲート 262、絶縁膜 256A、および絶縁膜 258A の除去は、絶縁体 280 をマスクとして、ウェットエッチング、ドライエッチング、またはアッシングなどを用いて行うことができる。または、適宜、上記の処理を複数組み合わせる行ってもよい。例えば、アッシング処理の後に、ウェットエッチング処理を行うなどがある。絶縁膜 258A の一部を除去することにより、絶縁体 258 を形成し、絶縁膜 256A の一部を除去することにより、絶縁体 256 を形成する。ダミーゲート 262、絶縁膜 256A の一部および絶縁膜 258A の一部を除去することにより、開口から酸化膜 230b の表面の一部が露出する。

【0254】

なお、ダミーゲート 262 と、絶縁膜 256A および絶縁膜 258A の絶縁体 280 から露出した部分の除去は、必ずしも一括で行う必要はない。例えば、絶縁膜 256A をエッチングストップとして、ダミーゲート 262 と、絶縁膜 258A の絶縁体 280 から露出した部分を除去し、それから絶縁膜 256A の絶縁体 280 から露出した部分を除去してもよい。

【0255】

次に加熱処理を行っても良い。加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜 230C を成膜してもよい（図 11 参照）。このような処理を行うことによって、酸化膜 230b の表面などに表面に吸着している水分および水素を除去し、さらに酸化膜 230a および酸化膜 230b 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

【0256】

酸化膜 230C の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。酸化膜 230C に求める特性に合わせて、酸化膜 230A、または酸化膜 230B と同様の成膜方法を用いて、酸化膜 230C を成膜すればよい。本実施の形態では、酸化膜 230C として、スパッタリング法によって、In : Ga : Zn = 1 : 3 : 4 [原子数比]、あるいは 4 : 2 : 4.1 [原子数比] のターゲットを用いて成膜する。

【0257】

なお、酸化膜 230C は、積層としてもよい。例えば、スパッタリング法によって、In : Ga : Zn = 4 : 2 : 4.1 [原子数比] のターゲットを用いて成膜して、連続して In : Ga : Zn = 1 : 3 : 4 [原子数比] のターゲットを用いて成膜してもよい。

【0258】

特に、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化膜 230a および酸化膜 230b に供給される場合がある。したがって、酸化膜 230C のスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

【0259】

次に加熱処理を行っても良い。加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい（図 11 参照）。このような処理を行うことによって、酸化膜 230C の表面などに表面に吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b および酸化膜 230C 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。

【0260】

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。絶縁膜 250A として、CVD 法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁膜 250A を成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜 250A を、400℃で成膜することで、不純物が少ない絶縁体を成膜することができる。

10

【0261】

次に、導電膜 260A および導電膜 260B を成膜する（図 11 参照）。導電膜 260A および導電膜 260B の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。例えば、CVD 法を用いることが好ましい。本実施の形態では、ALD 法を用いて、導電膜 260A を成膜し、CVD 法を用いて導電膜 260B を成膜する。

【0262】

次に、CMP 処理によって、酸化膜 230C、絶縁膜 250A、導電膜 260A および導電膜 260B を絶縁体 280 が露出するまで研磨することによって、酸化物 230c、絶縁体 250 および導電体 260（導電体 260a および導電体 260b）を形成する（図 12 参照）。

20

【0263】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の加熱処理を行う。該加熱処理によって、絶縁体 250 および絶縁体 280 中の水分濃度および水素濃度を低減させることができる。

【0264】

次に、導電体 260 上、酸化物 230c 上、絶縁体 250 上、および絶縁体 280 上に、絶縁体 282 となる絶縁膜を形成してもよい。絶縁体 282 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 282 となる絶縁膜としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。このように、導電体 260 の上面に接して、絶縁体 282 を形成することで、この後の加熱処理において、絶縁体 280 が有する酸素が導電体 260 へ吸収されることを抑制することができるので好ましい（図 13 参照）。

30

【0265】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体 282 の成膜によって添加された酸素を絶縁体 280 へ注入することができる。また、該酸素は、酸化物 230c を介して、酸化物 230a、および酸化物 230b へ注入することができる。

【0266】

40

次に絶縁体 282 上に、絶縁体 274 となる絶縁体を成膜してもよい（図 13 参照）。絶縁体 274 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0267】

次に絶縁体 274 上に、絶縁体 281 となる絶縁体を成膜してもよい（図 13 参照）。絶縁体 281 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 281 となる絶縁膜としては、例えば、スパッタリング法によって、窒化シリコンを成膜することが好ましい。

【0268】

次に、絶縁体 256、絶縁体 258、絶縁体 280、絶縁体 282、絶縁体 274 およ

50

び絶縁体 281 に、領域 249a に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

【0269】

次に、絶縁体 241 となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体 241 を形成する。当該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 241 となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD 法によって、酸化アルミニウムまたは窒化シリコンを成膜することが好ましい。また、異方性エッチングは、例えばドライエッチング法を行えばよい。開口の側壁部をこのような構成とすることで、外方からの酸素の透過を抑制し、次に形成する導電体 240 の酸化を防止することができる。また、導電体 240 から、水、水素などの不純物が外部に拡散することを防ぐことができる。

10

【0270】

次に、導電体 240 となる導電膜を成膜する。導電体 240 となる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、との積層とすることができる。導電体 240 となる導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

【0271】

次に、CMP 処理を行うことで、導電体 240 となる導電膜の一部を除去し、絶縁体 281 を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体 240 を形成することができる（図 1 参照）。なお、当該 CMP 処理により、絶縁体 281 の一部が除去される場合がある。

20

【0272】

また、導電体 240 と電氣的に接続する導電体を形成してもよい。スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて導電膜を形成した後、該導電膜をリソグラフィ法によって加工することで、導電体 240 の上面と接する導電体を形成することができる。

【0273】

以上により、図 1 に示すトランジスタ 200 を有する半導体装置を作製することができる。図 3 乃至図 13 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 200 を作製することができる。

30

【0274】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

40

【0275】

<半導体装置の変形例>

以下では、図 14 乃至図 17 を用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

【0276】

また、図 14 乃至図 17 において、各図の (A) は上面図を示す。また、各図の (B) は、各図の (A) に示す A1-A2 の一点鎖線で示す部位に対応する断面図であり、トラ

50

ンジスタ 200 のチャンネル長方向の断面図でもある。また、各図の (C) は、各図の (A) に A3-A4 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャンネル幅方向の断面図でもある。また、各図の (D) は、各図の (A) に A5-A6 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のソース領域またはドレイン領域におけるチャンネル幅方向の断面図でもある。各図の (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0277】

なお、図 14 乃至図 17 に示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置（図 1 参照。）を構成する構成要素と同機能を有する構成要素には、同符号を付記する。なお、本項目において、トランジスタ 200 の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

【0278】

＜半導体装置の変形例 1＞

図 14 に示すトランジスタ 200 は、導電体 247 の一部が酸化物 230a の上面から露出して配置されている点において、図 1 に示すトランジスタ 200 と異なる。

【0279】

ここで、導電体 247 の一部が、酸化物 230a に形成された開口に埋め込まれることが好ましい。例えば、図 14 に示すように、導電体 247 は、酸化物 230a、絶縁体 224、絶縁体 222、絶縁体 216、および絶縁体 214 に形成された開口に埋め込まれるように配置されればよい。このとき、導電体 247 の上面の少なくとも一部は、酸化物 230a から露出しており、導電体 247 の上面と酸化物 230a の上面が略一致することが好ましい。

【0280】

このような構成にすることで、酸化物 230b を酸化物 230a に形成された開口に埋め込む必要がなくなり、酸化物 230b を平坦に形成することができる。これにより、酸化物 230b の領域 249b と導電体 247 とのコンタクト抵抗を低減することができる。

【0281】

図 14 に示すトランジスタ 200 を作製する場合、図 3 に示す酸化膜 230A を成膜した後に、酸化膜 230A、絶縁体 224、絶縁体 222、絶縁体 216、および絶縁体 214 に開口を形成し、当該開口を埋め込むように、導電体 247 を形成すればよい。

【0282】

＜半導体装置の変形例 2＞

図 15 に示すトランジスタ 200 は、酸化物 230a および酸化物 230b に領域 249a および領域 249b が形成されている点において、図 1 に示すトランジスタ 200 と異なる。また、導電体 247 の上面と酸化物 230a に形成された領域 249b が接する点において、図 1 に示すトランジスタ 200 と異なる。

【0283】

このような構成にすることで、酸化物 230b と導電体 247 が直接接触する必要がなくなるので、酸化物 230a に開口を形成する工程を省略することができる。よって、本実施の形態に係る半導体装置の作製工程を簡略化し、生産性を向上させることができる。

【0284】

＜半導体装置の変形例 3＞

【0285】

図 16 に示すトランジスタ 200 は、絶縁体 256、絶縁体 258、絶縁体 280、絶縁体 282、絶縁体 274、および絶縁体 281 に導電体 247 に重なる開口が形成され、当該開口を埋め込むように導電体 240b が配置されている点において、図 15 に示すトランジスタ 200 と異なる。導電体 240b は、酸化物 230b の上面、ならびに酸化物 230b および酸化物 230a のチャンネル幅方向（A5-A6 方向）の側面に接する。

【0286】

ここで、導電体 240b の下面は、酸化物 230a および酸化物 230b と重ならない

10

20

30

40

50

部分で、導電体 247 の上面に接する。このため、導電体 240b および導電体 247 のチャンネル幅方向の長さは、酸化物 230a および酸化物 230b の領域 249b におけるチャンネル幅方向の長さより長いことが好ましい。

【0287】

このような構成にすることで、酸化物 230a および酸化物 230b の領域 249b は、下面において導電体 247 と直接接触し、さらに上面及び側面において、導電体 240b を介して導電体 247 と電氣的に接続される。これにより、領域 249b と導電体 247 の間の導電性をより向上させることができる。

【0288】

また、絶縁体 256、絶縁体 258、絶縁体 280、絶縁体 282、絶縁体 274、および絶縁体 281 に、領域 249a に達する開口が形成され、当該開口を埋め込むように導電体 240a が配置されている。ここで、導電体 240a および導電体 240b は、上記導電体 240 と同様の構成を有する。ただし、導電体 240a の上面は、配線、電極、または端子などに接続されるが、導電体 240b の上面は、配線、電極、または端子などに必ずしも接続する必要はない。

【0289】

また、導電体 240a および導電体 240b は積層膜としてもよく、その場合、下側の層に密着性の高い導電性材料を用いればよい。例えば、導電体 240a および導電体 240b を窒化チタン、タングステンの順に積層された導電膜にすればよい。

【0290】

また、図 16 に示すトランジスタ 200 は、図 1 に示すトランジスタ 200 と異なり、導電体 240a および導電体 240b の側面に接して、上記絶縁体 241 を設けないことが好ましい。これにより、導電体 240b と酸化物 230a および酸化物 230b とのコンタクトを良好にすることができる。

【0291】

また、図 16 に示すトランジスタ 200 の構成は上記に限られるものではない。例えば、図 17 に示すように、導電体 205 と同じ層に導電体 247 を設ける構成にしてもよい。つまり、導電体 247 は、導電体 205 と同様に、絶縁体 216 に埋め込まれるように形成される。

【0292】

この場合、図 17 (D) に示すように、領域 249 と導電体 247 は直接接することなく、導電体 240b だけを介して電氣的に接続される。よって、図 17 に示すトランジスタ 200 においては、導電体 240b と導電体 247 のコンタクト抵抗が十分低減されていることが好ましい。

【0293】

このような構成にすることで、導電体 205 と同じ工程で導電体 247 を形成することができるので、本実施の形態に係る半導体装置の作製工程を簡略化し、生産性を向上させることができる。

【0294】

なお、図 17 に示すトランジスタ 200 は、酸化物 230a にも領域 249 が形成されているが、これに限られるものではない。例えば、図 1 に示すトランジスタ 200 のように、酸化物 230b のみに領域 249 が形成される構成にしてもよい。

【0295】

以上、本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0296】

(実施の形態 2)

本実施の形態では、半導体装置の一形態を、図 18 乃至図 23 を用いて説明する。

【0297】

【記憶装置 1】

10

20

30

40

50

本発明の一態様である容量素子を使用した、半導体装置（記憶装置）の一例を図18に示す。本発明の一態様の半導体装置は、トランジスタ200は容量素子100およびトランジスタ300の上方に設けられ、容量素子100はトランジスタ300の上方に設けられている。容量素子100、またはトランジスタ300は、少なくとも一部がトランジスタ200と重畳することが好ましい。これにより、容量素子100、トランジスタ200、およびトランジスタ300の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。なお、本実施の形態に係る半導体装置は、例えば、CPU（Central Processing Unit）またはGPU（Graphics Processing Unit）に代表されるロジック回路、あるいはDRAM（Dynamic Random Access Memory）またはNVM（Non-Volatile Memory）に代表されるメモリ回路に適用することができる。

【0298】

なお、トランジスタ200として、先の実施の形態で説明したトランジスタ200を用いることができる。よって、トランジスタ200、およびトランジスタ200を含む層については、先の実施の形態の記載を参酌することができる。また、図18に示す半導体装置において、トランジスタ200は、図1に示すトランジスタ200と同じ構造をしているが、これに限られるものではない。例えば、図18に示す半導体装置において、図14乃至図17に示すトランジスタ200などを用いてもよく、図19乃至図23に示す半導体装置についても同様である。

【0299】

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。また、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、高温における電気特性が良好である。例えば、トランジスタ200は、125℃乃至150℃の温度範囲においても良好な電気特性を示す。また、125℃乃至150℃の温度範囲において、トランジスタ200は、10桁以上のオン／オフ比を有する。別言すると、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、高温になるほど、優れたトランジスタ特性（オン電流、周波数特性など）を有する。

【0300】

図18に示す半導体装置において、配線1001はトランジスタ300のソースと電気的に接続され、配線1002はトランジスタ300のドレインと電気的に接続され、配線1007はトランジスタ300のゲートと電気的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電気的に接続され、配線1004はトランジスタ200の第1のゲートと電気的に接続され、配線1006はトランジスタ200の第2のゲートと電気的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電気的に接続され、配線1005は容量素子100の電極の他方と電気的に接続されている。

【0301】

図18に示す半導体装置は、トランジスタ200のスイッチングによって、容量素子100の電極の一方に充電された電荷が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。また、トランジスタ200は、ソース、ゲート（フロントゲート）、ドレインに加え、バックゲートが設けられた素子である。すなわち、4端子素子であるため、MTJ（Magnetic Tunnel Junction）特性を利用したMRAM（Magnetoresistive Random Access Memory）、ReRAM（Resistive Random Access Memory）、相変化メモリ（Phase-change memory）などに代表される2

端子素子と比較して、入出力の独立制御を簡便に行うことができるといった特徴を有する。また、M R A M、R e R A M、相変化メモリは、情報の書き換えの際に、原子レベルで構造変化が生じる場合がある。一方で図 1 8 に示す半導体装置は、情報の書き換えの際にトランジスタ及び容量素子を利用した電子のチャージ、またはディスチャージにより動作するため、繰り返し書き換え耐性に優れ、構造変化も少ないといった特徴を有する。

【0302】

また、図 1 8 に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。この場合、トランジスタ 3 0 0 は、当該メモリセルアレイに接続される読み出し回路、または駆動回路などとして用いることができる。また、図 1 8 に示す半導体装置は、上述のようにメモリセルアレイを構成している。図 1 8 に示す半導体装置をメモリ素子として用いた場合、例えば、駆動電圧が 2 . 5 V、評価環境温度が - 4 0 °C 乃至 8 5 °C の範囲において、2 0 0 M H z 以上の動作周波数を実現することができる。

【0303】

<トランジスタ 3 0 0 >

トランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、ゲート電極として機能する導電体 3 1 6、ゲート絶縁体として機能する絶縁体 3 1 5、基板 3 1 1 の一部からなる半導体領域 3 1 3、およびソース領域またはドレイン領域として機能する低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b を有する。

【0304】

ここで、半導体領域 3 1 3 の上に絶縁体 3 1 5 が配置され、絶縁体 3 1 5 の上に導電体 3 1 6 が配置される。また、同じ層に形成される各トランジスタ 3 0 0 は、素子分離絶縁層として機能する絶縁体 3 1 2 によって、電氣的に分離されている。絶縁体 3 1 2 は、後述する絶縁体 3 2 6 などと同様の絶縁体を用いることができる。トランジスタ 3 0 0 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

【0305】

基板 3 1 1 は、半導体領域 3 1 3 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、G e (ゲルマニウム)、S i G e (シリコンゲルマニウム)、G a A s (ガリウムヒ素)、G a A l A s (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または G a A s と G a A l A s 等を用いることで、トランジスタ 3 0 0 を H E M T (H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r) としてもよい。

【0306】

低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b は、半導体領域 3 1 3 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【0307】

ゲート電極として機能する導電体 3 1 6 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0308】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0309】

ここで、図 1 8 に示すトランジスタ 3 0 0 はチャンネルが形成される半導体領域 3 1 3 (

10

20

30

40

50

基板 311 の一部) が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。このようなトランジスタ 300 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を設けてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

【0310】

なお、図 18 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0311】

また、図 18 に示すように半導体装置は、トランジスタ 300 と、トランジスタ 200 とを、積層して設けている。例えば、トランジスタ 300 をシリコン系半導体材料で形成し、トランジスタ 200 を酸化物半導体で形成することができる。このように、図 18 に示す半導体装置は、シリコン系半導体材料と、酸化物半導体とを、ことなるレイヤーに混載して形成することが可能である。また、図 18 に示す半導体装置は、シリコン系半導体材料で用いる製造装置と同様のプロセスで作製することが可能であり、高集積化することも可能である。

【0312】

<容量素子>

容量素子 100 は、絶縁体 364 上の絶縁体 114 と、絶縁体 114 上の絶縁体 140 と、絶縁体 114 および絶縁体 140 に形成された開口の中に配置された導電体 110 と、導電体 110 および絶縁体 140 上の絶縁体 130 と、絶縁体 130 上の導電体 120 と、導電体 120 および絶縁体 130 上の絶縁体 150 と、を有する。ここで、図 18 に示すように、絶縁体 114 および絶縁体 140 に形成された開口の中に導電体 110、絶縁体 130、および導電体 120 の少なくとも一部が配置される。

【0313】

導電体 110 は容量素子 100 の下部電極として機能し、導電体 120 は容量素子 100 の上部電極として機能し、絶縁体 130 は、容量素子 100 の誘電体として機能する。容量素子 100 は、絶縁体 114 および絶縁体 140 の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子 100 の静電容量を大きくすることができる。このように容量素子 100 の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

【0314】

絶縁体 114、および絶縁体 150 は、絶縁体 280 に用いることができる絶縁体を用いればよい。また、絶縁体 140 は、絶縁体 114 の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体 214 に用いることができる絶縁体を用いればよい。

【0315】

絶縁体 114 および絶縁体 140 に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ 200 の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子 100 とトランジスタ 200 を有する半導体装置の占有面積を低減することができる。

【0316】

導電体 110 は、絶縁体 140、および絶縁体 114 に形成された開口に接して配置される。導電体 110 の上面は、絶縁体 140 の上面と略一致することが好ましい。また、導電体 110 の下面には、絶縁体 364 の開口に埋め込まれた導電体 366 が接する。導

10

20

30

40

50

電体 110 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

【0317】

絶縁体 130 は、導電体 110 および絶縁体 140 を覆うように配置される。例えば、ALD 法または CVD 法などを用いて絶縁体 130 を成膜することが好ましい。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体 130 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

10

【0318】

また、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率 (high-k) 材料 (高い比誘電率の材料) を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率 (high-k) 材料の積層構造を用いてもよい。

【0319】

なお、高誘電率 (high-k) 材料の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。このような high-k 材料を用いることで、絶縁体 130 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 130 を厚くすることにより、導電体 110 と導電体 120 の間に生じるリーク電流を抑制することができる。

20

【0320】

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。例えば、ALD 法を用いて成膜した SiN_x 、PEALD 法を用いて成膜した SiO_x 、ALD 法を用いて成膜した SiN_x の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

30

【0321】

導電体 120 は、絶縁体 140 および絶縁体 114 に形成された開口を埋めるように配置される。また、導電体 120 の上面には、絶縁体 150 の開口を介して導電体 247 が接する。導電体 120 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

【0322】

また、トランジスタ 200 は、酸化物半導体を用いる構成であるため、容量素子 100 との相性が優れている。具体的には、酸化物半導体を用いるトランジスタ 200 は、オフ電流が小さいため、容量素子 100 と組み合わせて用いることで長期にわたり記憶内容を保持することが可能である。

40

【0323】

上記の容量素子 100 は作製工程において、700℃を超える高温の熱処理が必要となる場合がある。このような高温の熱処理を、トランジスタ 200 の形成後に行うと、水素または水等の不純物、あるいは酸素の拡散によって、酸化物 230 が影響を受け、トランジスタ 200 の電気特性が劣化する恐れがある。

【0324】

しかしながら、本変形例に示すように、容量素子 100 の上にトランジスタ 200 を形成することにより、容量素子 100 の作製工程における熱履歴はトランジスタ 200 に影響しない。これにより、トランジスタ 200 の電気特性の劣化を防ぎ、安定した電気特性

50

を有する半導体装置を提供することができる。

【0325】

＜配線層＞

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0326】

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には、端子として機能する導電体152と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

【0327】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0328】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図18において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

【0329】

絶縁体354の上に絶縁体360が配置され、絶縁体360の上に絶縁体362が配置され、絶縁体362の上に絶縁体364が配置され、絶縁体364の上に絶縁体114が配置される。

【0330】

絶縁体364には開口が形成されており、当該開口の中に導電体366が配置される。導電体366は、導電体110の下面に接する。つまり、導電体366は、容量素子100の電極の他方に接続する配線として機能する。導電体366は、導電体356等に用いることができる絶縁体を用いればよい。

【0331】

また、絶縁体360、絶縁体362、絶縁体364、絶縁体114、絶縁体140、絶縁体130、および絶縁体150には、導電体112、および容量素子100を構成する導電体（導電体120、導電体110）等が埋め込まれている。なお、導電体112は、トランジスタ300と、端子として機能する導電体152と、を電氣的に接続するプラグ、または配線としての機能を有する。

【0332】

同様に、絶縁体212、絶縁体214、および絶縁体216には、導電体247、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体247は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。例えば、導電体247の一部は、容量素子100の上部電極として機能する導電体120と電氣的に接続されている。また、例えば、導電体247の他の一部は、トランジスタ300と、端子として機能する導電体152と、を電氣的に接続するプラグ、または配線としての機能を有する。

【0333】

また、絶縁体281上に導電体152が設けられ、導電体152は、絶縁体156に覆われている。ここで、導電体152は導電体245の上面に接しており、トランジスタ2

10

20

30

40

50

00またはトランジスタ300の端子として機能する。

【0334】

なお、層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。例えば、層間膜として機能する絶縁体は、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0335】

例えば、絶縁体320、絶縁体322、絶縁体326、絶縁体352、絶縁体354、絶縁体362、絶縁体364、絶縁体114、絶縁体150、絶縁体212、および絶縁体156等は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0336】

また、導電体152の上または下に設けられる絶縁体の抵抗率が $1.0 \times 10^{12} \Omega \text{cm}$ 以上 $1.0 \times 10^{15} \Omega \text{cm}$ 以下、好ましくは $5.0 \times 10^{12} \Omega \text{cm}$ 以上 $1.0 \times 10^{14} \Omega \text{cm}$ 以下、より好ましくは $1.0 \times 10^{13} \Omega \text{cm}$ 以上 $5.0 \times 10^{13} \Omega \text{cm}$ 以下であることが好ましい。導電体152の上または下に設けられる絶縁体の抵抗率を上記の範囲にすることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ200、トランジスタ300、容量素子100、および導電体152等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタ、該トランジスタを有する半導体装置の特性不良や静電破壊を抑制することができ、好ましい。このような絶縁体として、窒化シリコン、または窒化酸化シリコンを用いることができる。例えば、絶縁体281の抵抗率を上記の範囲にすればよい。

【0337】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体324、絶縁体350、および絶縁体360等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0338】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0339】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ル

テニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、例えばニッケルシリサイドなどのシリサイドを用いてもよい。

【0340】

例えば、導電体328、導電体330、導電体356、導電体112、導電体247、および導電体152等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

10

【0341】

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【0342】

例えば、図18では、過剰酸素を有する絶縁体280と、導電体245との間に、絶縁体276を設けるとよい。ここで、導電体245は先の実施の形態に示す導電体240に、絶縁体276は先の実施の形態に示す絶縁体241に、それぞれ対応する。絶縁体276と、絶縁体272とが接して設けられることで、導電体245、およびトランジスタ200が、バリア性を有する絶縁体によって、封止される構造とすることができる。

20

【0343】

つまり、絶縁体276を設けることで、絶縁体280が有する過剰酸素が、導電体245に吸収されることを抑制することができる。また、絶縁体276を有することで、不純物である水素が、導電体245を介して、トランジスタ200へ拡散することを抑制することができる。

【0344】

ここで、導電体245は、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

30

【0345】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置を微細化または高集積化させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0346】

なお、図18において、配線1003と電氣的に接続する導電体が、トランジスタ200のソースおよびドレインの一方として機能する導電体の上面の少なくとも一部と接する例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図19に示すように、配線として機能する導電体をトランジスタ200の下方に設け、トランジスタ200のソースおよびドレインの一方が、絶縁体224、絶縁体222、絶縁体216、絶縁体214、絶縁体212、および絶縁体210に形成された開口に設けられた導電体247を介して、配線1003と電氣的に接続する導電体の上面の少なくとも一部と接する構成にしてもよい。

40

【0347】

ここで、絶縁体354の上に絶縁体360が配置され、絶縁体360の上に絶縁体36

50

2が配置され、絶縁体362の上に絶縁体364が配置され、絶縁体364の上に絶縁体210が配置される。絶縁体360は、絶縁体350等に用いることができる絶縁体を用いればよい。また、絶縁体362および絶縁体364は、絶縁体352等に用いることができる絶縁体を用いればよい。

【0348】

また、絶縁体364には開口が形成されており、当該開口の中に導電体366が配置される。導電体366は、プラグ、または配線として機能する。図19において、導電体366は、トランジスタ200のソースおよびドレインの一方と電氣的に接続する。このとき、導電体366は、トランジスタ200のソースおよびドレインの一方に接続する配線としても機能する。導電体366は、導電体356等に用いることができる導電体を用い

10

【0349】

上記の構成にすることで、容量素子100およびトランジスタ200の上面視において、容量素子100は、トランジスタ200と重畳する面積を大きくすることができ、静電容量をより大きくすることができる。

【0350】

なお、図18において、容量素子100をトランジスタ200の下に設ける例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図20に示すように、隣接するメモリセルにおいて、容量素子100aがトランジスタ200aの上に配置され、容量素子100bがトランジスタ200bの下に配置される構成にしてもよい。図20に示す半導体装置は、容量素子100aがトランジスタ200の上に配置されること以外は、図18に示す半導体装置と同様の構成を有する。

20

【0351】

図20に示す記憶装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003aはトランジスタ200aのソースおよびドレインの一方と電氣的に接続されている。また、トランジスタ200aのソースおよびドレインの他方は、容量素子100aの電極の一方と電氣的に接続され、配線1005aは容量素子100aの電極の他方と電氣的に接続されている。また、配線1003bはトランジスタ200bのソースおよびドレインの一方と電氣的に接続されている。また、トランジスタ200bのソースおよびドレインの他方は、容量素子100bの電極の一方と電氣的に接続され、配線1005bは容量素子100bの電極の他方と電氣的に接続されている。

30

【0352】

図20では、互いに隣接するメモリセルに含まれる、トランジスタ200aおよび容量素子100aと、トランジスタ200bおよび容量素子100bと、を示す。トランジスタ200aおよびトランジスタ200bは、トランジスタ200と同様の構成を有する。ただし、トランジスタ200aは、トランジスタ200aの上に配置される容量素子100aと接続されるので、トランジスタ200aの下に導電体247を配置しない。

【0353】

また、容量素子100aおよび容量素子100bは、容量素子100と同様の構成を有する。つまり、容量素子100aは、導電体110a、絶縁体130a、および導電体120aを有し、容量素子100bは、導電体110b、絶縁体130b、および導電体120bを有する。導電体110aおよび導電体110bは、導電体110と同様の構成を有する。絶縁体130aおよび絶縁体130bは、絶縁体130と同様の構成を有する。導電体120aおよび導電体120bは、導電体120と同様の構成を有する。

40

【0354】

ここで、容量素子100aは、トランジスタ200aおよびトランジスタ200bと重畳することが好ましく、例えば、容量素子100aは、トランジスタ200aのチャネル形成領域、およびトランジスタ200bのチャネル形成領域と重なることが好ましい。また、容量素子100bは、トランジスタ200aおよびトランジスタ200bと重畳する

50

ことが好ましく、例えば、容量素子100bは、トランジスタ200aのチャネル形成領域、およびトランジスタ200bのチャネル形成領域と重なることが好ましい。

【0355】

このように、容量素子100aおよび容量素子100bを配置することで、容量素子100a、容量素子100b、トランジスタ200a、およびトランジスタ200bの上面視における占有面積を増加させずに、容量素子100aおよび容量素子100bの静電容量を大きくすることができる。よって、本実施の形態に係る半導体装置を微細化または高集積化させることができる。

【0356】

また、図21に示すように、容量素子100aおよび容量素子100bを設ける開口を複数設けてもよい。ここで、導電体110aは、各開口で分離して設けてもよい。同様に、導電体110bは、各開口で分離して設けてもよい。これにより、各開口の側面において、容量素子100aおよび容量素子100bを形成することができる。よって、図21に示す容量素子100aおよび容量素子100bは、図20に示す容量素子100aおよび容量素子100bと同程度の占有面積で、より静電容量を大きくすることができる。

【0357】

〔記憶装置2〕

本発明の一態様である半導体装置を使用した、半導体装置（記憶装置）の一例を図22に示す。図22に示す半導体装置は、図18で示した半導体装置と同様に、トランジスタ200、トランジスタ300、および容量素子100を有する。ただし、図22に示す半導体装置は、トランジスタ200の上に容量素子100が配置されている点、容量素子100がプレーナ型である点、およびトランジスタ200とトランジスタ300が導電体247を介して電氣的に接続されている点において、図18に示す半導体装置と異なる。

【0358】

本発明の一態様の半導体装置は、トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。容量素子100、またはトランジスタ300は、少なくとも一部がトランジスタ200と重畳することが好ましい。これにより、容量素子100、トランジスタ200、およびトランジスタ300の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。

【0359】

なお、トランジスタ200およびトランジスタ300として、上記のトランジスタ200およびトランジスタ300を用いることができる。よって、トランジスタ200、トランジスタ300、およびこれらを含む層については、上記の記載を参酌することができる。

【0360】

図22に示す半導体装置において、配線2001はトランジスタ300のソースと電氣的に接続され、配線2002はトランジスタ300のドレインと電氣的に接続されている。また、配線2003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線2004はトランジスタ200の第1のゲートと電氣的に接続され、配線2006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線2005は容量素子100の電極の他方と電氣的に接続されている。なお、以下において、トランジスタ300のゲートと、トランジスタ200のソースおよびドレインの他方と、容量素子100の電極の一方と、接続されるノードをノードFGと呼ぶ場合がある。

【0361】

図22に示す半導体装置は、トランジスタ200のスイッチングによって、トランジスタ300のゲート（ノードFG）の電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。

【0362】

10

20

30

40

50

また、図 22 に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【0363】

トランジスタ 300 を含む層は、図 18 に示す半導体装置と同様の構造を有するので、絶縁体 354 より下の構造は、上記の記載を参酌することができる。

【0364】

絶縁体 354 の上に、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が配置される。ここで、絶縁体 210 は、絶縁体 350 などと同様に、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0365】

絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 には、導電体 247 が埋め込まれている。導電体 247 は、容量素子 100、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。例えば、導電体 247 は、トランジスタ 300 のゲート電極として機能する導電体 316 と電氣的に接続されている。

【0366】

また、導電体 245 は、トランジスタ 200、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。例えば、導電体 245 は、トランジスタ 200 のソースおよびドレインの他方として機能する領域 249b と、容量素子 100 の電極の一方として機能する導電体 110 を、電氣的に接続している。

【0367】

また、プレーナ型の容量素子 100 は、トランジスタ 200 の上方に設けられる。容量素子 100 は、第 1 の電極として機能する導電体 110 と、第 2 の電極として機能する導電体 120、および誘電体として機能する絶縁体 130 とを有する。なお、導電体 110、導電体 120、および絶縁体 130 は、上述の記憶装置 1 で記載したものを用いることができる。

【0368】

導電体 245 の上面に接して導電体 152 および導電体 110 が設けられる。導電体 152 は、導電体 245 の上面に接しており、トランジスタ 200 またはトランジスタ 300 の端子として機能する。

【0369】

導電体 152 および導電体 110 は絶縁体 130 に覆われており、絶縁体 130 を介して導電体 110 と重なるように導電体 120 が配置される。さらに、導電体 120、および絶縁体 130 上には、絶縁体 114 が配置されている。

【0370】

また、図 22 において、容量素子 100 として、プレーナ型の容量素子を用いる例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 23 に示すように、容量素子 100 として、図 18 に示すようなシリンダ型の容量素子 100 を用いてもよい。

【0371】

ここで、容量素子 100 の詳細については、図 18 に係る記載を参酌することができる。ただし、図 23 に示すように、導電体 245 の上に導電体 152 を配置し、導電体 152 の上に導電体 112 を配置する構成が好ましい。このような構成にすることで、導電体 245 と導電体 112 の電氣的な接続をより確実にすることができる。

【0372】

また、絶縁体 150 の上に絶縁体 154 を配置することが好ましい。絶縁体 154 は、絶縁体 281 に用いることができる絶縁体を用いればよい。また、導電体 112 の上面に接して導電体 153 が設けられる。導電体 153 は、導電体 112 の上面に接しており、容量素子 100、トランジスタ 200 またはトランジスタ 300 の端子として機能する。さらに、導電体 153、および絶縁体 154 上には、絶縁体 156 が配置されている。

10

20

30

40

50

【0373】

本実施の形態は、他の実施の形態および実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

【0374】

(実施の形態3)

本実施の形態では、図24および図25を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

【0375】

<記憶装置の構成例>

図24(A)にOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、コントロールロジック回路1460を有する。

【0376】

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、および書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

【0377】

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、WDATAは書き込み回路に入力される。

【0378】

コントロールロジック回路1460は、外部からの入力信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。CEは、チップイネーブル信号であり、WEは、書き込みイネーブル信号であり、REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0379】

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数は、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数は、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

【0380】

なお、図24(A)において、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図24(B)に示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

【0381】

図 25 に上述のメモリセル MC に適用できるメモリセルの構成例について説明する。

【0382】

[DOSRAM]

図 25 (A) 乃至 (C) に、DRAM のメモリセルの回路構成例を示す。本明細書等において、1 O S トランジスタ 1 容量素子型のメモリセルを用いた DRAM を、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図 25 (A) に示す、メモリセル 1471 は、トランジスタ M1 と、容量素子 CA と、を有する。なお、トランジスタ M1 は、ゲート (フロントゲートと呼ぶ場合がある。)、及びバックゲートを有する。

【0383】

トランジスタ M1 の第 1 端子は、容量素子 CA の第 1 端子と接続され、トランジスタ M1 の第 2 端子は、配線 BIL と接続され、トランジスタ M1 のゲートは、配線 WOL と接続され、トランジスタ M1 のバックゲートは、配線 BGL と接続されている。容量素子 CA の第 2 端子は、配線 CAL と接続されている。

【0384】

配線 BIL は、ビット線として機能し、配線 WOL は、ワード線として機能する。配線 CAL は、容量素子 CA の第 2 端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線 CAL には、低レベル電位を印加するのが好ましい。配線 BGL は、トランジスタ M1 のバックゲートに電位を印加するための配線として機能する。配線 BGL に任意の電位を印加することによって、トランジスタ M1 のしきい値電圧を増減することができる。

【0385】

ここで、図 25 (A) に示すメモリセル 1471 は、図 18 に示す記憶装置に対応している。つまり、トランジスタ M1 はトランジスタ 200 に、容量素子 CA は容量素子 100 に、配線 BIL は配線 1003 に、配線 WOL は配線 1004 に、配線 BGL は配線 1006 に、配線 CAL は配線 1005 に対応している。なお、図 18 に記載のトランジスタ 300 は、図 24 (B) に示す記憶装置 1400 の周辺回路 1411 に設けられるトランジスタに対応する。

【0386】

また、メモリセル MC は、メモリセル 1471 に限定されず、回路構成の変更を行うことができる。例えば、メモリセル MC は、図 25 (B) に示すメモリセル 1472 のように、トランジスタ M1 のバックゲートが、配線 BGL でなく、配線 WOL と接続される構成にしてもよい。また、例えば、メモリセル MC は、図 25 (C) に示すメモリセル 1473 のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタ M1 で構成されたメモリセルとしてもよい。

【0387】

上記実施の形態に示す半導体装置をメモリセル 1471 等に用いる場合、トランジスタ M1 としてトランジスタ 200 を用い、容量素子 CA として容量素子 100 を用いることができる。トランジスタ M1 として O S トランジスタを用いることによって、トランジスタ M1 のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタ M1 によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル 1471、メモリセル 1472、メモリセル 1473 に多値データ、又はアナログデータを保持することができる。

【0388】

また、DOSRAM において、上記のように、メモリセルアレイ 1470 の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

【0389】

[NOSRAM]

図25(D)乃至(H)に、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図25(D)に示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSTランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM (Nonvolatile Oxide Semiconductor RAM) と呼ぶ場合がある。

【0390】

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

【0391】

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

【0392】

ここで、図25(D)に示すメモリセル1474は、図22に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線2003に、配線WOLは配線2004に、配線BGLは配線2006に、配線CALは配線2005に、配線RBLは配線2002に、配線SLは配線2001に対応している。

【0393】

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図25(E)に示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図25(F)に示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図25(G)に示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

【0394】

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSTランジスタを用いることによって、トランジスタM2のリーク電流を非常に低くすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至1477も同様である。

【0395】

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、

nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSTランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

【0396】

また、トランジスタM3はOSTランジスタであってもよい。トランジスタM2、M3にOSTランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0397】

また、図25(H)に3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図25(H)に示すメモリセル1478は、トランジスタM4乃至M6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、RWL、WWL、BGL、およびGNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、WBLに電氣的に接続してもよい。

【0398】

トランジスタM4は、バックゲートを有するOSTランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0399】

なお、トランジスタM5、M6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至M6がOSTランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0400】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、M6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSTランジスタを用いることによって、トランジスタM4のリーク電流を非常に低くすることができる。

【0401】

なお、本実施の形態に示す、周辺回路1411、およびメモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

【0402】

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせる用いることができる。

【0403】

(実施の形態4)

本実施の形態では、図26を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

【0404】

図26(A)に示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一

10

20

30

40

50

または複数のインターフェース 1 2 1 5、一または複数のネットワーク回路 1 2 1 6 等を有する。

【0 4 0 5】

チップ 1 2 0 0 には、バンプ（図示しない）が設けられ、図 2 6（B）に示すように、プリント基板（Printed Circuit Board：PCB）1 2 0 1 の第 1 の面と接続する。また、PCB 1 2 0 1 の第 1 の面の裏面には、複数のバンプ 1 2 0 2 が設けられており、マザーボード 1 2 0 3 と接続する。

【0 4 0 6】

マザーボード 1 2 0 3 には、DRAM 1 2 2 1、フラッシュメモリ 1 2 2 2 等の記憶装置が設けられていてもよい。例えば、DRAM 1 2 2 1 に先の実施の形態に示す DOS RAM を用いることができる。また、例えば、フラッシュメモリ 1 2 2 2 に先の実施の形態に示す NOS RAM を用いることができる。

【0 4 0 7】

CPU 1 2 1 1 は、複数の CPU コアを有することが好ましい。また、GPU 1 2 1 2 は、複数の GPU コアを有することが好ましい。また、CPU 1 2 1 1、および GPU 1 2 1 2 は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU 1 2 1 1、および GPU 1 2 1 2 に共通のメモリが、チップ 1 2 0 0 に設けられていてもよい。該メモリには、前述した NOS RAM や、DOS RAM を用いることができる。また、GPU 1 2 1 2 は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1 2 1 2 に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

【0 4 0 8】

また、CPU 1 2 1 1、および GPU 1 2 1 2 が同一チップに設けられていることで、CPU 1 2 1 1 および GPU 1 2 1 2 間の配線を短くすることができ、CPU 1 2 1 1 から GPU 1 2 1 2 へのデータ転送、CPU 1 2 1 1、および GPU 1 2 1 2 が有するメモリ間のデータ転送、および GPU 1 2 1 2 での演算後に、GPU 1 2 1 2 から CPU 1 2 1 1 への演算結果の転送を高速に行うことができる。

【0 4 0 9】

アナログ演算部 1 2 1 3 は A / D（アナログ / デジタル）変換回路、および D / A（デジタル / アナログ）変換回路の一、または両方を有する。また、アナログ演算部 1 2 1 3 に上記積和演算回路を設けてもよい。

【0 4 1 0】

メモリコントローラ 1 2 1 4 は、DRAM 1 2 2 1 のコントローラとして機能する回路、およびフラッシュメモリ 1 2 2 2 のインターフェースとして機能する回路を有する。

【0 4 1 1】

インターフェース 1 2 1 5 は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

【0 4 1 2】

ネットワーク回路 1 2 1 6 は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

【0 4 1 3】

チップ 1 2 0 0 には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ 1 2 0 0 に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1 2 0 0 を低コストで作製することができる。

【0 4 1 4】

G P U 1 2 1 2 を有するチップ 1 2 0 0 が設けられた P C B 1 2 0 1、D R A M 1 2 2 1、およびフラッシュメモリ 1 2 2 2 が設けられたマザーボード 1 2 0 3 は、G P U モジュール 1 2 0 4 と呼ぶことができる。

【 0 4 1 5 】

G P U モジュール 1 2 0 4 は、S o C 技術を用いたチップ 1 2 0 0 を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップ P C、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、G P U 1 2 1 2 を用いた積和演算回路により、ディープニューラルネットワーク（D N N）、畳み込みニューラルネットワーク（C N N）、再帰型ニューラルネットワーク（R N N）、自己符号化器、深層ボルツマンマシン（D B M）、深層信念ネットワーク（D B N）などの演算を実行することができるため、チップ 1 2 0 0 を A I チップ、または G P U モジュール 1 2 0 4 を A I システムモジュールとして用いることができる。

10

【 0 4 1 6 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 4 1 7 】

（実施の形態 5）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、S D カード）、U S B メモリ、S S D（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図 2 7 にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

20

【 0 4 1 8 】

図 2 7（A）は U S B メモリの模式図である。U S B メモリ 1 1 0 0 は、筐体 1 1 0 1、キャップ 1 1 0 2、U S B コネクタ 1 1 0 3 および基板 1 1 0 4 を有する。基板 1 1 0 4 は、筐体 1 1 0 1 に収納されている。例えば、基板 1 1 0 4 には、メモリチップ 1 1 0 5、コントローラチップ 1 1 0 6 が取り付けられている。基板 1 1 0 4 のメモリチップ 1 1 0 5 などに先の実施の形態に示す半導体装置を組み込むことができる。

30

【 0 4 1 9 】

図 2 7（B）は S D カードの外観の模式図であり、図 2 7（C）は、S D カードの内部構造の模式図である。S D カード 1 1 1 0 は、筐体 1 1 1 1、コネクタ 1 1 1 2 および基板 1 1 1 3 を有する。基板 1 1 1 3 は筐体 1 1 1 1 に収納されている。例えば、基板 1 1 1 3 には、メモリチップ 1 1 1 4、コントローラチップ 1 1 1 5 が取り付けられている。基板 1 1 1 3 の裏面側にもメモリチップ 1 1 1 4 を設けることで、S D カード 1 1 1 0 の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板 1 1 1 3 に設けてもよい。これによって、ホスト装置と S D カード 1 1 1 0 間の無線通信によって、メモリチップ 1 1 1 4 のデータの読み出し、書き込みが可能となる。基板 1 1 1 3 のメモリチップ 1 1 1 4 などに先の実施の形態に示す半導体装置を組み込むことができる。

40

【 0 4 2 0 】

図 2 7（D）は S S D の外観の模式図であり、図 2 7（E）は、S S D の内部構造の模式図である。S S D 1 1 5 0 は、筐体 1 1 5 1、コネクタ 1 1 5 2 および基板 1 1 5 3 を有する。基板 1 1 5 3 は筐体 1 1 5 1 に収納されている。例えば、基板 1 1 5 3 には、メモリチップ 1 1 5 4、メモリチップ 1 1 5 5、コントローラチップ 1 1 5 6 が取り付けら

50

れている。メモリチップ 1155 はコントローラチップ 1156 のワークメモリであり、例えば D O S R A M チップを用いればよい。基板 1153 の裏面側にもメモリチップ 1154 を設けることで、S S D 1150 の容量を増やすことができる。基板 1153 のメモリチップ 1154 などに先の実施の形態に示す半導体装置を組み込むことができる。

【0421】

本実施の形態は、他の実施の形態および実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【0422】

(実施の形態 6)

本発明の一態様に係る半導体装置は、C P U や G P U などのプロセッサ、またはチップに用いることができる。図 28 に、本発明の一態様に係る C P U や G P U などのプロセッサ、またはチップを備えた電子機器の具体例を示す。

【0423】

<電子機器・システム>

本発明の一態様に係る G P U またはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ (D i g i t a l S i g n a g e : 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る G P U またはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

【0424】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0425】

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの) を有していてもよい。

【0426】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図 28 に、電子機器の例を示す。

【0427】

[情報端末]

図 28 (A) には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末 5100 は、筐体 5101 と、表示部 5102 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5102 に備えられ、ボタンが筐体 5101 に備えられている。

【0428】

情報端末 5100 は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5102 に表示するアプリケーション、表示部 5102 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5102 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

【0429】

図28(B)には、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

【0430】

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

10

【0431】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図28(A)、図28(B)に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA(Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0432】

[ゲーム機]

図28(C)は、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体(図示せず)に取り付けることで、表示部5304に出力される映像を、別の映像機器(図示せず)に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

20

【0433】

また、図28(D)は、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

30

【0434】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【0435】

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

【0436】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、ゲーム中のイベントが発生するタイミング、ゲーム上に登場する人物の言動、等をゲームのプログラムに限定されずに変化させて表現することが可能となる。

40

【0437】

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

50

【0438】

図28(C)、図28(D)では、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0439】

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

【0440】

図28(E)は、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図28(F)は、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

【0441】

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

【0442】

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【0443】

図28(E)、図28(F)では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

【0444】

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

【0445】

図28(G)は、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図28(G)では、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

【0446】

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

【0447】

表示パネル5704には、自動車に設けられた撮像装置（図示しない）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、

10

20

30

40

50

安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル５７０４は、照明装置として用いることもできる。

【０４４８】

本発明の一態様のＧＰＵまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル５７０１乃至表示パネル５７０４には、道路案内、危険予測などの情報を表示する構成としてもよい。

【０４４９】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

【０４５０】

〔電化製品〕

図２８（Ｈ）は、電化製品の一例である電気冷凍冷蔵庫５８００を示している。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

【０４５１】

電気冷凍冷蔵庫５８００に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

【０４５２】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【０４５３】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【０４５４】

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】

【０４５５】

２００：トランジスタ、２００ａ：トランジスタ、２００ｂ：トランジスタ、２０５：導電体、２０５ａ：導電体、２０５ｂ：導電体、２０５ｃ：導電体、２１０：絶縁体、２１２：絶縁体、２１４：絶縁体、２１６：絶縁体、２２２：絶縁体、２２４：絶縁体、２３０：酸化物、２３０ａ：酸化物、２３０Ａ：酸化膜、２３０ｂ：酸化物、２３０Ｂ：酸化膜、２３０ｃ：酸化物、２３０ｃ１：酸化物、２３０ｃ２：酸化物、２３０Ｃ：酸化膜、２３４：領域、２４０：導電体、２４０ａ：導電体、２４０ｂ：導電体、２４１：絶縁体、２４５：導電体、２４７：導電体、２４７ａ：導電体、２４７ｂ：導電体、２４７ｃ：導電体、２４８：開口、２４９：領域、２４９ａ：領域、２４９ｂ：領域、２５０：絶縁体、２５０Ａ：絶縁膜、２５２：マスク、２５６：絶縁体、２５６Ａ：絶縁膜、２５７：ドーパント、２５８：絶縁体、２５８Ａ：絶縁膜、２５８Ｂ：絶縁体、２６０：導電体、２６０ａ：導電体、２６０Ａ：導電膜、２６０ｂ：導電体、２６０Ｂ：導電膜、２６２：ダミーゲート、２６２Ａ：ダミーゲート、２７２：絶縁体、２７４：絶縁体、２７６：絶

10

20

30

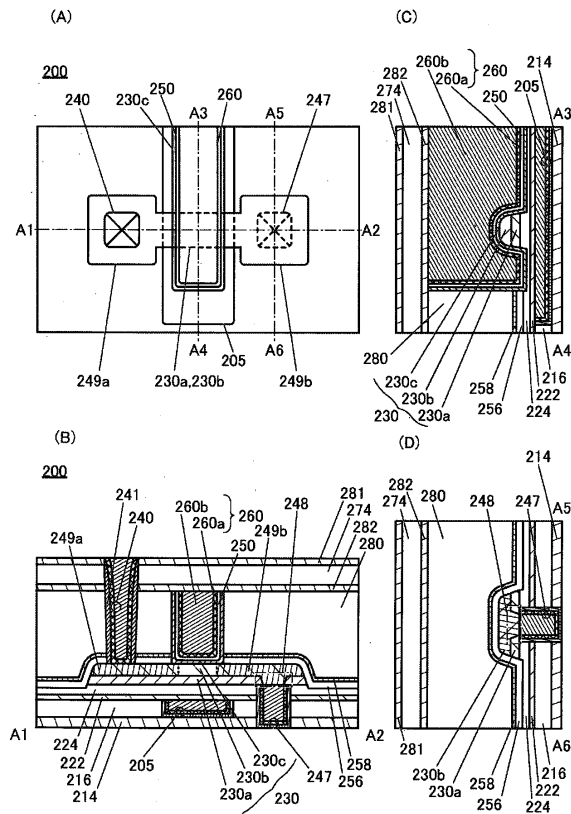
40

50

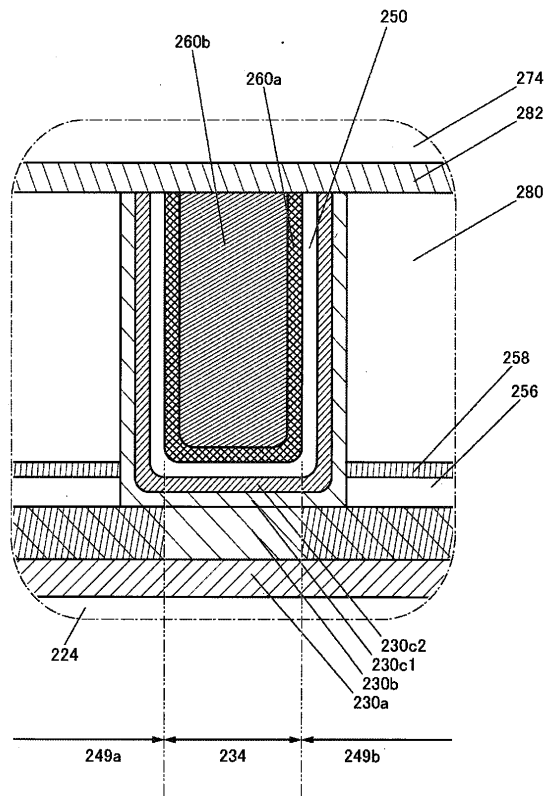
縁体、280：絶縁体、280A：絶縁膜、281：絶縁体、282：絶縁体

【図面】

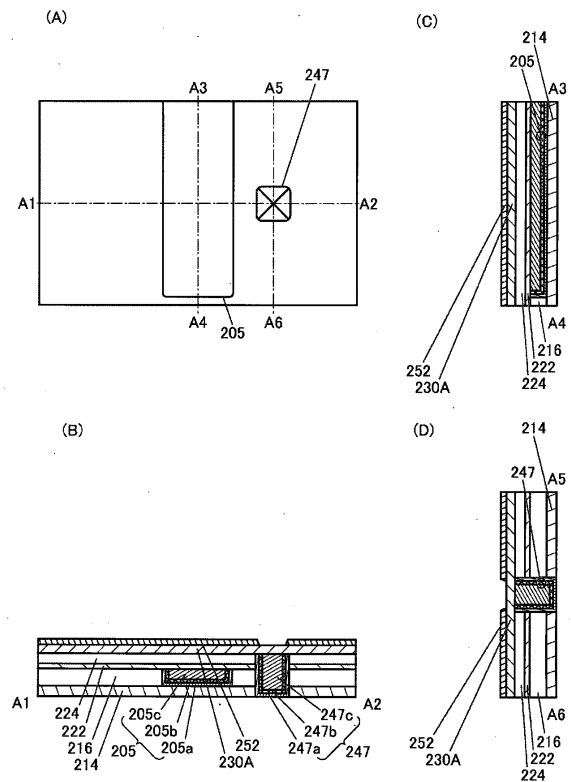
【図 1】



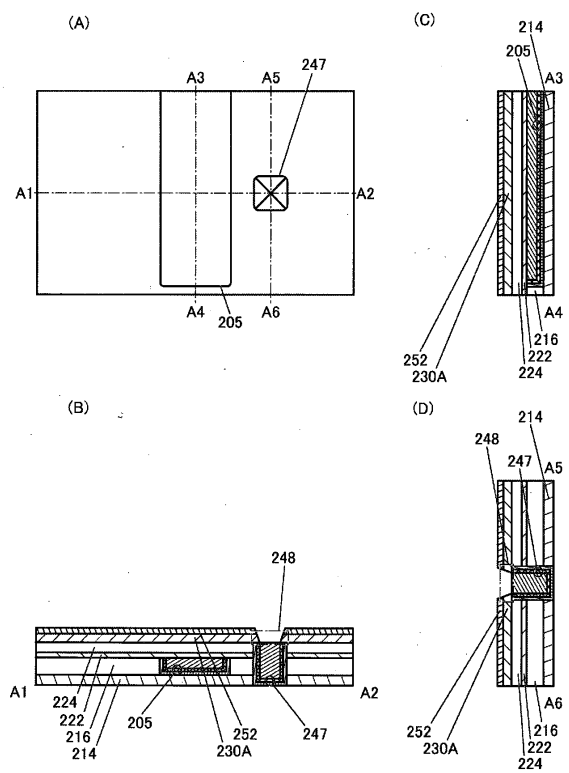
【図 2】



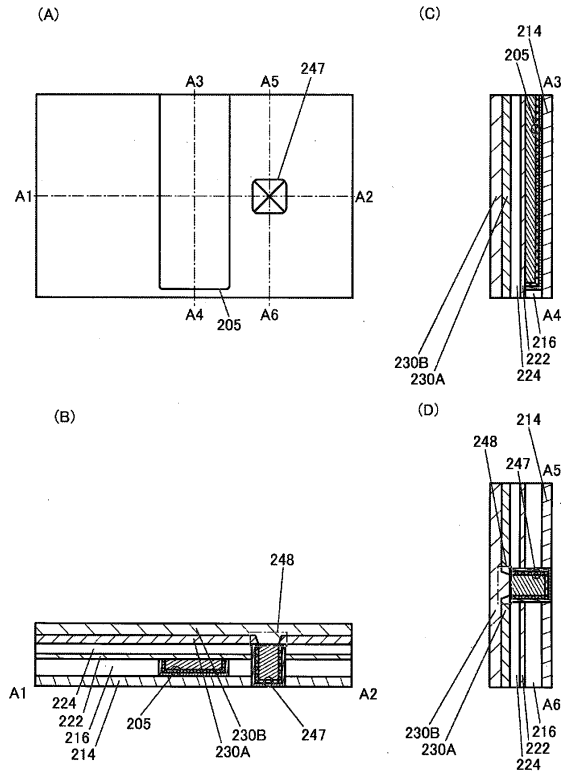
【図 3】



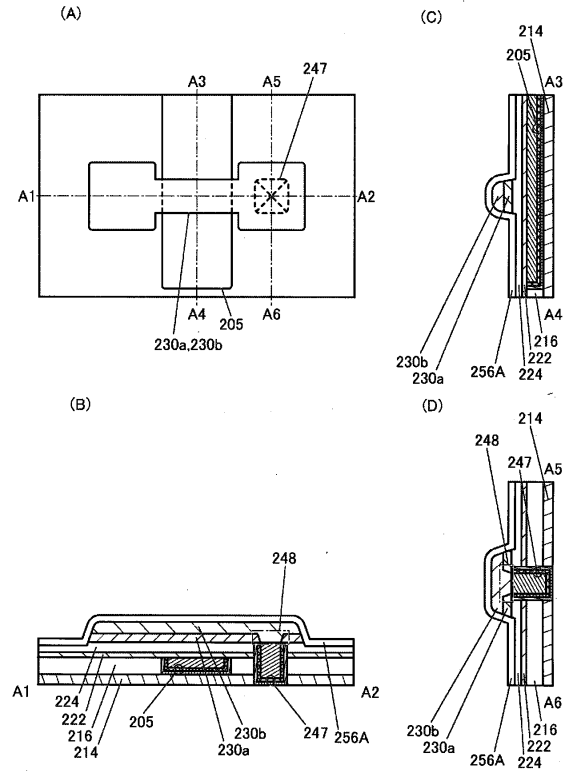
【図 4】



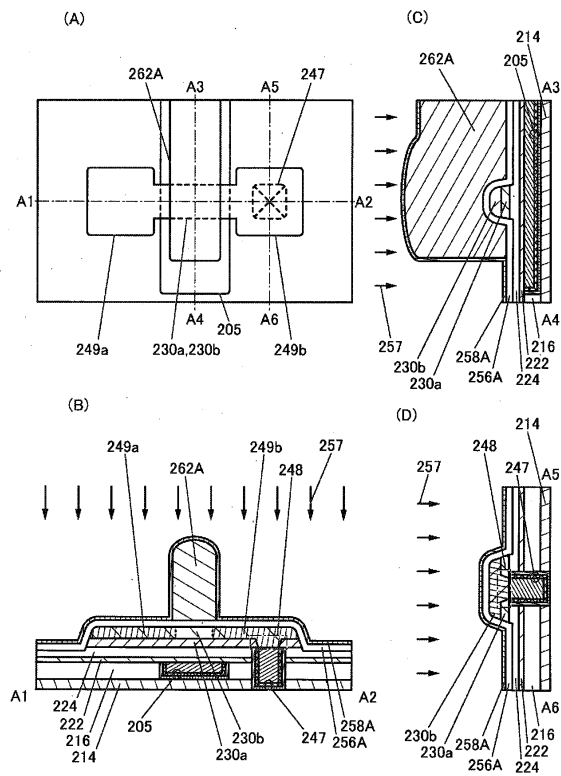
【図 5】



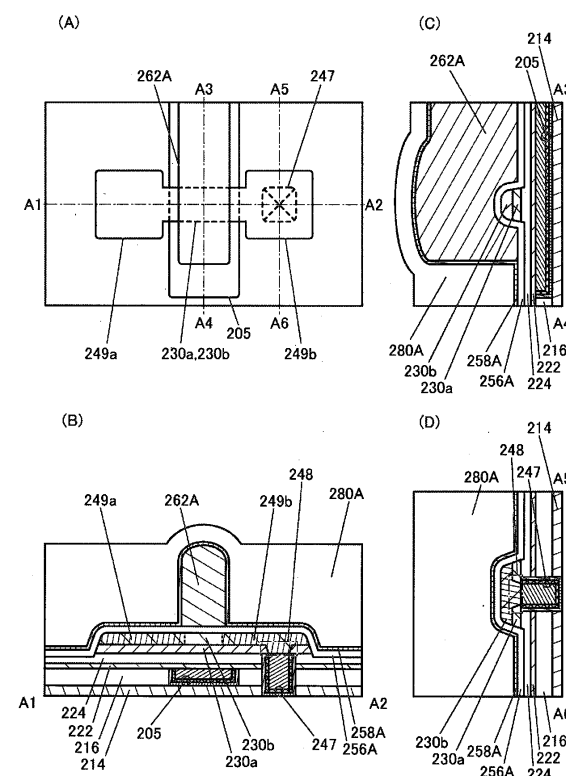
【図 6】



【図 7】



【図 8】



10

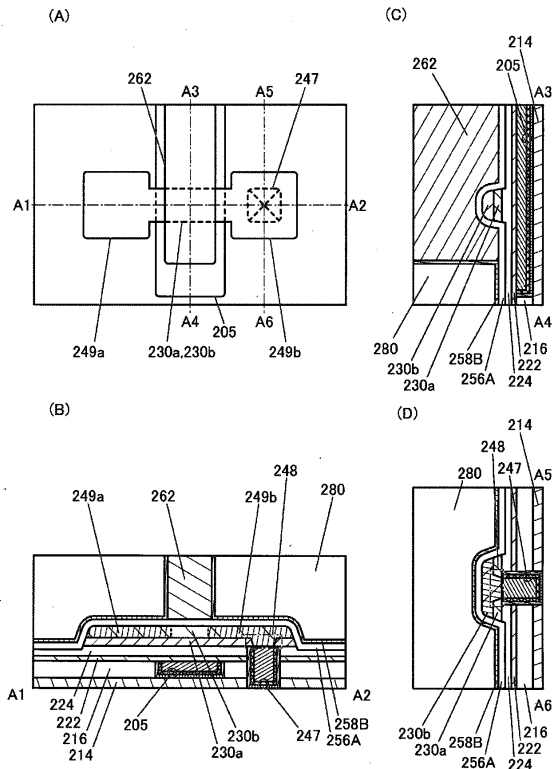
20

30

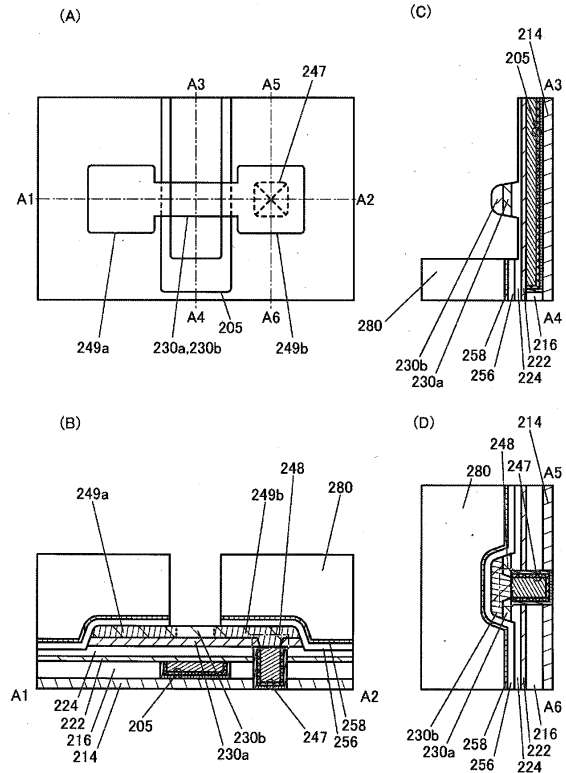
40

50

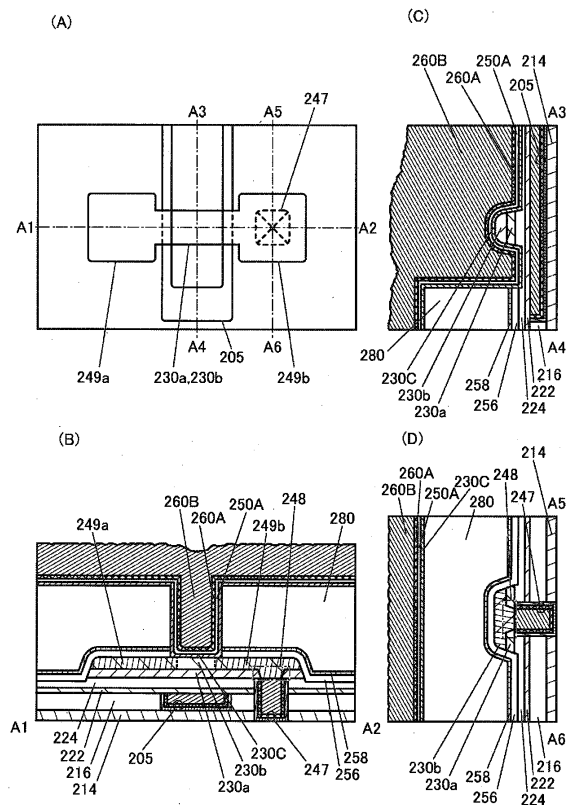
【図 9】



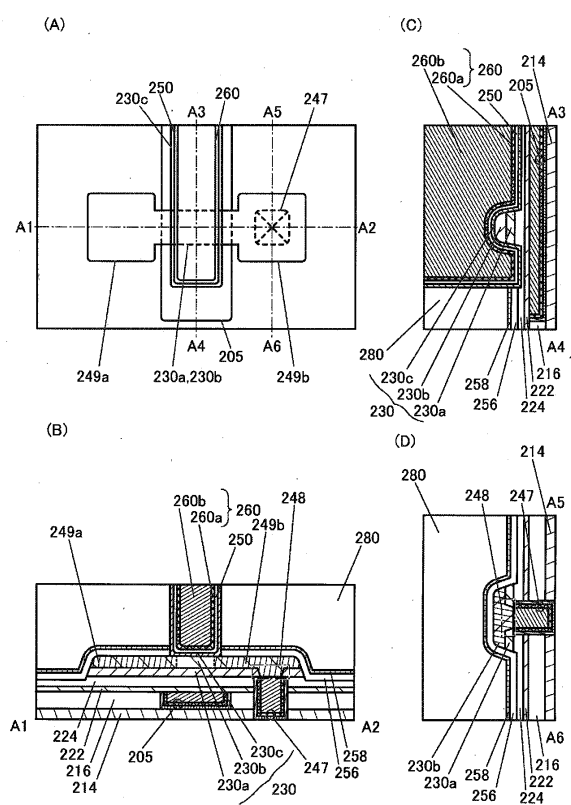
【図 10】



【図 11】



【図 12】



10

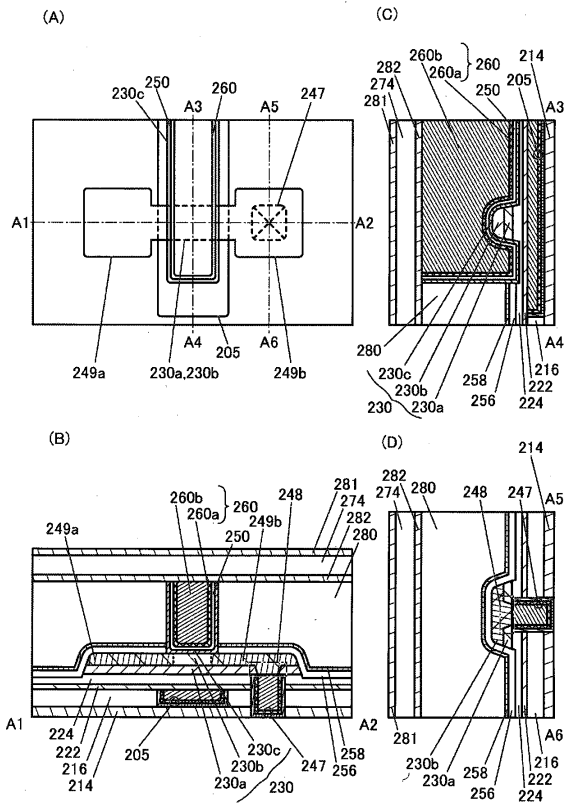
20

30

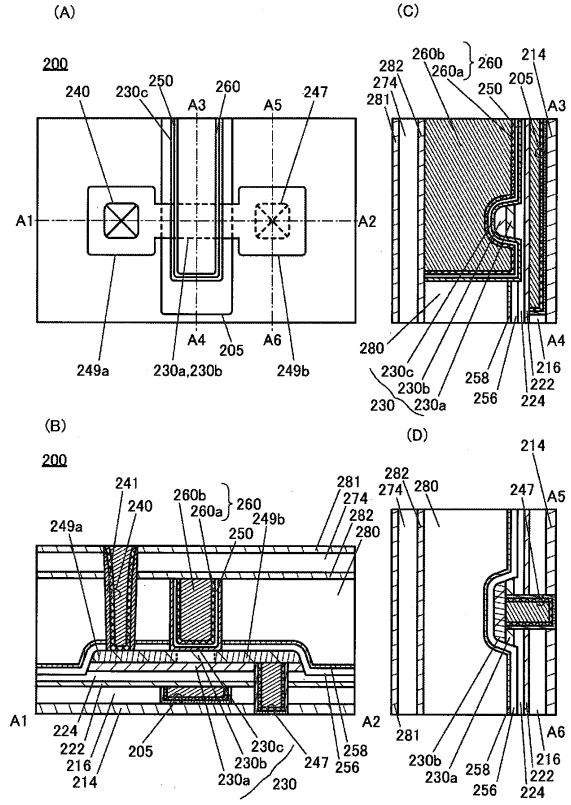
40

50

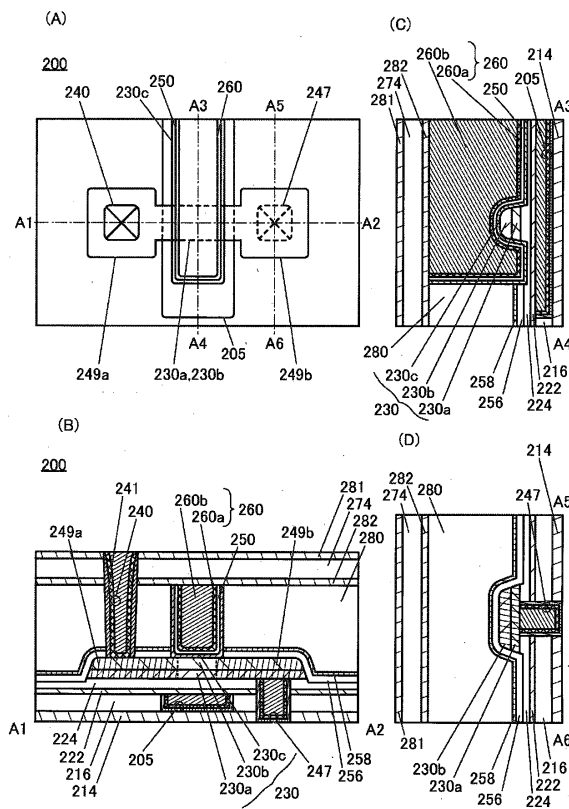
【図 13】



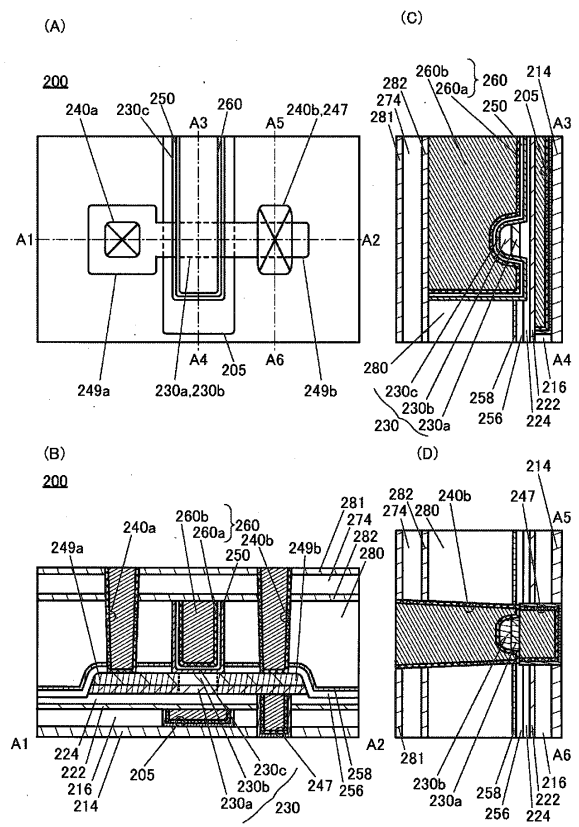
【図 14】



【図 15】



【図 16】



10

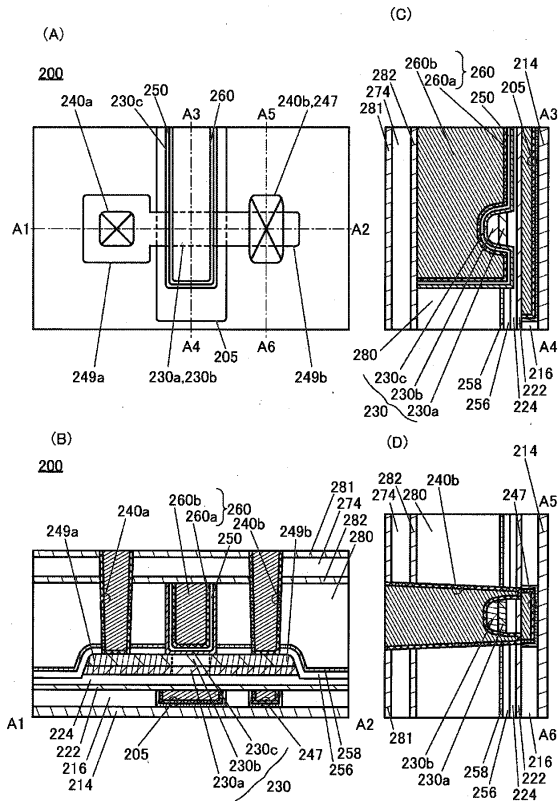
20

30

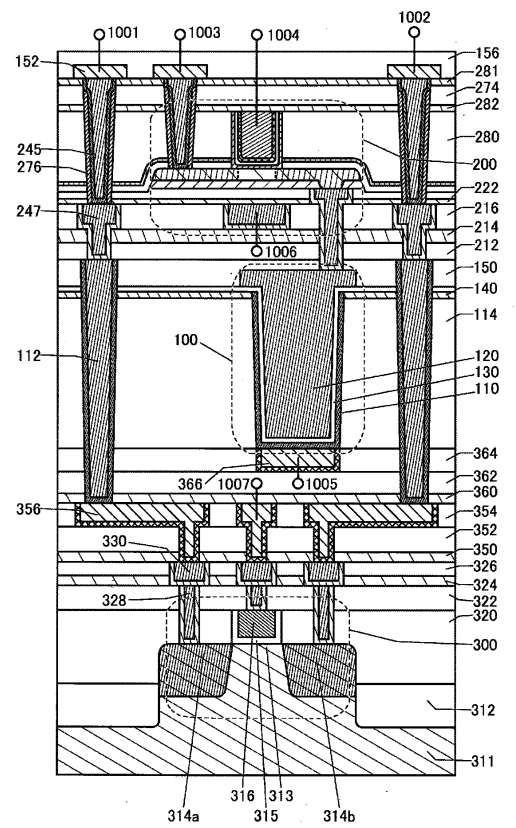
40

50

【図 17】



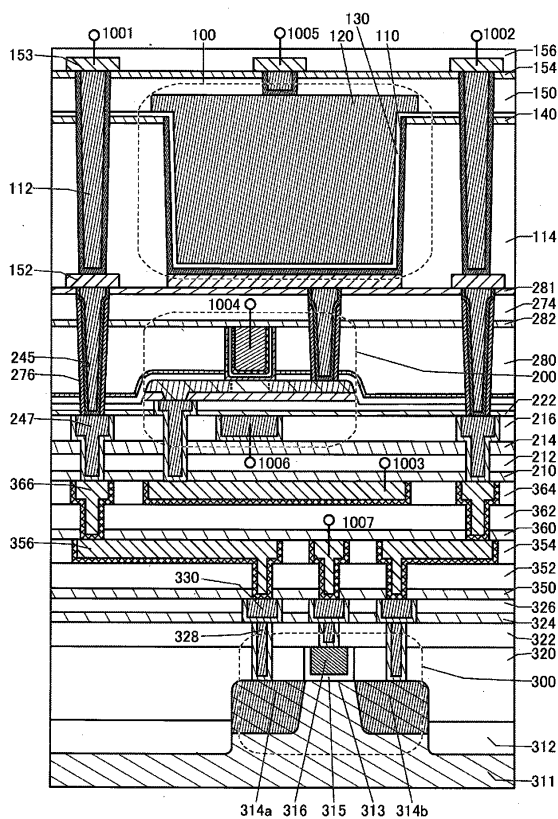
【図 18】



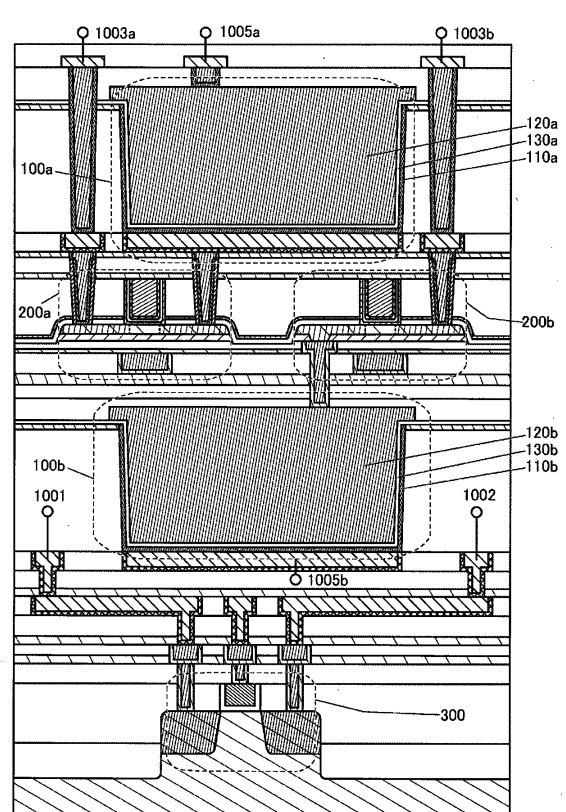
10

20

【図 19】



【図 20】

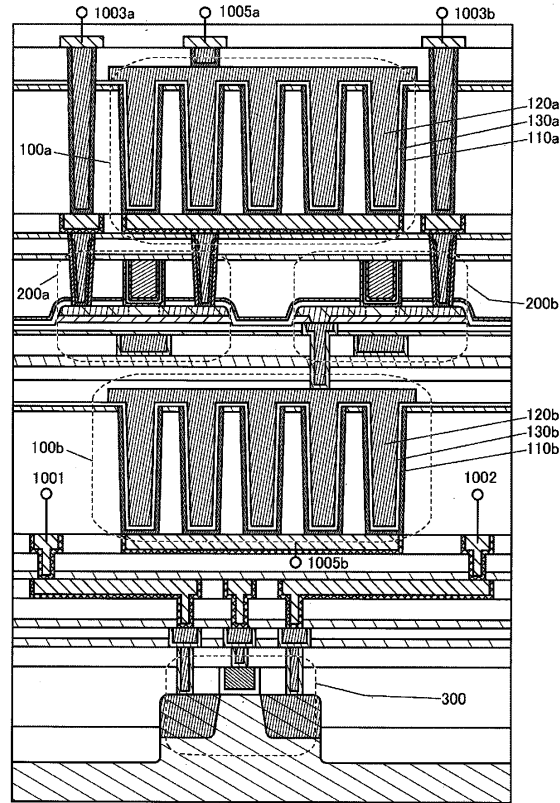


30

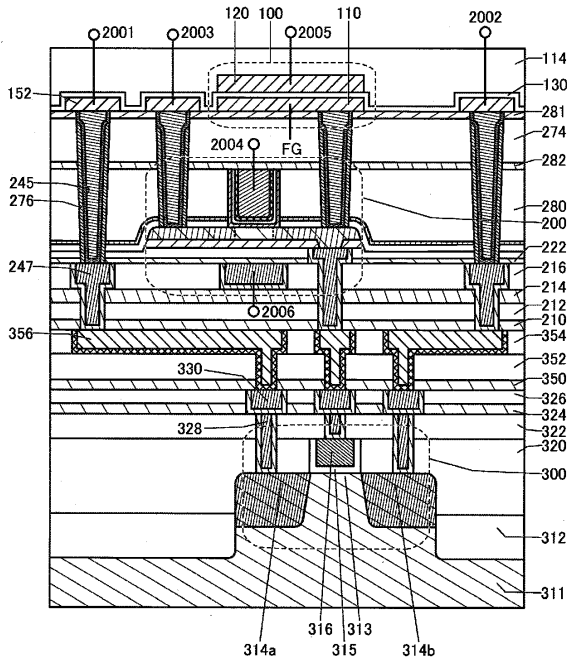
40

50

【図 2 1】



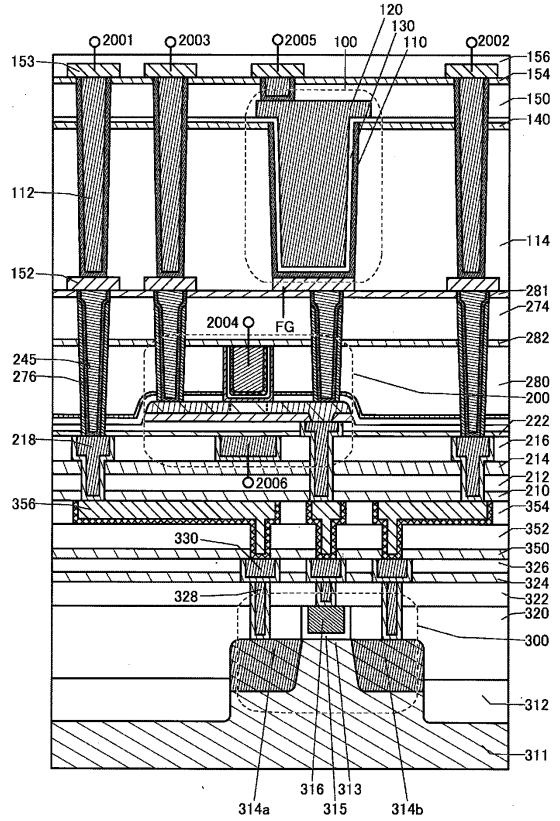
【図 2 2】



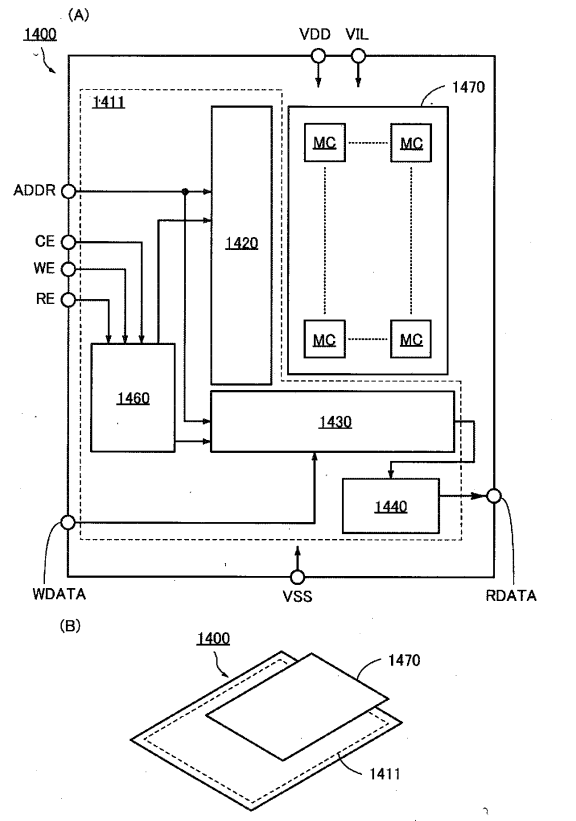
10

20

【図 2 3】



【図 2 4】

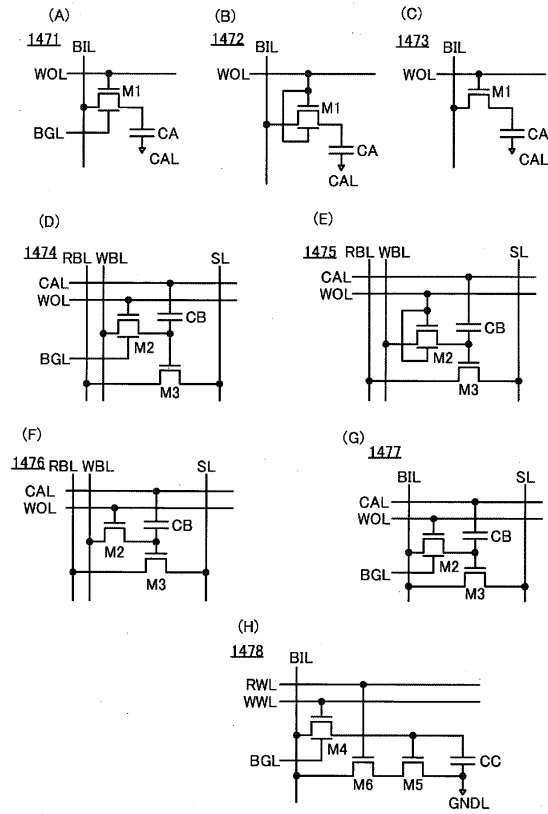


30

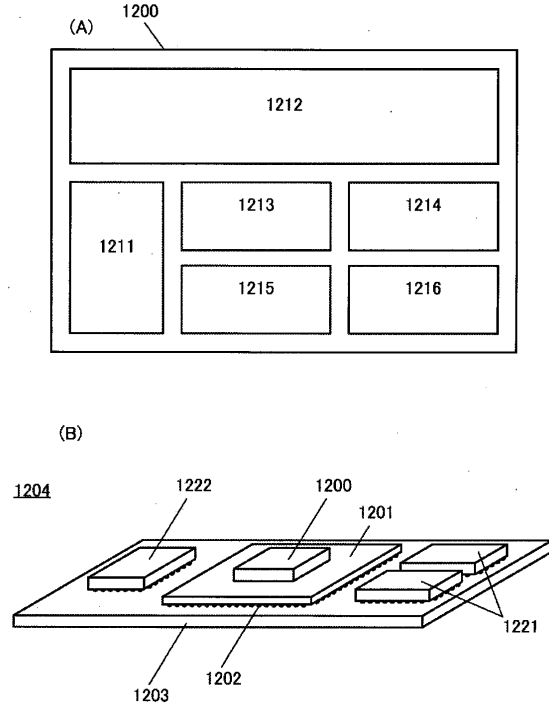
40

50

【図 2 5】



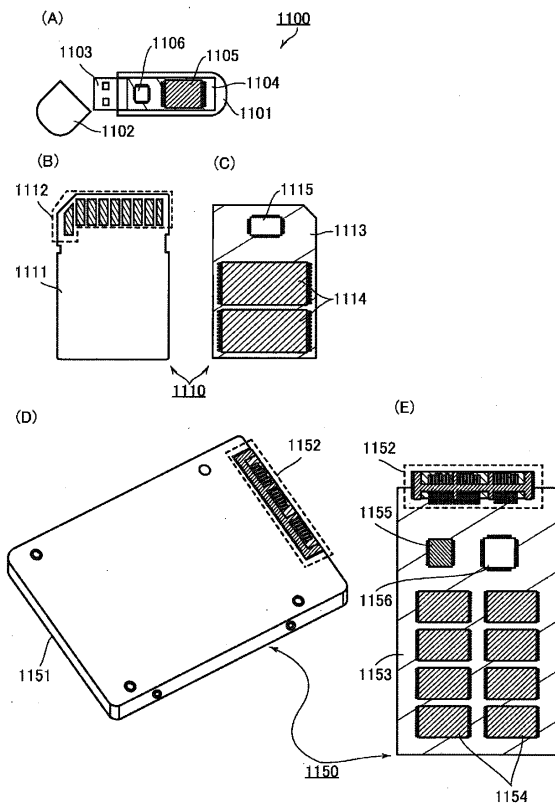
【図 2 6】



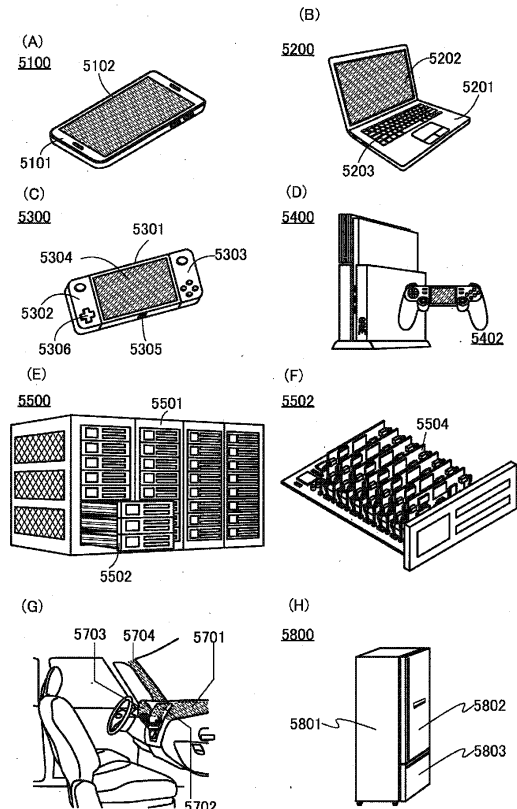
10

20

【図 2 7】



【図 2 8】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/788 (2006.01)

H 0 1 L 27/1156

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/108 6 2 1 Z

H 0 1 L 27/108 6 7 1 C

H 0 1 L 27/108 6 7 1 Z

H 0 1 L 29/78 3 7 1

(72)発明者 山崎 舜平

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 高柳 匡克

(56)参考文献

特開 2 0 1 5 - 1 8 1 1 6 2 (J P, A)

特開 2 0 1 3 - 1 0 2 1 4 9 (J P, A)

特開 2 0 1 7 - 1 1 2 3 7 4 (J P, A)

特開 2 0 1 5 - 1 8 8 0 7 0 (J P, A)

特開 2 0 1 3 - 0 8 0 9 1 5 (J P, A)

特開 2 0 1 6 - 1 4 9 5 5 2 (J P, A)

米国特許出願公開第 2 0 1 6 / 0 3 2 2 3 8 8 (U S, A 1)

国際公開第 2 0 1 6 / 2 0 3 3 4 1 (W O, A 1)

韓国公開特許第 1 0 - 2 0 1 3 - 0 1 3 6 8 8 8 (K R, A)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 7 / 1 1 5 6

H 0 1 L 2 7 / 1 0 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2