

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 10.09.99.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 16.03.01 Bulletin 01/11.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

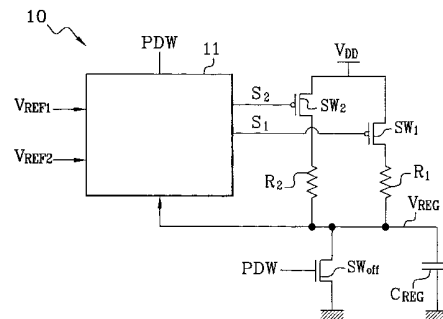
72 Inventeur(s) : GAILHARD BRUNO.

73 Titulaire(s) :

74 Mandataire(s) : MARCHAND ANDRE.

54 REGULATEUR DE TENSION.

57 L'invention concerne un régulateur de tension (10) comprenant un condensateur (C_{REG}) délivrant sur son anode une tension régulée (V_{REG}), un interrupteur de régulation (SW1) pour connecter le condensateur (C_{REG}) à une source de tension (V_{DD}), et des moyens de régulation (11) agencés pour fermer l'interrupteur (SW1) quand la tension régulée (V_{REG}) est inférieure à une première tension de référence (V_{REF1}). Selon l'invention, le régulateur (10) comprend au moins un interrupteur ballast (SW2) en parallèle avec l'interrupteur de régulation (SW1), et des moyens (11) pour ouvrir l'interrupteur de régulation (SW1) et fermer l'interrupteur ballast (SW2) pendant une phase de démarrage du régulateur.



REGULATEUR DE TENSION

La présente invention concerne un régulateur de tension comprenant un condensateur délivrant sur son anode une tension régulée, un interrupteur de régulation pour connecter le condensateur à une source de tension et des moyens de régulation agencés pour fermer l'interrupteur quand la tension régulée est inférieure à une première tension de référence.

Les régulateurs de tension trouvent diverses applications dans le domaine de l'électronique, par exemple pour délivrer une tension régulée servant à alimenter électriquement les ports d'un microprocesseur.

La figure 1 représente un régulateur de tension classique 1, incorporé dans un microprocesseur 2. Le microprocesseur 2 est alimenté par une pile électrique 3 de résistance interne r_i , délivrant une tension V_{DD} . Le régulateur 1 comprend un condensateur externe C_{REG} délivrant sur son anode une tension régulée V_{REG} . L'anode du condensateur C_{REG} est reliée à l'anode de la pile 3 par l'intermédiaire d'un interrupteur de régulation SW_1 présentant une résistance série R_1 nulle ou de faible valeur. L'interrupteur SW_1 est piloté par la sortie d'un circuit suiveur CP recevant sur son entrée positive la tension régulée V_{REG} et sur son entrée négative une tension de référence V_{REF} . La tension V_{REF} est classiquement une tension dite de band-gap présentant une bonne stabilité en fonction de la température, générée au moyen de diodes à jonction PN et de miroirs de courant. Le circuit suiveur CP est contrôlé par un signal PDW (Power-Down) et l'anode du condensateur C_{REG} est reliée à la masse par un interrupteur SW_{OFF} piloté par le signal PDW. Lorsque le signal PDW est égal à 1, le circuit suiveur CP est bloqué et l'interrupteur SW_{OFF} est fermé.

Le régulateur 1 est à l'arrêt et le condensateur C_{REG} est déchargé.

L'inconvénient d'un tel régulateur est de présenter une forte consommation de courant au démarrage. Ainsi, lorsque le signal PDW est mis à 0, le condensateur C_{REG} est déchargé et la tension V_{REG} est nulle. La sortie du circuit suiveur CP passe à 0 et l'interrupteur SW_1 se ferme. L'application de la tension V_{DD} sur le condensateur C_{REG} provoque un fort appel de courant et une chute importante de la tension d'alimentation V_{DD} du microprocesseur 2, en raison de la résistance interne r_i de la pile 3. Si au même instant d'autres éléments du microprocesseur 2 consomment un courant non négligeable, il peut se produire que la tension V_{DD} devienne inférieure à la tension minimale de fonctionnement du microprocesseur 2, de sorte que le microprocesseur 2 se bloque.

La présente invention vise à pallier cet inconvénient.

Plus particulièrement, la présente invention vise à limiter le courant de démarrage d'un régulateur sans augmenter la résistance série de l'interrupteur de régulation.

A cet effet, la présente invention prévoit un régulateur du type décrit ci-dessus, comprenant au moins un interrupteur ballast en parallèle avec l'interrupteur de régulation, et des moyens pour ouvrir l'interrupteur de régulation et fermer l'interrupteur ballast au moins pendant une phase de démarrage du régulateur, jusqu'à ce que le condensateur soit au moins partiellement chargé.

Selon un mode de réalisation, le régulateur comprend des moyens pour ouvrir l'interrupteur de régulation et fermer l'interrupteur ballast quand la tension régulée est inférieure à une deuxième tension de référence inférieure à la première tension de référence.

Selon un mode de réalisation, la deuxième tension de référence est une fraction de la première tension de référence.

5 Selon un mode de réalisation, un signal commun de commande de l'interrupteur de régulation et de l'interrupteur ballast est appliqué à l'interrupteur de régulation par l'intermédiaire d'un interrupteur inhibiteur.

10 Selon un mode de réalisation, l'interrupteur inhibiteur est piloté par un signal délivré par un comparateur recevant en entrée la tension régulée et une deuxième tension de référence inférieure à la première tension de référence.

15 Selon un mode de réalisation, le régulateur comprend un circuit suiveur recevant en entrée la tension régulée et la première tension de référence, le circuit suiveur délivrant un signal de régulation, et un comparateur recevant en entrée la tension régulée et une deuxième tension de référence inférieure à la première
20 tension de référence. Le signal de régulation est appliqué sur l'entrée de commande de l'interrupteur ballast et est appliqué sur l'entrée de commande de l'interrupteur de régulation par l'intermédiaire d'un interrupteur inhibiteur. La sortie du comparateur est
25 appliquée sur l'entrée de commande de l'interrupteur inhibiteur.

Selon un mode de réalisation, l'interrupteur ballast est un transistor MOS comprenant une résistance intrinsèque non négligeable.

30 Selon un mode de réalisation, la source de tension est une pile électrique.

La présente invention concerne également un circuit intégré, notamment un microprocesseur, comprenant un régulateur selon l'invention.

35 Ces objets, caractéristiques et avantages de la présente invention seront exposés plus en détail dans la

description suivante d'un régulateur de tension selon l'invention, en relation avec les figures jointes parmi lesquelles :

- la figure 1 précédemment décrite est le schéma électrique d'un régulateur de tension classique,
- la figure 2 est le schéma de principe d'un régulateur de tension selon l'invention, et
- la figure 3 est le schéma électrique d'un mode de réalisation d'un régulateur de tension selon l'invention.

10 La figure 2 représente un régulateur de tension selon l'invention. Le régulateur 10 comprend de façon classique un condensateur C_{REG} dont l'anode est reliée à une source de tension V_{DD} par un interrupteur de régulation $SW1$, ici un transistor PMOS, comportant une
15 résistance série $R1$ nulle ou de faible valeur. L'anode du condensateur C_{REG} , qui délivre une tension régulée V_{REG} , est reliée à la masse par un interrupteur SW_{OFF} piloté par un signal de remise à zéro PDW (Power-Down).

Selon l'invention, un interrupteur ballast $SW2$ est
20 connecté en parallèle avec l'interrupteur $SW1$. L'interrupteur $SW2$ présente une résistance série $R2$ non négligeable, par exemple de l'ordre de quelques centaines d'ohms. L'interrupteur $SW2$ est ici un transistor PMOS et la résistance $R2$ est la résistance intrinsèque du
25 transistor, c'est-à-dire sa résistance série (R_{ON}) à l'étant passant. La valeur de la résistance $R2$ est ainsi déterminée par le choix du rapport W/L entre la largeur W et la longueur L de la grille du transistor.

Les interrupteurs $SW1$, $SW2$ sont pilotés par un
30 circuit 11, représenté ici sous forme de bloc, contrôlé par le signal PDW. Le circuit 11 reçoit en entrée la tension V_{REG} , une première tension de référence V_{REF1} et une deuxième tension de référence V_{REF2} . La tension V_{REF2} est inférieure à V_{REF1} et est par exemple égale à 0,75
35 V_{REF1} . Le circuit 11 délivre un signal $S1$ de commande de l'interrupteur $SW1$ et un signal $S2$ de commande de

l'interrupteur SW2 (les signaux S1, S2 étant ici appliqués sur les grilles des transistors PMOS).

Lorsque le signal PDW est à 1, le circuit 11 est bloqué et l'interrupteur SW_{OFF} est fermé. Le condensateur C_{REG} est déchargé et la tension V_{REG} est nulle. Lorsque le signal PDW est mis à 0, le circuit 11 démarre et le condensateur C_{REG} se charge. Le fonctionnement du régulateur 10 et du circuit 11 est décrit par le tableau 1 ci-après. Les interrupteurs SW1, SW2 étant ici des transistors PMOS, la valeur active des signaux S1, S2 correspondant à la fermeture des interrupteurs SW1, SW2 (état passant) est la valeur 0 (grille des transistors à la masse). Lorsque les signaux S1, S2 sont à 1 (tension V_{DD}), les interrupteurs sont ouverts (transistors dans l'état bloqué).

Tableau 1

V _{REG}	S1	SW1	S2	SW2
(E1) V _{REG} < V _{REF2}	1	ouvert	0	fermé
(E2) V _{REF2} < V _{REG} < V _{REF1}	0	fermé	0 ou 1	fermé ou ouvert
(E3) V _{REG} > V _{REF1}	1	ouvert	1	ouvert

Ainsi, au démarrage du régulateur 10, le condensateur C_{REG} se charge en deux périodes E1, E2. Pendant la période E1, l'interrupteur ballast SW2 est fermé et l'interrupteur de régulation SW1 est ouvert. La charge du condensateur C_{REG} s'effectue par l'intermédiaire de l'interrupteur ballast SW2 et le courant de démarrage est limité par la résistance R2. Le risque de voir la tension d'alimentation V_{DD} diminuer fortement est ainsi supprimé, notamment lorsque la tension V_{DD} est délivrée

par une pile électrique ou un générateur de tension ayant une résistance interne non négligeable.

La période E2 intervient quand la tension V_{REG} dépasse le seuil V_{REF2} . L'interrupteur SW1 se ferme et le
5 cycle de charge du condensateur C_{REG} se termine rapidement puisque la résistance R1 est nulle ou de faible valeur. Pendant la période E2, l'interrupteur ballast SW2 peut, indifféremment, être maintenu ouvert ou fermé.

Lorsque le condensateur C_{REG} est chargé, le
10 régulateur 10 fonctionne de façon classique, l'interrupteur de régulation SW1 étant fermé (période E2) ou ouvert (période E3) selon que la tension V_{REG} est inférieure ou supérieure à V_{REF1} . La tension V_{REG} est ainsi asservie au voisinage de V_{REF1} avec alternance des
15 périodes E2 et E3. Pendant les périodes de dépassement E3, l'interrupteur ballast SW2 est toujours ouvert.

Un mode de réalisation avantageux du circuit 11 est représenté sur la figure 3. De façon non limitative, le régulateur 10 est représenté incorporé dans un circuit
20 intégré 20, par exemple un microprocesseur, et la tension V_{DD} est délivrée par une pile électrique 21 de résistance interne r_i .

Le circuit 11 comprend un amplificateur opérationnel C1 agencé en circuit suiveur et un
25 comparateur CP2. Le circuit suiveur CP1 et le comparateur CP2 sont contrôlés par le signal PDW. Le circuit suiveur CP1 reçoit sur son entrée négative la tension V_{REF1} et sur son entrée positive la tension régulée V_{REG} . La sortie du circuit suiveur CP1 délivre le signal S2 qui est appliqué
30 sur l'entrée de commande de l'interrupteur SW2. Le comparateur CP2 reçoit sur son entrée positive la tension V_{REF2} et sur son entrée négative la tension V_{REG} . La tension V_{REF2} est obtenue ici par division de la tension V_{REF1} au moyen d'un pont diviseur comprenant deux
35 résistances r_a , r_b . La sortie du comparateur CP2 délivre un signal S3 qui est appliqué sur l'entrée de commande

d'un interrupteur SW3, ici un transistor PMOS, ainsi qu'à l'entrée d'une porte inverseuse INV1. La sortie de la porte INV1 est connectée à l'entrée de commande d'un interrupteur SW4, ici un transistor PMOS. L'entrée de l'interrupteur SW4 (source du transistor) reçoit la tension V_{DD} et l'entrée de l'interrupteur SW3 reçoit le signal S2. Les sorties des interrupteurs SW3 et SW4 (drains) sont connectées ensemble et délivrent le signal S1 qui est appliqué sur l'entrée de commande de l'interrupteur SW1.

Le fonctionnement du circuit 11, décrit par le tableau 2 ci-après, est équivalent au fonctionnement décrit par le tableau 1 ci-dessus. Pendant la première période E1 de charge du condensateur C_{REG} le signal S1 est égal à 0 et le signal S3 égal à 1. L'interrupteur ballast SW2 est fermé, l'interrupteur SW3 ouvert (transistor bloqué) et l'interrupteur SW4 fermé. Le signal S1 est à 1 (tension V_{DD}) et l'interrupteur de régulation SW1 est maintenu ouvert. Pendant la deuxième période de charge E2, le signal S2 reste à 0, le signal S3 passe à 0, l'interrupteur SW3 se ferme et l'interrupteur SW4 s'ouvre. Le signal S1 recopie le signal S2 par l'intermédiaire de l'interrupteur SW3 et l'interrupteur de régulation SW1 se ferme.

25

Tableau 2

V_{REG}	S2	SW2	S3	SW3	SW4	S1	SW1
(E1) $V_{REG} < V_{REF2}$	0	fermé	1	ouvert	fermé	1	ouvert
(E2) $V_{REF2} < V_{REG} < V_{REF1}$	0	fermé	0	fermé	ouvert	0	fermé
(E3) $V_{REG} > V_{REF1}$	1	ouvert	0	fermé	ouvert	1	ouvert

On voit dans le tableau 2 que l'interrupteur SW3 est un interrupteur inhibiteur permettant, pendant la première période de charge E1, de ne pas transmettre à l'interrupteur SW1 le signal de régulation S2, de sorte
5 que l'interrupteur SW1 ne se ferme pas. L'interrupteur SW4 est un élément auxiliaire permettant d'éviter que la grille du transistor interrupteur SW1 soit portée à un potentiel flottant (haute impédance) quand l'interrupteur SW3 est ouvert. Bien entendu, diverses variantes sont
10 envisageables selon le mode de fonctionnement des interrupteurs utilisés, qui peuvent être du type normalement ouvert, du type normalement fermé, ou du type n'acceptant pas un signal indéfini sur l'entrée de commande.

15 Ce mode de réalisation du circuit 11 peut également faire l'objet de diverses variantes en ce qui concerne la commande de l'interrupteur inhibiteur SW3. Par exemple, le signal S3 peut être délivré par une minuterie que l'on active au démarrage du régulateur 10, ou être délivré par
20 le microprocesseur 20 après exécution d'un programme de temporisation. Dans ce cas, l'interrupteur de régulation SW1 reste ouvert jusqu'à ce que le signal S3 soit mis à 0 par la minuterie ou le microprocesseur. En pratique, la durée de la temporisation doit être calculée en fonction
25 de la capacité du condensateur C_{REG} .

Ce mode de réalisation du circuit 11 présente toutefois l'avantage de garantir une mise en service automatique de l'interrupteur de régulation SW1 lorsque le seuil V_{REF2} est atteint, quelle que soit la capacité
30 C_{REG} et sans qu'il soit nécessaire de générer un signal de temporisation au moyen d'une minuterie ou d'un programme. Comme autre avantage, le signal S3 délivré par le comparateur CP2 peut être utilisé par le microprocesseur pour surveiller l'état du régulateur 10. Par exemple, le
35 passage à 1 du signal S1 en cours de fonctionnement est représentatif d'une surcharge du régulateur. Enfin, dans

certaines applications, le signal S3 peut être combiné de façon logique à d'autres signaux émis par le microprocesseur avant d'être appliqué à l'interrupteur inhibiteur SW3, pour que le microprocesseur puisse forcer
5 à l'état ouvert ou fermé l'interrupteur régulateur SW1 si cela s'avère nécessaire.

Enfin, bien que l'on ait indiqué ci-dessus que la résistance R2 est la résistance intrinsèque de l'interrupteur ballast SW2, il va de soi que le terme
10 "interrupteur ballast" peut désigner, dans la description et les revendications, un interrupteur de résistance nulle connecté en série avec une résistance R2, ou un interrupteur de résistance intrinsèque R_{2a} connecté en série avec une résistance complémentaire R_{2b} .

REVENDEICATIONS

1. Régulateur de tension (10) comprenant un condensateur (C_{REG}) délivrant sur son anode une tension régulée (V_{REG}), un interrupteur de régulation (SW1) pour connecter le condensateur (C_{REG}) à une source (21) de tension (V_{DD}), et des moyens de régulation agencés pour fermer l'interrupteur (SW1) quand la tension régulée (V_{REG}) est inférieure à une première tension de référence (V_{REF1}), caractérisé en ce qu'il comprend :

- au moins un interrupteur ballast (SW2) en parallèle avec l'interrupteur de régulation (SW1), et
- des moyens (11, CP1, CP2, SW3, SW4) pour ouvrir l'interrupteur de régulation (SW1) et fermer l'interrupteur ballast (SW2) au moins pendant une phase de démarrage du régulateur, jusqu'à ce que le condensateur (C_{REG}) soit au moins partiellement chargé.

2. Régulateur selon la revendication 1, caractérisé en ce qu'il comprend des moyens (11, CP1, CP2, SW3, SW4) pour ouvrir l'interrupteur de régulation (SW1) et fermer l'interrupteur ballast (SW2) quand la tension régulée (V_{REG}) est inférieure à une deuxième tension de référence (V_{REF2}) inférieure à la première tension de référence (V_{REF1}).

3. Régulateur selon la revendication 2, dans lequel la deuxième tension de référence (V_{REF2}) est une fraction de la première tension de référence (V_{REF1}).

4. Régulateur selon l'une des revendications 1 à 3, dans lequel un signal (S2) commun de commande de l'interrupteur de régulation (SW1) et de l'interrupteur ballast (SW2) est appliqué à l'interrupteur de régulation (SW1) par l'intermédiaire d'un interrupteur inhibiteur (SW3).

5 5. Régulateur selon la revendication 4, dans lequel l'interrupteur inhibiteur (SW3) est piloté par un signal (S3) délivré par un comparateur (CP2) recevant en entrée la tension régulée (V_{REG}) et une deuxième tension de référence (V_{REF2}) inférieure à la première tension de référence (V_{REF1}).

10 6. Régulateur selon l'une des revendications 1 à 5, comprenant un circuit suiveur (CP1) et un comparateur (CP2), dans lequel le circuit suiveur (CP1) reçoit en entrée la tension régulée (V_{REG}) et la première tension de référence (V_{REF1}) et délivre un signal de régulation (S2), le comparateur (CP2) reçoit en entrée la tension régulée (V_{REG}) et une deuxième tension de référence (V_{REF2})
15 inférieure à la première tension de référence (V_{REF1}), le signal de régulation (S2) est appliqué sur l'entrée de commande de l'interrupteur ballast (SW2) et est appliqué sur l'entrée de commande de l'interrupteur de régulation (SW1) par l'intermédiaire d'un interrupteur inhibiteur (SW3), et la sortie du comparateur (CP2) est appliquée
20 sur l'entrée de commande de l'interrupteur inhibiteur (SW3).

25 7. Régulateur selon l'une des revendications 1 à 6, dans lequel l'interrupteur ballast (SW2) est un transistor MOS comprenant une résistance intrinsèque (R2) non négligeable.

30 8. Régulateur selon l'une des revendications 1 à 7, dans lequel la source (21) de tension (V_{DD}) est une pile électrique.

35 9. Circuit intégré (20), comprenant un régulateur selon l'une des revendications 1 à 8.

10. Microprocesseur (20), comprenant un régulateur selon l'une des revendications 1 à 8.

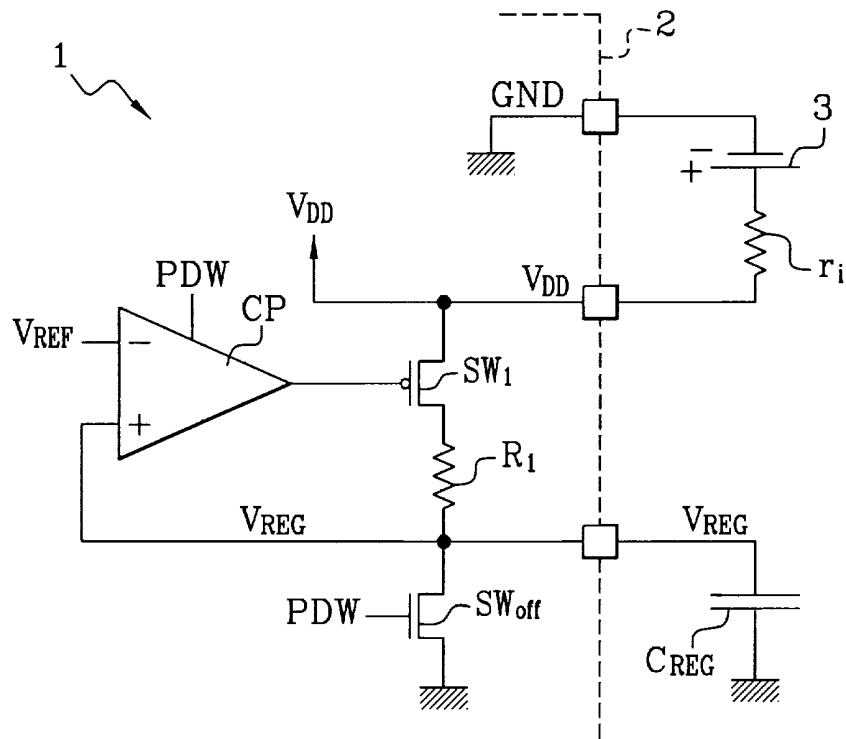
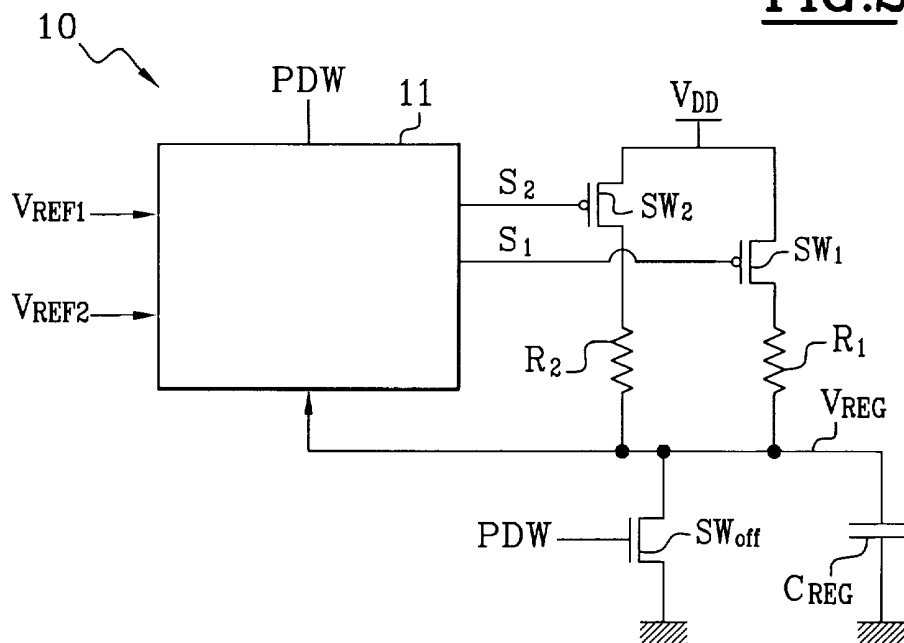
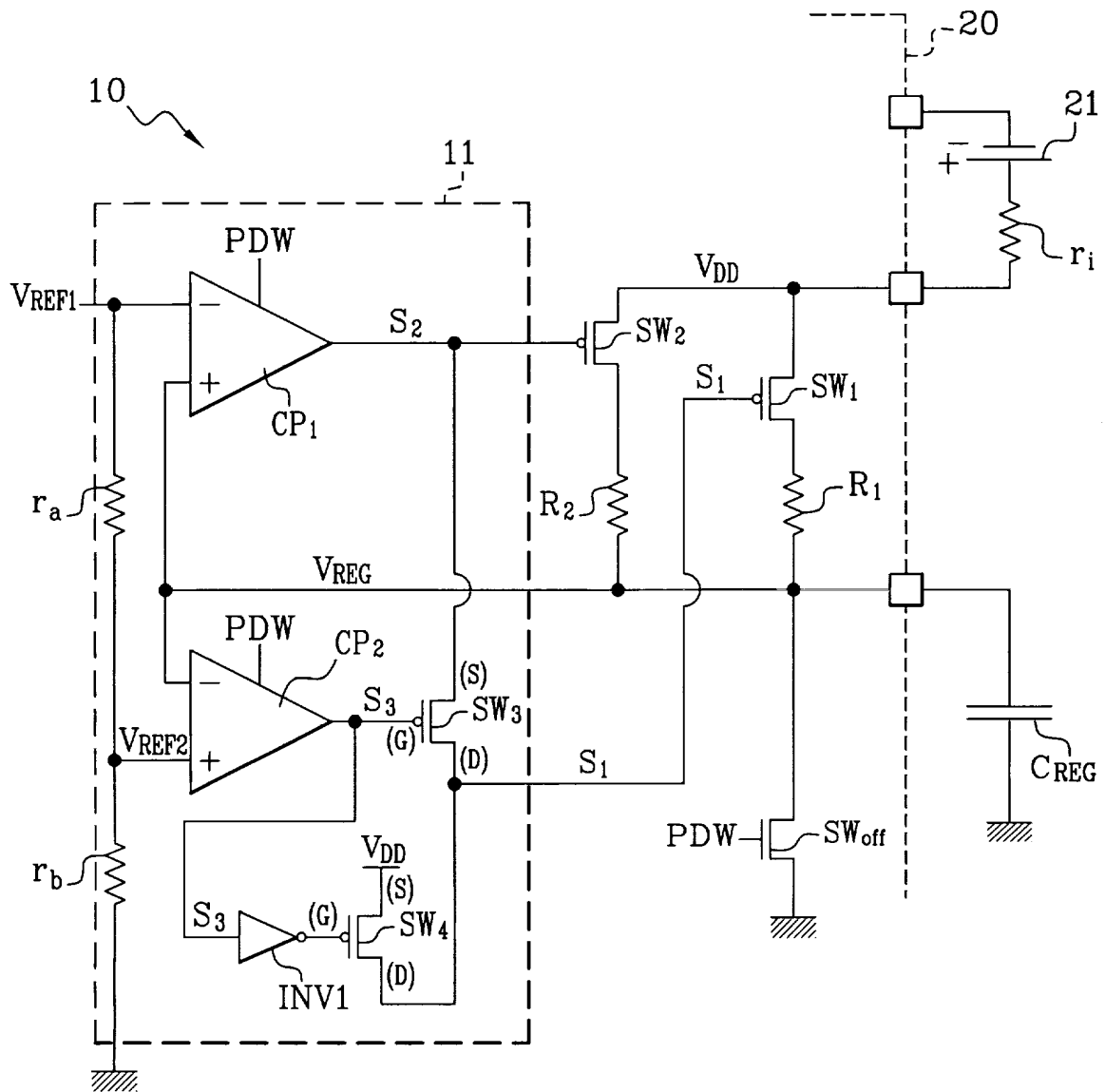
FIG. 1**FIG. 2**

FIG. 3



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

RAPPORT DE RECHERCHE
PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2798480

N° d'enregistrement
national

FA 583106
FR 9911492

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, des parties pertinentes		
A	US 5 861 737 A (PIEPER MARK S ET AL) 19 janvier 1999 (1999-01-19) * le document en entier *	1-10	G05F1/46 H03K17/56
A	KMETZ G L: "SOFT-START REGULATOR STARTS AT OV" EDN ELECTRICAL DESIGN NEWS, US, CAHNERS PUBLISHING CO. NEWTON, MASSACHUSETTS, vol. 41, no. 12, 6 juin 1996 (1996-06-06), page 104, 106 XP000622006 ISSN: 0012-7515 * abrégé *	1-10	
A	EP 0 309 922 A (SIEMENS AG) 5 avril 1989 (1989-04-05) * le document en entier *	1-10	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			G05F
Date d'achèvement de la recherche		Examineur	
5 septembre 2000		Schobert, D	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.98 (P04C14)