

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 19 年 9 月 13 日 (2007.9.13)

【公表番号】特表 2007-505373 (P2007-505373A)

【公表日】平成 19 年 3 月 8 日 (2007.3.8)

【年通号数】公開・登録公報 2007-009

【出願番号】特願 2006-525385 (P2006-525385)

【国際特許分類】

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/38 (2006.01)

【F I】

G 0 6 F 9/30 3 5 0 B

G 0 6 F 9/38 3 1 0 G

【手続補正書】

【提出日】平成 19 年 7 月 30 日 (2007.7.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

オペランドを格納するメモリと、

前記メモリには含まれない少なくとも 1 つの汎用レジスタと、

1 又はそれより多い命令を実行するプロセッサ回路と、を備え、

前記 1 又はそれより多い命令のうちの少なくとも 1 つが、データ・エレメントを前記メモリと前記少なくとも 1 つの汎用レジスタとの間で転送するためのものであり、

前記 1 又はそれより多い命令のうちの 1 つの命令が、

(a) 前記メモリの中の連続したデータ・エレメントの第 1 部分内のデータ・エレメント間の第 1 のオフセットと、

(b) 前記メモリと前記少なくとも 1 つの汎用レジスタとの間で転送されるべきデータ・エレメントの第 1 の数と、

(c) 前記メモリの中のデータ・エレメントの前記第 1 部分と第 2 部分との間の第 2 のオフセットと、を指定し、

第 1 の汎用レジスタ及び第 2 の汎用レジスタを更に備え、

前記 1 又はそれより多い命令のうちの前記 1 つの命令が、前記 1 又はそれより多い命令のうちの 1 つを実行することに応答して、データ・エレメントを前記メモリと前記第 1 の汎用レジスタ及び前記第 2 の汎用レジスタの両方との間で転送し、

前記 1 又はそれより多い命令のうちの前記 1 つの命令が更に、前記メモリと前記第 1 の汎用レジスタ及び第 2 の汎用レジスタの両方との間で転送されるべきデータ・エレメントの合計数を指定する、データ処理システム。

【請求項 2】

多重アドレッシング・モードを用いる方法であって、

オペランドを格納するメモリを設けるステップと、

前記メモリには含まれない少なくとも 1 つの汎用レジスタを設けるステップと、

1 又はそれより多い命令を実行するステップであって、前記 1 又はそれより多い命令のうちの少なくとも 1 つが、データ・エレメントを前記メモリと前記少なくとも 1 つの汎用レジスタとの間で転送する、前記実行するステップと、

前記 1 又はそれより多い命令のうちの前記少なくとも 1 つを用いて、前記メモリの中の連続したデータ・エレメントの第 1 部分内のデータ・エレメント間の第 1 のオフセットを指定するステップと、

前記 1 又はそれより多い命令のうちの前記少なくとも 1 つを用いて、前記メモリと前記少なくとも 1 つの汎用レジスタとの間で転送されるべきデータ・エレメントの第 1 の数を指定するステップと、

前記 1 又はそれより多い命令のうちの前記少なくとも 1 つを用いて、前記メモリの中のデータ・エレメントの前記第 1 部分と第 2 部分との間の第 2 のオフセットを指定するステップと、

第 1 の汎用レジスタ及び第 2 の汎用レジスタを設け、前記 1 又はそれより多い命令のうちの 1 つを実行することに対応して、データ・エレメントを前記メモリと前記第 1 の汎用レジスタ及び前記第 2 の汎用レジスタの両方との間で転送するステップと、

前記 1 又はそれより多い命令のうちの前記 1 つの命令を用いて、前記メモリと前記第 1 の汎用レジスタ及び前記第 2 の汎用レジスタの両方との間で転送されるべきデータ・エレメントの合計数を更に指定するステップとを備える方法。

【請求項 3】

前記 1 又はそれより多い命令のうちの前記 1 つの命令が更に、前記メモリの中のデータ・エレメントのサイズを指定する請求項 1 記載のデータ処理システム。

【請求項 4】

前記 1 又はそれより多い命令のうちの前記 1 つの命令が更に、前記少なくとも 1 つの汎用レジスタの中のデータ・エレメントのサイズを指定することとは別個に且つそのこととは独立して前記メモリの中のデータ・エレメントのサイズを指定する請求項 1 記載のデータ処理システム。

【請求項 5】

前記プロセッサ回路が、転送されるべきデータ・エレメントの合計数を前記メモリの中のデータ・エレメントのサイズに基づいて決定する請求項 1 のデータ処理システム。