

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/06 (2006.01)

H01L 21/82 (2006.01)



[12] 发明专利说明书

专利号 ZL 01133842.3

[45] 授权公告日 2008 年 11 月 5 日

[11] 授权公告号 CN 100431153C

[22] 申请日 2001.12.25 [21] 申请号 01133842.3

[30] 优先权

[32] 2000.12.25 [33] JP [31] 392221/00

[73] 专利权人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 大川重明 大古田敏幸

[56] 参考文献

WO83/00776 1983.3.3

US5798560A 1998.8.25

CN86100558A 1986.10.15

JP6-104459 1994.4.15

审查员 刘天飞

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 梁永

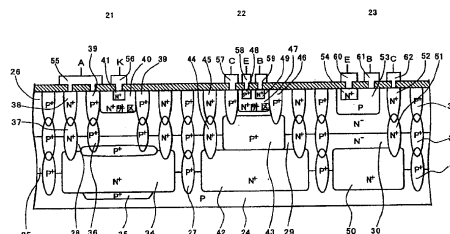
权利要求书 2 页 说明书 11 页 附图 11 页

[54] 发明名称

半导体集成电路装置及其制造方法

[57] 摘要

本发明的目的是在内装适用于输出晶体管保护的消弧二极管的半导体集成电路装置中对使二极管元件截止时的耐压大幅度地提高的二极管元件进行高效率的集成化。在该半导体集成电路装置中,通过使形成正极区域的 P+ 型第 1 埋入层 35 和形成负极区域的 N+ 型扩散区域 41 在深度方向上隔开形成,当在二极管元件 21 上施加了反向偏置电压时,可以在由 PN 结的第 1 和第 2 外延层 25、26 构成的 N 型区域上得到宽幅的过渡层形成区域并由所形成的该过渡层确保耐压,从而能够抑制由击穿电流造成的内部元件损坏。



1. 一种半导体集成电路装置，其特征在于，
在备有：

一导电型的半导体基板；

层叠在该基板上面的反向导电型的第1外延层；

在上述基板和上述第1外延层上形成，并基于上述第1外延层由高浓度杂质扩散层构成的反向导电型的第1埋入层；

与上述反向导电型的第1埋入层重叠，且至少形成于所述反向导电型的第1埋入层上面，并基于上述第1外延层由高浓度杂质扩散层构成的一导电型的第1埋入层；

层叠在所述第1外延层上面的反向导电型的第2外延层；

在所述第1外延层和所述第2外延层形成的与上述一导电型的第1埋入层连接，并基于所述第1外延层由高浓度杂质扩散层构成的一导电型的第2埋入层；

形成于所述第1和第2外延层并与上述反向导电型的第1埋入层连接，并基于所述第1外延层由高浓度杂质扩散层构成的反向导电型的第2埋入层；

在所述第2外延层上形成并与上述一导电型的第2埋入层连接，并基于所述第2外延层由高浓度杂质扩散层构成的一导电型的扩散区；

在所述第2外延层上形成并配置在被上述一导电型的扩散区包围的区域，并基于所述第2外延层由高浓度杂质扩散层构成的反向导电型的第1扩散区；以及

在所述第2外延层上形成并与上述反向导电型的第2埋入层连接，并基于所述第2外延层由高浓度杂质扩散层构成的反向导电型的第2扩散区

的二极管元件中，

所述一导电型的第1埋入层和上述反向导电型的第1扩散区，在深度方向上隔开形成。

2. 根据权利要求1所述的半导体集成电路装置，其特征在于：

在被上述一导电型的扩散区包围的区域，反向导电型的阱区重叠所述反向导电型的第1扩散区和形成区域。

3. 根据权利要求1所述的半导体集成电路装置, 其特征在于:
所述一导电型的扩散区和所述反向导电型的第2扩散区在所述第2外延层上短路。

4. 根据权利要求3所述的半导体集成电路装置, 其特征在于:
所述一导电型的扩散区和所述反向导电型的第2扩散区作为阳极导出区, 所述反向导电型的第1扩散区作为阴极导出区而形成。

5. 一种半导体集成电路装置的制造方法, 其特征在于,

包括以下步骤:

在一导电型的半导体基板上层叠反向导电型的第1外延层;

在上述基板和上述第1外延层上面层叠反向导电型的第1埋入层和形成区域, 至少一个区域形成配置于所述导电型的第1埋入层上面的一导电型的第1埋入层;

在所述第1外延层上面层叠反向导电型的第2外延层, 在所述第1和第2外延层形成与所述一导电型的第1埋入层连接的一导电型的第2埋入层及与所述反向导电型的第1埋入层连接的反向导电型的第2埋入层;

形成与所述一导电型的第2埋入层连接的一导电型的扩散区, 以在所述第2外延层上形成反向导电型的第1扩散区并包围所述反向导电型的第1扩散区;

在所述第2外延层上形成与所述反向导电型的第2埋入区连接的反向导电型的第2扩散区。

6. 根据权利要求5所述的半导体集成电路装置的制造方法, 其特征在于:

所述一导电型的第1埋入层在所述基板上注入反向导电型的杂质, 扩散后在该扩散的区域注入一导电型的杂质并扩散而形成。

7. 根据权利要求6所述的半导体集成电路装置的制造方法, 其特征在于:

所述一导电型的第1埋入层在所述基板上注入硼并扩散而形成, 所述反向导电型的第1埋入层在所述基板上注入锑并通过扩散而形成。

半导体集成电路装置及其制造方法

技术领域

本发明涉及内装适用于输出晶体管保护的消弧二极管的半导体集成电路装置。

背景技术

例如，3相电机驱动器，如图11所示，采用将在直流电源VCC、GND之间串联连接的晶体管(Tr1—Tr2、Tr3—Tr4、Tr5—Tr6)并联连接并将从Tr1—Tr2、Tr3—Tr4及Tr5—Tr6之间引出的输出端子与电机M连接的电路结构。

当这种负载为电感性负载时，随着电机的转动/停止而产生正/反方向的电动势。以往，在集成电路化的串联连接晶体管的集电极和发射极之间连接保护二极管4，并当因上述反向电动势使输出端子低于GND电位或高于VCC电位时，通过二极管4的导通而使上述电动势变为固定电位，从而使包含着串联连接的晶体管的集成电路的内部得到了保护。特别是，当在二极管4上流过几安培的大电流时，作为二极管4，采用单独的部件构成。

这里，从用户方面来看，为了减少设备的部件数，对二极管4也有要将其集成电路化的要求。但是，在将流过几安培大电流的二极管集成电路化时，在集成电路内将因不可避免地发生的寄生晶体管效应而流过寄生电流，因而除流过无功电流外在严重的情况下还存在着导致闭锁效应的危险性。

因此，作为防止寄生电流的结构，例如提出了在特开平6—100459号公报中所述的结构。

参照图12，在P型半导体基板1和N型半导体基板2之间设置N+型埋入层3，并将P+型分离区域4从半导体层2的表面扩散到半导体基板1，使其围绕该埋入层3，从而形成1个岛状区域5。形成P+型埋入层6，使其一部分重叠在上述埋入层3上。围绕着该P+型埋入层6，形成从半导体层2的表面到N+型埋入层3的N+型导出区域7，并在该围绕的区域上形成N+型扩散区域8。另外，在由导出区域7围

绕的区域上, 还围绕着上述扩散区域 8 形成着从半导体层 2 到 P+型埋入层 6 的 P+型导出区域 9。进一步, 在上述扩散区域 8 内设置负电极 10, 在 P+型导出区域 9 内设置正电极 11, 并将该电极与 N+型导出区域 7 电气连接。

就是说, 将 P+型导出区域 9 和 P+型埋入层 6 作为正极区域并将 N+型扩散区域 8 和由导出区域 9 围绕的 N 型半导体区域作为负极区域, 从而构成二极管。

在这种二极管元件中, 虽然将会产生以 N+型埋入层 3 为基极、以 P+型埋入层 6 为发射极、以 P 型半导体基板 1 和 P+型分离区域 4 为集电极的 PNP 型寄生晶体管 TR2, 但由于通过正电极的连接而使寄生 PNP 晶体管 TR2 的基极和发射极之间为等电位, 所以能够防止寄生 PNP 晶体管 TR2 的导通动作。

在如上所述的现有的半导体集成电路装置中, 如图 11 所示, 当负载为电感性负载时, 随着电机的转动/停止而产生正/反方向的电动势, 所以在集成电路化的串联连接晶体管的集电极和发射极之间连接保护二极管 4, 并当因上述反向电动势使输出端子低于 GND 电位或高于 VCC 电位时, 通过二极管 4 的导通而使上述电动势变为固定电位, 从而使包含着串联连接的晶体管的集成电路的内部得到了保护。特别是, 当在二极管 4 上流过几安培的大电流时, 作为二极管 4, 采用单独的部件构成。

另外, 根据为减少设备的部件数而想使二极管 4 也集成电路化的要求, 对流过几安培大电流的二极管进行了集成化, 但在集成电路内将因不可避免地发生的寄生晶体管效应而流过寄生电流, 因而存在着流过无功电流等问题, 所以采用了如图 12 所示的将二极管包含在集成电路内部的结构。

但是, 如上所述, 虽然可以将二极管包含在集成电路内部, 但在图 12 所示的结构中, 当二极管 4 截止时, 即当负电极 10 的电压变为高于正电极 11 时, 必需具有用于防止由寄生晶体管 TR1 的 PN 结合面的击穿电流造成的半导体元件的损坏的耐压。因此, 在现有的结构存在着作为寄生晶体管 TR1 的基极区域的 P+型埋入层 6 的宽度狭窄、很难抑制电流放大系数 h_{fe} 因而不能确保寄生晶体管 TR1 的耐压的问题。

发明内容

本发明，是鉴于上述的现有的课题而开发的，本发明的半导体集成电路装置的特征在于：二极管元件，具有一种导电型半导体基板、层叠在该基板表面上的反向导电型第1外延层、与在上述基板和上述第1外延层之间形成的由高浓度杂质扩散层构成的反向导电型第1埋入层重叠形成的由高浓度杂质扩散层构成的一种导电型第1埋入层、层叠在上述第1外延层表面上的反向导电型第2外延层、在上述第1外延层和上述第2外延层之间形成的由高浓度杂质扩散层构成的一种导电型第2埋入层及由高浓度杂质扩散层构成的反向导电型第2埋入层、从上述第2外延层表面扩散到上述一种导电型第2埋入层而形成的由高浓度杂质扩散层构成的一种导电型扩散区域、从上述第2外延层表面扩散到上述反向导电型第2埋入层而形成的由高浓度杂质扩散层构成的反向导电型第1扩散区域、由上述一种导电型第2埋入层和上述一种导电型扩散区域夹在中间的在上述第2外延层上形成的反向导电型阱区、在上述阱区上重叠形成的由高浓度杂质扩散层构成的反向导电型第2扩散区域，在上述二极管元件中，上述一种导电型第1埋入层和上述反向导电型第2扩散区域，在深度方向上隔开形成。

本发明的半导体集成电路装置，最好是将上述二极管元件的上述一种导电型第1埋入层与上述反向导电型第1埋入层重叠形成并通过上述一种导电型第2埋入层将上述一种导电型第1埋入层与上述一种导电型扩散区域连结。另外，具有将上述一种导电型第1埋入层和上述反向导电型第2扩散区域在深度方向上隔开形成的结构。按照这种结构，当上述二极管元件为截止状态时，在上述二极管元件内的将上述一种导电型第1埋入层与上述第1外延层作为结合面的PN结上，在N型区域内可以形成宽幅的过渡层形成区域并由上述过渡层确保耐压，从而可以得到能够适应反向偏置状态并可以抑制由击穿电流造成的内部元件损坏的半导体集成电路装置。

本发明的半导体集成电路装置的特征在于；最好是与上述二极管元件的上述反向导电型的负极导出区域重叠地形成上述反向导电型阱区。按照这种结构，当上述二极管元件为导通状态时，由于PN结的N型区域的电阻值减小而使正向电压(V_{BEF})降低，从而可以得到

使正向的电流 (I_f) 容量大幅度提高的半导体集成电路装置。

为解决上述课题, 本发明的半导体集成电路装置的制造方法的特征在于, 包括: 准备一种导电型半导体基板的工序; 通过在该基板上扩散杂质而分别在二极管元件、一种导电式纵型晶体管及反向导电式纵型晶体管的形成区域内形成反向导电型埋入层的工序; 通过在上述基板上扩散杂质而在上述二极管元件形成区域内与上述反向导电型埋入层重叠地形成一种导电型第 1 埋入层的工序; 在上述基板上层叠反向导电型第 1 外延层的工序; 通过在上述第 1 外延层上扩散杂质而分别在上述二极管元件及上述一种导电式纵型晶体管的形成区域内形成一种导电型第 2 埋入层的工序; 在上述第 1 外延层上层叠反向导电型第 2 外延层的工序; 通过在上述第 2 外延层上扩散杂质而在上述二极管元件形成区域内形成一种导电型扩散区域并通过上述一种导电型第 2 埋入层与上述一种导电型第 1 埋入层连结的工序; 通过在上述第 2 外延层上扩散杂质而在上述二极管元件及上述一种导电式纵型晶体管的形成区域内同时形成反向导电型阱区的工序; 在上述二极管元件形成区域的上述阱区内形成反向导电型扩散区域的工序。

本发明的半导体集成电路装置的制造方法的特征在于: 形成上述一种导电型第 2 埋入层的工序, 最好是在将上述一种导电型第 1 埋入层与上述一种导电型扩散区域连结的工序中使上述反向导电型第 1 埋入层与上述反向导电型扩散区域在深度方向上相隔很宽的距离从而可以使过渡层形成区域增大的工序。

附图的简单说明

图 1 是说明本发明的半导体集成电路装置的断面图。

图 2(A) 和图 2(B) 是用于说明图 1 所示本发明的半导体集成电路装置的二极管元件的放大断面图和等效电路图。

图 3 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 4 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 5 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 6 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 7 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 8 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 9 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 10 是说明本发明的半导体集成电路装置的制造方法的断面图。

图 11 是说明现有的半导体集成电路装置的断面图。

图 12 是用于说明现有的半导体集成电路装置的二极管元件的断面图。

发明的具体实施形态

以下，边参照附图边详细说明本发明的实施形态。

图 1 是组装有二极管元件 21、纵型 PNP 晶体管 22 及 NPN 晶体管 23 的半导体集成电路装置的断面图。

在 P 型单晶硅基板 24 上，形成着厚 $2\sim 10\mu\text{m}$ 的第 1 外延层 25 及厚 $8\sim 10\mu\text{m}$ 的第 2 外延层 26，使 2 层的合计膜厚为 $8\sim 16\mu\text{m}$ 左右。另外，基板 24 及第 1 和第 2 外延层 25、26，由贯通三者的 P+ 型分离区域 27 以电气隔离的方式形成着用于形成二极管元件 21 的第 1 岛状区域 28、形成纵型 PNP 晶体管 22 的第 2 岛状区域 29 及形成 NPN 晶体管 23 的第 3 岛状区域 30。

该分离区域 27，由从基板 24 的表面向上下方向扩散的第 1 分离区域 31、从第 1 和第 2 外延层 25、26 的边界向上下方向扩散的第 2 分离区域 32、从第 2 外延层 26 的表面形成的第 3 分离区域 33 构成，并通过将三者连结而将第 1 和第 2 外延层 25、26 按岛状分离。

在第 1 岛状区域 28 上形成的二极管元件 21 内，在基板 24 和第 1 外延层 25 之间重叠地形成着 N+ 型第 1 埋入层 34 及 P+ 型第 1 埋入层 35，在第 1 和第 2 外延层 25、26 的边界部分上形成 P+ 型第 2 埋入层 36，并将从第 2 外延层 26 的表面到 P+ 型第 2 埋入层 36 的 P+ 型扩散

区域 39 形成正极导出区域。另外，将夹在该 P+型区域 36、39 之间的 N-型第 1 和第 2 外延层 25、26 形成负极区域，从而构成 PN 结二极管。这时，也可以在第 2 外延层 26 上形成 N+型扩散区域 38 作为正极区域并将 N+型扩散区域 38 与 P+型扩散区域 39 短路而作为正极导出区域。以 NPN 晶体管而言，这可以说是将基极、集电极之间短路而形成的二极管。

按照上述本实施形态的半导体集成电路装置，在基板 24 和第 1 外延层 25 之间重叠地形成着 N+型第 1 埋入层 34 及 P+型第 1 埋入层 35，例如，N+型第 1 埋入层 34 使用锑 (Sb) 形成，而 P+型第 1 埋入层 35 使用硼 (B) 形成。因此，根据杂质的扩散速度及杂质的使用浓度的不同，如图 1 所示，具有在 N+型第 1 埋入层 34 的上下形成 P+型第 1 埋入层 35 的结构。另外，在第 1 外延层 25 和第 2 外延层 26 之间形成的 P+型第 2 埋入层 36，与 P+型第 1 埋入层 35 及 P+型扩散区域 39 连结。按照这种结构，即可形成将 P+型第 1 埋入层 35 作为正极区域、并将第 1 和第 2 外延层 25、26 作为负极区域的 PN 结二极管。

这里，在形成负极区域的第 2 外延层 26 上形成 N+型扩散区域 41 作为负极导出区域，但如上所述，应具有使 N+型扩散区域 41 与 P+型第 1 埋入层 35 在深度方向上隔开形成的结构。

因此，由于具有上述结构，所以当二极管元件 21 为截止状态时、即当在由 P+型第 1 埋入层 35 和 N-型第 1 外延层 25 形成的 PN 结合面上施加了反向偏置电压时，在由第 1 和第 2 外延层 25、26 构成的 N 型区域上可以得到宽幅的过渡层形成区域并由所形成的该过渡层确保耐压，从而可以得到能够抑制由击穿电流造成的内部元件损坏的半导体集成电路装置。

进一步，按照上述本实施形态的半导体集成电路装置，在二极管元件导通时，在作为负极区域形成的夹在 P+型区域 36、39 之间的 N-型第 2 外延层 26 上，形成着 N+型阱区 40。通过利用该 N+型阱区 40 使 PN 结的 N 型区域的电阻值减小而使正向电压 (V_{BEF}) 降低，可以大幅度地提高正向的电流 (I_f) 容量。

另外，第 2 外延层 26 的表面，由氧化硅膜覆盖，并通过在氧化膜上形成的接触孔设置各种铝电极。在基板 24 上施加着用于使结隔

离的接地电位 GND。

这里，图 2 (A) 是表示二极管元件 21 的放大断面图的图，图 2 (B) 是表示寄生晶体管的等效电路图。以下，说明二极管 21 为导通状态下的影响着对基板 24 的漏电流的寄生晶体管的动作。

寄生 NPN 晶体管 TR1，构成为以 N+型第 1 埋入层 34 为集电极、以 P+型埋入层 35 为基极并以第 1 和第 2 外延层 25、26 为发射极。另一方面，寄生 PNP 晶体管 TR2，构成为以 P+型基板 24 为集电极、以 N+型第 1 埋入层 34 为基极、以 P+型埋入层 35 为发射极。

参照图 2 (B)，寄生 NPN 晶体管 TR1 的基极和集电极通过正电极 55 短路，同样也将寄生 PNP 晶体管 TR2 的基极和发射极之间短路。这时，在寄生 NPN 晶体管 TR1 的基极和集电极之间，连接 P+型扩散区域 39 和 P+型第 2 埋入层 36 具有的电阻分量 R1，在寄生 PNP 晶体管 TR2 的基极和发射极之间，连接 N+型扩散区域 38、N+型第 2 埋入层 37 及 N+型第 1 埋入层 34 具有的电阻分量 R2。在本发明的二极管元件 21 的结构中，在寄生 NPN 晶体管 TR1 的电阻分量 R1 的情况下，通过 P+型扩散区域 39、P+型第 2 埋入层 36 及 P+型第 1 埋入层 35 的连结而构成的电阻分量 R1，具有极小的值。而在寄生 NPN 晶体管 TR2 的电阻分量 R2 的情况下，通过 N+型扩散区域 38、N+型第 2 埋入层 37 及 N+型第 1 埋入层 34 的连结而构成的电阻分量 R2，具有极小的值。

本发明，可以通过形成 N+型阱区 40 而使负极区域的电阻值减小，所以能够提高正向电流 I_f 的容量。

另一方面，由于可以使在寄生 PNP 晶体管 TR2 的基极和发射极之间连接的电阻分量 R2 具有很小的值，所以可以使寄生 PNP 晶体管 TR2 的基极电位 (N+型第 1 埋入层 34 的电位) 保持高于发射极电位 (P+型埋入层 35、36 的电位)。因此，可以阻止寄生 PNP 晶体管 TR2 的导通动作，从而可以使对基板 24 的漏电流保持很小的值。

其结果是，在上述寄生 PNP 晶体管 TR2 中，例如，在现有的结构中流过 1 安培的电流时对基板 24 的漏电流为 100 毫安，与此不同，在本发明的结构 (电阻分量 R2 的电阻值为 8Ω 时) 中可以降低到 20 毫安。

在第 2 岛状区域 29 上形成的纵型 PNP 晶体管 22 内，基本上具有

与二极管 21 相同的结构。具体地说, 在第 1 和第 2 外延层 25、26 的边界部分上形成 P+型埋入层 43, 作为集电极区域, 并将从第 2 外延层 26 的表面到 P+型埋入层 43 的 P+型扩散区域 46 形成集电极导出区域。另外, 在由这些 P+型区域围绕的 N-型第 2 外延层 26 上形成 N+型阱区 47, 作为基极区域, 在 N+型阱区 47 内形成 P+型扩散区域 48 作为发射极区域, 并形成 N+型扩散区域 49 作为基极导出区域, 从而构成纵型 PNP 晶体管 22。此外, 还形成围绕 P+型扩散区域 46 的 N+型扩散区域 45, 并通过 N-型第 2 埋入层 44 与第 1 埋入层 42 连结, 由图中未示出的电极施加电源电位 V_{cc} 或发射极 58 的电位。这将可以抑制以 P+型扩散区域 46 为发射极、以第 2 岛状区域 29 为基极、以 P+型分离区域 27 为集电极的寄生 PNP 晶体管的发生, 因而可以将该纵型 PNP 晶体管作为适用于大电流用途的 PNP 晶体管。

在第 3 岛状区 30 域上形成的 NPN 晶体管 23 内, 在结构上, 将第 3 岛状区域 30 形成集电极区域、将 P 型扩散区域 53 形成基极区域、将 N+型扩散区域 54 形成发射极区域。另外, 在基板 24 和第 1 外延层 25 之间形成 N+型第 1 埋入层 50, 在第 1 和第 2 外延层 25、26 的边界部分上还形成 N+型第 2 埋入层 51, 并将二者连结。进一步, 将 N+型扩散区域 52 形成集电极导出区域, 并将 N+型扩散区域 52 也与 N+型第 2 埋入层 51 连结。按照这种方式, 通过在集电极 62 的下部构成高浓度低电阻区域, 可以减低 NPN 晶体管 23 的饱和电阻 $V_{ce(sat)}$ 。因此, 该 NPN 晶体管 23, 为高耐压、大电流, 因而适用于电机驱动器等电路用途。

以下, 参照图 3~图 10 说明图 1 所示的本发明的半导体集成电路装置的制造方法。

首先, 如图 3 所示, 准备 P-型单晶硅基板 24, 并对该基板 24 的表面进行热氧化而形成氧化膜, 对与 N+型第 1 埋入层 34、42、50 对应的氧化膜进行光刻而作为选择掩模。然后, 在基板 24 的表面上扩散用于形成 N+型第 1 埋入层 34、42、50 的锑 (Sb)。

其次, 如图 4 所示, 为形成 P+型第 1 埋入层 35 及 P+型分离区域 27 的第 1 分离区域 31, 进行离子注入。在将图 3 中用作选择掩模的氧化膜全部除去后, 将用众所周知的光刻技术在形成 P+型第 1 分离区域 31 的部分上设置了开口部的光致抗蚀剂 (图中未示出) 形成为

选择掩模。然后，以 160keV 的离子能、 $1.0 \times 10^{14} / \text{cm}^2$ 的导入量进行 P 型杂质、例如硼 (B) 的离子注入。在这之后，将光致抗蚀剂除去。

接着，如图 5 所示，在将氧化膜全部除去后，将基板 24 配置在外延生长装置的基座上，通过由灯光加热而对基板 24 提供 1140℃ 左右的高温同时在反应管内导入 SiH_2Cl_2 气体和 H_2 气，生长低浓度外延 ($\rho = 1.25 \Omega \cdot \text{cm}$)、厚 2.0 ~ 10.0 μm 的第 1 外延层 25。另外，在对第 1 外延层 25 的表面进行热氧化而形成氧化膜后，对与 N+型第 2 埋入层 37、44、51 对应的氧化膜进行光刻并作为选择掩模。

这里，在基板 24 的表面上将 N+型埋入层 34、42、50 及 P+型埋入层 31、35 同时扩散。这时，形成 P+型埋入层 35 的硼 (B)，其扩散速度比形成 N+型埋入层 34 的锑 (Sb) 快而且杂质浓度低，所以在 N+型埋入层 34 的上下形成。

其次，如图 6 所示，在将氧化膜全部除去后，再次对第 1 外延层 25 的表面进行热氧化而形成氧化膜，并将用众所周知的光刻技术在形成 P+型埋入层 36、43 及 P+型第 2 分离区域 32 的部分上设置了开口部的光致抗蚀剂 (图中未示出) 形成为选择掩模。然后，以 40keV 的离子能、 $3.0 \times 10^{13} / \text{cm}^2$ 的导入量进行 P 型杂质、例如硼 (B) 的离子注入。在这之后，将光致抗蚀剂除去。这时，将 N+型第 2 埋入层 37、44、51 同时扩散，并与 N+型第 1 埋入层 34、42、50 连结。

然后，如图 7 所示，在将氧化膜全部除去后，将基板 24 配置在外延生长装置的基座上，通过由灯光加热而对基板 24 提供 1140℃ 左右的高温同时在反应管内导入 SiH_2Cl_2 气体和 H_2 气，在第 1 外延层 25 上生长低浓度外延 ($\rho = 1.25 \Omega \cdot \text{cm}$)、厚 8.0 ~ 10.0 μm 的第 2 外延层 26。接着，在对第 2 外延层 26 的表面进行热氧化而形成氧化膜后，将用众所周知的光刻技术在形成 N+型阱区 40、47 的部分上设置了开口部的光致抗蚀剂 (图中未示出) 形成为选择掩模。然后，以 160keV 的离子能、 $1.0 \times 10^{12} / \text{cm}^2$ 的导入量进行 N 型杂质、例如磷 (P) 的离子注入。在这之后，将光致抗蚀剂除去。

这时，将 P+型埋入层 36、43 及 P+型第 2 分离区域 32 同时扩散，并分别与 P+型第 1 埋入层 35、N+型第 1 埋入层 42 及 P+型第 1 分离区域 31 连结。

接着，如图 8 所示，对第 2 外延层 26 的表面进行热氧化而形成

氧化膜，并对与 N+型扩散区域 41、N+型集电极导出区域 38、45、52 及基极导出区域 49 对应的氧化膜进行光刻而作为选择掩模。然后，在第 2 外延层 26 的表面上扩散形成 N+型扩散区域 38、41、45、52 及基极导出区域 49 的锑 (Sb)、

其次，如图 9 所示，在将氧化膜全部除去后，再次对第 2 外延层 26 的表面进行热氧化而形成氧化膜，并将用众所周知的光刻技术在形成 P+型扩散区域 39、46、P+型发射极区域 48 及 P+型第 3 分离区域 33 的部分上设置了开口部的光致抗蚀剂（图中未示出）形成为选择掩模。接着，以 40keV 的离子能、 $3.0 \times 10^{13} / \text{cm}^2$ 的导入量进行 P 型杂质、例如硼 (B) 的离子注入。在这之后，将光致抗蚀剂除去。

这时，将 N+型第 2 埋入层 37、44、51 同时扩散，并与 N+型第 1 埋入层 34、42、50 连结。此外，将 N+型扩散区域 38、45、52 也同时扩散，并分别与 N+型第 2 埋入层 37、44、51 连结。其结果是，在第 1 岛状区域 28 上完成二极管元件 21，在第 2 岛状区域 29 上完成纵型 PNP 晶体管 22。

然后，如图 10 所示，通过在第 3 岛状区域 30 上形成 P 型基极区域 53 及 N+型发射极区域 54，完成 NPN 晶体管 23。在这之后，如图 1 所示，用铝材料在二极管元件 21 上形成正电极 55、负电极 56、在纵型 PNP 晶体管 22 上形成集电极 57、发射极电极 58、基极电极 59、在 NPN 晶体管 23 上形成发射极电极 60、基极电极 61、集电极 62，从而与外部电极连接。

按照本发明，在半导体集成电路装置的二极管元件中，在基板和第 1 外延层之间形成的 P+型第 1 埋入层与连接于负电极的 N+型扩散区域形成 PN 结，但两者在深度方向上隔开形成。在这种情况下，当上述二极管元件截止时，即当在上述二极管元件上施加了反向偏置电压时，在由第 1 和第 2 外延层构成的 N 型区域上可以得到宽幅的过渡层形成区域并由所形成的该过渡层确保耐压，从而可以得到能够抑制由击穿电流造成的内部元件损坏的半导体集成电路装置。

另外，按照本发明，在半导体集成电路装置的二极管元件中，当二极管元件为导通状态时，在作为负极区域形成的 N-型第 2 外延层上形成着 N+型阱区。通过利用该 N+型阱区使 PN 结的 N 型区域的电阻值减小而使正向电压 (V_{BEF}) 降低，可以大幅度地提高正向的电流

(If) 容量。

进一步，通过形成本发明的 N+型阱区，当二极管元件为导通状态时，可以提高在二极管元件内形成的寄生晶体管 TR1 的电流放大系数，并能减小寄生晶体管 TR2 的电流放大系数，因而提高了对基板的漏电流的抑制效果。其结果是，可以将适用于输出晶体管保护的消弧二极管在半导体集成电路装置中集成化，因而能有助于电子设备的小型化、和高密度化。

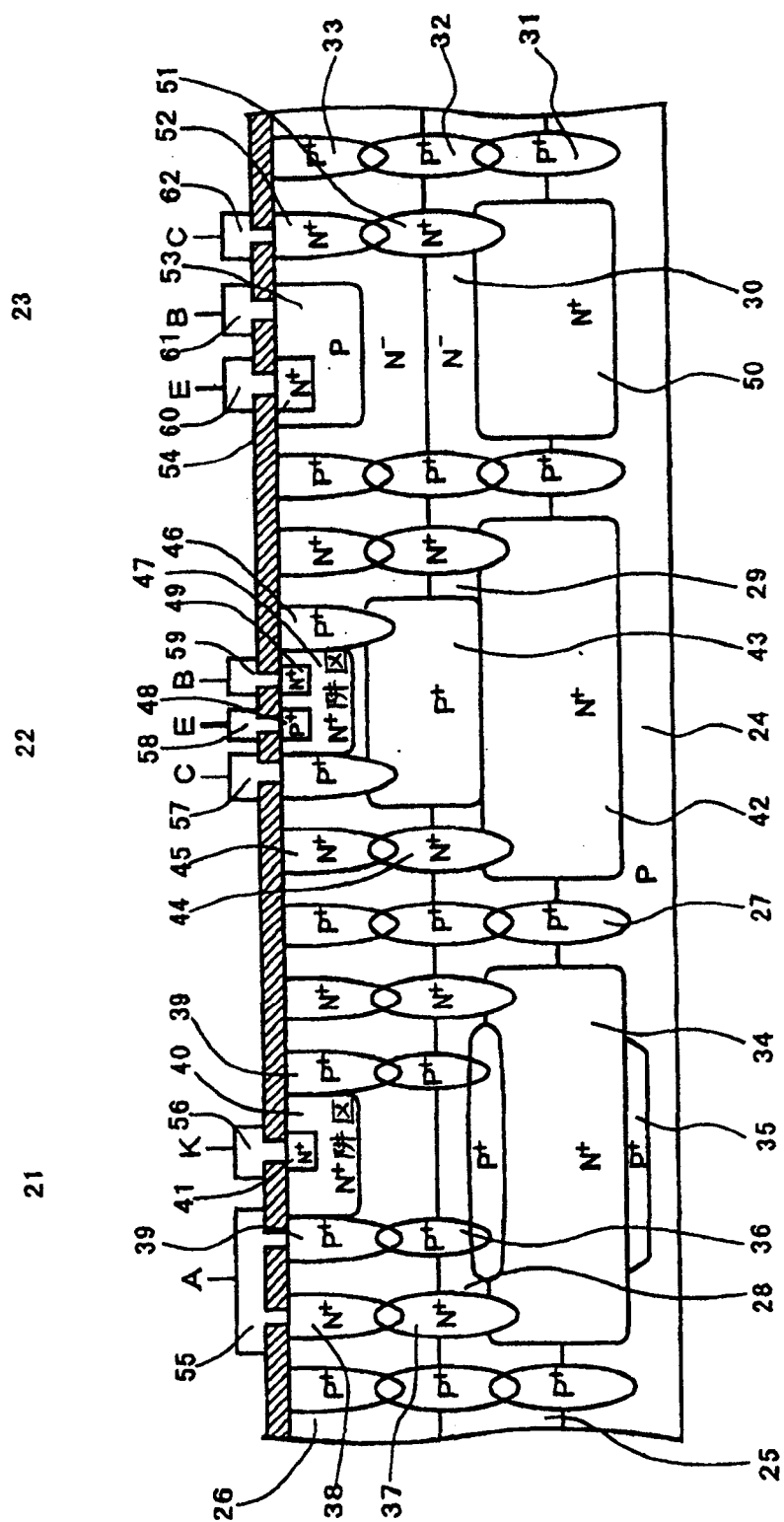


图 1

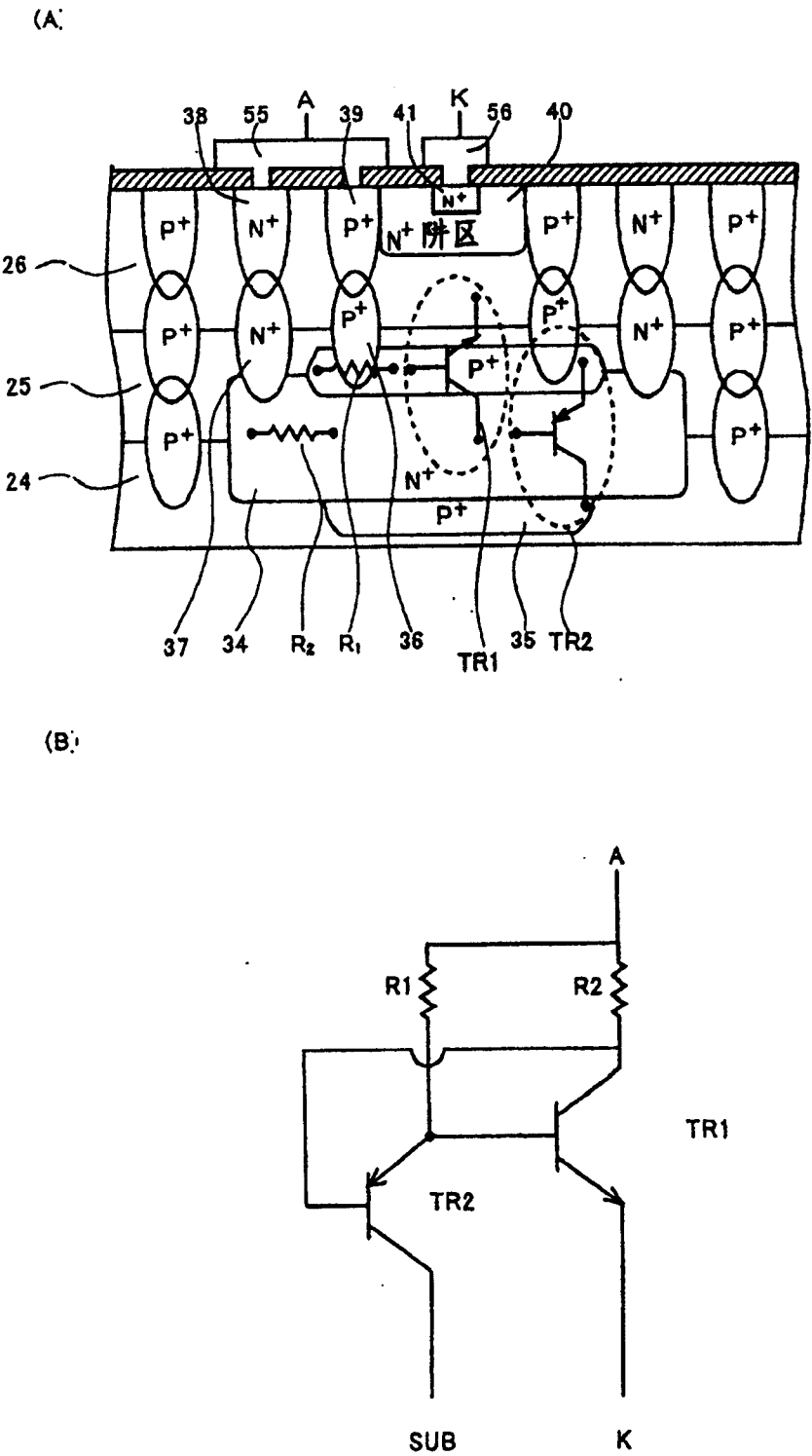


图 2

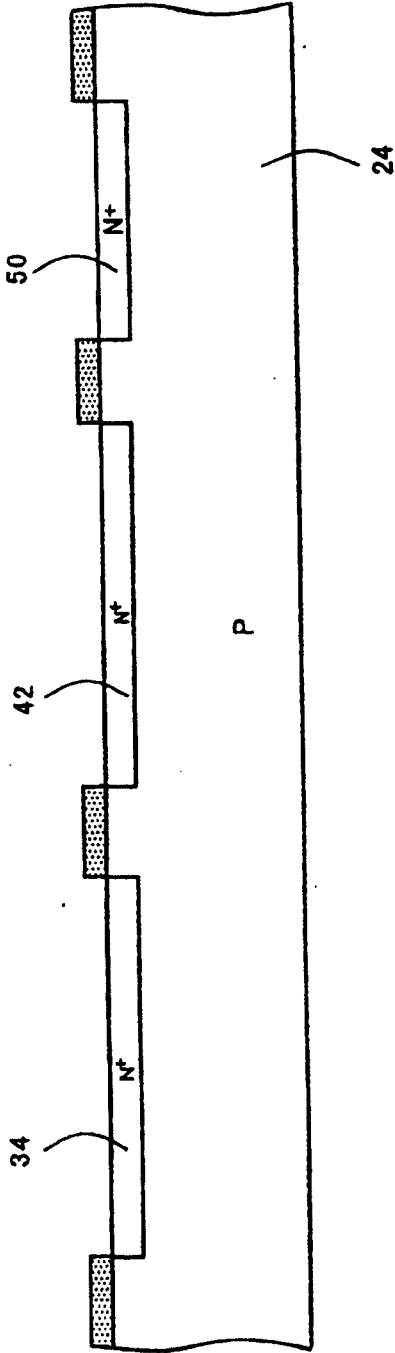


图 3

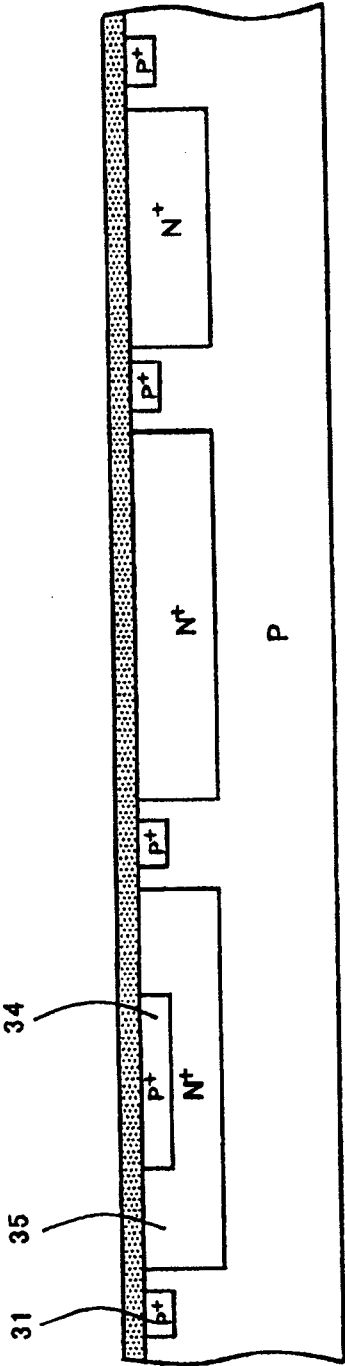


图 4

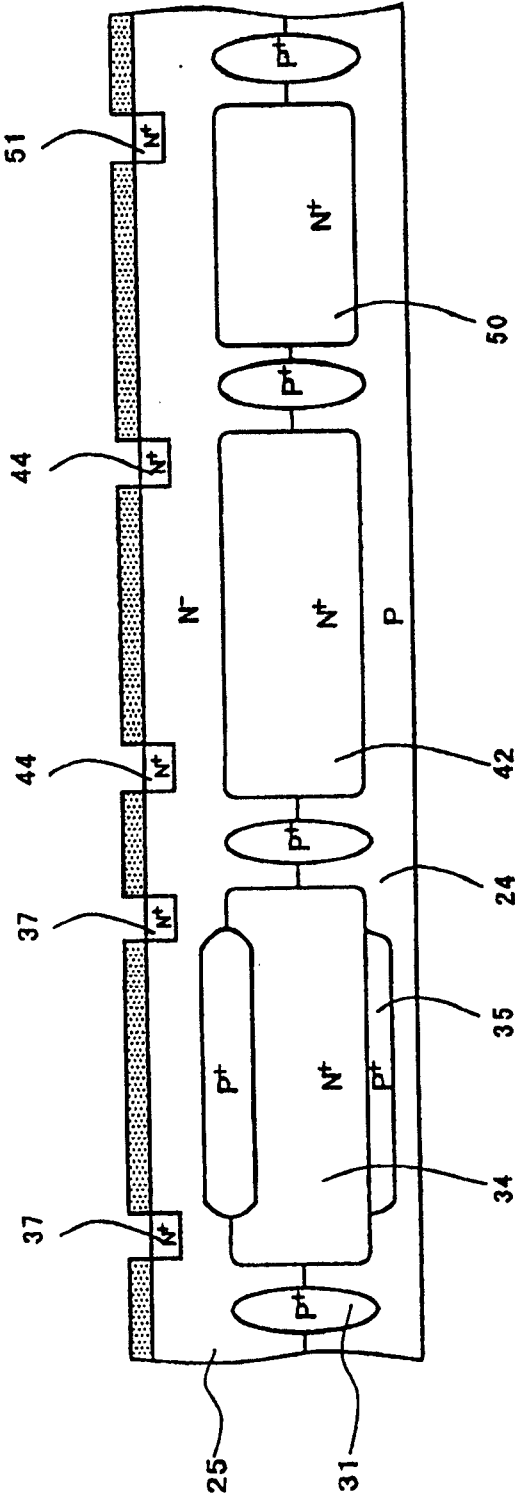


图 5

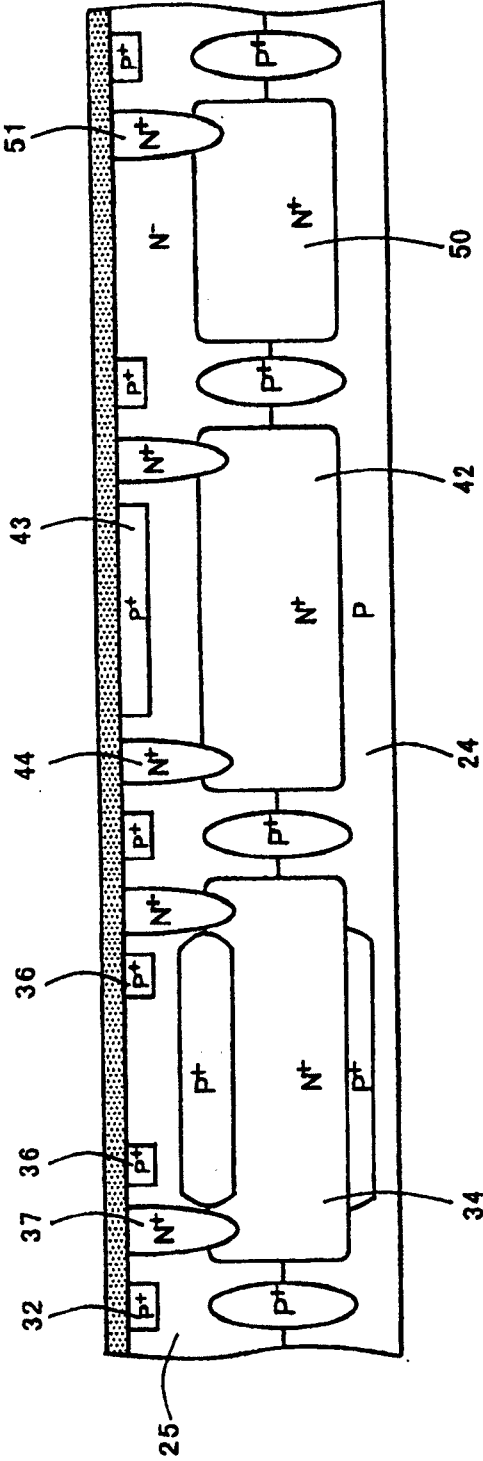


图 6

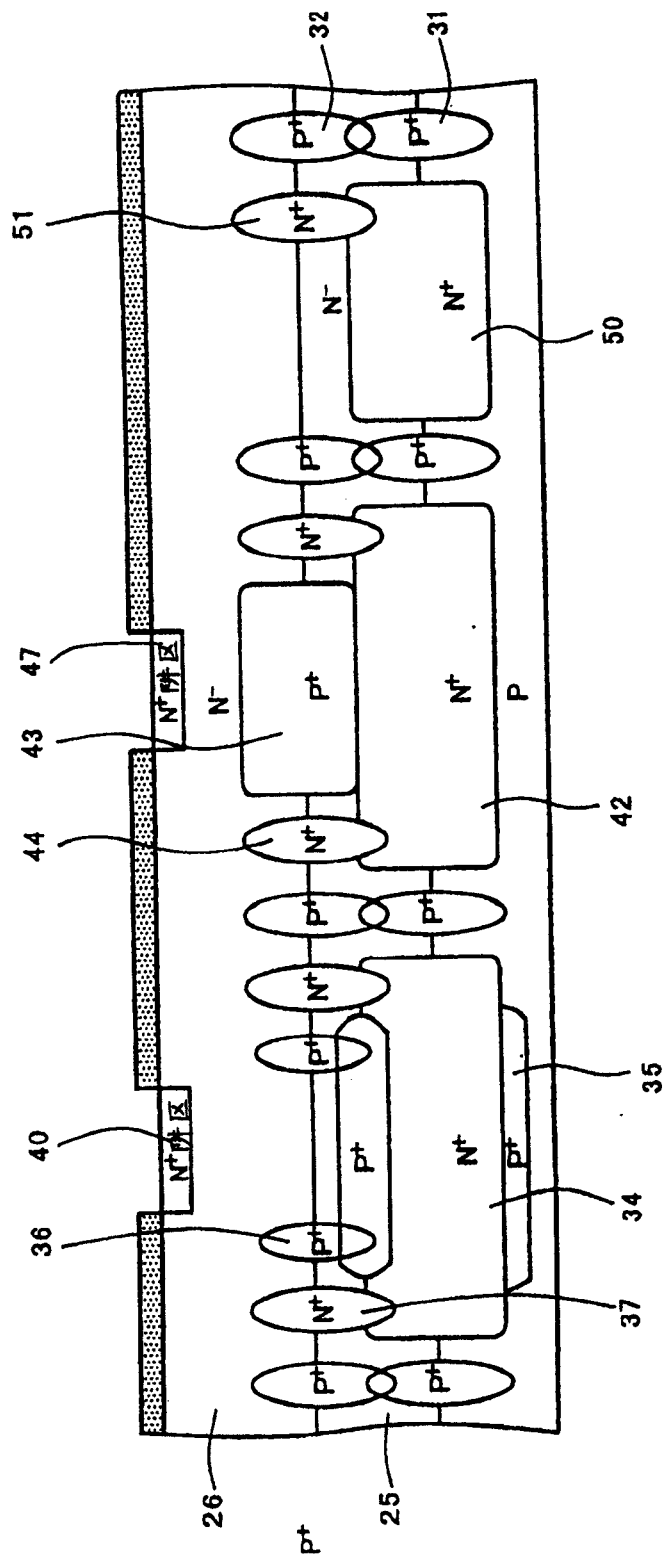
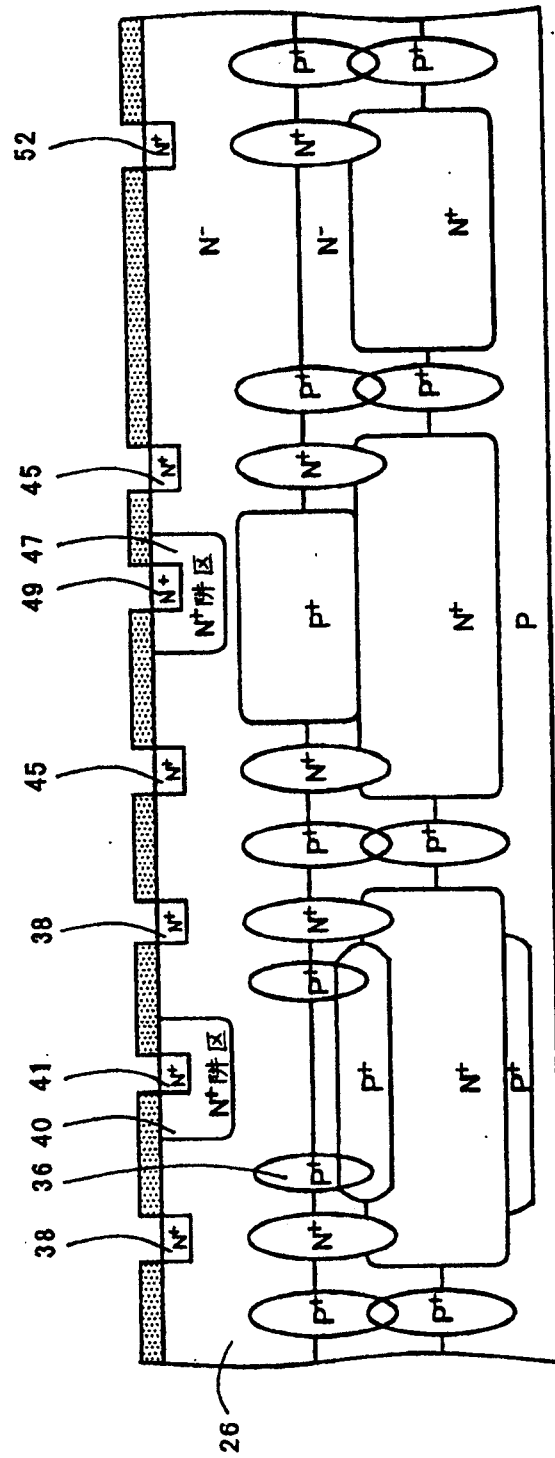


图 7



8

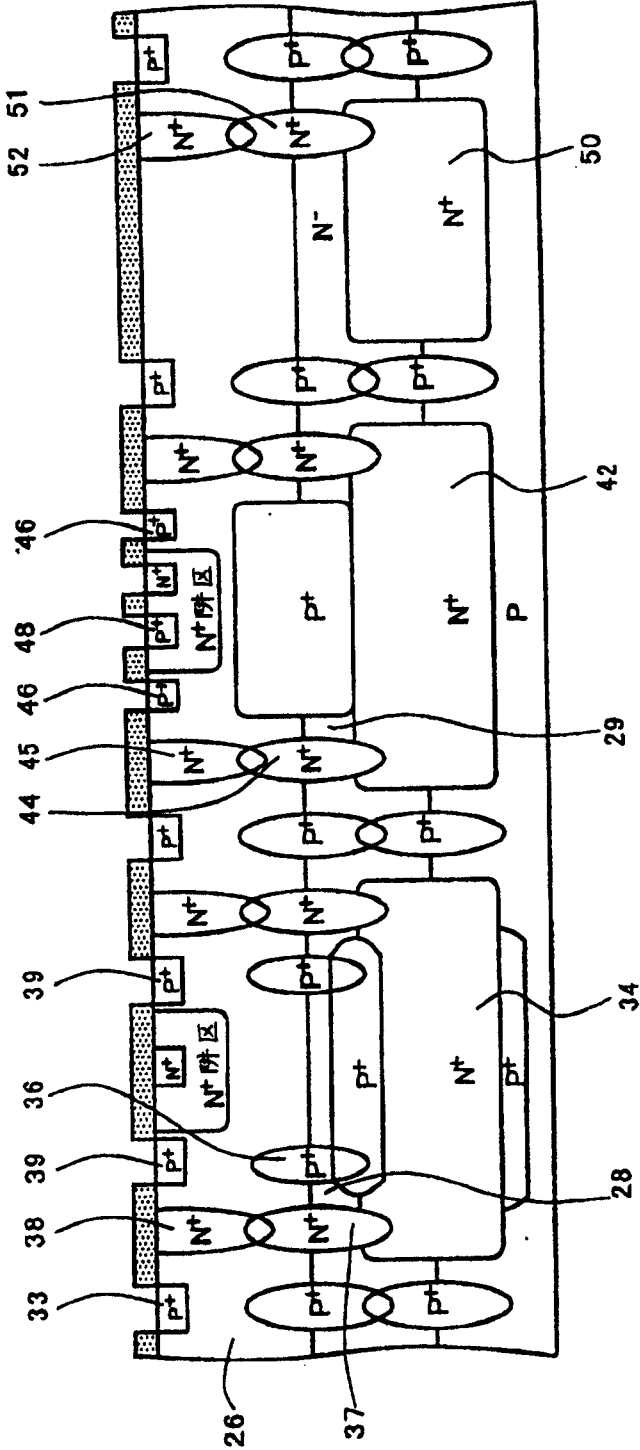


图 9

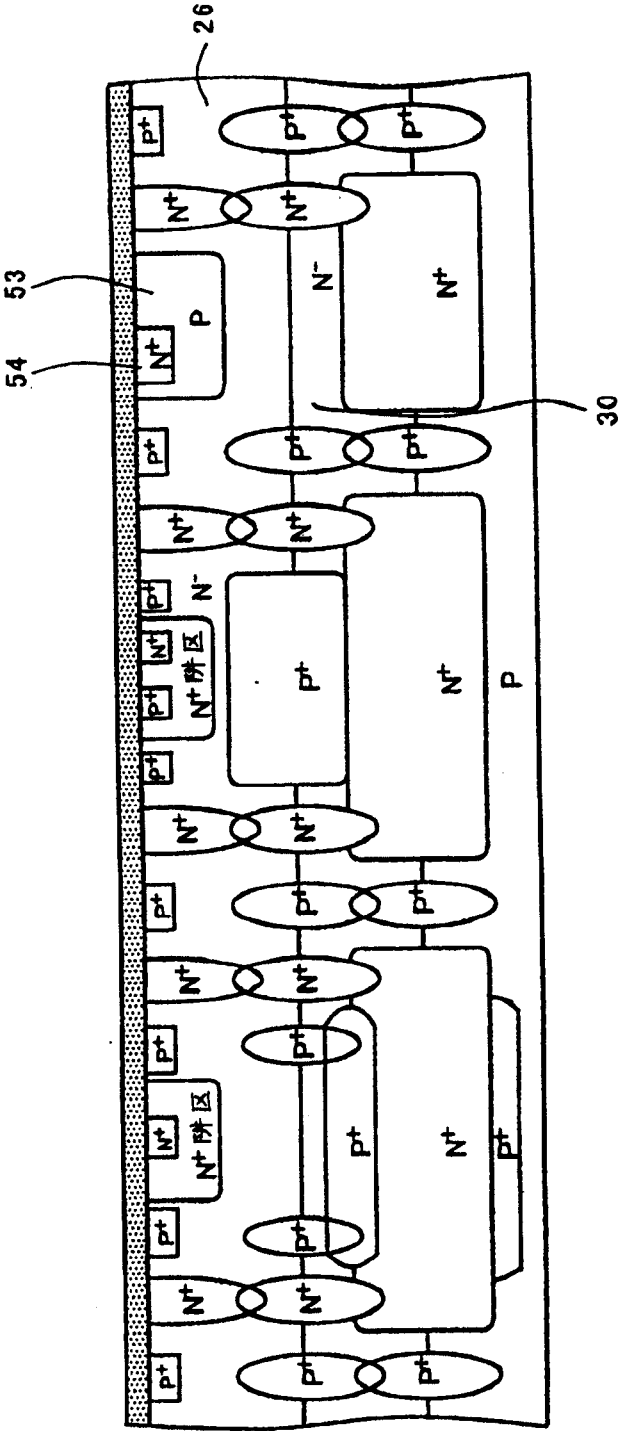


图 10

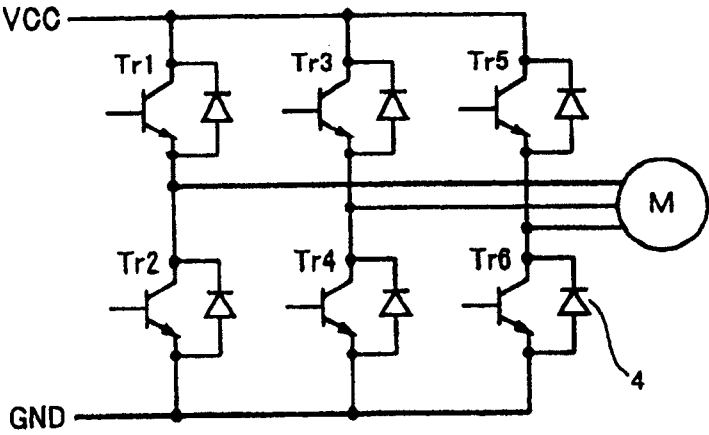


图 11

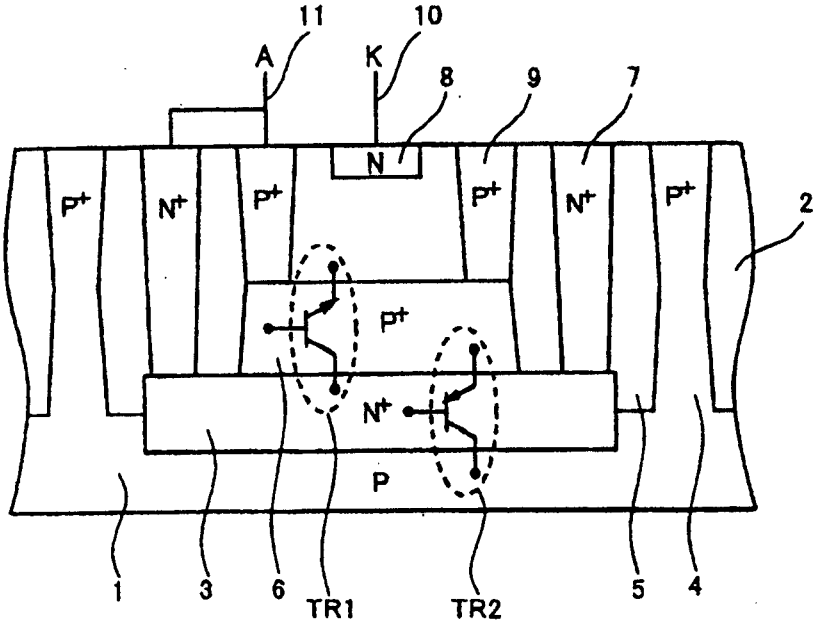


图 12