

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3607022号

(P3607022)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

F I

H O 1 L 21/027

H O 1 L 21/30

5 O 2 A

C 2 3 F 1/00

C 2 3 F 1/00

1 O 2

G O 3 F 7/20

G O 3 F 7/20

5 O 4

H O 1 L 21/3205

H O 1 L 21/30

5 4 1 S

H O 1 L 21/3213

H O 1 L 21/88

D

請求項の数 15 (全 13 頁) 最終頁に続く

(21) 出願番号 特願平8-315739
 (22) 出願日 平成8年11月27日(1996.11.27)
 (65) 公開番号 特開平9-223665
 (43) 公開日 平成9年8月26日(1997.8.26)
 審査請求日 平成15年3月13日(2003.3.13)
 (31) 優先権主張番号 特願平7-321535
 (32) 優先日 平成7年12月11日(1995.12.11)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100083161
 弁理士 外川 英明
 (72) 発明者 小山 治彦
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内

審査官 新井 重雄

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第一、第二領域を有する半導体基板表面上に第一絶縁膜と、導電膜と、第二絶縁膜と、前記導電膜とエッチング特性が実質的に同様な選択膜とを順次形成する工程と、
 光リソグラフィ法により前記選択膜表面の前記第一領域上に第一レジストパターンを形成する工程と、

前記第一レジストパターンをマスクとし前記選択膜をパターニングする工程と、

前記第一レジストパターンを除去する工程と、

電子線リソグラフィ法により少なくとも前記第二絶縁膜表面の前記第二領域上に第二レジストパターンを形成する工程と、

前記第二レジストパターンと前記選択膜とをマスクとし前記第二絶縁膜をパターニングする工程と、

前記第二レジストパターンを除去する工程と、

パターニングされた前記第二絶縁膜をマスクとして前記導電膜をパターニングする工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】

第一、第二領域を有する半導体基板上に第一絶縁膜と、導電膜と、第二絶縁膜と、前記導電膜とエッチング特性が実質的に同様な選択膜とを順次形成する工程と、

電子線リソグラフィ法により前記選択膜表面の第二領域上に第二レジストパターンを形成する工程と、

前記第二レジストパターンをマスクとし前記選択膜をパターニングする工程と、
前記第二レジストパターンを除去する工程と、
光リソグラフィ法により少なくとも前記第二絶縁膜上に第一レジストパターンを形成する工程と、
前記第一レジストパターンと前記選択膜とをマスクとし前記第二絶縁膜をパターニングする工程と、
前記第二絶縁膜をパターニングする工程の後、前記第一レジストパターンを除去する工程と、
パターニングされた前記第二絶縁膜をマスクとして前記導電膜をパターニングする工程とを具備することを特徴とする半導体装置の製造方法。

10

【請求項 3】

前記導電膜をパターニングする工程において、パターニングされた前記選択膜を同時に除去することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

前記選択膜の膜厚を前記導電膜の膜厚以下に形成することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 5】

前記第一領域は配線接続部形成領域であり、前記第二領域はゲート電極配線形成領域であることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 6】

前記第一領域は抵抗素子接続部形成領域であり、前記第二領域は抵抗素子形成領域であることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

20

【請求項 7】

前記導電膜と前記選択膜とを同一の材料かまたは同一の材料を含有させて形成することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 8】

前記導電膜を高融点金属シリサイドと多結晶シリコンとの積層で形成し、前記選択膜を多結晶シリコンにより形成することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 9】

前記導電膜を高融点金属と多結晶シリコンとの積層で形成し、前記選択膜を多結晶シリコンにより形成すること特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

30

【請求項 10】

前記導電膜と前記選択膜とを多結晶シリコンで形成すること特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 11】

前記選択膜として形成する多結晶シリコンの膜厚を、前記導電膜として形成する多結晶シリコンの膜厚以下に形成することを特徴とする請求項 8 乃至 10 記載の半導体装置の製造方法。

【請求項 12】

前記第二絶縁膜をシリコン酸化膜またはシリコン窒化膜により形成することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

40

【請求項 13】

前記第一領域と前記第二領域とが隣接する場合、前記第二レジストパターンを前記第一領域上の一部にも前記第二領域上から延長して形成することを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 14】

第一、第二領域を有する半導体基板表面上に第一絶縁膜と、導電膜と、第二絶縁膜と、選択膜とを順次形成する工程と、
光リソグラフィ法により前記選択膜表面の前記第一領域上に第一レジストパターンを形成

50

する工程と、
前記第一レジストパターンをマスクとし前記選択膜をパターニングする工程と、
前記第一レジストパターンを除去する工程と、
電子線リソグラフィ法により少なくとも前記第二絶縁膜表面の前記第二領域上に第二レジストパターンを形成する工程と、
前記第二レジストパターンと前記選択膜とをマスクとし前記第二絶縁膜をパターニングする工程と、
前記第二レジストパターンを除去する工程と、
パターニングされた前記第二絶縁膜をマスクとして前記導電膜をパターニングする工程とを具備し、
前記選択膜は、前記導電膜をパターニングする工程において、同時に除去される特性をもって形成することを特徴とする半導体装置の製造方法。

10

【請求項 15】

第一、第二領域を有する半導体基板上に第一絶縁膜と、導電膜と、第二絶縁膜と、選択膜とを順次形成する工程と、
電子線リソグラフィ法により前記選択膜表面の第二領域上に第二レジストパターンを形成する工程と、
前記第二レジストパターンをマスクとし前記選択膜をパターニングする工程と、
前記第二レジストパターンを除去する工程と、
光リソグラフィ法により少なくとも前記第二絶縁膜上に第一レジストパターンを形成する工程と、
前記第一レジストパターンと前記選択膜とをマスクとし前記第二絶縁膜をパターニングする工程と、
前記第二絶縁膜をパターニングする工程の後、前記第一レジストパターンを除去する工程と、
パターニングされた前記第二絶縁膜をマスクとして前記導電膜をパターニングする工程とを具備し、
前記選択膜は、前記導電膜をパターニングする工程において、同時に除去される特性をもって形成することを特徴とする半導体装置の製造方法。

20

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は半導体装置の製造方法、特に光リソグラフィと電子線リソグラフィの両方を用いてレジストマスクを形成し、これを下地層のパターニングマスクとして用いる半導体装置の製造方法に関する。

【0002】**【従来の技術】**

従来より半導体装置の製造方法においては、半導体基板全面に導電膜を形成し、これをパターニングし、導電膜を所定の形状に加工して配線層等を形成する工程が行われている。

40

【0003】

以下に従来の技術として、配線層の形成工程のうち、MOSトランジスタのゲート電極配線と配線接続部の形成工程について図12乃至図14を用いて説明する。尚、以下の説明において配線接続部はゲート電極配線に接続されているものとする。またこの配線接続部は、上層に形成される図示せぬ配線層とゲート電極配線とのコンタクトをとるために、合わせ余裕を持って、その寸法はゲート電極配線に比較し大きめに形成されるものとする。

【0004】

さらに各図の(a)は、発明の実施の形態において参照する図1(c)のA-A面に対応する部分の断面図であり、各図の(b)は、B-B面に対応する部分の断面図である。

【0005】

50

まず図12に示すように、半導体基板111の素子分離領域にはフィールド絶縁膜112を、また半導体基板111の素子領域上にはゲート絶縁膜113を形成する。図においてフィールド絶縁膜112は、LOCOS(Local Oxidation of Silicon)法により形成した例を示しているが、STI(Shallow Trench Isolation)法により形成してもよい。次にこれらの絶縁膜112、113上に、ゲート電極配線を形成するために多結晶シリコン膜等により導電膜114を形成する。次に導電膜114上に、キャップ絶縁膜115を形成する。尚、導電膜114やキャップ絶縁膜115は、CVD(Chemical Vapour Deposition)法やスパッタ法によって堆積する。この後キャップ絶縁膜上に、光リソグラフィ用のレジストか或いは電子線リソグラフィ用のレジストかを塗布し、このレジストを光リソグラフィ、或いは電子線リソグラフィによりゲート電極配線の形状に感光させ、感光させた後のレジストを現像することにより、レジストパターン116を形成する。

10

【0006】

続いて図13に示すように、レジストパターン116をマスクとして、異方性エッチングによりキャップ絶縁膜115をパターニングする。次にアッシング等により、エッチングの際のマスクとして用いたレジストパターン116を除去する。

【0007】

続いて図14に示すように、パターニングされたキャップ絶縁膜115をマスクとして、異方性エッチングにより導電膜114をパターニングし、ゲート電極配線とそれに接続される配線接続部を形成する。

20

【0008】

上記の例は、MOSトランジスタのゲート電極配線とこれに接続される配線接続部の領域の形成方法について示しているが、この他、通常の素子間の配線層と配線接続部を形成する場合等についても、上記と同様の製造工程を用いて行うことができる。

【0009】**【発明が解決しようとする課題】**

従来の技術においては、ゲート電極配線を形成するためのマスクとして用いるレジストパターンの形成では、g線やi線或いはKrFエキシマレーザを光源として用いる光リソグラフィが一般的であり、この他、電子線ビームによってパターンを描画する電子線リソグラフィを用いることが考えられる。

30

【0010】

光リソグラフィは、レジストパターンの形成に通常用いられている方法であり、スループットも比較的高いため半導体装置の量産に向いている。しかし今後さらに微細化していく超LSIの製造を考慮すると、解像度の点で問題がある。現状の光リソグラフィ技術では、KrFエキシマレーザを光源として用いた場合でも、幅0.25μm程度のパターニングが限界とされている。今後の超LSIの微細化の流れに伴って、配線のデザインルールは0.1μm近辺、もしくはそれ以下になっていくと予測されており、その配線のデザインルールを現状の光リソグラフィ技術を用いてパターニングすることは困難である。

【0011】

一方電子線リソグラフィは、光リソグラフィと比較して解像度は高く、0.1μm近辺のデザインルールのパターニングに関しては、充分対応することができるとされている。しかし、光リソグラフィと比較すると、スループットが極端に悪いという問題点がある。これは光リソグラフィではレジストの平面を一度に広範囲に感光させることが可能なのに対し、電子線リソグラフィではレジストの平面を一度に広範囲を感光させることができず、描画により感光させる領域を塗りつぶす必要があるからである。

40

【0012】

通常、半導体集積回路の素子中の配線のパターンは、デザインルールの比較的大きいパターン、すなわち現状の光リソグラフィでも充分パターニングが可能なパターンと、デザインルールの比較的小さいパターン、すなわち現状の光リソグラフィではパターニングが困難になりつつあるパターンとが混在している。そこでスループットの向上と、解像度の向

50

上の両立のため、デザインルールが小さく、光リソグラフィではパターンニングが困難なパターンの形成の際のみ、電子線リソグラフィを用い、その他の部分のパターンの形成には、光リソグラフィを用いることが考えられる。

【0013】

しかしながら本来、光リソグラフィと電子線リソグラフィとは、エッチングのマスクとして形成するためのレジストの種類が異なる。従って光リソグラフィと電子線リソグラフィを単純に併用することは不可能である。光リソグラフィと電子線リソグラフィとをそれぞれに対応したレジストを用いて併用しようとするれば、例えば光リソグラフィにより形成したレジストパターンが、電子線に影響されないように、形成したレジストパターンを覆ったマスクを形成した後に、電子線リソグラフィを行う必要が生じたり、エッチングのマスクとして使用した後のレジストパターンを除去する必要等が生じ、工程数の増加を招くこととなる。一方、解像度を落とさずに光、電子線の両方により感光することが可能なレジストの開発も進められているが、まだ実用化には至っていない。

10

【0014】

またデザインルールの大きいパターン及び小さいパターンの全てを電子線リソグラフィによりパターンニングすることも考えられるが、この場合、スループットが大幅に低下する。即ち、前述のように光リソグラフィではレジストの平面を一度に広範囲に感光させることが可能なのに対して、電子線リソグラフィでは描画によって感光すべき領域を塗りつぶす必要があるからである。現状ではウエハー一枚当たり、レジストの感光に要する時間は、光リソグラフィによる露光ではウエハーの移動時間等も含め数分程度であるのに対し、電子線リソグラフィではウエハー一枚当たり数時間は必要である。よって、特に大規模な量産が行われる半導体装置の製造においては、電子線リソグラフィのみでレジストパターンを感光させることは現実的ではない。

20

【0015】

【課題を解決するための手段】

本発明は半導体装置の製造方法、特に配線層の形成工程において、スループットの低下を防ぎ、かつ超ＬＳＩの微細化に対応できるよう、小さいデザインルールの部分のレジストのパターンニングには電子線リソグラフィを用い、その他の部分のレジストのパターンニングには光リソグラフィを用いるための製造方法を提供する。それは以下の手段により行う。

【0016】

すなわち本発明の第一の手段によれば第一、第二領域を有する半導体基板表面上に第一絶縁膜と、導電膜と、第二絶縁膜と、前記導電膜とエッチング特性が実質的に同様な選択膜とを順次形成する工程と、光リソグラフィ法により前記選択膜表面の前記第一領域上に第一レジストパターンを形成する工程と、前記第一レジストパターンをマスクとし前記選択膜をパターンニングする工程と、前記第一レジストパターンを除去する工程と、電子線リソグラフィ法により前記第二絶縁膜表面の前記第二領域上に第二レジストパターンを形成する工程と、前記第二レジストパターンと前記選択膜とをマスクとし前記第二絶縁膜をパターンニングする工程と、前記第二レジストパターンを除去する工程と、パターンニングされた前記第二絶縁膜をマスクとして前記導電膜をパターンニングする工程とを具備することを特徴とする。

30

40

【0017】

また本発明の第二の手段によれば第一、第二領域を有する半導体基板上に第一絶縁膜と、導電膜と、第二絶縁膜と、前記導電膜とエッチング特性が実質的に同様な選択膜とを順次形成する工程と、電子線リソグラフィ法により前記選択膜表面の第二領域上に第二レジストパターンを形成する工程と、前記第二レジストパターンをマスクとし前記選択膜をパターンニングする工程と、前記第二レジストパターンを除去する工程と、光リソグラフィ法により前記第二絶縁膜上に第一レジストパターンを形成する工程と、前記第一レジストパターンと前記選択膜をマスクとし前記第二絶縁膜をパターンニングする工程と、前記第一レジストパターンを除去する工程と、パターンニングされた前記第二絶縁膜をマスクとして前記導電膜をパターンニングする工程とを具備することを特徴とする。

50

【 0 0 1 8 】

【 発明の実施の形態 】

本発明の第一の実施の形態として、M O S トランジスタのゲート電極配線とそれに接続される配線接続部の製造工程について、図 1 乃至図 5 を参照して説明する。尚、図 1 (c) は各要素の形成後の M O S トランジスタの上面図の概略を示している。この図では、ゲート電極配線の形成領域 2 1 1、素子形成領域 2 1 2、素子分離領域 2 1 3 及び配線接続部の形成領域 2 1 4 とを示している。また各図の (a) は図 1 (c) における A - A 面に対応する部分の断面図、つまりゲート電極配線に垂直な方向の断面を示しており、また各図の (b) は図 1 (c) における B - B 面に対応する部分の断面図、つまりゲート電極配線に平行な方向の断面を示している。またこの配線接続部は、上層に形成される図示せぬ配線層とゲート電極配線とのコンタクトをとるために、合わせ余裕を持って、その寸法はゲート電極配線に比較し大きめに形成されるものとする。

10

【 0 0 1 9 】

まず図 1 (a)、(b) に示すように、半導体基板 1 1 上の素子分離領域に、L O C O S 法を用いてフィールド絶縁膜 1 2 を形成する。L O C O S 法に換えて S T I 法によりフィールド絶縁膜を形成することもできる。次にゲート酸化を行い、素子領域上に膜厚 5 ~ 2 0 n m のゲート絶縁膜 1 3 を形成する。次にゲート電極配線を形成するために、ゲート絶縁膜 1 3 上に C V D 法やスパッタ法等により膜厚 1 0 0 ~ 4 0 0 n m の導電膜 1 4 を形成する。次に導電膜 1 4 上に C V D 法等により膜厚 2 0 0 n m 程度のキャップ絶縁膜 1 5 を形成する。さらにキャップ絶縁膜 1 5 上に導電膜 1 4 とエッチング特性が実質的に同様な選択膜 1 6 を形成する。

20

【 0 0 2 0 】

ここで導電膜 1 4 は、リンやボロンを高濃度に含んだ多結晶シリコン、またはタングステン等の高融点金属、または上層にタングステンシリサイドやモリブデンシリサイド等の高融点金属シリサイドを、下層に多結晶シリコンを用いた積層構造、または上層にタングステンやモリブデン等の高融点金属を、下層に多結晶シリコンを用いた積層構造により形成する。

【 0 0 2 1 】

キャップ絶縁膜 1 5 は、導電膜 1 4 とエッチングでの選択比の充分とれる材料、すなわちシリコン酸化膜やシリコン窒化膜等で形成する。

30

選択膜 1 6 は、導電膜 1 4 とエッチング特性が実質的に同等な材料、すなわち導電膜 1 4 を形成した全部または一部と同一の材料か、あるいは導電膜 1 4 の材料を含有する材料、例えば多結晶シリコンや高融点金属、高融点金属シリサイド、あるいはこれらを含有した材料により形成する。一般に高融点金属や高融点金属シリサイドは多結晶シリコンに対し、そのエッチングの選択比は数倍程度であるため、選択膜 1 6 は多結晶シリコンで形成するのが最も望ましい。具体的には、導電膜 1 4 を多結晶シリコン或いは高融点金属の単層で形成した場合や、導電膜 1 4 を高融点金属或いは高融点金属シリサイドと多結晶シリコンとの積層で形成した場合には、選択膜 1 6 は多結晶シリコンにより形成するのが最も望ましい。

【 0 0 2 2 】

尚、選択膜 1 6 を多結晶シリコンにより形成する場合、この多結晶シリコンの膜厚は、導電膜 1 4 の一部として形成する多結晶シリコンの膜厚以下で形成するのが望ましい。

40

【 0 0 2 3 】

但し、選択膜 1 6 の膜厚、材料に関しては、後述するゲート電極の形成のためのエッチング時に導電膜 1 4 の除去される部分と共に、除去されるような条件を選択すればよい。

【 0 0 2 4 】

続いて図 2 に示すように、選択膜 1 6 の全面に光リソグラフィ用のレジストを塗布する。次に光リソグラフィを用い、レジストを所定のパターンに露光し、これを現像することによりレジストパターン 2 1 を形成する。このレジストパターン 2 1 は、光リソグラフィで充分対応することが可能な、デザインルールの比較的大きな箇所に形成する。すなわちゲ

50

ート電極配線等の光リソグラフィでは対応が困難な箇所ではなく、上層配線との接続をとるための配線接続部やパッドに対応する箇所に形成する。現状の光リソグラフィでは線幅 $0.25\text{ }\mu\text{m}$ 程度でパターニングすることが可能であるが、ここではレジストパターンの縦横の寸法は $0.8 \sim 1.4\text{ }\mu\text{m}$ 程度で形成する。

【0025】

続いて図3に示すように、レジストパターン21をマスクとして、選択膜16を異方性エッチングによりエッチングする。この際、キャップ絶縁膜15と選択膜16とはエッチングの選択比が大きいいため、選択膜16のみをエッチングし、キャップ絶縁膜15を残留させることができる。尚、選択膜16のエッチングに際しては、 Cl_2 や HBr 、 SF_6

等をエッチングガスとして用いることにより、絶縁膜とのエッチングの選択比を10乃至30程度とすることができる。次にレジストパターン21をアッシング、或いはアッシングと硫酸及び過酸化水素との薬液処理との組み合わせにより除去する。

【0026】

続いて図4に示すように、キャップ絶縁膜15上及びパターニングされた選択膜16上に電子線リソグラフィ用のレジストを塗布する。次に光リソグラフィではパターニングが困難となりつつあるゲート電極配線に対応する箇所のみを、電子線リソグラフィを用いて感光し、現像することにより、レジストパターン41を形成する。電子線リソグラフィでは線幅 $0.1\text{ }\mu\text{m}$ 程度以下でもパターニングすることが可能であるが、ここではレジストパターンの線幅は $0.15\text{ }\mu\text{m}$ 程度で形成する。

【0027】

尚、光リソグラフィで充分対応が可能なデザインルールの比較的大きいパターンと、光リソグラフィではパターニングが困難となりつつあるデザインルールが比較的小さいパターンとが結合して、一つのパターンを形成している場合には、レジストパターン41は、選択膜16にオーバーラップさせて形成することにより、両者の間に多少の合わせずれが生じても対応することが可能である。

【0028】

続いて図5に示すように、この前の工程までにパターニングが完了しているレジストパターン41と選択膜16の双方をマスクとして、キャップ絶縁膜15を異方性エッチングによりエッチングする。この際、キャップ絶縁膜15と導電膜14及び選択膜16とはエッチングの選択比が比較的大きいので、キャップ絶縁膜15のみをエッチングし、導電膜14及び選択膜16を残留させることができる。尚、キャップ絶縁膜15のエッチングに際しては、 CF_4 や CO 、 CHF_3 等を組み合わせてエッチングガスとして用いることにより、導電膜とのエッチングの選択比を10乃至30程度とすることができる。次にレジストパターン41をアッシング等により除去する。

【0029】

続いて図6に示すように、キャップ絶縁膜15をマスクとして導電膜14を異方性エッチングによりエッチングする。この際、選択膜16は導電膜14とエッチング特性が実質的に同様なため、導電膜14と同時にエッチングされ、除去される。従って選択膜16を除去する工程を省略することができる。尚、導電膜14のエッチングに際しては、 Cl_2 や HBr 、 SF_6 等をエッチングガスとして用いることにより、キャップ絶縁膜15とのエッチングの選択比を10乃至30程度とすることができる。以上の工程により、ゲート電極配線とそれに接続される配線接続部の形成工程が終了する。

【0030】

本発明の第一の実施の形態によれば、キャップ絶縁膜15上にさらに導電膜14とエッチング特性が実質的に同様な選択膜16を形成する。そして光リソグラフィ技術で対応することが可能なデザインルールの大きい部分のレジストパターン21を形成した後、これをマスクとして選択膜16のパターニングを行う。次に光リソグラフィ技術では対応することが困難になりつつある部分のレジストパターン41を電子線リソグラフィを用いて形成し、レジストパターン41及びパターニングされた選択膜16をマスクとしてキャップ絶縁膜15のパターニングを行う。そして最終的にパターニングされたキャップ絶縁膜15

10

20

30

40

50

をマスクとして導電膜 14 をパターンニングする。

【0031】

次に本発明の第二の実施の形態について、図 7 乃至図 11 を参照して説明する。尚、第一の実施の形態と同一の構成要素については、図中で同一の符号を記し、これらの説明を省略する。また各構成の膜厚や材料についても特に示さない限り、第一の実施の形態と同一とする。尚、各図の (a) は図 1 (c) における A - A 面に対応する断面図、各図の (b) は図 1 (c) における B - B 面に対応する断面図である。

【0032】

まず図 7 に示すように、半導体基板 11 上にゲート絶縁膜 13、導電膜 14、キャップ絶縁膜 15、選択膜 16 を順次形成する。この工程は第一の実施の形態における図 1 に示した工程と同様である。また導電膜 14、キャップ絶縁膜 15、選択膜 16 の膜厚、材料についても第一の実施の形態と同様である。次に選択膜 16 上に電子線リソグラフィ用のレジストを塗布し、光リソグラフィ技術では対応することが困難となりつつある部分のみを、電子線リソグラフィを用いてパターンニングし、レジストパターン 71 を形成する。光リソグラフィで充分対応が可能なデザインルールの大きいパターンと、光リソグラフィでは対応が困難となりつつあるデザインルールの小さいパターンが結合している部分がある場合には、レジストパターン 71 は本来のパターンよりもデザインルールの大きいパターン側にオーバーラップさせて形成することにより、両者の間に多少の合わせずれが生じてても対応することが可能である。

【0033】

続いて図 8 に示すように、レジストパターン 71 をマスクとして選択膜 16 を異方性エッチングによりエッチングする。この際、選択膜 16 とキャップ絶縁膜 15 とはエッチングの選択比が大きいので、選択膜 16 のみをパターンニングし、キャップ絶縁膜 15 を残留させることができる。次に、レジストパターン 71 をアッシング等により除去する。

【0034】

続いて図 9 に示すように、光リソグラフィ用のレジストをキャップ絶縁膜 15 上及び選択膜 16 上に塗布する。次に光リソグラフィを用いて、所定のパターンを露光、現像することによりレジストパターン 91 を形成する。このレジストパターン 91 は、光リソグラフィで充分対応することが可能な、デザインルールの比較的大きな箇所に形成する。すなわちゲート電極配線等の光リソグラフィでは対応が困難な箇所ではなく、上層配線との接続をとるための配線接続部やパッドを形成する部分に対応する箇所に形成する。

【0035】

続いて図 10 に示すように、レジストパターン 91 と選択膜 16 の双方をマスクとし、異方性エッチングによりキャップ絶縁膜 15 をエッチングする。この際、キャップ絶縁膜 15 と導電膜 14 及び選択膜 16 とはエッチングの選択比が大きいので、キャップ絶縁膜 15 のみをエッチングし、導電膜 14 及び選択膜 16 を残留させることができる。次にレジストパターン 91 をアッシング等により除去する。

【0036】

続いて図 11 に示すように、キャップ絶縁膜 15 をマスクとして導電膜 14 を異方性エッチングによりエッチングする。この際、選択膜 16 は導電膜 14 とエッチング特性が実質的に同様なため、導電膜 14 と共に同時にエッチングされ、除去される。従って選択膜 16 を除去する工程を省略することができる。以上の工程により、ゲート電極配線とそれに接続される配線接続部の形成工程が終了する。

【0037】

第二の実施の形態においては、第一の実施の形態と同様にキャップ絶縁膜 15 上にさらに導電膜 14 とエッチング特性が実質的に同様な選択膜 16 を形成する。そしてまず光リソグラフィ技術で対応することが困難となりつつある部分に、電子線リソグラフィを用いてレジストパターン 71 を形成し、これを用いて選択膜 16 をパターンニングする。次に光リソグラフィで対応が可能なデザインルールの大きい部分のレジストパターン 21 を形成した後、これらをマスクとしてキャップ絶縁膜 15 のパターンニングを行う。そして最終的に

パターンニングされたキャップ絶縁膜 15 をマスクとして導電膜 14 をパターンニングする。すなわち第一の実施の形態と第二の実施の形態とは、光リソグラフィを用いたレジストパターンの形成と、電子線リソグラフィを用いたレジストパターンの形成の順序が異なる。

【0038】

以上の各実施の形態では、ゲート電極配線となる導電膜とその上面に形成されるキャップ絶縁膜の積層構造を用い、この積層構造の上に、導電膜とエッチング特性が実質的に同様な選択膜を設けることにより、光リソグラフィと電子線リソグラフィを併用することが可能となる。また選択膜は導電膜のエッチングの工程と同時に除去されるため、これを除去するための工程を省略することが可能となる。これにより、配線層等のパターンニングの際、現状の光リソグラフィではパターンニングを行うことが困難となりつつあるデザインルールの小さい部分のみを選択し、この部分のみ電子線リソグラフィでパターンニングすることが可能となり、超 LSI の微細化に対応し、かつスループットの低下を防ぐことができる。

10

【0039】

尚、上記の実施の形態では選択膜 16 の膜厚は、導電膜 14 の膜厚と同等、さらには導電膜 14 の膜厚以上であっても、導電膜のエッチング工程において同時に除去される性質を有すればよい。

また上記の実施の形態では、ゲート電極配線と配線接続部の形成工程について示したが、これに限定されることはなく、導電膜と絶縁層の積層となっている配線層全般の形成工程に適用することが可能である。

20

さらに半導体基板上に高抵抗を有する導電膜によって形成される抵抗素子と、この抵抗素子に接続される抵抗素子の接続極部の形成工程にも適用することが可能である。すなわち電子線リソグラフィによって、線幅がより狭い領域をパターンニングすることができるため、より高抵抗な抵抗素子を微細な領域中に形成することができる。

また上記に示した数値、材料等は上記に限定されるものではなく、種々態様により実施することが可能である。

【0040】

【発明の効果】

本発明によれば、現状の光リソグラフィ技術では対応することが困難となりつつあるパターンを含む場合、その配線層として形成する膜の上面に、さらにこの配線層とエッチング特性の類似した選択膜を設けることにより、光リソグラフィと電子線リソグラフィとを混用して、パターンニングを行うことが可能となる。さらにこの選択膜は、導電膜をエッチングする際に同時にエッチングされて除去されるため、これを除去するための工程を追加する必要が無い。

30

よって配線層のパターンニングの際、現状の光リソグラフィではパターンニングを行うことが困難となりつつあるデザインルールの小さい部分のみを選択し、この部分のみ電子線リソグラフィでパターンニングすることが可能であり、スループットの低下を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態を説明する工程断面図。

40

【図2】本発明の図1に続く第一の実施の形態を説明する工程断面図。

【図3】本発明の図2に続く第一の実施の形態を説明する工程断面図。

【図4】本発明の図3に続く第一の実施の形態を説明する工程断面図。

【図5】本発明の図4に続く第一の実施の形態を説明する工程断面図。

【図6】本発明の図5に続く第一の実施の形態を説明する工程断面図。

【図7】本発明の第二の実施の形態を説明する工程断面図。

【図8】本発明の図7に続く第二の実施の形態を説明する工程断面図。

【図9】本発明の図8に続く第二の実施の形態を説明する工程断面図。

【図10】本発明の図9に続く第二の実施の形態を説明する工程断面図。

【図11】本発明の図10に続く第二の実施の形態を説明する工程断面図。

50

【図 1 2】従来の製造方法を説明する工程断面図。

【図 1 3】従来の図 1 2 に続く製造方法を説明する工程断面図。

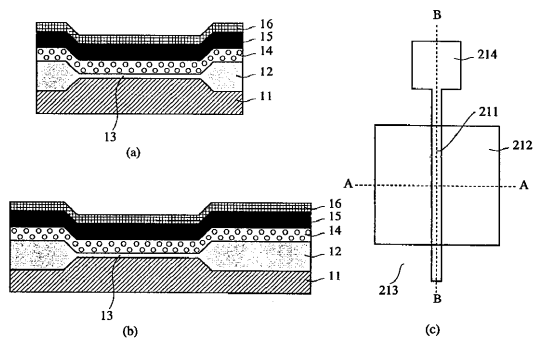
【図 1 4】従来の図 1 3 に続く製造方法を説明する工程断面図。

【符号の説明】

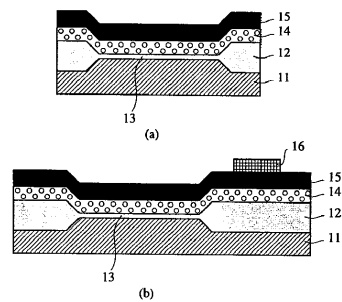
- | | | | |
|-------|-------------------|-----------------------|--|
| 1 1、 | 1 1 1 | 半 導 体 基 板 | |
| 1 2、 | 1 1 2 | フ ィ ー ル ド 絶 縁 膜 | |
| 1 3、 | 1 1 3 | ゲ ー ト 絶 縁 膜 | |
| 1 4、 | 1 1 4 | 導 電 膜 | |
| 1 5、 | 1 1 5 | キ ャ ッ プ 絶 縁 膜 | |
| 1 6 | | 選 択 膜 | |
| 2 1、 | 4 1、7 1、9 1、1 1 6 | レ ジ ス ト パ タ ー ン | |
| 2 1 1 | | 素 子 形 成 領 域 | |
| 2 1 2 | | ゲ ー ト 電 極 配 線 形 成 領 域 | |
| 2 1 3 | | 素 子 分 離 形 成 領 域 | |
| 2 1 4 | | 配 線 接 続 部 形 成 領 域 | |

10

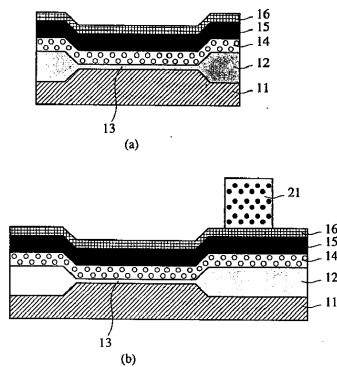
【図 1】



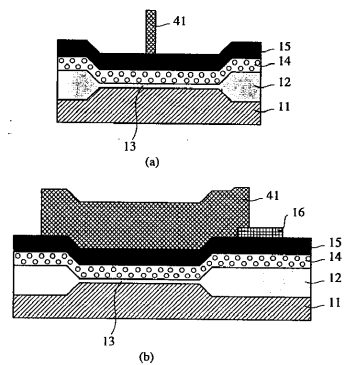
【図 3】



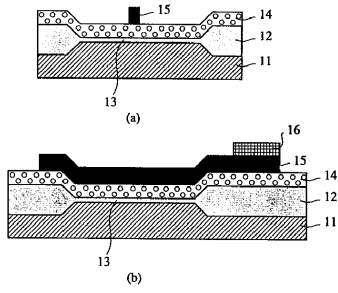
【図 2】



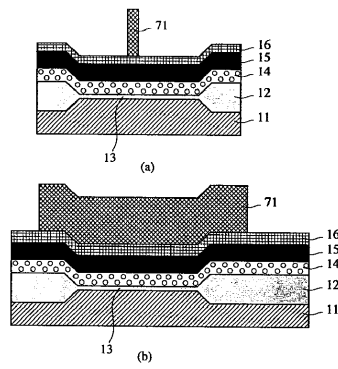
【図 4】



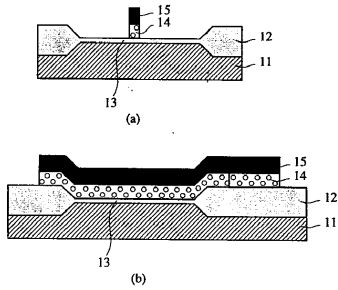
【図 5】



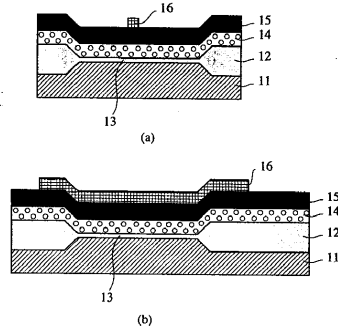
【図 7】



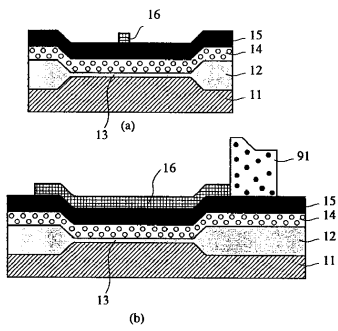
【図 6】



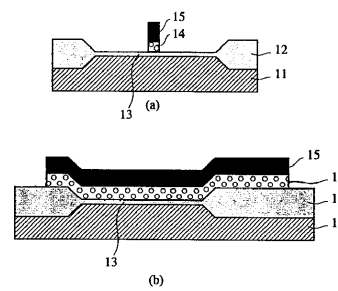
【図 8】



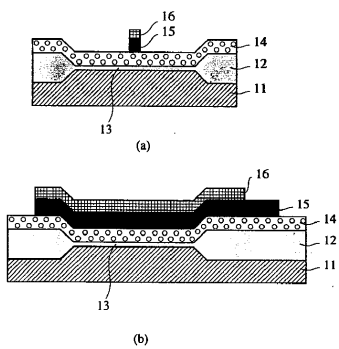
【図 9】



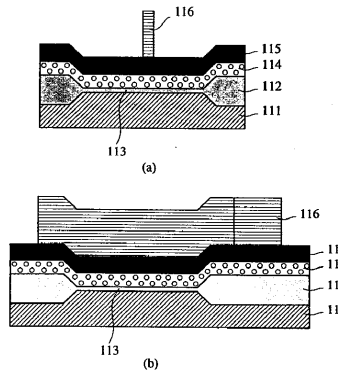
【図 11】



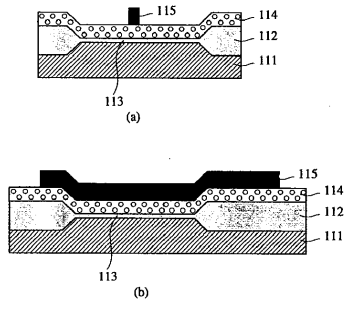
【図 10】



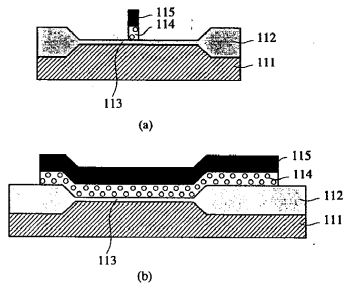
【図 12】



【図 13】



【図 14】



フロントページの続き(51) Int.Cl.⁷

F I

H 0 1 L 21/88

Q

(56)参考文献 特開平 0 7 - 2 6 3 2 9 7 (J P , A)
特開平 0 2 - 2 6 2 3 1 9 (J P , A)
特開昭 6 3 - 3 1 6 0 5 5 (J P , A)
特開平 0 9 - 2 1 3 6 0 6 (J P , A)
特開平 0 8 - 1 5 3 6 7 6 (J P , A)
特開平 0 6 - 3 4 9 6 9 5 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B 名)

H01L 21/027

C23F 1/00 102

G03F 7/20 504

H01L 21/3205

H01L 21/3213