

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96125778

※申請日期：96 7 16

※IPC 分類：H01L

21/
205
(2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法及半導體裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

西田 厚聰

NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 坂田 敦子
SAKATA, ATSUKO

2. 和田 純一
WADA, JUN-ICHI

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年07月21日；特願2006-200094

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造方法及半導體裝置。

【先前技術】

半導體積體電路(LSI)之多層配線中使用低電阻率之銅膜，並且以將銅膜埋入於層間絕緣膜上所形成之槽或通孔中之金屬鑲嵌配線為主流。存在配線寬度隨著LSI之細微化而變細，且配線厚度以降低配線間電容為目的而變薄之傾向。因此於高電阻率之障壁金屬層之配線剖面中，細微金屬鑲嵌配線所占之比例對配線電阻影響較大。即，障壁金屬層越薄，則金屬鑲嵌配線之電阻越低。然而，對障壁金屬層在防止銅原子向層間絕緣膜之擴散、與銅膜之密著性、以及與層間絕緣膜之密著性方面同時要求。

尤其障壁金屬層與銅膜之密著性，在配線之電遷移(Electro-Migration, EM)耐性及應力遷移(SM)耐性方面非常重要。進而理想的是，障壁金屬層以滿足上述要求之最薄膜厚，且以形成於層間絕緣膜之槽之底面及側面相同之厚度保形地(conformal)形成。

其次，對近來薄障壁金屬層之形成狀況進行說明。一般之物理氣相沈積法(PVD法)之階差被覆性低。因此，對於將金屬埋入於層間絕緣膜上所形成之槽與通孔中而形成之雙鑲嵌構造，難以利用PVD法來形成保形之障壁金屬層。所以，開發一離子化PVD法，利用基板偏壓而引入金屬離

子來改善底部覆蓋性(bottom coverage)，且利用金屬及成膜氣體離子之再濺鍍效果來改善側壁覆蓋性(side coverage)，並且應用於障壁金屬層之形成中。

然而，由於配線之細微化、高縱橫比，今後會越來越難以為保持配線電阻、障壁性及密著性而進行充分之保形成膜。另一方面，利用化學氣相沈積法(CVD法)可形成保形之障壁金屬層，但因SM之不良問題，而無法於配線步驟中應用高溫處理。因此，利用CVD法時存在以下問題：於配線步驟之容許溫度時所分解之作為障壁金屬之成膜材料之原料氣體較少。

又，提出於基板表面一層層地堆積原子層，以使薄膜沈積之原子層沈積法(ALD法)，作為極薄膜之保形成膜方法。ALD法並非適於形成厚膜，但可形成階差被覆性較佳之極薄膜。然而，ALD法亦存在與CVD法相同之問題，即，於配線步驟之容許溫度內難以使原料氣體熱分解。

另一方面，為抑制信號延遲，最近之層間絕緣膜使用低介電常數絕緣膜。低介電常數絕緣膜不僅對於有機系絕緣膜，而且對於無機系絕緣膜，亦含有較多碳(C)，空孔較多，截獲有水(H₂O)等氧化種。障壁金屬層與銅膜之密著性具有由材料所決定之密著性，以及障壁金屬層變質後經時變化之密著性。尤其密著性之經時變化，不僅於製造步驟中，而且於實際使用時亦會引起SM、EM不良等現象，因此極其深刻。在伴隨電漿照射、電子束照射、及紫外線照射之加工步驟、絕緣膜固化步驟中，釋放出絕緣膜中含

有碳之分子，使絕緣膜受損，水易吸附於脫附作用後之碳所結合之部位。

於該製造步驟中或者實際使用中，障壁金屬層經時變質之原因在於，因絕緣膜中所含之氧化種，導使障壁金屬層氧化，且與Cu之密著性降低。又，藉由含有絕緣膜中所含之碳(C)之分子，有時亦會致使障壁金屬層炭化(carbide)。

如上所述，今後將越來越難以抑制障壁金屬層變質，以確保密著性。又，提出預先於界面上形成氧化物之處理(例如，參照專利文獻1)，但在積極地形成氧化物時，由於形成化合價大且密度低之氧化物，故無法獲得所需形態。

[專利文獻1]日本專利特開2000-269213號公報

【發明內容】

[發明所欲解決之問題]

本發明之目的在於提供一種與配線材之密著性良好，且可形成障壁金屬層之半導體裝置之製造方法，以及具有與配線材之密著性優異之障壁金屬層之半導體裝置。

[解決問題之技術手段]

為達成上述目的，本發明之一態樣係關於一種半導體裝置之製造方法，其特徵在於包括以下步驟：於第1基板溫度時，使在表面形成有凹部之層間絕緣膜中及其表面氧化種釋放；在低於上述第1基板溫度之第2基板溫度時，與上述層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；及於上述層上形成銅金屬層。

又，本發明之其他態樣係關於一種半導體裝置之製造方法，其特徵在於包括以下步驟：與在表面形成有凹部之層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；藉由殘存於上述層間絕緣膜之氧化種，而使上述層之至少一部分氧化；及於上述層上形成銅金屬層。

進而，本發明之其他態樣係關於一種半導體裝置之製造方法，其特徵在於包括以下步驟：與在表面形成有凹部之層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；及於上述層上形成銅金屬層，且通過Ti與Cu之反應而於界面上形成特定之化合物。

又，本發明之一態樣係關於一種半導體裝置，其特徵在於包括：於表面形成有凹部之層間絕緣膜；包含形成於上述層間絕緣膜上之Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；由形成於上述層上之Ti或TiM(式中，M表示貴金屬元素)而構成之層；及形成於由上述Ti或TiM而構成之層上，且埋入於上述層間絕緣膜上所形成之上述凹部中之銅金屬層。

[發明之效果]

根據本發明，可提供一種配線材之密著性良好，且可形成障壁金屬層之半導體裝置之製造方法，以及具有配線材之密著性優異之障壁金屬層之半導體裝置。

【實施方式】

以下，將說明本發明之實施形態。再者，此說明係根據圖式而進行，其等圖式僅係為圖解而提供，本發明並非受其等圖式之任何限定。

(第1實施形態)

最初，對本發明第1實施形態之半導體裝置之製造方法進行說明。圖1~圖12係依次表示第1實施形態之製造方法之步驟圖。於本實施形態中，說明於配線材中含有銅膜(銅金屬層)，於障壁金屬層中含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層，以及雙鑲嵌構造之多層配線之形成情形，此雙鑲嵌構造之多層配線中，絕緣膜使用作為有機系低介電常數絕緣膜之聚伸芳香醚(polyarylene ether)(以下，略記為PAE)膜以及作為無機系低介電常數絕緣膜之含碳氧化矽(以下，略記為SiCO)膜等。

再者，上述Ti含量超過50 at%之層，可利用濺鍍簡單地製造。因此，於本實施形態及以下所說明之實施形態中，只要無特別限制，以利用濺鍍而形成上述層為中心進行說明。

一般而言，氮化物之濺鍍分為氮化模式與非氮化模式。此係將氮導入至裝置內，根據濺鍍時靶材表面之狀況而區分濺鍍模式者。例如，如以下圖13等所示，在將橫軸作為 N_2 之流量，縱軸作為腔室內壓力而繪圖時，於氮流量少之區域壓力上升少，於氮流量多之區域壓力上升大。該壓力上升少之區域稱為非氮化模式，該壓力上升大之區域稱為

氮化模式。「非氮化模式」及「氮化模式」分別被稱為「無毒模式」及「有毒模式」。

於非氮化模式下，靶材表面以母材金屬(例如Ti)為主而處於被氮化之某一過程，但在靶材表面大致為Ti之狀態下Ti被濺鍍，在其到達基板之途中或者基板表面而被氮化。另一方面，於氮化模式下，靶材表面被充分氮化，且形成有氮化物之表面被濺鍍，形成Ti：N大致為1：1之正規組成之膜。

在以濺鍍形成上述Ti含量超過50 at%之層時，可於非氮化模式即「無毒模式」下形成。另一方面，對於含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量為50 at%以下之層，可於氮化模式即「有毒模式」下，藉由濺鍍而形成。

因此，本實施形態及以下所示之實施形態以及本申請案之圖式中，只要無特別限制，則以濺鍍法而形成上述Ti含量超過50 at%之層及Ti含量為50 at%以下之層，於此情形時，適當使用「非氮化模式」之TiN膜及「無毒模式」語句，以及「氮化模式」之TiN膜及「有毒模式」語句。

再者，亦可取代上述濺鍍法，以CVD法或ALD法而形成上述Ti含量超過50 at%之層。以該等方法形成時，可藉由調整形成上述層時原料氣體與其他氣體之分壓比，例如氮(N₂)與氬之分壓比而獲得。或者，可藉由實施促進由電漿、自由基照射所吸附之原料氣體之分解之各種方法而獲得。

以下並未圖示，最初於下層電極露出之第1氧化矽(SiO_2)膜21上，依次形成第一PAE膜22及第2 SiO_2 膜23，獲得如圖1所示之剖面構造體。其次，如圖2所示，使用光微影技術及反應性離子蝕刻(RIE)法等，選擇性地蝕刻去除第一PAE膜22及第2 SiO_2 膜23，以形成第1配線槽201。

其次，於第2 SiO_2 膜23之表面、第1配線槽201之側面部及底部，形成Ti膜30a作為障壁金屬層。Ti膜30a形成良好之階差被覆性，且獲得如圖3所示之剖面構造體。其次，如圖4所示，經過將第1銅籽晶膜41成膜、電鍍埋入、以及熱處理步驟後，獲得如圖5所示之剖面構造體。此處之熱處理步驟，係為了預先抑制第1銅電鍍膜42之自然老化(self aging)等膜質之經時變化所引起之改變，以實現Cu之大粒徑化為目的而實施者。再者，於圖5中，將包含第一籽晶膜41之銅金屬層全體表示為第1銅電鍍膜42。

其後，對Ti膜30a及第1銅電鍍膜42進行CMP(Chemical Mechanical Polishin，化學機械研磨)步驟，以獲得如圖6所示之剖面構造體。經過CMP步驟後，Ti膜30a及第1銅電鍍膜42構成第1配線層40。

其次，如圖7所示，依次形成SiCN膜51、SiCO膜52、第2 PAE膜53、以及第3 SiO_2 膜54。此處，SiCN膜51發揮使用RIE法之步驟中擋止膜及銅擴散防止膜之功能。又，第3 SiO_2 膜54發揮使用CMP法之步驟中保護膜之功能。由SiCN膜51、SiCO膜52、第2 PAE膜53、以及第3 SiO_2 膜54，構成層間絕緣膜50。

再者，層間絕緣膜50亦可僅由SiCO膜52及第2 PAE膜53之至少一者而構成。另一方面，如上所述，在由複數種絕緣膜而構成層間絕緣膜50時，當至少1個絕緣膜使用吸濕性高之多孔膜時，由絕緣膜所釋放出之氧化性氣體變多。所謂「多孔膜」，係指含有較多空孔，以使相對介電常數降低至例如約為3以下之膜。

其次，使用光微影技術及RIE法選擇性地蝕刻去除層間絕緣膜50，以形成第2配線槽202及通孔203。其結果如圖8所示，第1配線層40之表面之一部分露出。其次，例如在250℃以上、300℃以下之溫度時，於真空中或者H₂氣體等還原氣體環境中，對以上述方式而獲得之構造體進行熱處理。藉由該熱處理，使層間絕緣膜50中含有之H₂O，或者第2配線槽202及通孔203形成時之結合被去除，殘存於層間絕緣膜50中之碳系殘留物等氧化種被去除。此時，若在還原氣體環境中進行上述熱處理，則亦進行露出通孔203底部之第1配線層40之表面氧化層之還原處理。

其次，於層間絕緣膜50之表面形成非氮化模式之TiN膜30b作為障壁金屬層。該TiN膜30b形成良好之階差被覆性，獲得如圖9所示之剖面構造體。

TiN膜30b例如可以下述方式而形成。將如圖8所示之構造體搬送至離子化濺鍍腔室內，並設置於被設定為所需溫度之基座(susceptor)上。其後，將上述構造體吸附於基座上，與基座保持相同之溫度。於此狀態下，向低壓力之濺鍍腔室中，導入用以產生濺鍍之Ar氣體例如6 sccm~8

sccm，並且導入例如 1 sccm~11 sccm之微量 N_2 ，使用離子化濺鍍法，例如於陰極條件 18 kW時，於基板偏壓 0 W~1000 W時，例如以單層而成膜 10 nm之TiN膜30b。此時，對於 N_2 之流量，用以取得良好覆蓋性之最佳基板偏壓值，分別選擇各種適當值。

再者，TiN膜30b係在上述氧化種去除之熱處理時，以低於第1基板溫度之第2基板溫度所形成。具體而言，若在 250°C 時實施上述氧化種去除之熱處理，則在不足 250°C 之溫度時形成TiN膜30b。又，若在 300°C 時實施上述熱處理，則在不足 300°C 之溫度時形成TiN膜30b。

如上所述，由於在溫度低於上述氧化種去除之熱處理溫度時形成TiN膜30b，故沒有氧化種從層間絕緣膜50中釋放出。因此，於障壁金屬材料堆積時，以不含有 TiO_x 等之方式形成TiN膜30b。此處，以不含有 TiO_x 等之方式形成TiN膜30b之原因在於，障壁金屬材料以原子狀或分子狀飛來並堆積之時刻所產生之 TiO_x 中，於未產生Ti-Ti原子間鍵結之狀態下與氧鍵合，因而成為原子間隔寬之Ti-O，結果存在形成分子密度小且障壁性低之膜之傾向。相對於此，藉由如下所示其後之絕緣膜形成步驟或燒結(sintering)步驟時之熱處理等，使殘存於層間絕緣膜50中之氧化種被釋放出，且與層間絕緣膜50接觸之TiN膜30b之表面被氧化所形成之氧化膜，係藉由氧向已穩定化之Ti-Ti原子間擴散、固溶而形成，故分子密度高，極其緻密。

又，上述氧化膜抑制氧化種從層間絕緣膜50中釋放出。

因此，不僅限於抑制與層間絕緣膜50之界面附近區域之TiN膜30b之氧化，而且可抑制遠離界面之區域之TiN膜30b之氧化。

其次，如圖10所示，於真空中連續形成第2銅籽晶膜71。其次，如圖11所示，使用電鍍裝置，以填充第2配線槽202及通孔203之方式形成第2銅電鍍膜72，並進行熱處理。與上述相同，該熱處理係為防止第2銅電鍍膜72之自然老化等膜質之經時變化所引起之改變，以預先實現Cu之大粒徑化為目的而實施者。其後，使用CMP法使第2銅電鍍膜72與TiN膜30b平坦化，並如圖12所示，形成由TiN膜30b及第2銅電鍍膜72而構成之第2配線層70。再者，此處，亦將包含第2銅籽晶膜71之銅金屬層全體表示為第2銅電鍍膜72。

具體而言，可以下述方式形成第2銅籽晶膜71及第2銅電鍍膜72。最初，以上述方式形成TiN膜30b，其後，將如圖9所示之構造體於真空中連續地搬送至銅膜形成用之腔室，使上述構造體保持於所需溫度，形成如圖10所示之第2銅籽晶膜71。亦可藉由PVD法、CVD法、或者ALD法等而使第2銅籽晶膜71形成所需膜厚，例如60 nm左右之膜厚。

其次，如圖11所示，將上述構造體放置於大氣中，並以電鍍法於通孔203及第2配線槽202中埋入第2銅電鍍膜72。其次，為防止第2銅電鍍膜72之自然老化等膜質之經時變化而引起之不均，進行預先實現Cu之大粒徑化之熱處理步

驟(電鍍後退火)。於真空、氮氣體環境中、或者 N_2/H_2 氣體環境中之任一者中，於溫度 $150^{\circ}C$ /時間60分~溫度 $300^{\circ}C$ /時間60分等條件下，進行電鍍後退火處理。當然，與各種電鍍條件一併，該退火條件之最佳溫度及最佳時間會改變。最後，藉由CMP法使第2銅電鍍膜72平坦化，以形成雙鑲嵌構造。

本實施形態中，藉由電鍍而進行埋入處理，當然，該埋入方法亦可使用CVD法或者ALD法。

與先前之方法相比，在使用以上述方式而製作之配線構造時，尤其於因絕緣膜中氧化種之氧化而易劣化之圖案密度低之區域，在 $175^{\circ}C$ 下進行1000小時之測試，其結果顯然應力遷移(SM)特性提高。

再者，為與圖12所示之構造體進行比較後進而實施多層化，亦可反覆執行上述圖7~圖12之步驟。

本實施形態可於以下方面賦予特徵，即，在形成第2配線層70時，形成非氮化模式之TiN膜30b作為第2銅電鍍膜72之基底層而使用。先前，發明者等提出一技術，例如使用Ti作為障壁金屬材料，將吸濕性高之絕緣膜所釋放出之氣體用作後氧化之氧化種，使Ti後氧化，以使障壁金屬層緻密化，由此提高Cu之障壁性。

然而，根據上述技術進行各種研討後，其結果亦明顯出現如下問題，即，在使障壁金屬成膜時，當無法形成充分之覆蓋性，尤其當無法充分確保側壁覆蓋性之情形下，在利用後氧化形成障壁金屬層時，有時氧化會一直達到Cu

層，故無法充分確保與Cu層之密著性。此情形可藉由充分確保障壁金屬層之膜厚而避免，但存在難以應對將來配線細微化之問題。

鑒於以上所述，本實施形態中，由於使用上述非氮化模式(無毒模式)之TiN膜30b，因此可避免上述問題。

此前使用TiN時，通常，使用氮化模式(有毒模式)之TiN(圖13)。其原因在於，塊狀Ti本身之障壁性小，在Ti與N大致為1：1附近之區域，塊狀膜之障壁性高。

另一方面，如上所述，以用來自層間絕緣膜之氧化種使含有Ti之膜後氧化，藉此形成緻密之 TiO_x 系膜，故可具有障壁性。鑒於上述觀點，對於1：1之正規組成之TiN膜而言，相反難以形成 TiO_x ，且亦難以取得與Cu之密著性，故顯然SM特性劣化。因此，在利用後氧化技術時，與Ti：N=1：1相比，初期成膜之膜係Ti成分較多之膜。

在取得TiN之組成區域與電氣特性之詳細對應關係並確認時，顯然，對於收率、可靠性均良好之區域，Ti=60 at%以上(N=40 at%不足)，對於特別好之極大區域，Ti=65 at%以上、不足97 at%(N=3 at%以上、不足35 at%)。可確認，當Ti=97 at%以上時，不良率與Ti具有相同之位準，當Ti=97 at%不足時，與Ti相比，不良率降低。

上述情形係根據Ti-N之二維相圖而進行如下考慮。作為金屬間化合物之Ti-N，在處理溫度 $400^{\circ}\text{C}\sim 500^{\circ}\text{C}$ 且Ti=60 at%不足(N：40 at%以上)時，具有TiN穩定存在之區域，在Ti=60 at%以上時，若Ti成分較多之化合物與TiN之共晶

區域變多，進而Ti成分變多，則具有Ti成分更多之化合物與Ti之共晶區域。此處，對於Ti為50 at%以下之TiN，難以與Cu或氧化種反應，但於Ti成分更多之區域中，易與Cu進行化合物反應，或者易進行絕緣膜界面之氧化之Ti變多。例如，可認為，在以下所述之TiN_x膜之電阻率極大點附近，為Ti₂N與Ti之共晶區域，易與Cu或氧化種反應而獲得良好特性。

圖14表示TiN_x膜之電阻率與成膜N₂流量之依存性。圖中表示0 W、200 W、300 W之例，但不取決於偏壓條件，具有伴隨橫軸N₂之流量增加而電阻上升，且在具有峰值後，電阻下降之傾向。

又，圖15係表示應用上述各種N₂之條件，來測定各種被覆率之圖案，以可加速評價來自周圍絕緣膜中之水之影響，並對不良率顯示評價之結果。根據周圍之水分，當障壁金屬完全氧化時，因氧化而導致障壁金屬與Cu之密著性劣化，不良率增加。於圖案密度高之部位，從開口部進行脫氣，故絕緣膜中含有之水分減少，難以因障壁金屬之氧化而產生不良情形，但於圖案密度低之部位，由於水分並未充分脫氣，故促進障壁金屬之氧化，易產生不良情形。

如圖15所示，可知，於電阻率極大部分，於N₂=3 sccm~7 sccm附近，不良率極小。並可確認，詳細研討結果為，進而於N₂=1 sccm附近亦同樣地，不良率低於Ti。

關於圖14之電阻率圖表及圖15之不良率圖表，前者中表示高電阻率傾向之N₂之組成區域A與後者中不良率較小之

N₂之組成區域B，有一部分重複，可參照電阻率來作為膜質之指標。

又，以X射線繞射術來測定上述膜時，顯然，與電阻率之傾向對應而具有以下情形。

於超過N₂=11 sccm之區域，觀察到可以Ti：N=1：1之化合物賦予指數之峰值，相對於此，於TiN之電阻率向上形成凸形之電阻率高之區域B，強度極低，可觀察到寬峰。此表示該區域之膜成為微結晶狀態。

另一方面，由X射線繞射測定可確認，從純Ti至電阻率極大區域為止，Ti₂N與Ti為微結晶狀態，在Ti成分更多之狀態下，由於為微結晶狀態，故可認為電阻值表示極大。如上所述，電阻率之值係表示包含組成、結晶性此兩者之膜質狀況之指標。

先前已說明，於形成有TiN之區域，難以形成TiO_x。又，TiN膜之電阻率因結晶化而下降。然而，於包含添加有N之Ti之區域，如X射線繞射之結果所示，由於被微結晶化，故電阻率上升。又，由於上述電阻率高，被微結晶化，故可認為氧化種難以通過直至Cu側，因而可保持與Cu層界面之密著性亦始終較高。

又，關於與層間絕緣膜接觸之側之組成，若考慮利用來自層間絕緣膜側之氧化種而使其氧化，則可與氧化種反應之Ti亦必須在組成上有殘存。即，一定必須在膜中存在可與層間絕緣膜反應之Ti。亦即，可知氮化模式之TiN不符合目標。

圖 16 係利用各種 N_2 流量及基板偏壓之組合而製作各種 TiN 組成之膜，並在其上形成 10 nm 厚度之 Cu(電鍍膜)，其後，將 H_2/N_2 之氣體環境 ($H_2=3\%$) 中，在約 200°C 、 300°C 、及 400°C 時進行約 1 小時熱處理時之聚合傾向進行匯總，且圖 16 係示意性表示對應於此之電阻率傾向。

由圖 16 顯然可知，從與 Cu(電鍍膜)接觸之側之 TiN 組成之觀點而言，為充分確保與 Cu 之密著性，氮化模式之 TiN 不充分。另一方面可知，非氮化模式之 TiN 膜具有與 Cu(電鍍膜)之充分之密著性。可確保與 Cu 之密著性之原因在於，非氮化模式之 TiN 膜中殘存有可與 Cu 反應之 Ti，或者取得如 Ti_2N 之易與 Cu 反應之化合物形態。由上述傾向可知，與 Cu 接觸之側為 Ti 成分(氮成分)特別理想之區域。

進而可知，在與 Cu 之密著性方面，存在熱處理溫度依存性，熱處理溫度越高，則較佳之 Ti 成分(氮成分)區域越廣。又可知，為確保與 Cu 之密著性，不僅產生 Ti 之擴散，而且重要的是，在非氮化模式之 TiN 膜與 Cu(電鍍膜)之界面上開始產生化合物之生成反應之至少 200°C 以上溫度時，進行 1 次以上之熱處理。

由於以上原因，此前一般性研討之於氮化模式下成膜之 TiN，不滿足本實施形態所述之所要求之特性。進而，與非氮化模式下成膜之 TiN 相比，氮化模式下成膜之 TiN 之電阻低，但成膜率為一半，故成本方面之優點亦減少。

又，以氧化種之化合物濺鍍等，不會導致 TiON 成膜時產生之膜密度降低，故可獲得良好之特性。

(第2實施形態)

其次，說明於上述第1實施形態中，非氮化模式之TiN膜與製作該TiN膜時之施加偏壓之關係。

圖17係表示於某固定時間，一邊施加偏壓一邊成膜所獲得之TiN_x膜之側壁覆蓋特性。橫軸表示偏壓值，縱軸表示分別於各固定時間t1成膜時之膜厚。其中，(a)表示場膜厚，(b)表示以絕緣膜之開口部端與所成膜之金屬膜表面之最短距離之膜厚來定義肩頭之膜厚，(c)表示底部膜厚，(d)表示側壁膜厚。

通常在以1階段成膜時，為避免場與肩頭被過度削減而到達形成圖案之層間絕緣膜，選擇偏壓及時間之組合。另一方面，對於底部覆蓋性而言，伴隨施加偏壓，膜厚增大，但由某偏壓值而產生再濺鍍，使底部膜厚開始減少。藉由該再濺鍍，所削減之底部之膜會附著於側壁，因此從底部膜厚開始減少起，側壁覆蓋性急遽增大。

如上所述，為取得良好之側壁覆蓋性，重要的是，直至再濺鍍引起之側壁覆蓋性增大區域為止，具有偏壓與時間之組合，但對於Ti膜，在產生該再濺鍍以前，圖案之肩頭會被削減。因此，難以為確保裝置之可靠性而進行側壁覆蓋性之重要改善。所以，例如Ti在陰極功率為18 kW、Ar為6 sccm時，僅可施加偏壓200 W。

然而，藉由添加N，使場與肩頭之膜厚之偏壓依存性如圖17(a)、17(b)所示而變化。此原因在於，因添加N而微結晶化，且膜變硬，故由偏壓而削減之速率，即蝕刻速率變

慢。由於場之傾斜度沒有變化，故內部覆蓋性之偏壓依存性如圖 17(c)、圖 17(d)所示。

如上所述，藉由向 Ti 中添加 N，可調整場與肩頭之傾斜度，故以可保護肩頭之偏壓值且產生底部再濺鍍，而可選擇側壁覆蓋性提高之區域之偏壓。例如，可選擇 $N_2=11$ sccm 時 300 W，且可增大覆蓋性。利用該區域可同時進行膜質與覆蓋性之改善。如上所述，由於在添加微量之 N_2 之非氮化模式之區域，亦產生場蝕刻速率之變化，故可改善覆蓋性。

再者，本實施形態中成膜參數係使用特定裝置時之一例，但用以利用裝置而獲得此關係之成膜參數具有各種不同情況，因此毫無疑問，於各個裝置中成膜參數不同。

同樣地，圖 18 係表示於第 1 階段以某些偏壓值或者不施加偏壓而成膜後，於下一第 2 階段，在某固定時間一邊施加偏壓一邊成膜所獲得之 TiN_x 膜與覆蓋性之關係。橫軸表示偏壓值，縱軸表示分別於第 1 階段成膜後，於固定時間 t_2 成膜時之膜厚。其中，(a) 表示場膜厚；(b) 表示以絕緣膜之開口部端與所成膜之金屬膜表面之最短距離之膜厚來定義肩頭之膜厚；(c) 表示底部膜厚；(d) 表示側壁膜厚。

在以 2 階段成膜時，於第 1 階段存在所成膜之膜厚度，於第 2 階段存在削減區域。即，由於第 1 階段之膜保護形成圖案之層間絕緣膜，故可選擇大於第 1 階段之偏壓，且可取得更高覆蓋性。此時於第 1 階段添加 N_2 後，難以被蝕刻，故即便於第 2 階段假設 Ti 成膜，亦可進而施加高偏壓，且

可調整覆蓋性。

例如，於第1階段，根據0 W~300 W之偏壓而適宜選擇陰極功率18 kW，Ar：6 sccm，N₂：3 sccm~11sccm，以無法削減肩頭之方式而形成TiN_x膜。其次，於第2階段，例如可根據高於第1階段之300 W~700 W之偏壓而適宜選擇Ar：6 sccm，N₂：0 sccm，以形成Ti膜。此時相比於在第1階段之肩頭削減區域以Ti成膜，添加N₂後難以被蝕刻，故於殘存有肩頭膜厚之狀態下，可於第2階段長時間地施加偏壓。或者，即便於相同之偏壓施加時間下，亦可施加偏壓，直至偏壓值高於第1階段以Ti成膜時之偏壓值。

藉此，如圖18所示，可選擇第2階段之偏壓，其使產生底部再濺鍍顯示減少傾向，且側壁覆蓋性上升。

再者，本例中表示可藉由調整第1階段之N₂流量，而選擇第2階段之Ti之偏壓值，以改善覆蓋性，但第2階段添加N₂時亦可以同樣方式進行調整。例如，即便N₂流量單一，作為偏壓階段之組合，可於第2階段添加N₂，以施加與Ti成膜時相比更高之偏壓。

例如，上述具體例為，於0 W時成膜陰極功率18 kW，Ar：6 sccm，N₂：3 sccm，於第2階段亦以3 sccm之比例添加N₂，藉此可如圖17(a)、(b)及圖18(a)、(b)所示來調整場及肩頭之保護量，故於第2階段，與以Ti成膜時相比，可長時間施加偏壓，或者於相同之偏壓施加時間，可施加更高之偏壓值。

又，設定為於第2階段以相同之N₂量來調整，且可施加

高偏壓，藉此可使底部產生再濺鍍後顯示減少傾向，且使側壁覆蓋性上升，故可進而使覆蓋性之改善效果提高。

以上，本實施形態中，描述於Ti成分超過50 at%之TiN中，著眼於改善側壁覆蓋性時之 N_2 流量與基板偏壓之關係。本實施形態中，對基板偏壓之組合中障壁金屬層為1層、2層之情形進行了描述，但當障壁金屬膜中存在Ti成分超過50 at%之TiN，即存在非氮化模式之TiN膜時，即便對於超過2層之膜構成，毫無疑問亦可同樣地選擇基板偏壓。進而，本實施形態所示之成膜參數係使用某裝置時之一例，但用以利用裝置而獲得該關係之成膜參數具有各種不同情況，因此毫無疑問，於各個裝置中成膜參數不同。
(第3實施形態)

其次，將對上述第1實施形態及/或第2實施形態中所形成之非氮化模式之TiN膜之突懸率、側面覆蓋率、以及底部覆蓋率進行說明。

圖19係用以說明(規定)上述非氮化模式之TiN膜之突懸率、側面覆蓋率、以及底部覆蓋率等要素之圖，圖20係使各種 N_2 流量之TiN膜之突懸率及底部覆蓋率依存於晶圓位置等而平均化後所得之數值進行圖表化者。又，圖21係示意性表示TiN膜之開口部前方附近之成膜過程之說明圖。進而，圖22係表示可施加於Ti膜及TiN膜之偏壓與側壁覆蓋性之關係之圖表。

於離子化濺鍍中，當一邊施加偏壓一邊成膜時，晶圓之溫度易上升。對於如Ti之熔點低之材料，易產生表面遷移

(圖 21(b))。其結果，角狀之突起於前方成長，突懸率變高。

然而，如圖 20 所示，添加 N_2 後，突懸受到抑制。藉此，導入至開口部內之金屬離子數增加，底部覆蓋性增加。此原因可認為，因添加微量 N 而使膜自身之熔點上升，且膜表面之遷移受到抑制，藉由此效果而使突懸受到抑制(圖 21(c))。

又，如先前所述，於突懸受到抑制之 N_2 流量區域，所獲得之 TiN 膜被微結晶化，沈積於初期所堆積之膜上之膜本身，並不連續地產生結晶性，且不產生如強調結晶粒之異向性之膜沈積。因此，伴隨上述遷移抑制效果，可充分確保開口，且更確保內部之覆蓋性。

又，Ti 於再濺鍍時之金屬釋放精度低，施加高偏壓後，開口部前方會削減(圖 21(a))，因而如第 2 實施形態所示，例如於 Ti 成膜時，無法施加 200 W 左右之偏壓，但藉由添加 N_2 ，例如施加 300 W 之高偏壓時，亦不會於前方產生肩頭削減。因此，如圖 22 所示，可利用底部膜之再濺鍍而提高側壁覆蓋性。

於以上實施形態中，使用 PVD 法即濺鍍法，記述膜之構成為 Ti : N 之二維組成，但亦可同樣考慮使用 CVD 法、ALD 法。又，亦可考慮 Ti 與 Ti 以外之除氧(O)及貴金屬成分以外之物質之組成比。例如，於 Ti 為 60 at% 且 N 為 40 at% 之組成中，對於 MOCVD，含有 40 at% 之 C、N，而對於以 $TiCl_4$ 為原料基礎之 TiN，同樣可看作等價於含有 40 at% 之

N、Cl之組成。此原因在於，除氧(O)及貴金屬成分以外之所有成分中Ti成分(>50 at%)為根本。

(第4實施形態)

其次，對上述第1實施形態~第3實施形態中之變形例進行說明。本實施形態中說明以下情形：當於上述非氮化模式之TiN膜中含有Ru作為第3成分時，即，於經過上述圖1~圖8所示之步驟而形成之構造體之層間絕緣膜50之表面，形成含有Ru之非氮化模式之TiN膜、 TiRu_yN_x 膜作為障壁金屬層，並於其上實施圖10~圖12所示之步驟，形成含有第2銅電鍍層72之第2配線層70。

與非氮化模式之TiN膜30b相同，上述 TiRu_yN_x 膜例如可以下述方式而形成。將圖8所示之構造體搬送至離子化濺鍍腔室內，並設置於被設定為所需溫度之基座上。其後，將上述構造體吸附於基座上，與基座保持相同之溫度。於此狀態下，向低壓力之濺鍍腔室中，導入用以產生濺鍍之Ar氣體例如6 sccm~8 sccm，並且導入例如1 sccm~11 sccm之微量 N_2 ，使用離子化濺鍍法，並且靶材使用由Ti與Ru構成之溶解或鑲嵌靶材，例如於陰極條件40 A時，於基板偏壓0 W~1000 W時，例如以單層而成膜10 nm之 TiRu_yN_x 膜。此時，對於 N_2 之流量，用以取得良好覆蓋性之最佳基板偏壓值，可分別選擇各種適當者。

再者，與TiN膜30b相同， TiRu_yN_x 膜亦係在用以去除層間絕緣膜50中之氧化種之熱處理時，以低於第1基板溫度之第2基板溫度所形成。具體而言，若於250℃時實施氧化

種去除之熱處理，則於不足 250°C 之溫度時形成 TiRu_yN_x 膜。又，若於 300°C 時實施氧化種去除之熱處理，則於不足 300°C 之溫度時形成 TiRu_yN_x 膜。

此處，對於在非氮化模式之 TiN 膜中含有 Ru 作為第3成分之效果進行描述。對於含有該 Ru 之合金系，亦與非氮化模式之 TiN 膜30b時相同，根據與層間絕緣膜接觸之側之後氧化，而形成抑制層間絕緣膜中之氧化種使 Cu 界面側進行氧化之膜。又，當銅籽晶膜為薄膜時，在 TiRu_yN_x 與 Cu 接觸之界面上，可能會露出障壁金屬，但由於存在對電鍍具有催化效果之 Ru ，故與僅露出 Ti 時相比較，於銅電鍍方面更為有利。進而，與 TiN 時相同， Ti 向 Cu 中擴散，於 Cu 晶界偏析，藉此而抑制 Cu 遷移。如上所述，當銅籽晶膜為薄膜時，發揮含有 Ru 之效果。

又，以CVD法埋入 Cu 時，亦發揮相同效果。例如，對使用作為一般氣體源之銅(六氟乙醯丙酮酸(hexafluoroacetylacetonato))3甲基乙烯矽烷(trimethylvinylsilane)(以下，略記為 $\text{Cu}(\text{hfac})\text{TMVS}$)之情形進行說明。 Ti 與 Cu 中，由於 Ti 氧化而產生之能量在負方向具有更大值，故難以對 Cu 授受電荷，導致 hfac 基吸附於 Ti 側，於 Ti/Cu 界面上易形成含有氟(F)之碳系雜質層。相對於此，在使用 TiN_x 膜時， Ti 與 Cu 之電荷授受關係產生變化，易對 Cu 授受電荷，故不形成雜質層， Cu 易成膜。除此之外，進而對於本實施形態中之 Ru 而言， Cu 氧化產生之能量相比於 Ru 在負方向具有更大值，故易對 Cu 授受電荷，更促進 Cu 於含有 Ru 之障壁金屬

上成膜。

再者，本實施形態中，已說明使用Ru作為第3成分之例，但只要難以氧化，或者即便為氧化物，只要與銅之密著性良好者、電鍍時具有催化效果者，均可適宜選擇。上述材料之例除Ru以外，還可列舉Pd、Pt、Au等貴金屬。亦可將該等併用。

(第5實施形態)

本實施形態中，將說明以下情形：在如上所述之非氮化模式之TiN膜或者TiRu_yN_x膜上積層Ti膜或者TiRu_y膜，並於其上實施圖10~圖12所示之步驟，形成含有第2銅電鍍層72之第2配線層70。

圖23係表示於單層非氮化模式之TiN膜上形成銅電鍍膜(配線層)時，以及於非氮化模式之TiN膜(下層)/Ti膜(上層)之積層膜上形成銅電鍍膜(配線層)時，分別伴隨積層而產生之不良率之圖表。再者，為進行參考，圖23中一併顯示於單層之Ta膜及Ti膜上形成銅電鍍膜(配線層)時之不良率。

由圖23(a)顯然可知，當於非氮化模式之TiN膜單層上形成銅電鍍膜時，雖有若干不均，但與Ta膜或Ti膜相比較，尤其於電阻率極大之N₂條件附近，不良率得到降低、改善。又，由圖23(b)顯然可知，當於非氮化模式之TiN膜(下層)/Ti膜(上層)之積層膜上形成銅電鍍膜時，與圖23(a)所示之非氮化模式之TiN膜單層上形成銅電鍍膜之情形相比，不良率減少。

此原因可認為，於樣品製作之熱步驟中，上層之Ti膜與銅電鍍膜相互反應，形成特定之化合物，其結果，由於該化合物之介入，使非氮化模式之TiN膜(下層)/Ti膜(上層)之積層膜與銅電鍍膜之密著性增大。

其次，說明TiN與Ti之積層構造中，於非氮化模式下成膜下層之TiN之所形成TiN之效果。於雙重金屬鑲嵌構造中，當在通孔中形成TiN/Ti構造時，下層之Cu與TiN接觸。可知，一般於下層配線之通孔底部，於應力遷移測試中易形成空隙。若銅與障壁金屬之密著性差，則更易形成該通孔底之空隙。對於TiN/Ti此2層障壁金屬，易形成銅之化合物，非氮化模式下所形成之TiN與Cu接觸，藉此可抑制該通孔底之空隙。又，形成於下層之TiN係於非氮化模式下成膜之微結晶，故於其上成膜之Ti之定向失敗，難以於1個方位突出而晶粒成長，因此難以成長為角狀。藉此，可抑制積層於上層之Ti膜突懸。

又，取代Ti，將TiRu_y積層之構造由於可取得與積層Ti之構造相同之效果，而且係含有Ru之膜構造，故在利用銅電鍍或CVD而成膜時，可發揮第5實施形態所說明之效果。即，當銅籽晶膜為薄膜時，可能會露出障壁金屬，但由於存在對電鍍具有催化效果之Ru，故與僅露出Ti時相比較，於銅電鍍方面更有利。又，在利用CVD法埋入Cu時，Ru氧化產生之能量低於Cu，因此，例如在使用一般Cu(hfac)TMVS等原料氣體時，因存在Ru，故易在障壁金屬層上直接成膜。

再者，於 $\text{TiRu}_y\text{N}_x/\text{TiRu}_y$ 此 2 層構造中，於下層及上層改變 TiRu_y 之組成，即，在欲設為 $\text{TiRu}_{y1}\text{N}_x/\text{TiRu}_{y2}$ (其中， $y1 \neq y2$) 之 2 層構造時，可準備具有於真空中連續不同之 Ti 與 Ru 之組成比之靶材來成膜。於該組成之組合中，當然亦包含 $y1=0$ 之情形，或者 $y2=0$ 之情形。

又，於上層之 TiRu_y 中，與說明第 4 實施形態之 TiRu_yN_x 時相同，亦可取代 Ru 而使用 Pd、Pt、Au 等，又，毫無疑問可將上述 2 種以上物質併用。

以上，一邊列舉具體例，一邊對本發明進行詳細說明，但本發明並非限定於上述內容，只要不脫離本發明之範圍，可進行所有變形或變更。

【圖式簡單說明】

圖 1 係用以說明本發明第 1 實施形態之半導體裝置之製造方法之步驟剖面圖。

圖 2 係表示圖 1 所示之步驟之下一步驟之剖面圖。

圖 3 係表示圖 2 所示之步驟之下一步驟之剖面圖。

圖 4 係表示圖 3 所示之步驟之下一步驟之剖面圖。

圖 5 係表示圖 4 所示之步驟之下一步驟之剖面圖。

圖 6 係表示圖 5 所示之步驟之下一步驟之剖面圖。

圖 7 係表示圖 6 所示之步驟之下一步驟之剖面圖。

圖 8 係表示圖 7 所示之步驟之下一步驟之剖面圖。

圖 9 係表示圖 8 所示之步驟之下一步驟之剖面圖。

圖 10 係表示圖 9 所示之步驟之下一步驟之剖面圖。

圖 11 係表示圖 10 所示之步驟之下一步驟之剖面圖。

圖 12 係表示圖 11 所示之步驟之下一步驟之剖面圖。

圖 13 係用以說明 TiN_x 膜中之氮化模式之區域及非氮化模式之區域之圖。

圖 14 係表示 TiN_x 膜之電阻率與成膜 N_2 流量依存性之圖表。

圖 15 係表示對以 TiN_x 膜開始之各膜，於水分影響加速之狀態下測試時之不良率之圖表。

圖 16 係表示 TiN_x 膜與銅膜之密著性傾向之圖表。

圖 17(a)~圖 17(d) 係圖示於第 1 階段，於某固定時間一邊施加偏壓一邊成膜所獲得之 TiN_x 膜之覆蓋特性。

圖 18(a)~圖 18(d) 係圖示於第 2 階段，於某固定時間一邊施加偏壓一邊成膜所獲得之 TiN_x 膜之覆蓋特性。

圖 19 係用以說明(規定)非氮化模式之 TiN 膜之突懸率、側面覆蓋率、及底部覆蓋率等要素之圖。

圖 20 係表示各種 N_2 流量之 TiN 膜之突懸率及底部覆蓋率之圖表。

圖 21(a)~圖 21(c) 係示意性表示 TiN 膜之開口部前方附近之成膜過程之說明圖。

圖 22 係表示可對 Ti 膜及 TiN 膜施加之偏壓與側壁覆蓋性之關係之圖表。

圖 23 係表示在單層之非氮化模式之 TiN 膜上形成銅電鍍膜(配線層)時，以及在非氮化模式之 TiN 膜(下層)/ Ti 膜(上層)之積層膜上形成銅電鍍膜(配線層)時，分別伴隨積層而產生之不良率之圖表。

【主要元件符號說明】

21	第 1 氧化矽 (SiO_2) 膜
22	第 1 聚伸芳香醚 (PAE) 膜
23	第 2 SiO_2 膜
201	第 1 配線槽
30a	Ti 膜
30b	非氮化模式之 TiN 膜
40	第 1 配線層
41	第 1 銅籽晶膜
42	第 1 銅電鍍膜
50	層間絕緣膜
51	SiCN 膜
52	含碳氧化矽 (SiCO) 膜
53	第 2 PAE 膜
54	第 3 SiO_2 膜
70	第 2 配線層
71	第 2 銅籽晶膜
72	第 2 銅電鍍膜

五、中文發明摘要：

本發明係使配線材與障壁金屬層之密著性提高。於第1基板溫度時，使在表面形成有凹部之層間絕緣膜中及其表面之氧化種釋放，其後，在低於上述第1基板溫度之第2基板溫度時，與上述層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層。其次，於上述層上形成銅(Cu)金屬層，以製造半導體裝置。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其包括以下步驟：

於第1基板溫度時，使在表面形成有凹部之層間絕緣膜中及其表面之氧化種釋放；

在低於上述第1基板溫度之第2基板溫度時，與上述層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；及

於上述層上形成銅金屬層。

2. 如請求項1之半導體裝置之製造方法，其中上述Ti含量為60 at%以上。

3. 如請求項1之半導體裝置之製造方法，其中上述Ti含量為65~97 at%。

4. 如請求項1之半導體裝置之製造方法，其中上述層除Ti及N之外，進而包含選自貴金屬元素之至少1種金屬M。

5. 如請求項1之半導體裝置之製造方法，其中進而包括於上述層及上述銅金屬層之間插入包含Ti或TiM(式中，M表示貴金屬元素)之層之步驟。

6. 一種半導體裝置之製造方法，其包括以下步驟：

與在表面形成有凹部之層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；

藉由殘存於上述層間絕緣膜之氧化種，使上述層之至少一部分氧化；及

於上述層上形成銅金屬層。

7. 如請求項6之半導體裝置之製造方法，其中上述Ti含量為60 at%以上。
8. 如請求項6之半導體裝置之製造方法，其中上述Ti含量為65~97 at%。
9. 如請求項6之半導體裝置之製造方法，其中上述層除Ti及N之外，進而包含選自貴金屬元素之至少1種金屬M。
10. 如請求項6之半導體裝置之製造方法，其中進而包括以下步驟：於上述層及上述銅金屬層之間插入包含Ti或TiM(式中，M表示貴金屬元素)之層。
11. 一種半導體裝置之製造方法，其包括以下步驟：

與在表面形成有凹部之層間絕緣膜之至少一部分接觸，以形成含有Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%之層；及

於上述層上形成銅金屬層，且通過Ti與Cu之反應而於界面上形成特定之化合物。

12. 如請求項11之半導體裝置之製造方法，其中於上述層上形成銅金屬層，且通過Ti與Cu之反應而於界面上形成特定化合物之步驟包含至少1次200℃以上之熱處理。
13. 如請求項11之半導體裝置之製造方法，其中上述Ti含量為60 at%以上。
14. 如請求項11之半導體裝置之製造方法，其中上述Ti含量為65~97 at%。
15. 如請求項11之半導體裝置之製造方法，其中上述層除Ti

及N之外，進而包含選自貴金屬元素之至少1種金屬M。

16. 如請求項11之半導體裝置之製造方法，其中進而包括於上述層及上述銅金屬層之間插入包含Ti或TiM(式中，M表示貴金屬元素)之層之步驟。

17. 一種半導體裝置，其包括：

層間絕緣膜，其在表面形成有凹部；

第1層，其包含形成於上述層間絕緣膜上之Ti及N，且除氧(O)及貴金屬成分以外之所有成分中之Ti含量超過50 at%；

第2層，其包含形成於上述第1層上之Ti或TiM(式中，M表示貴金屬元素)；及

銅金屬層，其形成於包含上述Ti或TiM之第2層上，且埋入於上述層間絕緣膜上所形成之上述凹部。

18. 如請求項17之半導體裝置，其中上述Ti含量為60 at%以上。

19. 如請求項17之半導體裝置，其中上述Ti含量為65~97 at%。

20. 如請求項17之半導體裝置，其中上述第1層除Ti及N之外，進而包含選自貴金屬元素之至少1種金屬M。

十一、圖式：

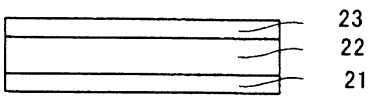


圖1

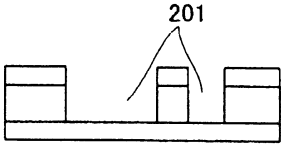


圖2



圖3

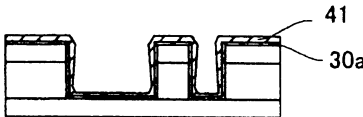


圖4

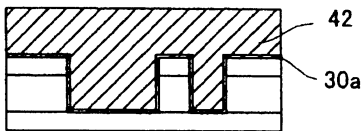


圖5

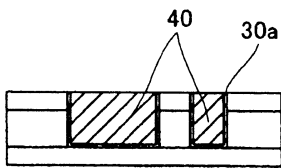


圖6

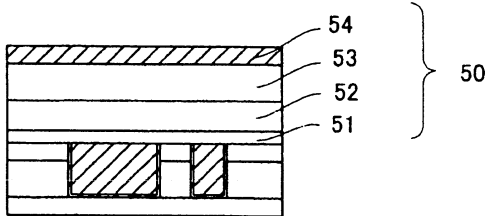


圖7

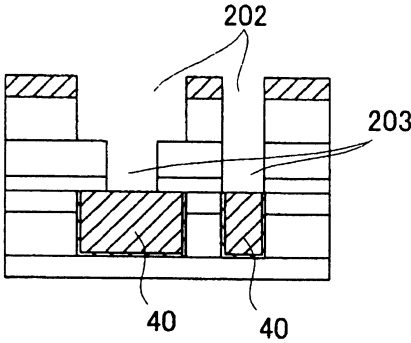


圖8

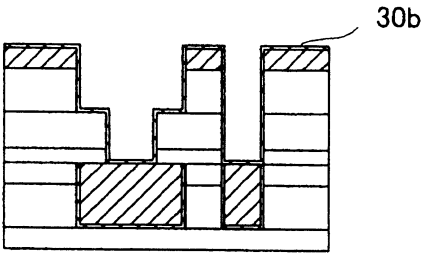


圖9

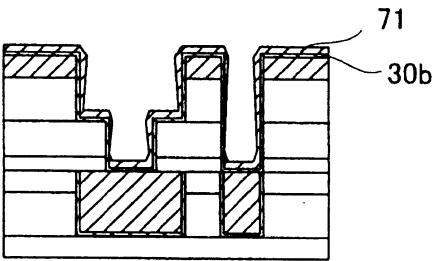


圖10

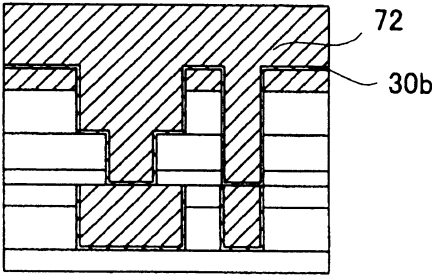


圖11

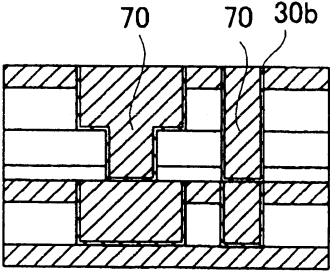


圖12

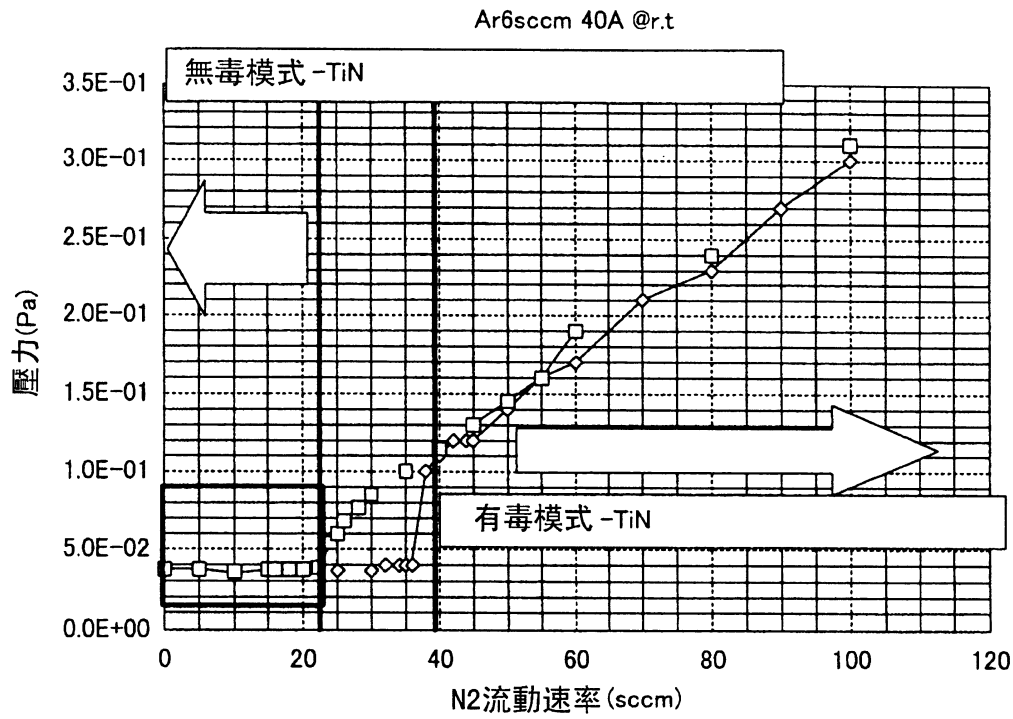


圖13

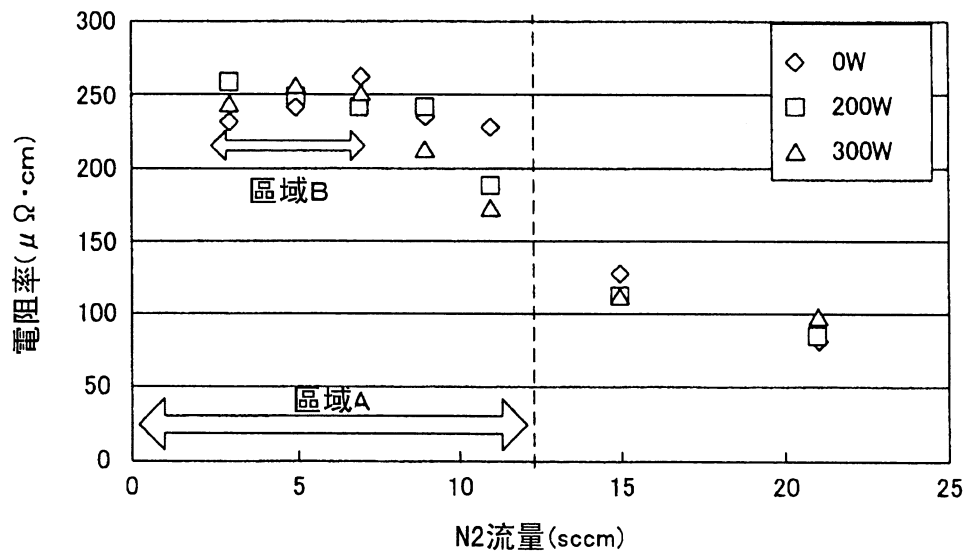


圖14

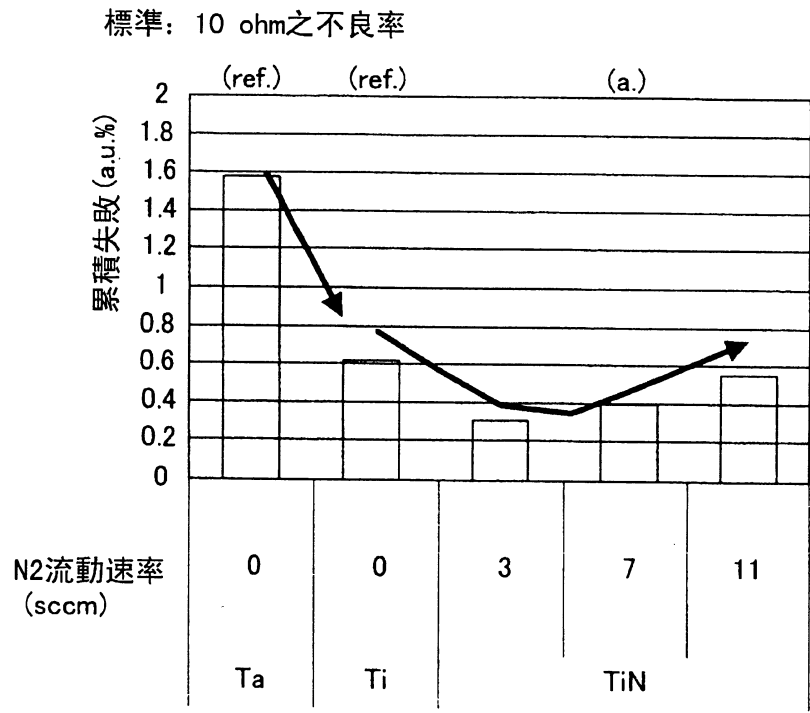


圖15

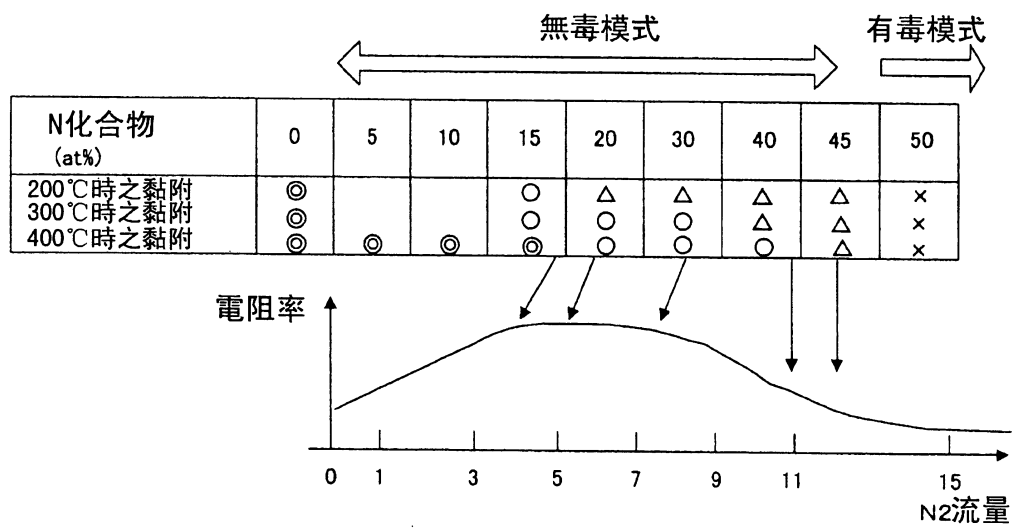
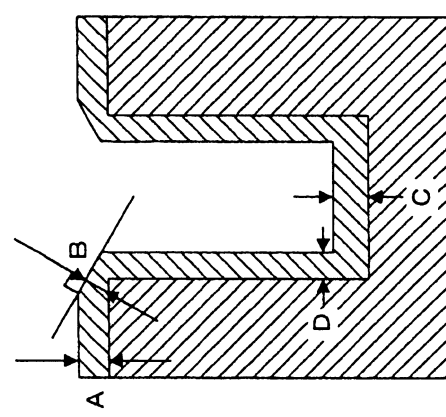
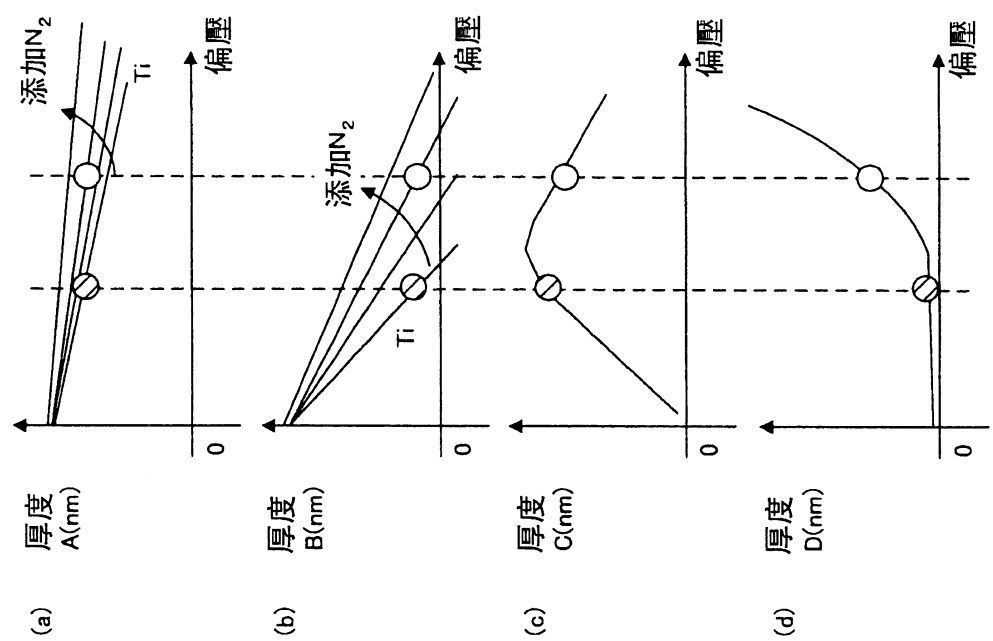


圖16



- A: 場膜厚
- B: 肩頭膜厚
- C: 底部膜厚
- D: 側壁膜厚

圖17

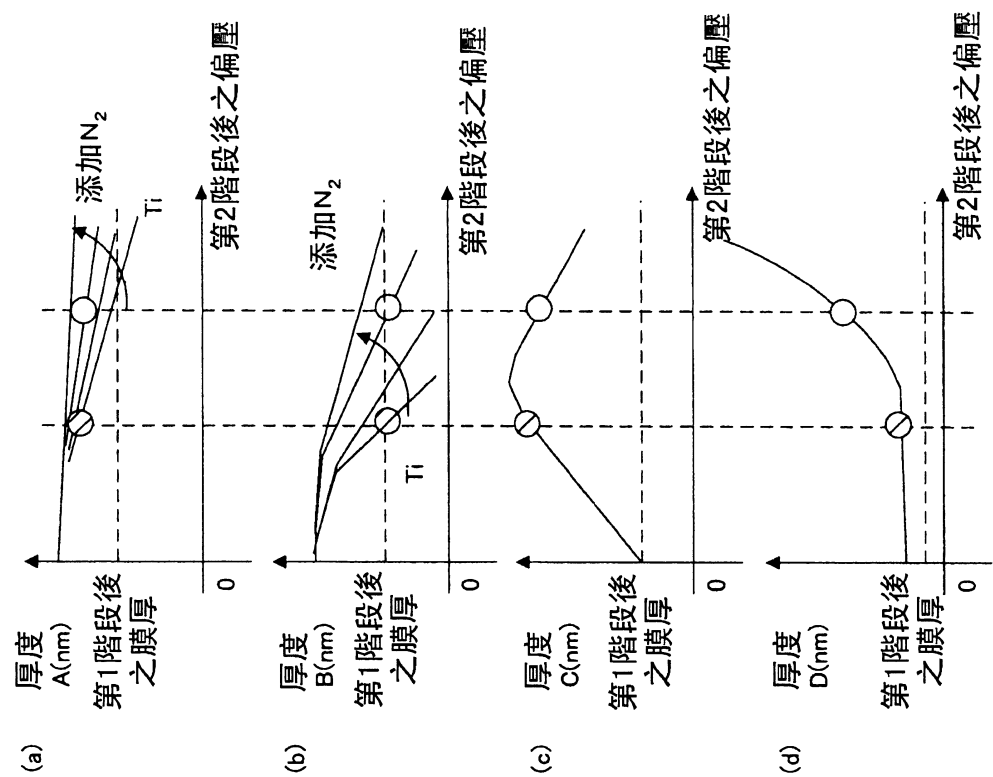
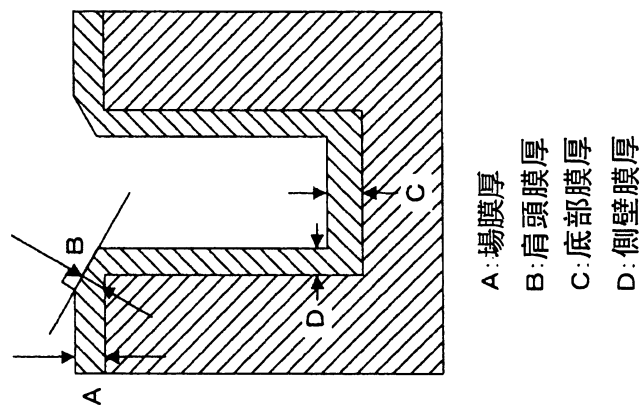
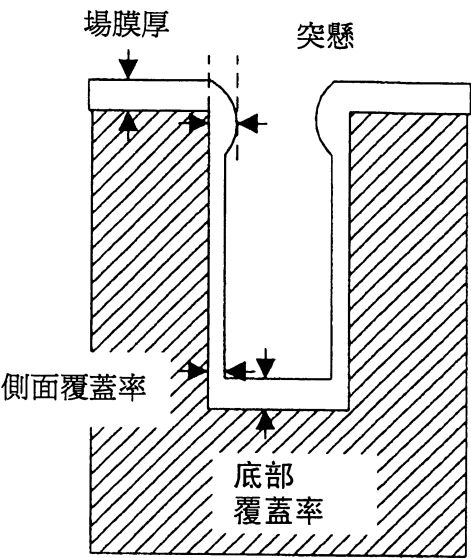


圖18





覆蓋率
=各部分之膜厚/場膜厚×100

圖19

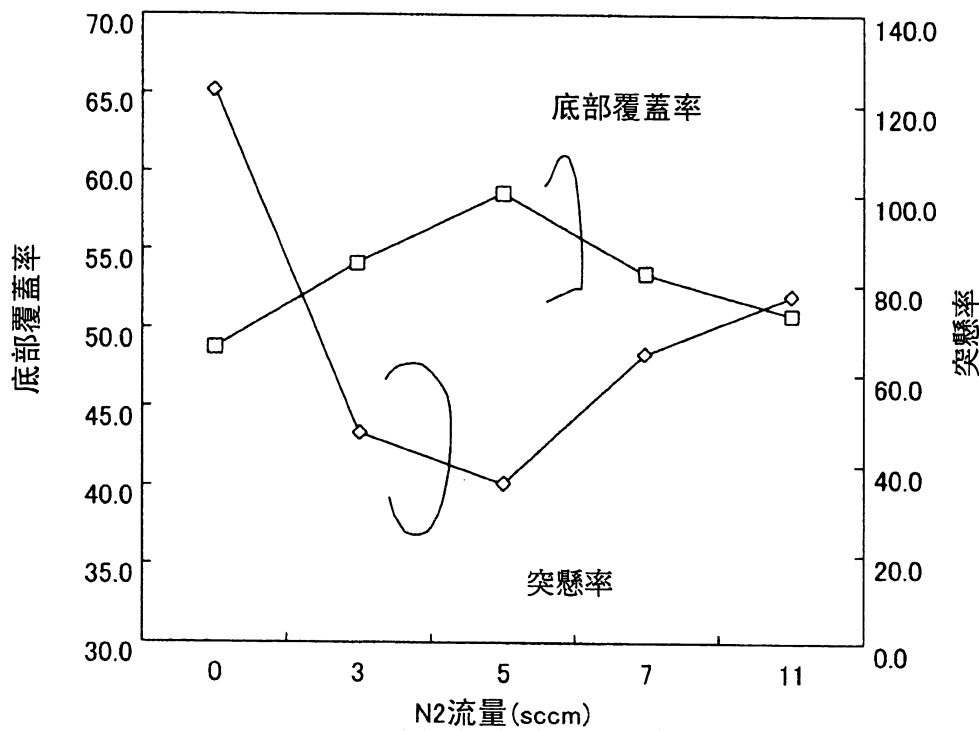
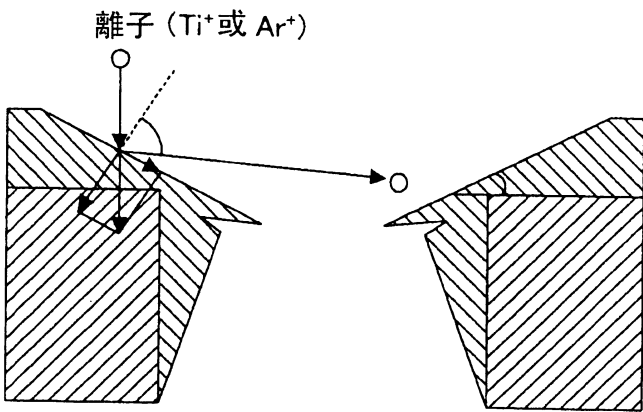
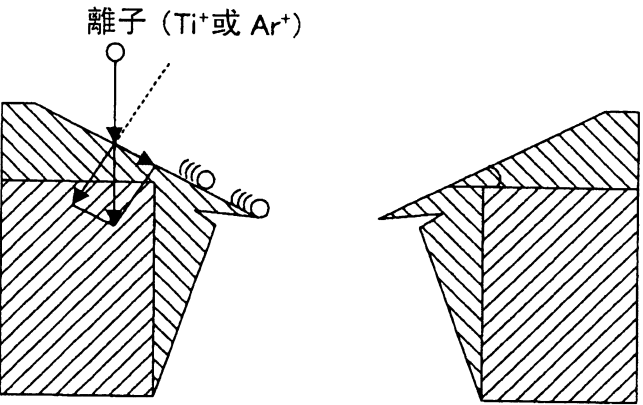


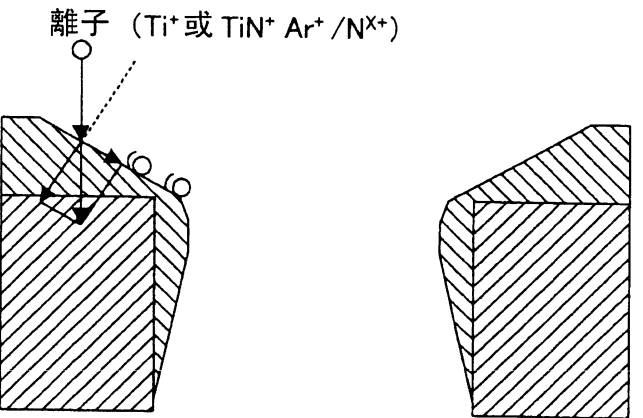
圖20



(a)



(b)



(c)

圖21

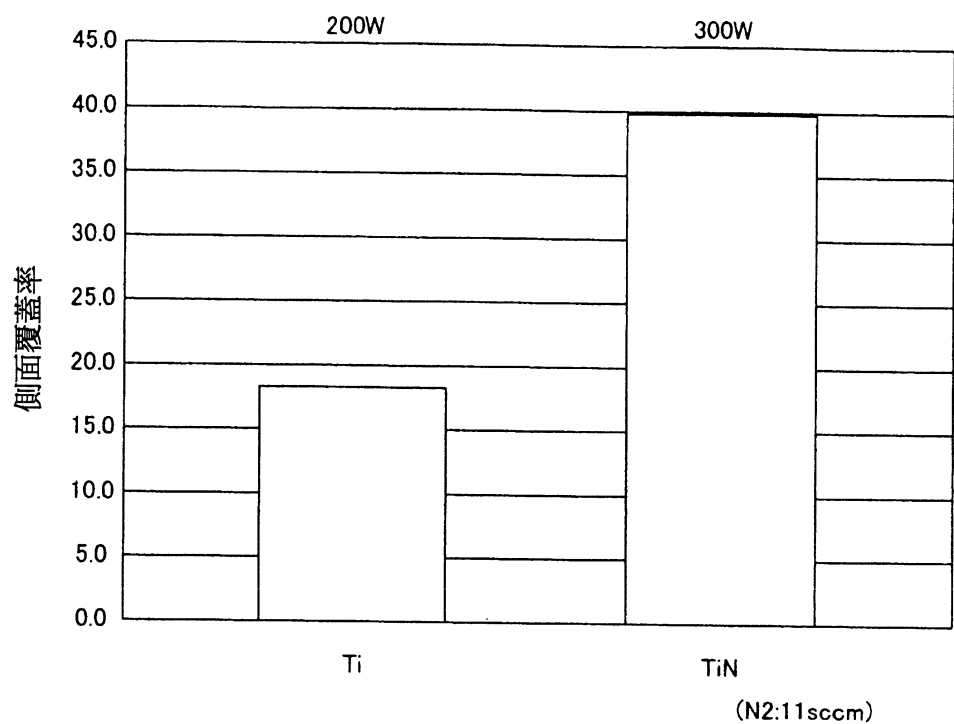


圖22

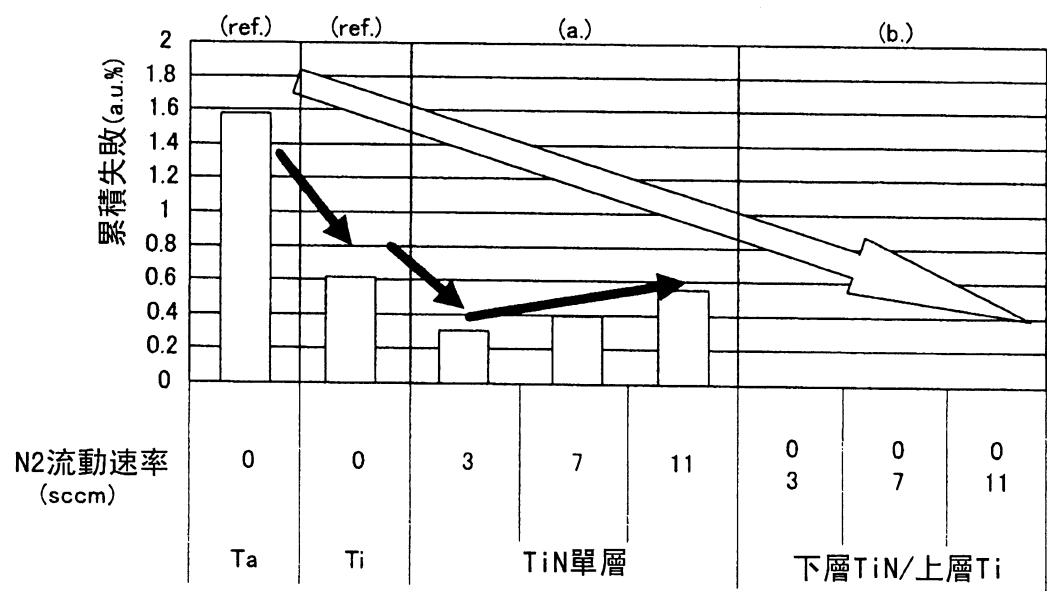


圖23

七、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

30b 非氮化模式之TiN膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)