

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/866

(11) 공개번호 특1998-077238
(43) 공개일자 1998년11월 16일

(21) 출원번호	특1997-014267
(22) 출원일자	1997년04월 17일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 박준기
	서울특별시 서초구 서초1동 1436-1 현대 아파트 20동 309호 이동희
(74) 대리인	인천광역시 부평구 산곡2동 155-2 한양아파트 29-207호 임평섭, 정현영, 최재희

심사청구 : 없음

(54) 제너 다이오드 제조방법

요약

본 발명에 의한 제너 다이오드 제조방법은, 이원화된 두개의 산화막이 형성된 기판으로 고농도의 제 1 도전형 불순물을 확산시켜, 상기 기판 내에 제 1 도전형의 불순물 영역(P^+ 불순물 영역)을 형성하는 공정과, 상기 기판 표면이 소정 부분 노출되도록 상기 산화막을 식각하는 공정과, 표면이 노출된 상기 기판 내로 고농도의 제 2 도전형 불순물을 확산시켜, 상기 제 1 도전형의 불순물 영역과 소정 부분 오버랩되도록 상기 기판 내에 제 2 도전형의 불순물 영역(N^+ 불순물 영역)을 형성하는 공정 및, 상기 기판으로 3가의 제 1 도전형 불순물(Boron)을 이온주입하는 공정으로 이루어져, 1) 상기 기판내의 N^+ 불순물 영역으로 이온주입된 3가의 제 1 도전형 불순물이 상기 N^+ 불순물 영역 표면 근처에 잔존하는 과잉의 P(phosphrus)와 강제적으로 공유결합되므로, 산화막으로 트랩되는 핫 캐리어량을 줄일 수 있게 되고, 2) 이로 인해 N^+ 불순물 영역의 표면 농도를 낮출 수 있게 되어 드리프트 현상을 제거할 수 있게 된다.

대표도

도1

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명에 의한 N^+-P^+ 다이오드 제조방법을 도시한 공정수순도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 제너 다이오드(Zener Diode) 제조방법에 관한 것으로, 보다 상세하게는 드리프트 전압(drift voltage)을 제로화할 수 있도록 한 제너 다이오드 제조방법에 관한 것이다.

반도체 소자의 PN 접합(junction)에 역바이어스(reverse bias)가 걸린 상태에서 전류-전압(I-V) 특성을 조사하면, 대체로 시간이 경과됨에 따라 에벌런치 블렉 다운 전압(avalanch breakdown voltage)이 증가하는 현상이 나타남을 관측할 수 있다. 이러한 현상을 드리프트(drift)라 하는데, 그 원인은 반도체 소자 동작시 PN 접합의 공핍 영역(depletion region)이나 또는 기판 상의 산화막 내에 핫 캐리어가 트랩되어지기 때문이다.

이와 같은 현상은 N^+-P^+ 접합(또는 P^+-N^+ 접합)의 경우에 있어서는 미세하지만 기준전압(voltage reference)으로 다이오드를 사용하는 회로에 있어서는, 미세한 드리프트 전압에 의해 회로가 오동작되는 현상이 빈번하게 발생되므로, 이에 대한 개선책이 시급하게 요구되고 있다.

이에 따라, 최근에는 상기와 같은 드리프트 현상을 해결하기 위하여 N^+ 불순물을 기판 내로 확산시키기 전

에, N^+ 불순물 영역이 형성될 부분의 기판 상에 완충산화막(buffer oxide)을 먼저 형성한 뒤, 그 위로 N형 불순물을 확산시켜 주는 방법으로 N형 불순물(dopant)의량을 제어하여 제너 다이오드의 드리프트 전압을 제어해주고 있다.

그러나, 이러한 방식으로 불순물의량을 제어해 주더라도 제너 다이오드의 N^+ 불순물 영역에 존재하는 과잉의 P(phosphrus) 성분이 PN 접합의 공핍 영역 및 산화막 내에 핫 캐리어(hot carrier)로 트랩되는 현상을 완전하게 차단할 수 없어, 제너 다이오드에서 문제시 되는 미세한 드리프트 전압은 여전히 발생되고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기와 같은 문제점을 해결하기 위하여 창안된 것으로, 제너 다이오드 제조시, N^+ 불순물 영역에 3가의 P형 불순물을 이온주입하여 상기 불순물 영역의 표면 농도를 현격하게 감소시켜 주므로써, 드리프트 현상을 제거할 수 있도록 한 제너 다이오드 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는, 기판 상에 이원화된 두개의 산화막을 형성하는 공정과, 이원화된 두개의 상기 산화막내로 고농도의 P형 불순물을 확산시켜, 상기 기판 내에 P^+ 불순물 영역을 형성하는 공정과, 상기 기판 표면이 소정 부분 노출되도록 상기 산화막을 식각하는 공정과, 표면이 노출된 상기 기판 내로 고농도의 N형 불순물을 확산시켜, 상기 P^+ 불순물 영역과 소정 부분 오버랩되도록 상기 기판 내에 N^+ 불순물 영역을 형성하는 공정과, 상기 기판으로 3가의 P형 불순물을 이온주입하는 공정 및, 산화 및 어닐링을 실시하는 공정으로 이루어진 제너 다이오드 제조방법이 제공된다.

상기 공정 결과, 기판 내의 N^+ 불순물 영역으로 이온주입된 고농도의 3가 P형 불순물(예컨대, Br)이 상기 N^+ 불순물 영역 표면 근처에 잔존하는 과잉의 P와 강제적으로 공유결합되므로, 산화막으로 트랩되는 핫 캐리어량을 줄일 수 있게 된다. 또한, 이로 인해 N^+ 불순물 영역의 표면 농도를 낮출 수 있게 되어 드리프트 현상을 제거할 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명은 미세한 드리프트 전압 발생을 최소화하기 위하여 제너 다이오드의

N^+ 불순물 영역 형성시 소오스로 이용되는 P 성분 중, 10^{20} atoms/cm³ 이상의 P는 과잉 불순물로 작용하여 전기전도도에 기여를 하지 못한다는 점을 고려하여, N^+ 불순물 영역에 인위적으로 P형 불순물을 이온주입해 주는 방식으로 N^+ 불순물 영역의 표면 농도를 물리적으로 감소시켜 주고자 하는데 주안점을 둔 기술로서, 이를 도 1a 내지 도 1e에 제시된 공정수순도를 참조하여 구체적으로 살펴보면 다음과 같다. 여기서, 도 1a 내지 도 1e는 본 발명에 의한 N^+-P^+ 다이오드 제조방법을 도시한 공정수순도를 나타낸다.

도 1a에 도시된 바와 같이, 기판(100) 상에 이원화된 두개를 갖는 절연막으로서 산화막(102)을 형성한 뒤, 상기 산화막(102)내로 고농도의 제 1 도전형 불순물인 P형 불순물(예컨대, B(Boron))을 확산시켜준 다음, 산화처리를 실시해준다. 그 결과, 상대적으로 낮은 두개의 산화막(102)이 형성된 부분의 기판(100)내에만 제 1 도전형 불순물 영역으로서 P^+ 불순물 영역(104)이 형성된다.

도 1b에 도시된 바와 같이, 제 2 도전형 불순물 영역이 형성될 부분(a)의 기판 표면이 소정 부분 노출되도록, 광식각 공정을 이용하여 상기 산화막(102)을 식각해 준다. 그 결과, P^+ 불순물 영역(104)이 형성된 부분의 기판(100) 표면이 소정 부분 포함되도록 기판(100)이 노출된다.

도 1c에 도시된 바와 같이, 상기 기판(100)으로 고농도의 제 2 도전형 불순물로서 N형 불순물(예컨대, P(phosphrus))을 확산시켜 준다. 그 결과, 표면이 노출된 부분의 기판(100) 내로만 상기 불순물이 도핑되어져, 제 2 도전형 불순물 영역인 N^+ 불순물 영역(106)이 형성된다.

도 1d에 도시된 바와 같이, 상기 기판(100)내로 3가의 제 1 도전형 불순물로서, P형 불순물인 B를 이온주입한다. 그 결과, 상기 N^+ 불순물 영역(106) 표면 근처의 과잉의 P가 상기 B와 강제적으로 공유결합되므로, 이들 과잉의 P가 불순물로서 활성화되지 않게 된다.

도 1e에 도시된 바와 같이, 상기 기판(100)을 산화 및 어닐링처리하여 표면이 노출된 부분의 기판(100) 상에 산화막을 성장시켜 주므로써, 본 공정을 완료한다. 그 결과, 상기 기판(100) 상의 산화막(102)은 P^+ 불순물 영역(104)과 N^+ 불순물 영역(106) 상에서 서로 이원화된 두개를 가지게 된다.

이와 같이 공정을 실시해줄 경우, 상기 N^+ 불순물 영역(106) 표면의 과잉의 P가 불순물로 활성화되지 못하여 상기 산화막(102)에 트랩되지 않으므로, 드리프트 현상이 발생하지 않게 된다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 제너 다이오드 제작시 N^+ 불순물 영역에 3가의 P형 불순물(예컨대, B)을 인위적으로 이온주입시켜 주므로써, 1) 상기 N^+ 불순물 영역 표면 근처의 과잉의 P를 3가의 불순물과

인위적으로 공유결합케 하는 것이 가능하게 되므로, 이들 과잉의 P가 산화막에 핫 캐리어로 트랩되는 현상을 방지할 수 있게 되고, 2) 이로 인해 상기 N^+ 불순물 영역의 표면 농도를 감소시킬 수 있게 되므로, 기판 표면에서의 블랙 다운 현상을 방지할 수 있게 되어 드리프트 전압 발생을 제거할 수 있게 된다.

(57) 청구의 범위

청구항 1

기판 상에 이원화된 두께의 산화막을 형성하는 공정과, 이원화된 두께의 상기 산화막내로 고농도의 제 1 도전형 불순물을 확산시켜, 상기 기판 내에 제 1 도전형의 불순물 영역을 형성하는 공정과, 상기 기판 표면이 소정 부분 노출되도록 상기 산화막을 식각하는 공정과, 표면이 노출된 상기 기판 내로 고농도의 제 2 도전형 불순물을 확산시켜, 상기 제 1 도전형의 불순물 영역과 소정 부분 오버랩되도록 상기 기판 내에 제 2 도전형의 불순물 영역을 형성하는 공정과, 상기 기판으로 3가의 제 1 도전형 불순물을 이온주입하는 공정 및, 산화 및 어닐링을 실시하는 공정으로 이루어진 것을 특징으로 하는 제너 다이오드 제조방법.

청구항 2

제 1항에 있어서, 상기 3가의 제 1 도전형 불순물은 B인 것을 특징으로 하는 제너 다이오드 제조방법.

청구항 3

제 1항에 있어서, 상기 제 2 도전형 불순물은 P인 것을 특징으로 하는 제너 다이오드 제조방법.

도면

도면1

