

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(45) 공고일자 1999년 10월 15일  
(11) 등록번호 10-0223736  
(24) 등록일자 1999년 07월 12일

(21) 출원번호 10-1996-0023661 (65) 공개번호 특1998-0005498  
(22) 출원일자 1996년 06월 25일 (43) 공개일자 1998년 03월 30일

(73) 특허권자 현대전자산업주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 김상영  
서울특별시 중랑구 면목 6동 406-1  
(74) 대리인 박해천, 원석희

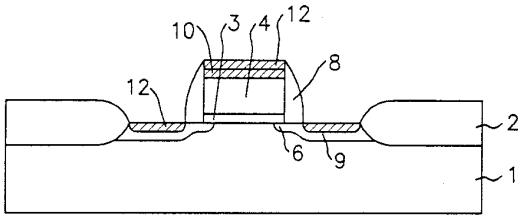
심사관 : 홍성표

(54) 반도체 소자 제조 방법

요약

본 발명은 트랜지스터의 확산층위에는 얇은 두께의 티타늄 실리사이드를 형성하고 폴리실리콘 게이트위에는 두꺼운 티타늄 실리사이드를 형성하기 위한 것으로, 실리콘기판상에 게이트산화막과 폴리실리콘층 및 제1고융점금속 박막을 차례로 형성하는 단계와, 상기 제1고융점금속 박막과 폴리실리콘층을 소정의 게이트패턴으로 패터닝하여 게이트전극을 형성하는 단계, 이온주입을 실시하고 열처리를 행하여 기판 소정영역에 확산층을 형성하는 단계, 및 기판 전면에 제2고융점금속박막을 형성하고 열처리하는 단계를 포함하여 이루어지는 반도체소자 제조방법을 제공한다.

대표도



명세서

[발명의 명칭]

반도체 소자 제조 방법

[도면의 간단한 설명]

제 1 도는 게이트 전극의 선폭과 저항과의 관계를 도시한 그래프.

제 2a 도 내지 제 2f 도는 본 발명에 의한 반도체 소자 제조 공정 단면도.

\* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘기판  
2 : 필드산화막  
3 : 게이트산화막  
4 : 폴리실리콘막  
5 : 제 1 티타늄 박막  
6 : LDD영역  
7 : 산화막  
8 : 스페이서  
9 : 확산층  
10 : 제 1 티타늄 실리사이드  
11 : 제 2 티타늄 박막  
12 : 제 2 티타늄 실리사이드

[발명의 상세한 설명]

본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 폴리실리콘 게이트 전극 위에 티타늄 실리사이드를 형성함과 동시에 확산층 위에도 티타늄 실리사이드를 형성한 트랜지스터를 제조함에 있어서, 확산층상의 티타늄 실리사이드의 두께와 게이트 전극상의 티타늄 실리사이드의 두께를 달리하여 트랜지스터의 특성을 향상시킬 수 있도록 한 것이다.

종래의 자기정렬 실리사이드(self-aligned silicide) 기술은 확산층과 폴리실리콘 게이트 위에 동일한 두께의 티타늄을 증착한 후 열처리를 행하여 확산층과 폴리실리콘 게이트 전극 위에 동시에 티타늄 실리사이드를 형성하였다.

그러나 최근 소자의 집적도 증가와 더불어 폴리실리콘 게이트의 폭이 줄어들고, 또한 확산층의 접합 깊이가 감소함에 따라서 실리사이드를 형성하기 위해 증착 하는 티타늄 박막의 두께가 제한되고 있다.

즉, 접합 깊이가 감소하기 때문에 확산층 위에 두꺼운 티타늄을 증착하면 열처리로 실리사이드를 형성할 때 확산층의 실리콘이 소모되며, 이로 인하여 접합 깊이가 얇은 경우 접합 누설전류가 증가하게 된다. 따라서 티타늄 실리사이드의 증착두께를 감소시켜야 한다. 그러나, 이 경우에는 폴리실리콘 게이트 전극 상에서 또 다른 문제가 발생하게 된다. 즉, 제 1 도에 도시된 바와 같이 폴리실리콘 게이트의 폭이 감소할수록, 이에 따라 폴리실리콘막 상에 형성되는 실리사이드막의 면적도 줄어들어 저항이 급격히 증가하게 되고, 본래 금속 접촉 저항을 감소시키기 위하여 사용하는 티타늄 실리사이드는 제 역할을 하지 못한다. 이것은 티타늄 실리사이드의 두께가 얇을수록 더욱 심각해진다. 이에 한정된 게이트 선폭 내에 가능한한 두꺼운 실리사이드막을 형성하는 것이 필요하다.

따라서 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 확산층위에는 얇은 두께의 티타늄 실리사이드를 형성하고 폴리실리콘 게이트위에는 두꺼운 티타늄 실리사이드를 형성할 수 있는 방법을 제공하는 것을 그 목적으로 한다.

상기 목적을 달성하기 위한 본 발명은, 실리콘 기판 상에 게이트 산화막 및 폴리실리콘막을 형성하는 제 1 단계; 상기 폴리실리콘막 상에 제 1 고용점 금속막을 형성하는 제 2 단계; 상기 제 1 고용점 금속막 및 상기 폴리실리콘막을 패터닝하여 게이트 전극을 형성하는 제 3 단계; 상기 게이트 전극 양단의 상기 실리콘 기판 표면에 확산층 형성을 위한 이온주입을 공정을 실시하는 제 4 단계; 열처리를 실시하여, 상기 확산층을 형성함과 동시에 상기 제 1 고용점 금속막과 상기 폴리실리콘막을 반응시켜 상기 게이트 전극 상부에 제 1 실리사이드를 형성하는 제 5 단계; 및 상기 제 5 단계가 완료된 기판 전면에 제 2 고용점 금속막을 형성하고 열처리하여 상기 확산층 및 상기 제 1 실리사이드 상에 제 2 실리사이드를 형성함으로써 상기 확산층보다 상기 게이트 전극 상에 상대적으로 두꺼운 실리사이드를 형성하는 제 6 단계를 포함하는 반도체 소자 제조 방법을 제공한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

제 2a 도 내지 제 2f 도에 본 발명에 의한 트랜지스터 제조 방법을 공정순서에 따라 도시하였다.

먼저, 제 2a 도에 도시된 바와 같이 필드산화막(2)에 의해 소자형성영역과 소자분리영역으로 구분된 실리콘 기판(1) 상에 게이트 산화막(3)을 형성하고, 게이트 산화막(3) 상에 폴리실리콘막(4)을 증착하고 도핑한 다음, 폴리실리콘막 상에 고용점 금속막으로서, 예컨대 제 1 티타늄 박막(5)을 소정두께로 형성한다. 이때, 상기 제 1 티타늄 박막(5)을 형성하기 전에 상기 폴리실리콘막(4) 표면에 형성된 자연산화막을 100:1 BOE로 제거해 낸다.

이어서, 제 2b 도에 도시된 바와 같이 상기 제 1 티타늄 박막(5) 상에 소정의 마스크(도시하지 않음)를 형성하고 이를 이용한 식각공정을 실시하여, 상기 제 1 티타늄 박막(5)과 폴리실리콘막(4)을 식각하여 폴리실리콘막(4)과 제 1 티타늄 박막(5)으로 이루어지는 게이트 전극을 형성한 후, 이온주입에 의해 LDD(Lightly doped drain) 영역(6)을 형성한다.

다음으로, 제 2c 도에 도시된 바와 같이 기판 전면에 절연막으로서, 예컨대 산화막(7)을 형성한 후, 제 2d 도에 도시된 바와 같이 상기 산화막(7)을 전면식각하여 게이트 전극을 이루는 폴리실리콘막(4)과 제 1 티타늄 박막(5) 측면에 스페이서(8)를 형성한다. 상기 스페이서는 질화실리콘막으로 형성할 수도 있다.

이어서, 이온주입을 실시한 후 열처리를 행하여 기판 소정영역에 확산층(9)을 형성한다. 이때, 제 1 티타늄 박막(5)은 상기 열처리 공정시 게이트 전극의 폴리실리콘막(4)과 반응하여 제 1 티타늄 실리사이드(10)를 형성하게 된다. 상기 열처리 공정은 아르곤 가스 분위기에서 행하여 티타늄 박막 표면에 질화티타늄이 형성되지 않도록 한다.

이어서, 제 2e 도에 도시된 바와 같이 기판 전면에 제 2 티타늄박막(11)을 소정두께로 형성한 후 열처리 공정을 행하면, 제 2f 도에 도시된 바와 같이 상기 게이트 전극 위에 형성된 제 1 티타늄 실리사이드(10) 상부 및 상기 확산층(9) 상부에 증착된 티타늄이 그 하부의 실리콘들과 반응하여 제 2 티타늄 실리사이드(12)가 형성된다. 이때, 상기 제 2 티타늄 박막(11) 형성 전에 스퍼터에치를 통해 상기 확산층 표면에 형성된 자연산화막을 제거해내는 것이 바람직하다. 이후, 선택적 습식식각을 통하여 산화막 위의 잔류 티타늄막과 상기 열처리공정시 제 2 티타늄박막 표면에 형성되는 질화티타늄을 제거한 후, 재차 열처리를 행함으로써 저저항의 티타늄실리사이드막(12)을 형성한다. 이때, 상기 선택적 습식식각은  $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ 의 비율로 혼합된 용액을 사용하여 행하는 것이 바람직하다. 한편, 티타늄 대신에 고용점금속으로서 코발트를 사용하는 것도 가능한데, 이때는 상기 습식식각용액으로서  $\text{HCl}:\text{H}_2\text{O}_2=3:1$ 을 사용한다.

상기와 같이 게이트 전극 상부에는 제 1 티타늄 박막으로 이루어진 제 1 티타늄 실리사이드(10)와 제 2 티타늄 박막으로 이루어진 제 2 티타늄 실리사이드(12)가 형성되므로 게이트 전극 상부는 두꺼운 티타늄 실리사이드로 형성되며, 상기 확산층상에는 제 2 티타늄 박막만으로 이루어진 제 2 티타늄 실리사이드(12)가 형성되므로 그 두께가 게이트 전극 상부보다 얇게 된다.

이상에서 설명한 바와 같이 본 발명에 의하면, 자기정렬 실리사이드를 형성함에 있어서 폴리실리콘 게이트 위에는 두꺼운 실리사이드를 형성하여 게이트 선폭의 감소에 따른 저항의 증가에 따른 열화를 방지하기 위하여 한정된 게이트 선폭내에 큰 면적의 실리사이드막을 형성하기 위하여 폴리실리콘상에 가능한 두꺼운 티타늄 실리사이드막을 형성하고, 확산층 위에는 얇은 티타늄 실리사이드를 형성하여 접합누설 전류가 증가하지 않는 트랜지스터를 형성할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술

적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백한 것이다.

### (57) 청구의 범위

#### 청구항 1

실리콘 기판 상에 게이트 산화막 및 폴리실리콘막을 형성하는 제 1 단계;

상기 폴리실리콘막 상에 제 1 고용점 금속막을 형성하는 제 2 단계;

상기 제 1 고용점 금속막 및 상기 폴리실리콘막을 패터닝하여 게이트 전극을 형성하는 제 3 단계;

상기 게이트 전극 양단의 상기 실리콘 기판 표면에 확산층 형성을 위한 이온 주입을 공정을 실시하는 제 4 단계;

열처리를 실시하여, 상기 확산층을 형성함과 동시에 상기 제 1 고용점 금속막과 상기 폴리실리콘막을 반응시켜 상기 게이트 전극 상부에 제 1 실리사이드를 형성하는 제 5 단계 ; 및

상기 제 5 단계가 완료된 기판 전면에 제 2 고용점 금속막을 형성하고 열처리하여 상기 확산층 및 상기 제 1 실리사이드 상에 제 2 실리사이드를 형성함으로써 상기 확산층 보다 상기 게이트 전극 상에 상대적으로 두꺼운 실리사이드를 형성하는 제 6 단계를 포함하는 반도체 소자 제조 방법.

#### 청구항 2

제 1 항에 있어서,

상기 제 6 단계 후,

선택적 습식식각을 실시하여 상기 제 6 단계 후 잔류된 고용점 금속막과 상기 열처리 공정시 상기 제 2 고용점 금속막 표면에 형성된 질화고용점 금속막을 제거하는 제 7 단계 ; 및

열처리를 실시하는 제 8 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 고용점 금속막 및 상기 제 2 고용점 금속막을 티타늄으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 4

제 2 항에 있어서,

상기 제 7 단계에서,

$\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ 의 비율로 혼합된 용액을 사용하여 상기 선택적 습식식각을 실시하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 5

제 1 항에 있어서,

상기 제 3 단계 후,

상기 게이트 전극 양단의 상기 실리콘 기판 표면에 저도핑 드레인(lightly doped drain) 구조를 형성하기 위한 이온주입 공정을 실시하는 제 9 단계 ; 및

상기 게이트 전극을 이루는 상기 폴리실리콘막 및 상기 제 1 고용점 금속막 측면에 스페이서를 형성하는 제 10 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 6

제 5 항에 있어서,

상기 스페이서를 산화막 또는 질화실리콘막으로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 7

제 1 항에 있어서,

상기 제 5 단계에서,

상기 열처리를 아르곤 가스 분위기에서 실시하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 8

제 1 항에 있어서,

상기 제 5 단계 후,

스퍼터 에치(sputtering etch)를 실시하여 상기 확산층 표면에 형성된 자연 산화막을 제거하는 제 11 단

계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**청구항 9**

제 1 항에 있어서,

상기 제 1 단계 후,

상기 폴리실리콘막 표면에 형성된 자연산화막을 100:1로 희석된 완충산화식 각제(BOE)를 이용하여 제거하는 제 12 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

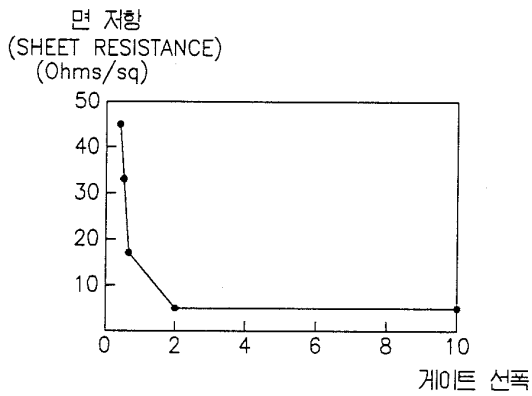
**청구항 10**

제 1 항에 있어서,

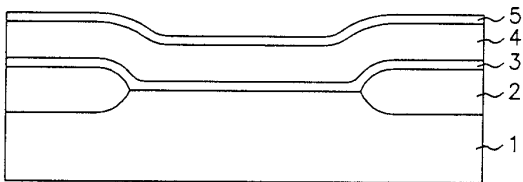
상기 제 1 고융점 금속막 및 상기 제 2 고융점 금속막은 코발트로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

**도면**

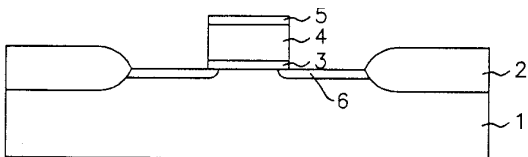
**도면1**



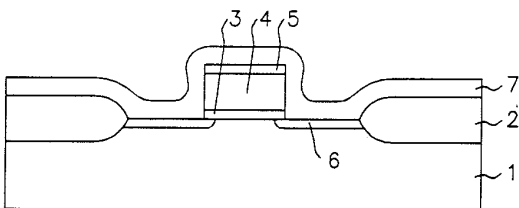
**도면2a**



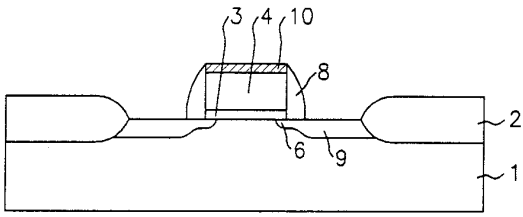
**도면2b**



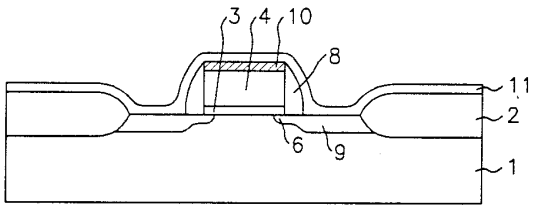
**도면2c**



도면2d



도면2e



도면2f

