

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月1日(01.02.2018)



(10) 国際公開番号
WO 2018/021053 A1

- (51) 国際特許分類:
H04N 5/357 (2011.01) H04N 5/374 (2011.01)
H01L 27/146 (2006.01) H04N 5/378 (2011.01)
H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2017/025656
- (22) 国際出願日: 2017年7月14日(14.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-147994 2016年7月28日(28.07.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

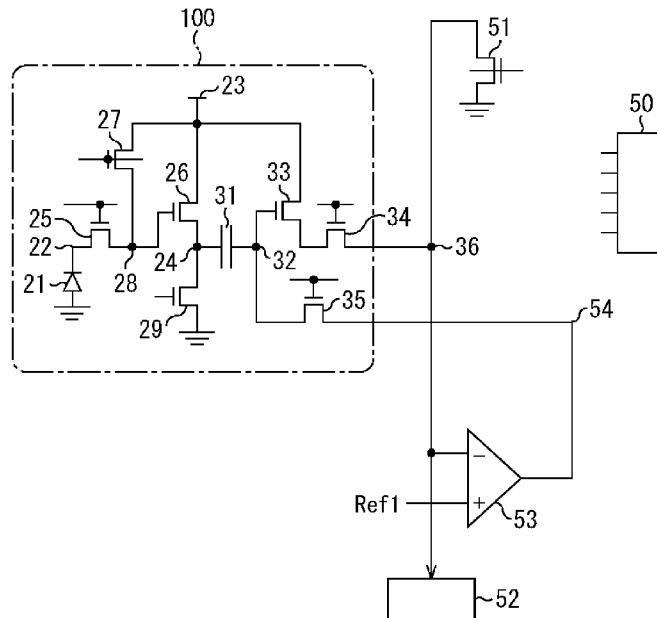
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 西原 利幸 (NISHIHARA Toshiyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 高橋 知宏(TAKAHASHI Tomohiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 松村 正雄(MATSUMURA Masao); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 井本 努(IMOTO Tsutomu); 〒2430014 神奈川県厚木市旭町四丁目14

(54) Title: IMAGE PICKUP ELEMENT

(54) 発明の名称: 撮像素子

FIG. 1



(57) Abstract: The present technology relates to an image pickup element whereby noise can be reduced. This image pickup element is provided with: a photoelectric conversion element; a first amplifying element that amplifies a signal transmitted from the photoelectric conversion element; a second amplifying element that amplifies the output from the first amplifying element; an offset element that is provided between the first amplifying element and the second amplifying element; a first resetting element that resets the first amplifying element; and a second resetting element that resets the



WO 2018/021053 A1

番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

second amplifying element. The offset element is a capacitor. Charges are accumulated in the offset element via a feedback loop of the output from the second amplifying element, and an offset bias is generated. The present technology can be applied to image pickup elements.

(57) 要約: 本技術は、ノイズを低減させることができるようにする撮像素子に関する。光電変換素子と、光電変換素子からの信号を増幅する第1の増幅素子と、第1の増幅素子からの出力を増幅する第2の増幅素子と、第1の増幅素子と第2の増幅素子との間に設けられたオフセット素子と、第1の増幅素子をリセットする第1のリセット素子と、第2の増幅素子をリセットする第2のリセット素子とを備える。オフセット素子は、キャパシタである。第2の増幅素子からの出力のフィードバックループを介して、オフセット素子に、電荷が蓄積され、オフセットバイアスが生成される。本技術は、撮像素子に適用できる。

明 細 書

発明の名称：撮像素子

技術分野

[0001] 本技術は撮像素子に関し、例えば、画素の出力のバラつきを抑制し、高速なグローバルシャッタを行うのに好適な撮像素子に関する。

背景技術

[0002] 近年、工業生産ライン向けの撮像や、高速に移動する被写体の撮像に、CMOSイメージセンサを用いたグローバルシャッタの要請が拡大している。

[0003] CMOSイメージセンサは、複数の画素が1つの読み出し回路を共有し、画素毎に順次読み出しが実施されるが、その際には所謂ローリングシャッタが採用される。ローリングシャッタは、画素毎に読み出しと同期した露光蓄積が実施される方式である。従って、1枚のフレームを構成する画素毎に異なった露光時刻となる。

[0004] このようなローリングシャッタにおいては、高速移動する被写体には、所謂フォーカルプレーン歪みが発生することが知られている。さらにCMOSイメージセンサでパルス光を検出する場合、1回のパルス発光が、その時読み出されている画素を境に、2枚のフレームに分割されて出力されてしまい、検出が困難になる。

[0005] そこで全ての有効画素で露光時刻を揃えるグローバルシャッタの採用が増えている。その主流は、電子シャッタにて一斉に露光を開始し、さらに一斉に露光を完了した後、画素毎の読み出しが実施されるまで、蓄積電荷を画素アンプの入力である浮遊拡散層（フローティングディフュージョン：Floating Diffusion）に一時的に保存するものである。

[0006] リセット信号と蓄積信号を連続して読み出して両者間で相関二重サンプリング（CDS：Correlated Double Sampling）を施せるローリングシャッタに対して、グローバルシャッタは、リセット後における画素毎の出力オフセットを制御することが困難であった。

- [0007] 各画素の出力には、素子の特性ばらつきに起因する固定オフセット成分が存在し、さらに浮遊拡散層をリセットすると画素毎にランダムなk T Cノイズが発生する。
- [0008] ローリングシャッタにおいては、蓄積信号の読み出しの際、画素の浮遊拡散層のリセットを実施した後で、後段のコンパレータやアンプにオートゼロをかけることで、画素毎にそのオフセットを容易にキャンセルできる。従って、その後、連続的に蓄積信号を読み出してA D変換を施せば、画素のk T Cノイズや特性ばらつきによる出力オフセットは既に除去されている。
- [0009] 一方、グローバルシャッタにおいては、同一の画素におけるリセットレベルと蓄積レベルの連続した読み出しは不可能なので、このような画素毎のオフセットキャンセルを実施できない。
- [0010] その対策のひとつとして、例えば特許文献1には、蓄積信号を読み出した後に改めて画素をリセットし、リセット信号との差分をとって固定オフセットをキャンセルする手法が提案されている。
- [0011] また特許文献2では、画素毎のk T Cノイズを含めてキャンセルを実施するための手法として、露光開始の前後に2度の読み出しを実施することが提案されている。この提案では、まず露光開始前にリセットがかけられ、画素毎のリセット信号が、全有効画素に対して取得され、デジタルデータとしてメモリ等に保存される。露光完了後に取得された蓄積信号から、それらが差し引かれてC D Sが実施される。

先行技術文献

特許文献

- [0012] 特許文献1：特開2007-074435号公報
特許文献2：特開2004-140149号公報

発明の概要

発明が解決しようとする課題

- [0013] 特許文献1によると、ランダム成分であるk T Cノイズは、各々異なるリ

セット操作で独立に発生するため、むしろ多重化されて増大する可能性があった。

[0014] 特許文献2によると、露光前のリセット信号の読み出しは、画素毎の未キャンセルのオフセット成分量をAD変換し、その結果をデジタル保存する処理となる。一方、ローリングシャッタでは、オートゼロ操作によってこの工程は省略できる。あるいは、より高精度が要求される場合でも、読み出し側の回路から発生する微弱なオフセットをキャンセルするのみで良い。

[0015] しかしながらAD変換の所要時間は、変換すべき信号レンジの大きさと変換精度で決まるので、ローリングシャッタに比べると、グローバルシャッタにおけるリセット信号の変換は大きな時間的なロスとなってしまう可能性があった。

[0016] またkTCノイズを低減し、かつ素子特性のばらつきに伴う出力オフセットを消滅させることが望まれている。またグローバルシャッタに対して適用できる仕組みが望まれている。

[0017] 本技術は、このような状況に鑑みてなされたものであり、ノイズを低減し、バラつきに伴うオフセットを低減させることができるようにするものである。

課題を解決するための手段

[0018] 本技術の一側面の撮像素子は、光電変換素子と、前記光電変換素子からの信号を増幅する第1の増幅素子と、前記第1の増幅素子からの出力を増幅する第2の増幅素子と、前記第1の増幅素子と前記第2の増幅素子との間に設けられたオフセット素子と、前記第1の増幅素子をリセットする第1のリセット素子と、前記第2の増幅素子をリセットする第2のリセット素子とを備える。

[0019] 本技術の一側面の撮像素子においては、光電変換素子と、光電変換素子からの信号を増幅する第1の増幅素子と、第1の増幅素子からの出力を増幅する第2の増幅素子と、第1の増幅素子と第2の増幅素子との間に設けられたオフセット素子と、第1の増幅素子をリセットする第1のリセット素子と、

第2の増幅素子をリセットする第2のリセット素子とが備えられる。

発明の効果

[0020] 本技術の1側面によれば、ノイズを低減し、バラつきに伴うオフセットを低減させることができる。

[0021] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0022] [図1]本技術を適用した撮像素子の一実施の形態の構成を示す図である。

[図2]画素アレイの構成を示す図である。

[図3]第1の動作シーケンスについて説明するための図である。

[図4]第2の動作シーケンスについて説明するための図である。

[図5]第3の動作シーケンスについて説明するための図である。

[図6]第2の実施の形態における撮像素子の構成を示す図である。

[図7]画素アレイの構成を示す図である。

[図8]等化回路を示す図である。

[図9]第4の動作シーケンスについて説明するための図である。

[図10]第5の動作シーケンスについて説明するための図である。

[図11]第6の動作シーケンスについて説明するための図である。

[図12]積層構造としたときの撮像素子の構成を示す図である。

[図13]体内情報取得システムの概略的な構成の一例を示すブロック図である。

。

[図14]内視鏡手術システムの概略的な構成の一例を示す図である。

[図15]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図16]車両制御システムの概略的な構成例を示すブロック図である。

[図17]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0023] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0024] <第1の実施の形態における撮像素子の構成>

図1に本技術を適用した第1の実施の形態におけるイメージセンサの画素の構成を示す。図1に示した画素100は、フォトダイオード21、カソード（蓄積ノード）22、電源23、出力ノード24、転送トランジスタ25、第1の増幅トランジスタ26、第1のリセットトランジスタ27、第1の検出ノード28、負荷トランジスタ29を含む構成とされている。

[0025] また画素100は、カップリングキャパシタ31、第2の検出ノード（入力ノード）32、第2の増幅トランジスタ33、選択トランジスタ34、第2のリセットトランジスタ35、出力信号線36を含む。

[0026] また画素100には、行駆動回路50、負荷トランジスタ51、検出回路52、差動型増幅回路53、帰還信号線54が接続されている。

[0027] このような構成を有する画素100においては、フォトダイオード21により光電変換され、そのフォトダイオード21のカソード22に蓄積された信号電荷は、転送トランジスタ25を介して浮遊拡散層を含む第1の検出ノード28に転送される。

[0028] 画素100の出力は、2段のアンプ構成（2段で増幅する構成）となっており、第1の検出ノード28の信号は、第1の増幅トランジスタ26により1段目の増幅が実施され、さらに第2の検出ノード32を入力とした第2の増幅トランジスタ33により2段目の増幅が実施される。この2段階で増幅された結果は、出力信号線36に出力される。

[0029] 1段目のアンプの出力である出力ノード24と2段目アンプの入力である入力ノード32は、カップリングキャパシタ31を介して接続されている。

[0030] さらにフォトダイオード21、カソード22、および第1の検出ノード28のリセットが実施されると、画素出力36は、カラム毎に設置された差動型増幅回路53を介して逆相でフィードバックされ、カップリングキャパシタ31にオフセット電荷が生成される。

[0031] すなわち、第2の増幅トランジスタ33からの出力のフィードバックループを介して、カップリングキャパシタ31に電荷が蓄積され、オフセットバ

イアスが生成される。これによってリセット時における画素100の画素出力36（出力信号線36に出力される出力）は、差動増幅回路53の参照入力Ref1と同電位に調整される。

[0032] 以下にその構成と動作についてさらに説明する。

[0033] 図1に示した画素100は、1段目の検出部として、フォトダイオード21、フォトダイオード21のカソード22（蓄積ノード22）、1段目の出力ノード24、転送トランジスタ25、第1の増幅トランジスタ26、第1のリセットトランジスタ27、第1の検出ノード28、および負荷トランジスタ29を備える。

[0034] 画素100は、さらに2段目の検出部として、カップリングキャパシタ31、第2の検出ノード32、第2の増幅トランジスタ33、選択トランジスタ34、および第2のリセットトランジスタ35を有する。画素100における検出結果は、出力信号線36に出力される。

[0035] 画素100内のトランジスタ（例えば、選択トランジスタ34など）は、例えば、n型のMOS（Metal-Oxide Semiconductor）トランジスタやp型のトランジスタを用いることができる。

[0036] フォトダイオード21は、光子を電荷に変換する。フォトダイオード21は、そのカソードである蓄積ノード22を介して転送トランジスタ25に接続される。フォトダイオード21は、シリコン基板に入射した光子から、電子とホールペアを発生させ、そのうちの電子を蓄積ノード22に蓄積する。該フォトダイオード21は、リセットによる電荷排出時には蓄積ノード22が完全空乏化される、埋め込み型として形成することができる。

[0037] 転送トランジスタ25は、行駆動回路50の制御に従って、蓄積ノード22から第1の検出ノード28へ電荷を転送する。なお、行駆動回路50は、多数の駆動出力端子をもって複数の画素100を並列駆動するが、図面では簡略の為、接続部の表記は省略している。

[0038] 第1の検出ノード28は、転送トランジスタ25からの電荷を蓄積して、その蓄積した電荷の量に応じたアナログの電圧を生成する。この電圧は、第

1の増幅トランジスタ26のゲートに印加される。

[0039] 第1のリセットトランジスタ27は、第1の検出ノード28、あるいは蓄積ノード22に蓄積された電荷を電源に引き抜いて初期化する。この第1のリセットトランジスタ27のゲートは、行駆動回路50に接続され、ドレインは電源23に接続され、ソースは第1の検出ノード28に接続されている。

[0040] 行駆動回路50は、例えば、第1のリセットトランジスタ27と転送トランジスタ25と同時にオン状態に制御することで、蓄積ノード22に蓄積された電子を、電源23に引き抜き、画素を、蓄積前の暗状態、即ち光が未入射の状態に初期化する。また、行駆動回路50は、第1のリセットトランジスタ27のみをオン状態に制御することにより、第1の検出ノード28に蓄積された電荷を、電源23に引き抜き、その電荷量を初期化する。

[0041] 第1の増幅トランジスタ26は、ゲートの電圧に応じて、1段目の出力ノード24を駆動する。この第1の増幅トランジスタ26のゲートは、第1の検出ノード28に接続され、ドレインは電源に接続され、ソースは負荷トランジスタ29に接続されている。

[0042] 第1の増幅トランジスタ26と負荷トランジスタ29は、例えばソースフォロワンプを形成している。負荷トランジスタ29は、ゲート電圧を固定して飽和動作させることで定電流源として機能し、第1の検出ノード28の電圧変動は、1弱のゲインで1段目の出力ノード24に伝達されて出力される。

[0043] あるいは負荷トランジスタ29のゲートを、行駆動回路50に接続して出力リセットとしてもよい。この場合、負荷トランジスタ29をオンオフすることで1段目の出力ノード24は、グラウンドに接続された後、第1の増幅トランジスタ26によって引き上げられ、第1の検出ノード28の電位から第1の増幅トランジスタ26の閾値を減じたレベルに固定される。さらに1段目の出力ノード24の電位は、カップリングキャパシタ31を介して第2の検出ノード32に伝達される。

- [0044] 第2の増幅トランジスタ33は、ゲートの電圧に応じて、出力信号線36に信号を出力する。この第2の増幅トランジスタ33のゲートは、第2の検出ノード32に接続され、ドレインは電源23に接続され、ソースは選択トランジスタ34を介して、負荷トランジスタ51に接続されている。
- [0045] 第2の増幅トランジスタ33と負荷トランジスタ51は、ソースフォロワアンプを形成している。負荷トランジスタ51は、ゲート電圧を固定して飽和動作させることで定電流源として機能し、第2の検出ノード32の電圧変動は、1弱のゲインで出力信号線36に伝達されて出力される。
- [0046] 選択トランジスタ34は、行駆動回路50の制御に従って、電気信号を出力する。この選択トランジスタ34のゲートは、行駆動回路50に接続され、ドレインは第2の増幅トランジスタ33に接続され、ソースは出力信号線36に接続されている。そして画素100からの出力信号は、検出回路52によって検知され、AD変換が実施される。
- [0047] さらに出力信号線36は、差動型増幅回路53の片側の入力に接続されている。差動型増幅回路53の出力信号線36が接続されていない側の入力には、出力信号線36のレベルを制御するための参照電圧Ref1が接続される。
- [0048] 画素100のリセット時において、差動型増幅回路53からの出力は、負帰還されて、第2のリセットトランジスタ35を介して、第2の検出ノード32に供給される。これによってカップリングキャパシタ31にオフセット電荷が生成され、出力信号線36の電圧レベルは、差動型増幅回路53の参照入力Ref1と同電圧に制御される。
- [0049] 第1のリセットトランジスタ27の駆動により第1の検出ノード28をリセットした際に、1段目の出力ノード24に生じるオフセットは、主として以下のものがある。
- [0050] オフセット1-1. 第1の検出ノード28に生じたkTCノイズ
オフセット1-2. 第1のリセットトランジスタ27をオフした際に生じたフィードスルーとそのばらつき

オフセット 1-3. 第 1 の増幅トランジスタ 26 の閾値ばらつき

オフセット 1-4. 第 1 の増幅トランジスタ 26 のチャンネルに生ずるランダムノイズ

[0051] ところで、従来、多くのイメージセンサの画素は、この 1 段目のみで構成されていた。本技術では 1 段目に加え、2 段目の構成を加えることで、全体のオフセット量を大きく改善することができる。

[0052] すなわちオフセット 1-1, 1-2, 1-3 は、その後第 2 のリセットトランジスタ 35 が駆動されることで、カップリングキャパシタ 31 のオフセット電荷を介して全てキャンセルされる。さらに第 2 の増幅トランジスタ 33 の閾値ばらつきにより出力信号線 36 に生ずるオフセットもキャンセルされるので、残るオフセット要因は以下のものとなる。

[0053] オフセット 2-1. 第 2 の検出ノード 32 に生じた kTC ノイズ

オフセット 2-2. 第 2 のリセットトランジスタ 35 をオフした際に生じたフィードスルーとそのばらつき

オフセット 2-3. 第 1 の増幅トランジスタ 26 および第 2 の増幅トランジスタ 33 のチャンネルに生ずるランダムノイズ

[0054] フォトダイオード 21 で光電変換された電荷信号は、第 1 の検出ノード 28 にそのまま転送されるので、画素 100 に高い感度を持たせるには、第 1 の検出ノード 28 の寄生容量を出来る限り小さくする必要がある。しかしながら、第 1 の検出ノード 28 の寄生容量に対して、オフセット 1-2 (フィードスルー量とそのばらつき) は、反比例し、オフセット 1-1 (kTC ノイズ) は、その平方根に反比例する。

[0055] すなわち、第 1 の検出ノード 28 の寄生容量の低減は、オフセット 1-1 とオフセット 1-2 の悪化に直結する。そのため従来は、出力ばらつきと感度に深刻なトレードオフが発生していた。よって、第 1 の検出ノード 28 だけでは、オフセットを十分にキャンセルすることは困難であった。

[0056] 一方、本技術を適用した画素 100 においては、第 2 の検出ノード 32 の寄生容量 (第 2 の増幅トランジスタ 33 の入力側の寄生容量) を十分大きく

とることができ、オフセット2-1とオフセット2-2を容易に低減することができる。また、第2の検出ノード32の寄生容量を大きくすることは、第1の検出ノード28の寄生容量（第1の増幅トランジスタ26の入力側の寄生容量）とは関係無く行えるため、画素100の感度が悪化するようなことを防ぐこともできる。

[0057] オフセット2-3は、第2の増幅トランジスタ33のランダムノイズ分だけ、従来に対して悪化する可能性があるが、第2の増幅トランジスタ33のゲート面積と駆動能力を十分大きくとることで、その影響は殆ど無視できる程度に抑制することができる。特に、 $1/f$ ノイズとバーストノイズは、ゲート面積の平方根に反比例するので、ゲート面積の拡大が有効である。

[0058] このようなことから、第2の検出ノード32の寄生容量（第2の増幅トランジスタ33の入力寄生容量）は、第1の検出ノード28の寄生容量（第1の増幅トランジスタ26の入力寄生容量）より大きく構成される。さらに第2の増幅トランジスタのゲート面積は、第1の増幅トランジスタのゲート面積より大きく構成される。

[0059] なお、第2の検出ノード32の寄生容量が、第1の検出ノード28の寄生容量と同程度、または小さく構成されていても、本技術のように2段構成として、カップリングキャパシタ31でオフセット電荷を相殺することで、1段構成よりもオフセットをよりキャンセルすることができる。また、第2の増幅トランジスタのゲート面積が、第1の増幅トランジスタのゲート面積と同程度、または小さく構成されていても、本技術のように2段構成として、カップリングキャパシタ31でオフセット電荷を相殺することで、1段構成よりもオフセットをよりキャンセルすることができる。

[0060] <画素アレイの構成>

図2に図1に示した画素100をアレイ化した画素アレイ部の構成例を示す。

[0061] 検出回路52は、列方向に並ぶ複数の画素100と、出力信号線36を介して接続されている。読み出し対象となる画素は、図1における画素内の選

択トランジスタ34によって択一的に選択される。

[0062] さらに差動増幅回路53は、列方向にならぶ複数の画素100、出力信号線36、および帰還信号線54を介して接続されている。差動増幅回路53の一方の入力は出力信号線36に、他方の入力は参照信号線55に接続されており、参照信号Ref1が与えられる構成とされている。

[0063] リセット時に出力信号線36に信号が出力され、かつ帰還信号線54からの帰還信号を受ける画素100は、図1における画素内の選択トランジスタ34と第2のリセットトランジスタ35によって択一的に決定される。

[0064] さらに行駆動回路50は、駆動信号線56を介して、行方向に並ぶ複数の画素100に共有されている。駆動信号線56は、それぞれが画素100における転送トランジスタ25、第1のリセットトランジスタ27、負荷トランジスタ29、選択トランジスタ34、第2のリセットトランジスタ35のゲートに接続されており、複数画素の各ゲートを行毎に一斉駆動する。

[0065] 画素100からの信号の読み出しは、行毎に複数画素に対して並列に実行され、複数の検出回路52によって並列に検出されてAD変換される。さらにリセット時の信号の帰還も、行毎に複数画素に対して並列に実行され、複数の差動増幅回路53によって並列に帰還信号が供給される。

[0066] 行単位で複数の検出回路52によって一斉に検出され、AD変換が実施された複数画素の出力信号は、スイッチ57によって順次出力回路58に接続されて、シリアルに外部に出力される。

[0067] 次に、画素100の動作についてさらに説明を加える。

[0068] ここでは、光電変換信号の画素への蓄積は、有効画素全てに対して同時に開始され、かつ同時に終了する、所謂グローバルシャッタを適用した場合を例に挙げて説明する。

[0069] 検出回路52は出力信号線36を介して複数の画素に接続されている為、その出力のサンプリングは、行毎に順次実施される。サンプリングについては、光が未入射な暗状態に相当するリセット信号のサンプリングと、露光を経た蓄積信号のサンプリングが行われ、その差分を取ることで各種ノ

イズを相殺する相関二重サンプリング（CDS : Correlated Double Sampling）が実施される。

[0070] <第1の動作シーケンス>

図3を参照し、図1、図2に示した画素100（画素100から構成される画素アレイ部）の動作シーケンスについて説明する。

[0071] 行駆動回路50は、蓄積期間直前の時刻T11において、転送トランジスタ25と第1のリセットトランジスタ27を、ともにオン状態に制御する。この制御により、フォトダイオード21と転送トランジスタ25の間の蓄積ノード22に蓄積された電荷が、第1の検出ノード28を介して全て電源23へ排出される。この制御を以下、「PD（Photo Diode）リセット」と称する。

[0072] 時刻T11の後の時刻T12において、行駆動回路50は、転送トランジスタ25をオフ状態に制御する。時刻T11から時刻T12までの期間をPDリセット期間と記述する。この制御により、蓄積ノード22は、浮遊状態となり、新たな電荷の蓄積が開始される。

[0073] さらに行駆動回路50は、PDリセット後の時刻T13において、第1のリセットトランジスタ27をオフ状態に制御する。この制御により、第1の検出ノード28の電位は、第1のリセットトランジスタ27のゲートとのカップリングを受けて基準電位から幾分低下し、浮遊状態となる。

[0074] さらに、この際に第1の検出ノード28には、有意なkTCノイズが発生する。第1の検出ノード28として、一般に、浮遊拡散層（Floating）が用いられるため、この制御を以下、「FDリセット」と称し、FDリセットが行われる期間をFDリセット期間と記述する。

[0075] 第1の動作シーケンスにおいては、PDリセットとFDリセットが連続して実施される。これらの動作は、全有効画素100に対して同時に実施される。

[0076] 一方、負荷トランジスタ29のゲートは、飽和動作領域内で固定されており、第1の増幅トランジスタ26とソースフォロア回路を構成している。こ

れによってリセット信号を反映した、各画素の第1段目の出力ノード24の電位が確定する。

[0077] 次に画素100に対して、行毎に順次リセット信号のサンプリングが実施される。リセット信号のサンプリングは、相関二重サンプリングにおいて1回目の読み出しとして扱われる。

[0078] 時刻T14において、行選択が実施され、画素100と出力信号線36が選択トランジスタ34で接続され、第2の検出ノード32の電圧が、第2の増幅トランジスタ33により増幅され、出力信号線36へ出力される。出力信号線36に出力された第2の検出ノード32の電圧は、差動型増幅回路53によって参照電圧Ref1と比較され、逆相で帰還信号線54が駆動される。

[0079] 同時に選択行では第2のリセットトランジスタ35がオンにされ、出力信号線36からの信号と参照信号Ref1のバランスがとれるように、カップリングキャパシタ31にオフセット電荷が発生される。第2のリセットトランジスタがオフにされることで、第2の検出ノード32の電位は、第2のリセットトランジスタ35のゲートとのカップリングを受けて幾分低下し、浮遊状態となる。さらに、この際に第2の検出ノード32には、有意なkTCノイズが発生する。

[0080] 検出回路52は、1回以上（例えば、4回）のサンプリングを行う。これらのサンプリングにおいて、出力信号線36の電位の信号が、画素100のリセット信号として検出回路52によりデジタル信号Ds11に変換される。デジタル信号Ds11の値は、例えば検出回路52内のレジスタに保存される。

[0081] このリセット信号のサンプリングは、各行の画素100に対して繰り返される。各検出回路52には、それを共有する各画素のリセット信号Ds11～Ds1nが保存される。これらは、チップ全体としては画素総数に相当する記憶量になるので、チップ内またはチップ外にフィールドメモリを設置し、そこに保存されるようにしても良い。

- [0082] 蓄積期間が終了する直前の時刻T 1 6において、行駆動回路5 0は、転送トランジスタ2 5をオン状態に制御する。この制御により、蓄積ノード2 2に蓄積された電荷が、第1の検出ノード2 8へ転送される。この際に、第1の検出ノード2 8のポテンシャルが十分に深ければ、蓄積ノード2 2に蓄積されていた電子は、第1の検出ノード2 8に全て転送され、蓄積ノード2 2は完全空乏状態になる。
- [0083] 時刻T 1 6からパルス期間が経過した時刻T 1 7（電荷転送期間経過後）において、行駆動回路5 0は、転送トランジスタ2 5をオフ状態に制御する。この制御により、第1の検出ノード2 8の電位は、転送トランジスタ2 5の駆動前に比較して、蓄積電荷量の分だけ下降する（すなわち、ポテンシャルが浅くなる）。これらの動作は、全有効画素1 0 0に対して同時に実施され、これによって蓄積信号が反映された、各画素の第1段目の出力ノード2 4の電位が確定される。
- [0084] 次に蓄積信号のサンプリング期間において、画素1 0 0に対して、行毎に順次蓄積信号のサンプリングが実施される。蓄積信号のサンプリングは、相関二重サンプリングにおいて2回目の読み出しとして扱われる。
- [0085] 時刻T 1 8において、行選択が実施され、画素1 0 0と出力信号線3 6が選択トランジスタ3 4で接続され、上記下降分の電圧が第2の増幅トランジスタ3 3により増幅されて出力信号線3 6に出力される。
- [0086] ここで検出回路5 2は、1回以上（例えば、4回）のサンプリングを行う。これらのサンプリングにおいて、出力信号線3 6の電位の信号が、画素の蓄積信号として検出回路5 2によりデジタル信号D s 2 1に変換される。
- [0087] 検出回路5 2は、サンプリングした蓄積信号（すなわち、デジタル信号D s 2 1）とリセット信号（すなわち、デジタル信号D s 1 1）を比較して、その比較結果に基づいて入射光子量を判定する。2段目の出力におけるk T Cノイズは、デジタル信号D s 1 1とデジタル信号D s 2 1の差分を正味の蓄積信号とすることにより相殺される。このようにしてC D Sをとったデジタル検出結果は、順次出力回路5 8に送られて、外部に出力される。

- [0088] この蓄積信号のサンプリングと出力は、各行の画素100に対して繰り返される。
- [0089] ここで各画素100の露光蓄積期間は、上述のPDリセット動作と蓄積信号の読み出し動作との間の期間であり、正確には転送トランジスタ25がリセット後にオフしてから、読み出しでオフするまでの期間である。この露光蓄積期間にフォトダイオード21に光子が入射し電荷が発生すると、発生した電荷量は、リセット信号および蓄積信号の間の差分となり、上述の手順に従って検出回路52により導出される。
- [0090] この露光蓄積時刻は全有効画素で同一であるため、所謂グローバルリセットが実施されていることになる。
- [0091] また、時刻T11でのFDリセット時に、1段目のアンプからの出力（出力ノード24）に発生したkTCノイズ、フィードスルー、Vthばらつき等を含むオフセットは、時刻T14の2段目のアンプの入力リセットによって全てキャンセルされる。この際、2段目のアンプの出力に残るオフセットは、その入力である第2の検出ノード32に生じたkTCノイズとフィードスルーであり、それらは上記CDS工程によってキャンセルされる。
- [0092] <第2の動作シーケンス>
- 第1の動作シーケンスにおいては、単位蓄積が完了して次の蓄積が開始される間、特に蓄積信号のサンプリング期間において、蓄積が実施されない不感期間が発生している。このような不感期間を除去し、例えば高速なサンプリングに対応した例を第2の動作シーケンスとして、図4を参照して説明する。
- [0093] 図4に示した第2の動作シーケンスにおいては、図3に示した第1の動作シーケンスと比較し、時刻T11で実行されたPDリセットの処理が省略され、読み出し時の時刻T25の電荷転送に伴うPDの電荷排出と兼用されている点が異なる。
- [0094] すなわち、時刻T21において、第1のリセットトランジスタ27がオンにされ、時刻T22までFDリセット期間とされ、FDリセット処理が実行

される。時刻T 2 1においては、転送トランジスタ2 5はオンにされない。このとき、PDリセット処理は、実行されない。

[0095] 時刻T 2 3以降、第1の動作シーケンスと同じく、リセット信号のサンプリング期間が設けられ、リセット信号のサンプリングが実行される。

[0096] FDリセット期間も含めて蓄積期間とされ、フォトダイオード2 1への電荷の蓄積が実行されている。

[0097] その後、時刻T 2 5において、転送トランジスタ2 5がオンにされ、時刻T 2 6においてオフにされる。時刻T 2 5から時刻T 2 6は、電荷転送期間とされ、フォトダイオード2 1に蓄積された電荷が、第1の検出ノード2 8に転送される期間とされる。この電荷転送期間は、PDリセット期間にも該当し、フォトダイオード2 1に対するリセット処理も実行される。

[0098] すなわち時刻T 2 5で、転送トランジスタ2 5にパルスが印加されて、蓄積信号の第1の検出ノード2 8への転送が実施されるが、この電荷排出はPDリセットと兼用される。このとき、フォトダイオード2 1の次の蓄積期間は、電荷転送期間終了直後（転送トランジスタ2 5がオフにされた直後）から開始される。これにより、画素1 0 0に入射した光子が検知されない不感期間は、ほぼゼロにすることができる。

[0099] <第3の動作シーケンス>

第1、第2の動作シーケンスにおいては、CDSをとるために、リセット出力と蓄積出力について2回のサンプリングが実施された。

[0100] 本技術によれば、リセット出力は差動型増幅回路5 3によって、その参照入力R e f 1（参照電圧R e f 1）と略同等のレベルに調整されており、それに付加されるオフセット成分は、前述の如く非常に小さいものとすることができる。従って、高精度を要求しない用途などでは、リセット出力のサンプリングの一部または全てを省略したとしても、ある程度の精度を満たした動作を行うことができる。

[0101] そこで、サンプリングの一部または全てを省略する動作シーケンスを、第3の動作シーケンスとして、図5を参照して説明する。

- [0102] 図5に示した第3の動作シーケンスの時刻T31から時刻T33において、第1の動作シーケンスと同じく、PDリセットとFDリセットが実施される。その後、第1、第2の動作シーケンスにおいては、リセット信号のサンプリングが行われるが、第3の動作シーケンスにおいては、リセット信号のサンプリングは行われない。
- [0103] すなわち第3の動作シーケンスにおいては、時刻T34において、行選択と2段目の第2の増幅トランジスタ33への入力リセットのみが実施され、信号のサンプリングは実施されない。
- [0104] あるいは1～数行のみがサンプリングされて、その出力平均値がリセット信号とみなされる処理が実行されるようにしても良い。即ちリセット信号の出力は、全て均一として扱い、処理が行われるようにしても良い。
- [0105] そして全有効画素に対しては、時刻T38の蓄積信号のサンプリングが実施される。
- [0106] このような第3の動作シーケンスの場合、AD変換の回数を約半分に削減できるので、フレームレート的高速化や低消費電力化に寄与する上、リセット信号を記憶するためのレジスタやメモリが不要となる利点がある。
- [0107] なお、第3の動作シーケンスに対して、第2の動作シーケンスを適用し、電荷転送とPDリセットを兼用したシーケンスとすることも可能である。
- [0108] <第2の実施の形態における撮像素子の構成>
第2の実施の形態における撮像素子の構成について説明する。図6に、第2の実施の形態における撮像素子（画素200）の構成を示す。
- [0109] 以下の説明において、図1に示した第1の実施の形態における画素100と、図6に示した第2の実施の形態における画素200において、同一の部分には同一の符号を付し、その説明は適宜省略する。
- [0110] 図6に示した画素200は、フォトダイオード21、カソード（蓄積ノード）22、電源23、出力ノード24、転送トランジスタ25、第1の増幅トランジスタ26、第1のリセットトランジスタ27、第1の検出ノード28、負荷トランジスタ29、カップリングキャパシタ31、第2の検出ノード

ド（入力ノード）32、選択トランジスタ34、出力信号線36を含む構成とされている。ここまでの構成は、画素100と同様である。

[0111] 画素200は、さらに第2の増幅トランジスタ221、第2のリセットトランジスタ222、およびキャパシタ223を含む。また画素200には、行駆動回路201、電流ミラー回路251、参照電圧入力用増幅トランジスタ252、電流／動作点調整用トランジスタ253、およびソース線254が接続されている。

[0112] 第2の増幅トランジスタ221、第2のリセットトランジスタ222、参照電圧入力用増幅トランジスタ252、電流／動作点調整用トランジスタ253は、他のトランジスタと同じく、例えば、n型のMOSトランジスタやp型のトランジスタを用いることができる。

[0113] 第2の実施の形態における画素200は、第1の実施の形態における画素100の2段目のアンプ構成が変更されている。すなわち、画素200においては、フォトダイオード21から1段目の出力ノード24の出力（アンプ出力）までの回路構成、オフセット電荷を蓄えるカップリングキャパシタ31、および2段目の第2の検出ノード32（アンプの入力）の存在については、第1の実施の形態における画素100と同様である。

[0114] 第1の実施の形態における画素100の第2の増幅トランジスタ33（図1）が、ソースフォロアを構成していたのに対して、第2の実施の形態における画素200の第2の増幅トランジスタ221は、電流ミラー回路251、第2の増幅トランジスタ221と対をなす参照電圧入力用増幅トランジスタ252、およびゲートが適切な固定電圧に接続された電流／動作点調整用トランジスタ253とともに、差動型の増幅回路を構成している。

[0115] さらに構成されている差動型の増幅回路からの出力（出力信号線36への出力）は、第2のリセットトランジスタ222を介して第2の検出ノード32（入力ノード32）に、逆相でフィードバックされる構成とされている。

[0116] すなわち、第2の実施の形態における画素200で構成されている差動型の増幅回路（以下、差動増幅回路271とする）は、画素内の各素子と、図

7のような等価回路を構成している。図7に示した等化回路を参照するに、第2のリセットトランジスタ222がオンすると、参照信号Ref2（参照電圧Ref2）のボルテージフォロアが形成されて、画素出力36には参照信号Ref2と同レベルの信号が出力される。

[0117] この画素出力36は、画素の第1段目の出力ノード24の出力に生じたオフセットや、第2の増幅トランジスタ221の閾値オフセットに関わらず、参照信号Ref2と略同レベルに固定され、その調整を成すオフセット電荷は、カップリングキャパシタ31に保存される。

[0118] さらに第2のリセットトランジスタ222がオフにされると、画素200の1段目の出力ノード24（アンプ出力）の変位は、カップリングキャパシタ31とキャパスタ223の容量比に従って増幅され、画素出力36に伝達される。

[0119] 第1の実施の形態における画素100の2段目のアンプ素子（第2の増幅トランジスタ33）が、ソースフォロアであり、1より小さい増幅しか得られなかったのに対して、第2の実施の形態における画素200の2段目のアンプ素子（第2の増幅トランジスタ221）は、例えば2倍以上の増幅を得ることができる。よって、画素の変換効率を向上させることができる。またその分、後段に接続される検出回路52のノイズの影響を相対的に緩和することができる。

[0120] なお行駆動回路201は、行方向に並ぶ複数の画素に対して、転送トランジスタ25、第1のリセットトランジスタ27、第2のリセットトランジスタ222、選択トランジスタ34のゲートを各々並列駆動する。あるいは、第1の実施の形態と同様に、負荷トランジスタ29のゲートも必要に応じて駆動されるように構成することも可能である。

[0121] <画素アレイの構成>

図8に図6に示した画素200をアレイ化した画素アレイ部の構成例を示す。

[0122] 検出回路52は、列方向に並ぶ複数の画素200と、出力信号線36を介

して接続されている。読み出し対象となる画素は、図6における画素内の選択トランジスタ34によって択一的に選択される。

[0123] 電流ミラー回路251は、各列に一つ配置され、さらに列毎に参照用の参照電圧入力用増幅トランジスタ252を含んだダミー画素255が配置されている。ダミー画素255は、選択画素200と対をなして差動増幅回路271の入力部を構成するものであり、選択画素と諸特性が類似するようにトランジスタサイズや回路構成が決定されている。

[0124] 参照電圧入力用増幅トランジスタ252は、第2の増幅トランジスタ221と同サイズであるのが良い。また例えば選択画素200には選択トランジスタ34が挿入されているので、ダミー画素255にも同サイズのトランジスタが挿入されている構成としても良い。

[0125] 列状に並んだ画素200の第2の増幅トランジスタ221とダミー画素255の電流／動作点調整用トランジスタ253のソースは、列毎のソース線254に接続されて、電流／動作点調整用トランジスタ253を介してグラウンドに接続される。

[0126] さらに行駆動回路201は、駆動信号線56を介して、行方向に並ぶ複数の画素200に共有されている。駆動信号線56は、それぞれが、画素200における転送トランジスタ25、第1のリセットトランジスタ27、負荷トランジスタ29、選択トランジスタ34、第2のリセットトランジスタ222のゲートに接続されており、複数画素の各ゲートを行毎に一斉駆動する。

[0127] 画素200からの信号の読み出しは、行毎に複数の画素に対して並列に実行され、複数の検出回路52によって並列に検出されてAD変換される。

[0128] さらに第2のリセット時の信号帰還も、行毎に複数の画素に対して並列に実行され、複数の差動型増幅によって並列に帰還信号が供給される。

[0129] 行単位で複数の検出回路52によって一斉に検出され、AD変換が実施された複数の画素の出力信号は、スイッチ57によって順次出力回路58に接続されて、シリアルに外部に出力される。

[0130] <第4の動作シーケンス>

図9を参照し、図6、図8に示した画素200（画素200から構成される画素アレイ部）の動作シーケンス（第4の動作シーケンスとする）について説明する。

[0131] 第1乃至第3の動作シーケンス（第1の実施の形態の画素100における動作シーケンス）と同様に、第4の動作シーケンス（第2の実施の形態の画素200における動作シーケンス）も、光電変換信号の画素への蓄積は、全ての有効画素に対して同時に開始され、かつ同時に終了する、所謂グローバルシャッタを適用した場合を例に挙げて説明する。

[0132] 検出回路52は出力信号線36を介して複数の画素に接続されている為、その出力のサンプリングは、行毎に順次実施される。サンプリングについては、光が未入射な暗状態に相当するリセット信号のサンプリングと、露光を経た蓄積信号のサンプリングが行われ、その差分を取ることによって各種ノイズを相殺する相関二重サンプリング（CDS：Correlated Double Sampling）が実施される。

[0133] 行駆動回路201は、蓄積期間直前の時刻T51において、転送トランジスタ25と第1のリセットトランジスタ27をともにオン状態に制御する。この制御により、フォトダイオード21と転送トランジスタ25の間の蓄積ノード22に蓄積された電荷が、第1の検出ノード28を介して全て電源23へ排出される。すなわち、PDリセットが行われる。

[0134] 時刻T51の後の時刻T52において、行駆動回路201は、転送トランジスタ25をオフ状態に制御する。時刻T51から時刻T52までの期間をPDリセット期間と記述する。この制御により、蓄積ノード22は、浮遊状態となり、新たな電荷蓄積が開始される。

[0135] さらに行駆動回路201は、PDリセット後の時刻T53において、第1のリセットトランジスタ27をオフ状態に制御する。この制御により、第1の検出ノード28の電位は、第1のリセットトランジスタ27のゲートとのカップリングを受けて基準電位から幾分低下し、浮遊状態となる。

- [0136] さらに、この際に第1の検出ノード28には、有意なkTCノイズが発生する。第1の検出ノード28として、一般に、浮遊拡散層（Floating）が用いられるため、この制御を以下、「FDリセット」と称し、FDリセットが行われる期間をFDリセット期間と記述する。
- [0137] 第4の動作シーケンスにおいては、PDリセットとFDリセットが連続して実施されている。これらの動作は全有効画素200に対して同時に実施される。
- [0138] 一方、負荷トランジスタ29のゲートは、飽和動作領域内で固定されており、第1の増幅トランジスタ26とソースフォロア回路を構成している。これによってリセット信号が反映された、各画素の第1段目の出力ノード24の電位が確定される。
- [0139] 次に画素200に対して、行毎に順次リセット信号のサンプリングが実施される。リセット信号のサンプリングは、相関二重サンプリングにおいて1回目の読み出しとして扱われる。
- [0140] 時刻T54において、行選択が実施され、画素200と出力信号線36が選択トランジスタ34で接続され、第2の検出ノード32の電圧が、第2の増幅トランジスタ221により増幅され、出力信号線36へ出力される。
- [0141] この際、第2の増幅トランジスタ221のソース線254は、電流／動作点調整用トランジスタ253を介してグラウンドに接続されており、ドレイン側が画素出力36となっている。これらは差動増幅回路の一部を構成し、第2の増幅トランジスタ221の入力（第2の検出ノード32からの信号）は、参照信号Ref2と比較され、画素出力36の変位は逆相となって増幅される。
- [0142] ここで第2のリセットトランジスタ222がオンされると、画素出力36は、第2の検出ノード32にフィードバックされ、前述の如くボルテージフォロアが構成されて、画素出力36は、参照信号Ref2と同電位に固定される。
- [0143] さらに第2のリセットトランジスタ222がオフにされることで、第2の

検出ノード32の電位は、第2のリセットトランジスタ222のゲートとのカップリングを受けて幾分低下し、浮遊状態となる。さらに、この際に第2の検出ノード32には、有意なkTCノイズが発生する。

[0144] 検出回路52は、1回以上（例えば、4回）のサンプリングを行う。これらのサンプリングにおいて、出力信号線36の電位の信号が、画素200のリセット信号として検出回路52によりデジタル信号Ds11に変換される。デジタル信号Ds11の値は、例えば検出回路52内のレジスタに保存される。

[0145] このリセット信号のサンプリングは、各行の画素200に対して繰り返される。各検出回路52には、それを共有する各画素のリセット信号Ds11～Ds1nが保存される。これらは、チップ全体としては画素総数に相当する記憶量になるので、チップ内またはチップ外にフィールドメモリを設置し、そこに保存されるようにしても良い。

[0146] 蓄積期間が終了する直前の時刻T56において、行駆動回路201は、転送トランジスタ25をオン状態に制御する。この制御により、蓄積ノード22に蓄積された電荷が、第1の検出ノード28へ転送される。この際に、第1の検出ノード28のポテンシャルが十分に深ければ、蓄積ノード22に蓄積されていた電子は、第1の検出ノード28に全て転送され、蓄積ノード22は完全空乏状態になる。

[0147] 時刻T56からパルス期間が経過した時刻T57（電荷転送期間経過後）において、行駆動回路201は、転送トランジスタ25をオフ状態に制御する。この制御により、第1の検出ノード28の電位は、転送トランジスタ25の駆動前に比較して、蓄積電荷量の分だけ下降する（すなわち、ポテンシャルが浅くなる）。これらの動作は全有効画素200に対して同時に実施され、これによって蓄積信号が反映された、各画素の第1段目の出力ノード24の電位が確定される。

[0148] 次に蓄積信号のサンプリング期間において、画素200に対して、行毎に順次蓄積信号のサンプリングが実施される。蓄積信号のサンプリングは、相

関二重サンプリングにおいて2回目の読み出しとして扱われる。

- [0149] 時刻T58において、行選択が実施され、画素200と出力信号線36が選択トランジスタ34で接続され、上記下降分の電圧が第2の増幅トランジスタ221により増幅されて出力信号線36に出力される。
- [0150] ここで検出回路52は、1回以上（例えば、4回）のサンプリングを行う。これらのサンプリングにおいて、出力信号線36の電位の信号が、画素の蓄積信号として検出回路52によりデジタル信号Ds21に変換される。
- [0151] 検出回路52は、サンプリングした蓄積信号（すなわち、デジタル信号Ds21）とリセット信号（すなわち、デジタル信号Ds11）を比較して、その比較結果に基づいて入射光子量を判定する。2段目の出力におけるkTCノイズは、デジタル信号Ds11とデジタル信号Ds21の差分を正味の蓄積信号とすることにより相殺される。このようにしてCDSをとったデジタル検出結果は、順次出力回路58に送られて、外部に出力される。
- [0152] この蓄積信号のサンプリングと出力は、各行の画素200に対して繰り返される。
- [0153] ここで各画素200の露光蓄積期間は、上述のPDリセット動作と蓄積信号の読み出し動作との間の期間であり、正確には転送トランジスタ25がリセット後にオフしてから、読み出しでオフするまでの期間である。この露光蓄積期間にフォトダイオード21に光子が入射し電荷が発生すると、発生した電荷量はリセット信号および蓄積信号の間の差分となり、上述の手順に従って検出回路52により導出される。
- [0154] この露光蓄積時刻は全有効画素で同一であり、所謂グローバルリセットが実施されている。
- [0155] また、時刻T51でのFDリセット時に、1段目のアンプ出力24に発生したkTCノイズ、フィードスルー、Vthばらつき等を含むオフセットは、時刻T54の2段目のアンプの入力リセットによって全てキャンセルされる。この際、2段目のアンプの出力に残るオフセットは、その入力である第2の検出ノード32に生じたkTCノイズとフィードスルーであり、それら

は上記CDS工程によってキャンセルされる。

[0156] <第5の動作シーケンス>

第4の動作シーケンスにおいては、単位蓄積が完了して次の蓄積が開始される間、特に蓄積信号のサンプリング期間において、蓄積が実施されない不感期間が発生している。このような不感期間を除去し、例えば高速なサンプリングに対応した例を第5の動作シーケンスとして、図10を参照して説明する。

[0157] 図10に示した第5の動作シーケンスにおいては、図9に示した第4の動作シーケンスと比較し、時刻T51で実行されたPDリセットの処理が省略され、読み出し時の時刻T64の電荷転送に伴うPDの電荷排出と兼用されている点異なる。

[0158] すなわち、時刻T61において、第1のリセットトランジスタ27がオンにされ、時刻T62までFDリセット期間とされ、FDリセット処理が実行される。時刻T61において、転送トランジスタ25はオンにされず、PDリセット処理は実行されない。

[0159] 時刻T63以降、第4の動作シーケンスと同じく、リセット信号のサンプリング期間が設けられ、リセット信号のサンプリングが実行される。

[0160] FDリセット期間も含めて蓄積期間とされ、フォトダイオード21への電荷の蓄積が実行されている。

[0161] その後、時刻T65において、転送トランジスタ25がオンにされ、時刻T66においてオフにされる。時刻T65から時刻T66は、電荷転送期間とされ、フォトダイオード21に蓄積された電荷が、第1の検出ノード28に転送される期間とされる。この電荷転送期間は、PDリセット期間にも該当し、フォトダイオード21に対するリセット処理も実行される。

[0162] すなわち時刻T65で、転送トランジスタ25にパルスが印加されて、蓄積信号の第1の検出ノード28への転送が実施されるが、この電荷排出はPDリセットと兼用される。このとき、フォトダイオード21の次の蓄積期間は、電荷転送期間の終了直後から開始される。これにより、画素200に入

射した光子が検知されない不感期間を、ほぼゼロにすることができる。

[0163] <第6の動作シーケンス>

第4、第5の動作シーケンスにおいては、CDSをとるために、リセット出力と蓄積出力について2回のサンプリングが実施された。

[0164] 本技術によれば、リセット出力は差動増幅回路271（図7）（差動増幅回路271を構成する電流ミラー回路251を含む回路）によって、その参照信号Ref2と略同等のレベルに調整されており、それに付加されるオフセット成分は、前述の如く非常に小さいものとすることができる。従って、高精度を要求しない用途などでは、リセット出力のサンプリングの一部または全てを省略したとしても、ある程度の精度を満たした動作を行うことができる。

[0165] そこで、サンプリングの一部または全てを省略する動作シーケンスを、第6の動作シーケンとして、図11を参照して説明する。

[0166] 図11に示した第6の動作シーケンスの時刻T71から時刻T73において、第4の動作シーケンスと同じく、PDリセットとFDリセットが実施される。その後、第4、第5の動作シーケンスにおいては、リセット信号のサンプリングが行われるが、第6の動作シーケンスにおいては、リセット信号のサンプリングは行われぬ。

[0167] すなわち第6の動作シーケンスにおいては、時刻T74において、行選択と2段目の第2の増幅トランジスタ221への入力リセットのみが実施され、信号のサンプリングは実施されない。

[0168] あるいは1～数行のみがサンプリングされて、その出力平均値がリセット信号とみなされる処理が実行されるようにしても良い。即ちリセット信号の出力は、全て均一として扱う処理が実行されるようにしても良い。

[0169] そして全有効画素に対しては、時刻T78の蓄積信号のサンプリングが実施される。

[0170] このような第6の動作シーケンスの場合、AD変換の回数を約半分に削減できるので、フレームレートの高速度化や低消費電力化に寄与する上、リセッ

ト信号を記憶するためのレジスタやメモリが不要となる利点がある。

[0171] なお、第6の動作シーケンスに対して、第5の動作シーケンスを適用し、電荷転送とPDリセットを兼用したシーケンスとすることも可能である。

[0172] <積層構造の画素>

このように画素を2段のアンプを有する構成にし、かつ2段目のアンプ入力に画素の出力信号に基づいた負帰還を施すことで、各画素の出力信号におけるオフセット量を大幅に低減させることができる。

[0173] ところで2段目のオフセットキャパシタ（例えば、図1に示したカップリングキャパシタ31）やアンプ素子（例えば、図1に示した第2の増幅トランジスタ33など）は、画素の占有面積を増加させる一因となってしまう可能性がある。そこで画素を、積層構造にして、異なるシリコン層に形成し、画素自体のサイズが大きくならないような構成としても良い。

[0174] 図12に積層構造としたときの画素構造の一例を示す。図12では、図1に示した画素100を積層構造とした場合を例に挙げて説明するが、図6に示した画素200を積層構造にする場合も、基本的に同様に構成することができる。

[0175] 画素100は、第1のシリコン層311と第2のシリコン層312の積層により形成されている。第1のシリコン層311には、フォトダイオード21を含む1段目のアンプ出力までの回路が形成されている。

[0176] すなわち、第1のシリコン層311には、フォトダイオード21、蓄積ノード22、電源23、出力ノード24、転送トランジスタ25、第1の増幅トランジスタ26、第1のリセットトランジスタ27、第1の検出ノード28、負荷トランジスタ29が形成されている。

[0177] フォトダイオード21が裏面照射型である場合、図中上側が受光面となり、メタル配線は下方（第2のシリコン層312と積層される側）に形成される。

[0178] 第2のシリコン層312には、1段目のアンプ出力を処理する2段目のアンプ回路が形成されている。第2のシリコン層312には、カップリングキ

ャパシタ 3 1 を含む 2 段目のアンプ出力までの回路が形成されている。

- [0179] すなわち、第 2 のシリコン層 3 1 2 には、カップリングキャパシタ 3 1、第 2 の検出ノード（入力ノード） 3 2、第 2 の増幅トランジスタ 3 3、選択トランジスタ 3 4、第 2 のリセットトランジスタ 3 5、出力信号線 3 6 の一部、および帰還信号線 5 4 の一部が形成されている。
- [0180] 第 2 のシリコン層 3 1 2 のメタル配線は、第 1 のシリコン層 3 1 1 のメタル配線と対面するように図中の第 2 のシリコン層 3 1 2 の上方に形成される。第 1 のシリコン層 3 1 1 に形成された回路と、第 2 のシリコン層 3 1 2 に形成された回路は、出力ノード 2 4 を介して接続されている。
- [0181] 第 1 のシリコン層 3 1 1 に形成された回路と、第 2 のシリコン層 3 1 2 に形成された回路は、例えば、Cuパッド同士の対面接着を用いて接続される。
- [0182] 第 1 のシリコン層 3 1 1 と第 2 のシリコン層 3 1 2 の接続部には、ビアや Cuパッド等を介して比較的大きな寄生容量が生じるが、第 1 のシリコン層 3 1 1 で 1 段目の増幅まで実施しておく本構成によれば、高い変換効率と高速な動作を維持することができ、かつ回路規模の配分の点でも適切である。
- [0183] より詳しくは、少なくともフォトダイオード 2 1 から第 1 の増幅トランジスタ 2 6 までは第 1 のシリコン層 3 1 1 に、カップリングキャパシタ 3 1 から第 2 の増幅トランジスタ 3 3 までは第 2 のシリコン層 3 1 2 に形成されることにより、高い変換効率と高速な動作を維持することができる積層構成とすることができる。
- [0184] このようなシリコンの積層構成により、従来の画素と同等の占有面積で 2 段目回路を搭載することができ、これによって画素出力のオフセットを大幅に低減し、高速なグローバルリセットの実施が可能な画素を提供することが可能となる。
- [0185] なお、図 1 2 には図示していないが、第 2 のシリコン層 3 1 2 の下層に、行駆動回路 5 0、負荷トランジスタ 5 1、検出回路 5 2、差動型増幅回路 5 3、帰還信号線 5 4 を含む回路が形成された層をさらに積層した構成として

も良い。

[0186] なお、上記した実施の形態において、画素100（図1）における参照信号Ref1や、画素200（図6）における参照信号Ref2は、固定値であっても良いし、可変値（何らかの条件により設定される値）であっても良い。

[0187] また、増幅トランジスタやFD（浮遊拡散層）などを複数のフォトダイオードで共有する共有画素構造に対しても、上記した本技術を適用することができる。

[0188] 本技術によれば、例えば、CMOSイメージセンサの画素毎の出力信号において、kTCノイズを低減し、かつ素子特性のばらつきに伴う出力オフセットをほぼ消滅させることができる。またこれにより、例えば読み出しシーケンスにおいてオフセットキャンセルそのものを不要とすることができる。

[0189] また本技術をグローバルシャッタに適用した場合には、オフセットキャンセルを省略することで、アクセスを高速化しつつkTCノイズの多重化を防止でき、かつそのレベルも低減することができる。

[0190] さらに、高精度を必要とするグローバルシャッタ用途において、前述のようなkTCキャンセルを実施する場合でも、キャンセルすべきオフセット量を最小化することができ、AD変換の所要時間を大幅に短縮することができる。

[0191] <体内情報取得システムへの応用例>

[0192] 図13は、本開示に係る技術（本技術）が適用され得る、カプセル型内視鏡を用いた患者の体内情報取得システムの概略的な構成の一例を示すブロック図である。

[0193] 体内情報取得システム10001は、カプセル型内視鏡10100と、外部制御装置10200とから構成される。

[0194] カプセル型内視鏡10100は、検査時に、患者によって飲み込まれる。カプセル型内視鏡10100は、撮像機能及び無線通信機能を有し、患者から自然排出されるまでの間、胃や腸等の臓器の内部を蠕動運動等によって移動しつつ、当

該臓器の内部の画像（以下、体内画像ともいう）を所定の間隔で順次撮像し、その体内画像についての情報を体外の外部制御装置10200に順次無線送信する。

- [0195] 外部制御装置10200は、体内情報取得システム10001の動作を統括的に制御する。また、外部制御装置10200は、カプセル型内視鏡10100から送信されてくる体内画像についての情報を受信し、受信した体内画像についての情報に基づいて、表示装置（図示せず）に当該体内画像を表示するための画像データを生成する。
- [0196] 体内情報取得システム10001では、このようにして、カプセル型内視鏡10100が飲み込まれてから排出されるまでの間、患者の体内の様子を撮像した体内画像を随時得ることができる。
- [0197] カプセル型内視鏡10100と外部制御装置10200の構成及び機能についてより詳細に説明する。
- [0198] カプセル型内視鏡10100は、カプセル型の筐体10101を有し、その筐体10101内には、光源部10111、撮像部10112、画像処理部10113、無線通信部10114、給電部10115、電源部10116、及び制御部10117が収納されている。
- [0199] 光源部10111は、例えばLED(light emitting diode)等の光源から構成され、撮像部10112の撮像視野に対して光を照射する。
- [0200] 撮像部10112は、撮像素子、及び当該撮像素子の前段に設けられる複数のレンズからなる光学系から構成される。観察対象である体組織に照射された光の反射光（以下、観察光という）は、当該光学系によって集光され、当該撮像素子に入射する。撮像部10112では、撮像素子において、そこに入射した観察光が光電変換され、その観察光に対応する画像信号が生成される。撮像部10112によって生成された画像信号は、画像処理部10113に提供される。
- [0201] 画像処理部10113は、CPU(Central Processing Unit)やGPU(Graphics Processing Unit)等のプロセッサによって構成され、撮像部10112によって生成された画像信号に対して各種の信号処理を行う。画像処理部10113は、信号処理を施した画像信号を、RAWデータとして無線通信部10114に提供する。

- [0202] 無線通信部10114は、画像処理部10113によって信号処理が施された画像信号に対して変調処理等の所定の処理を行い、その画像信号を、アンテナ10114Aを介して外部制御装置10200に送信する。また、無線通信部10114は、外部制御装置10200から、カプセル型内視鏡10100の駆動制御に関する制御信号を、アンテナ10114Aを介して受信する。無線通信部10114は、外部制御装置10200から受信した制御信号を制御部10117に提供する。
- [0203] 給電部10115は、受電用のアンテナコイル、当該アンテナコイルに発生した電流から電力を再生する電力再生回路、及び昇圧回路等から構成される。給電部10115では、いわゆる非接触充電の原理を用いて電力が生成される。
- [0204] 電源部10116は、二次電池によって構成され、給電部10115によって生成された電力を蓄電する。図13では、図面が煩雑になることを避けるために、電源部10116からの電力の供給先を示す矢印等の図示を省略しているが、電源部10116に蓄電された電力は、光源部10111、撮像部10112、画像処理部10113、無線通信部10114、及び制御部10117に供給され、これらの駆動に用いられ得る。
- [0205] 制御部10117は、CPU等のプロセッサによって構成され、光源部10111、撮像部10112、画像処理部10113、無線通信部10114、及び、給電部10115の駆動を、外部制御装置10200から送信される制御信号に従って適宜制御する。
- [0206] 外部制御装置10200は、CPU、GPU等のプロセッサ、又はプロセッサとメモリ等の記憶素子が混載されたマイクロコンピュータ若しくは制御基板等で構成される。外部制御装置10200は、カプセル型内視鏡10100の制御部10117に対して制御信号を、アンテナ10200Aを介して送信することにより、カプセル型内視鏡10100の動作を制御する。カプセル型内視鏡10100では、例えば、外部制御装置10200からの制御信号により、光源部10111における観察対象に対する光の照射条件が変更され得る。また、外部制御装置10200からの制御信号により、撮像条件（例えば、撮像部10112におけるフレームレート、露出値等）が変更され得る。また、外部制御装置10200からの制御信号により、画像処理部10113における処理の内容や、無線通信部10114が画像信号を送信する条件（

例えば、送信間隔、送信画像数等）が変更されてもよい。

[0207] また、外部制御装置10200は、カプセル型内視鏡10100から送信される画像信号に対して、各種の画像処理を施し、撮像された体内画像を表示装置に表示するための画像データを生成する。当該画像処理としては、例えば現像処理（デモザイク処理）、高画質化処理（帯域強調処理、超解像処理、NR(Noise reduction)処理及び／又は手ブレ補正処理等）、並びに／又は拡大処理（電子ズーム処理）等、各種の信号処理を行うことができる。外部制御装置10200は、表示装置の駆動を制御して、生成した画像データに基づいて撮像された体内画像を表示させる。あるいは、外部制御装置10200は、生成した画像データを記録装置（図示せず）に記録させたり、印刷装置（図示せず）に印刷出力させてもよい。

[0208] 以上、本開示に係る技術が適用され得る体内情報取得システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部10112に適用され得る。具体的には、図1に示した画素100や、図6に示した画素200は、撮像部10112を構成する撮像素子に適用できる。また、図12に示した積層構造の画素100を、撮像部10112に適用することで、カプセル型内視鏡10100の大きさを変えずに本技術を適用した撮像素子を搭載することが可能となる。本技術を適用することで、よりノイズの少ない鮮明な術部画像を得ることができる。

[0209] <内視鏡手術システムへの応用例>

[0210] 図14は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0211] 図14では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

- [0212] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。
- [0213] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。
- [0214] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット(CCU: Camera Control Unit)11201に送信される。
- [0215] CCU11201は、CPU(Central Processing Unit)やGPU(Graphics Processing Unit)等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。
- [0216] 表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。
- [0217] 光源装置11203は、例えばLED(light emitting diode)等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。
- [0218] 入力装置11204は、内視鏡手術システム11000に対する入力インターフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対

して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0219] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0220] なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0221] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0222] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸

収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察(Narrow Band Imaging)が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0223] 図15は、図14に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0224] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0225] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0226] 撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D(dimensional)表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成

されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0227] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0228] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

[0229] 通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部11402から得た画像信号をRAWデータとして伝送ケーブル11400を介してCCU11201に送信する。

[0230] また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0231] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE(Auto Exposure)機能、AF(Auto Focus)機能及びAWB(Auto White Balance)機能が内視鏡11100に搭載されていることになる。

[0232] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0233] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、

伝送ケーブル11400を介して送信される画像信号を受信する。

[0234] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0235] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0236] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

[0237] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使用時のミスト等を認識することができる。制御部11413は、表示装置11202に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者11131に提示されることにより、術者11131の負担を軽減することや、術者11131が確実に手術を進めることが可能になる。

[0238] カメラヘッド11102及びCCU11201を接続する伝送ケーブル11400は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0239] ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

[0240] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部11402に

適用され得る。具体的には、図1に示した画素100や、図6に示した画素200は、撮像部11402を構成する撮像素子に適用できる。本技術を適用することで、よりノイズの少ない鮮明な術部画像を得ることができる。

[0241] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0242] <移動体への応用例>

[0243] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0244] 図16は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0245] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図16に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0246] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0247] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備さ

れた各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0248] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0249] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0250] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0251] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュ

ータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0252] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0253] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0254] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図16の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0255] 図17は、撮像部12031の設置位置の例を示す図である。

[0256] 図17では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0257] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として

車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0258] なお、図17には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0259] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0260] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0261] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得ら

れた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0262] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方角輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0263] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図1に示した画素100や、図6に示した画素200は、撮像部12031を構成する撮像素子に適用できる。本技術を適用することで、よりノイズの少ない鮮明な術部画像を得ることができる。

[0264] 本明細書において、システムとは、複数の装置により構成される装置全体

を表すものである。

[0265] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0266] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0267] なお、本技術は以下のような構成も取ることができる。

(1)

光電変換素子と、
前記光電変換素子からの信号を増幅する第1の増幅素子と、
前記第1の増幅素子からの出力を増幅する第2の増幅素子と、
前記第1の増幅素子と前記第2の増幅素子との間に設けられたオフセット素子と、
前記第1の増幅素子をリセットする第1のリセット素子と、
前記第2の増幅素子をリセットする第2のリセット素子と
を備える撮像素子。

(2)

前記オフセット素子は、キャパシタである
前記(1)に記載の撮像素子。

(3)

前記第2の増幅素子からの出力のフィードバックループを介して、前記オフセット素子に、電荷が蓄積され、オフセットバイアスが生成される
前記(1)または(2)に記載の撮像素子。

(4)

前記第2の増幅素子からの出力信号と参照信号との差分の逆相が、前記第2のリセット素子に供給される
前記(1)乃至(3)のいずれかに記載の撮像素子。

(5)

前記第2の増幅素子からの出力信号と参照信号が、差動アンプに入力され

、
前記差動アンプからの出力が、前記第2のリセット素子に供給される
前記(1)乃至(3)のいずれかに記載の撮像素子。

(6)

前記差動アンプは、前記第2のリセット素子と電流ミラー回路を含む構成
とされている

前記(5)に記載の撮像素子。

(7)

前記第2の増幅素子の入力寄生容量は、前記第1の増幅素子の入力寄生容
量よりも大きい

前記(1)乃至(6)のいずれかに記載の撮像素子。

(8)

前記第1の増幅素子が、前記第1のリセット素子によりリセットされた後
、前記第2の増幅素子が、前記第2のリセット素子によりリセットされる
前記(1)乃至(7)のいずれかに記載の撮像素子。

(9)

前記光電変換素子の電荷転送とリセットは、同一の期間に行われる

前記(1)乃至(7)のいずれかに記載の撮像素子。

(10)

前記第2の増幅素子からの信号を検出する検出部をさらに備え、
前記検出部は、相関二重サンプリングの処理を含み、リセット信号と蓄積
信号のサンプリングをそれぞれ行う

前記(1)乃至(7)のいずれかに記載の撮像素子。

(11)

前記検出部は、所定の行を処理対象とし、前記所定の行からのリセット信
号のサンプリングを行い、

前記所定の行を含む全行からの蓄積信号のサンプリングを行う

前記(10)に記載の撮像素子。

(12)

前記第2の増幅素子からの信号を検出する検出部をさらに備え、

前記検出部は、相関二重サンプリングの処理を含み、リセット信号のサンプリングは行わず、蓄積信号のサンプリングのみを行う

前記(1)乃至(7)のいずれかに記載の撮像素子。

(13)

前記光電変換素子、前記第1の増幅素子、および前記第1のリセット素子は、第1の層に形成され、

前記オフセット素子、前記第2の増幅素子、および前記第2のリセット素子は、第2の層に形成され、

前記第1の層と前記第2の層は、積層されている

前記(1)乃至(12)のいずれかに記載の撮像素子。

(14)

前記第2の増幅素子からの信号を検出する検出部は、第3の層に形成され、

前記第1の層、前記第2の層、および前記第3の層は、積層されている

前記(13)に記載の撮像素子。

符号の説明

[0268] 21 フォトダイオード, 22 カソード(蓄積ノード), 23 電源, 24 出力ノード, 25 転送トランジスタ, 26 第1の増幅トランジスタ, 27 第1のリセットトランジスタ, 28 第1の検出ノード, 29 負荷トランジスタ, 31 カップリングキャパシタ, 32 第2の検出ノード(入力ノード), 33 第2の増幅トランジスタ, 34 選択トランジスタ, 35 第2のリセットトランジスタ, 36 出力信号線, 50 行駆動回路, 51 負荷トランジスタ, 52 検出回路, 53 差動型増幅, 54 帰還信号線, 100 画素, 200 画素, 221 第2の増幅トランジスタ, 222 第2のリセットトランジスタ, 223 キャパシタ, 251 電流ミラー回路,

252 参照電圧入力増幅トランジスタ, 253 電流／動作点調整用
トランジスタ, 254 ソース線, 201 行駆動回路, 311 第
1のシリコン層, 312 第2のシリコン層

請求の範囲

- [請求項1] 光電変換素子と、
前記光電変換素子からの信号を増幅する第1の増幅素子と、
前記第1の増幅素子からの出力を増幅する第2の増幅素子と、
前記第1の増幅素子と前記第2の増幅素子との間に設けられたオフセット素子と、
前記第1の増幅素子をリセットする第1のリセット素子と、
前記第2の増幅素子をリセットする第2のリセット素子と
を備える撮像素子。
- [請求項2] 前記オフセット素子は、キャパシタである
請求項1に記載の撮像素子。
- [請求項3] 前記第2の増幅素子からの出力のフィードバックループを介して、
前記オフセット素子に、電荷が蓄積され、オフセットバイアスが生成
される
請求項1に記載の撮像素子。
- [請求項4] 前記第2の増幅素子からの出力信号と参照信号との差分の逆相が、
前記第2のリセット素子に供給される
請求項1に記載の撮像素子。
- [請求項5] 前記第2の増幅素子からの出力信号と参照信号が、差動アンプに入
力され、
前記差動アンプからの出力が、前記第2のリセット素子に供給され
る
請求項1に記載の撮像素子。
- [請求項6] 前記差動アンプは、前記第2のリセット素子と電流ミラー回路を含
む構成とされている
請求項5に記載の撮像素子。
- [請求項7] 前記第2の増幅素子の入力寄生容量は、前記第1の増幅素子の入力
寄生容量よりも大きい

請求項 1 に記載の撮像素子。

[請求項8] 前記第 1 の増幅素子が、前記第 1 のリセット素子によりリセットされた後、前記第 2 の増幅素子が、前記第 2 のリセット素子によりリセットされる

請求項 1 に記載の撮像素子。

[請求項9] 前記光電変換素子の電荷転送とリセットは、同一の期間に行われる
請求項 1 に記載の撮像素子。

[請求項10] 前記第 2 の増幅素子からの信号を検出する検出部をさらに備え、
前記検出部は、相関二重サンプリングの処理を含み、リセット信号と蓄積信号のサンプリングをそれぞれ行う

請求項 1 に記載の撮像素子。

[請求項11] 前記検出部は、所定の行を処理対象とし、前記所定の行からのリセット信号のサンプリングを行い、

前記所定の行を含む全行からの蓄積信号のサンプリングを行う

請求項 10 に記載の撮像素子。

[請求項12] 前記第 2 の増幅素子からの信号を検出する検出部をさらに備え、
前記検出部は、相関二重サンプリングの処理を含み、リセット信号のサンプリングは行わず、蓄積信号のサンプリングのみを行う

請求項 1 に記載の撮像素子。

[請求項13] 前記光電変換素子、前記第 1 の増幅素子、および前記第 1 のリセット素子は、第 1 の層に形成され、

前記オフセット素子、前記第 2 の増幅素子、および前記第 2 のリセット素子は、第 2 の層に形成され、

前記第 1 の層と前記第 2 の層は、積層されている

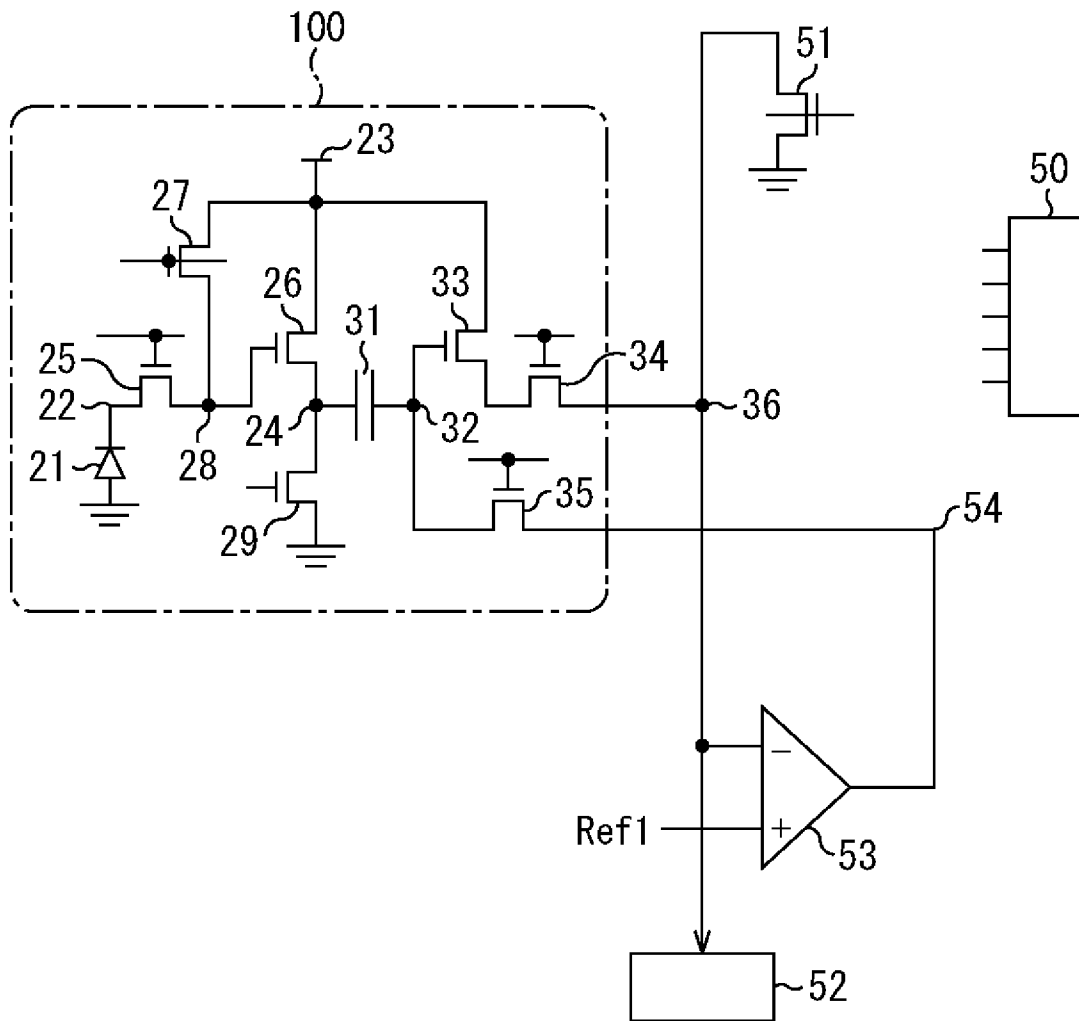
請求項 1 に記載の撮像素子。

[請求項14] 前記第 2 の増幅素子からの信号を検出する検出部は、第 3 の層に形成され、

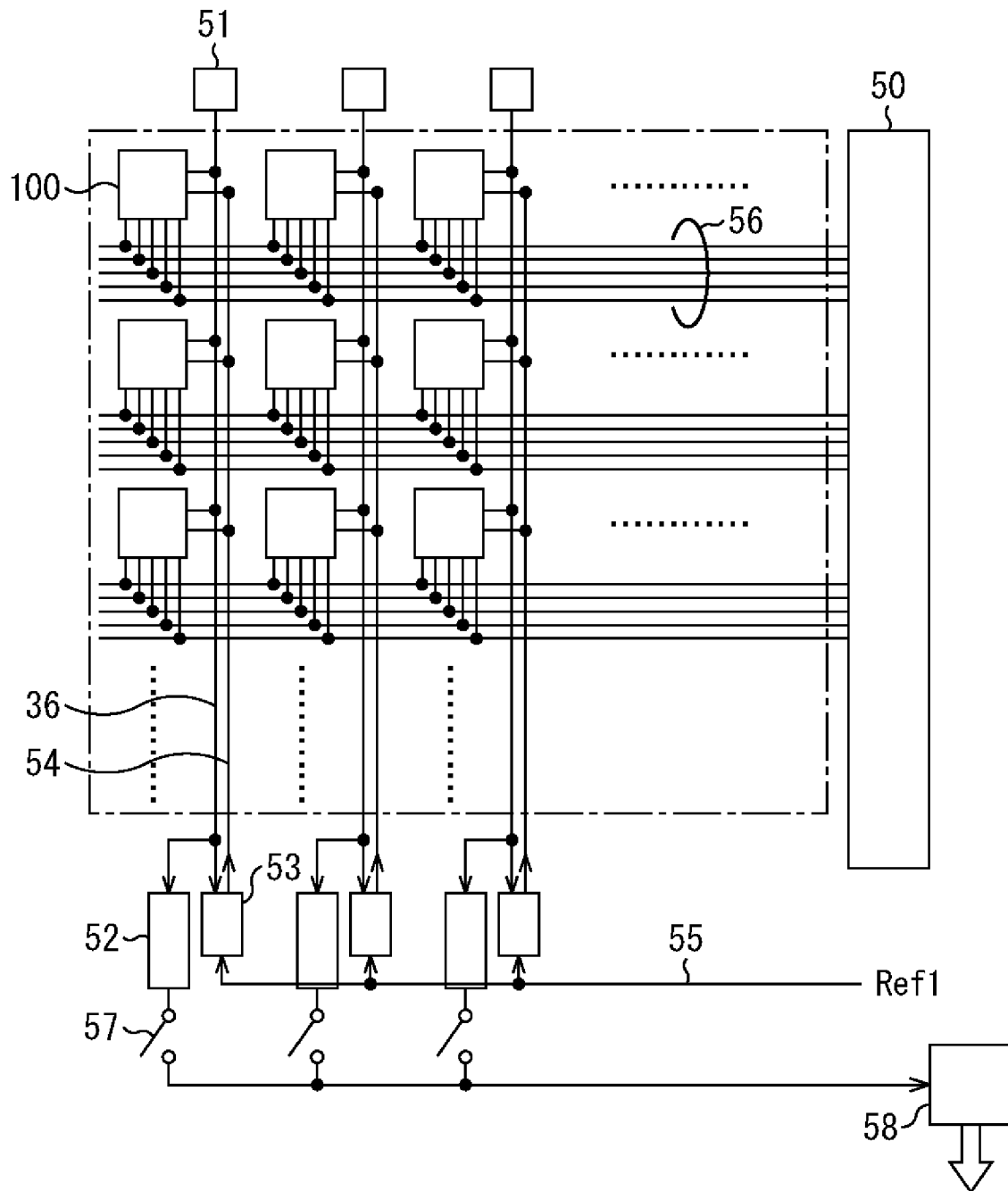
前記第 1 の層、前記第 2 の層、および前記第 3 の層は、積層されて

いる

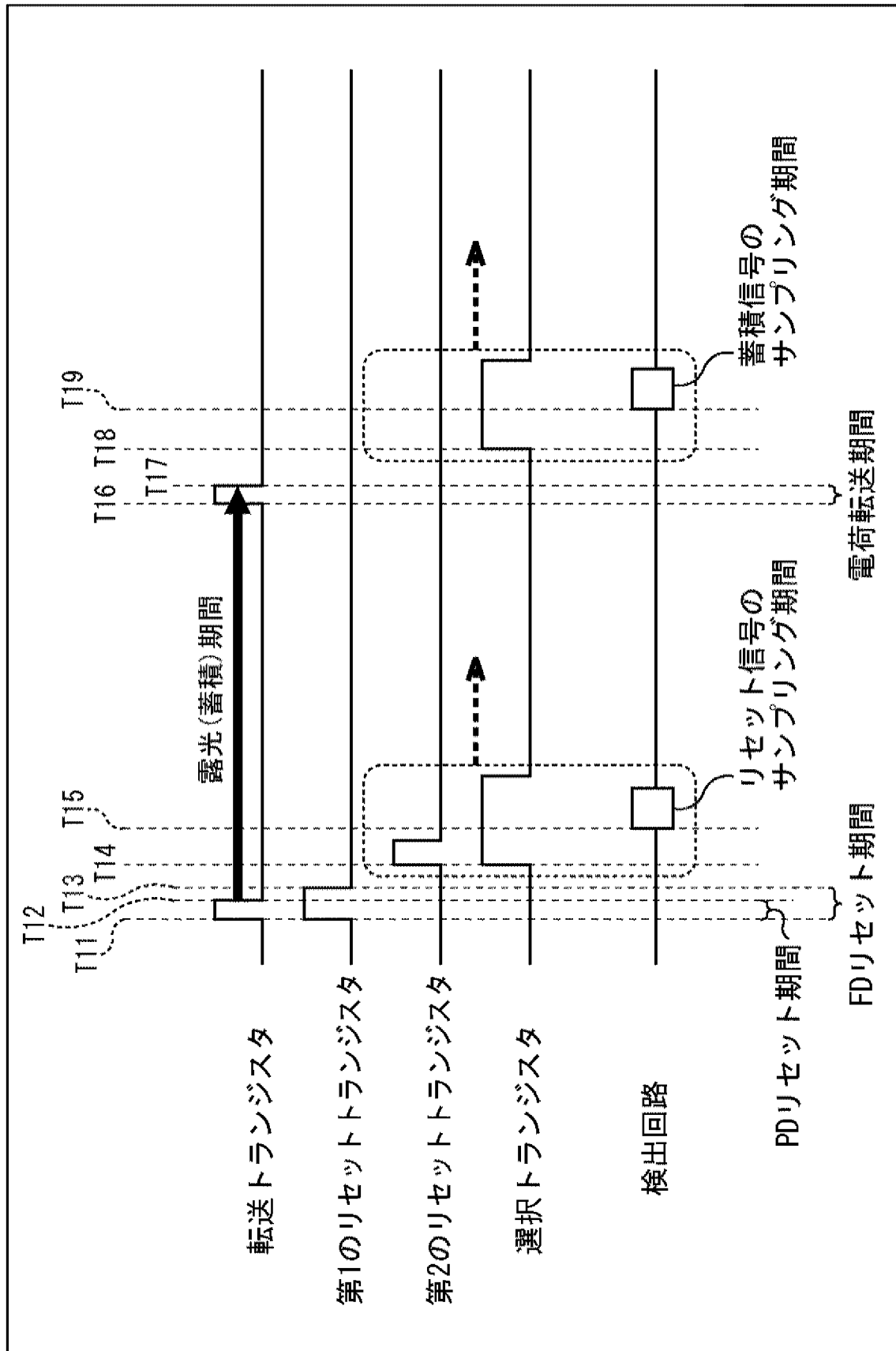
請求項 1 3 に記載の撮像素子。

[図1]
FIG. 1

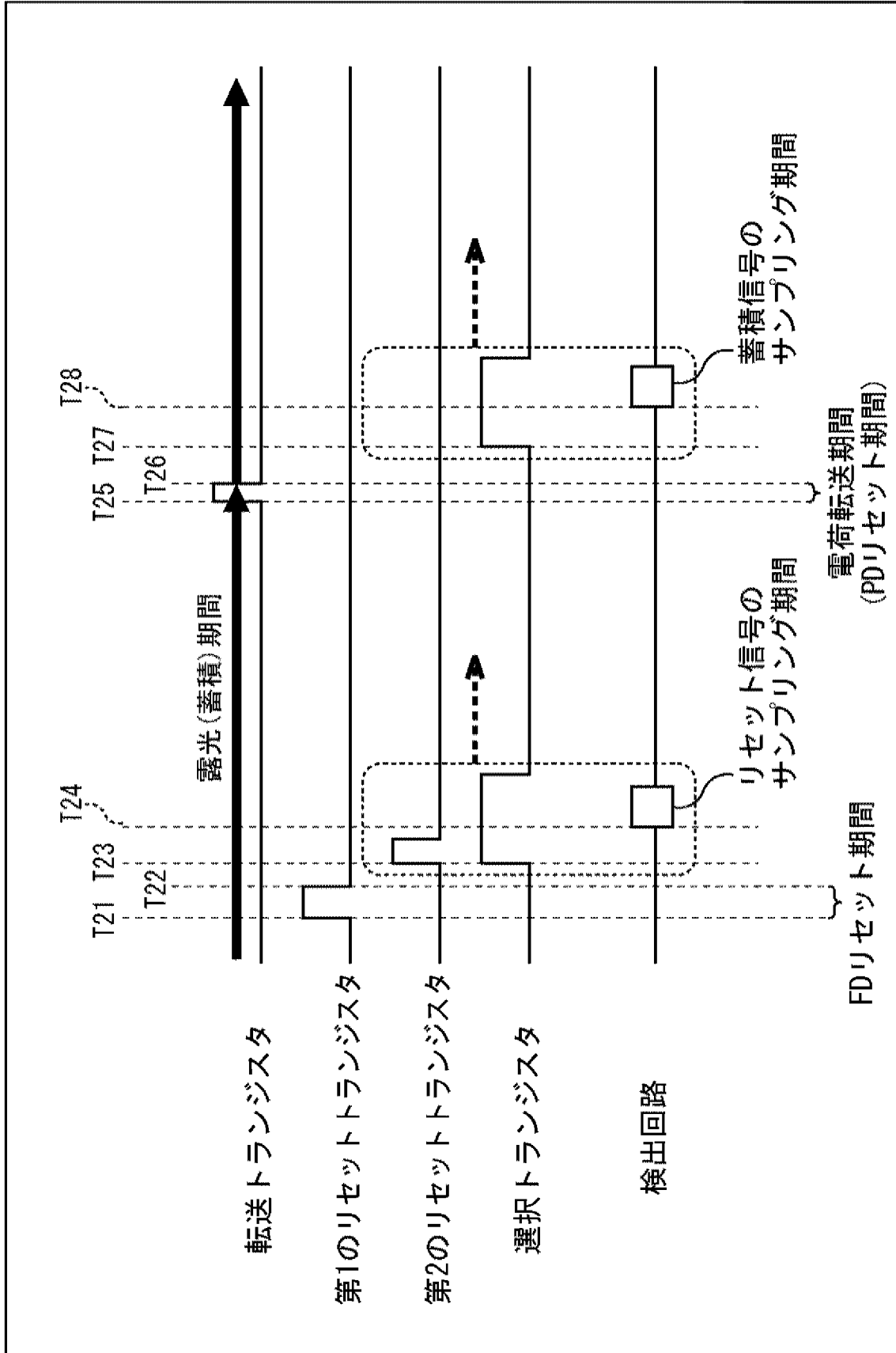
[図2]
FIG. 2



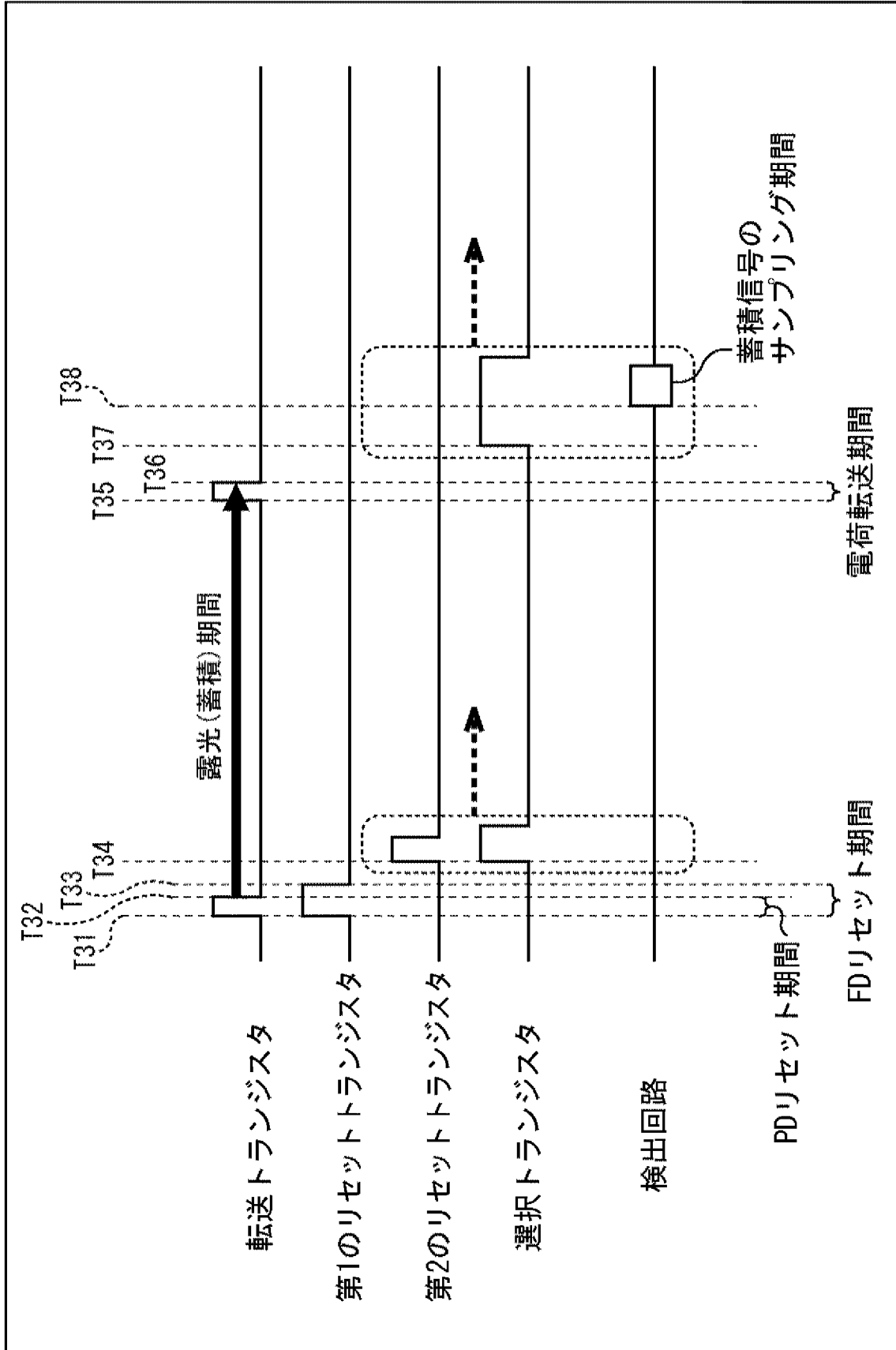
[図3]
FIG. 3



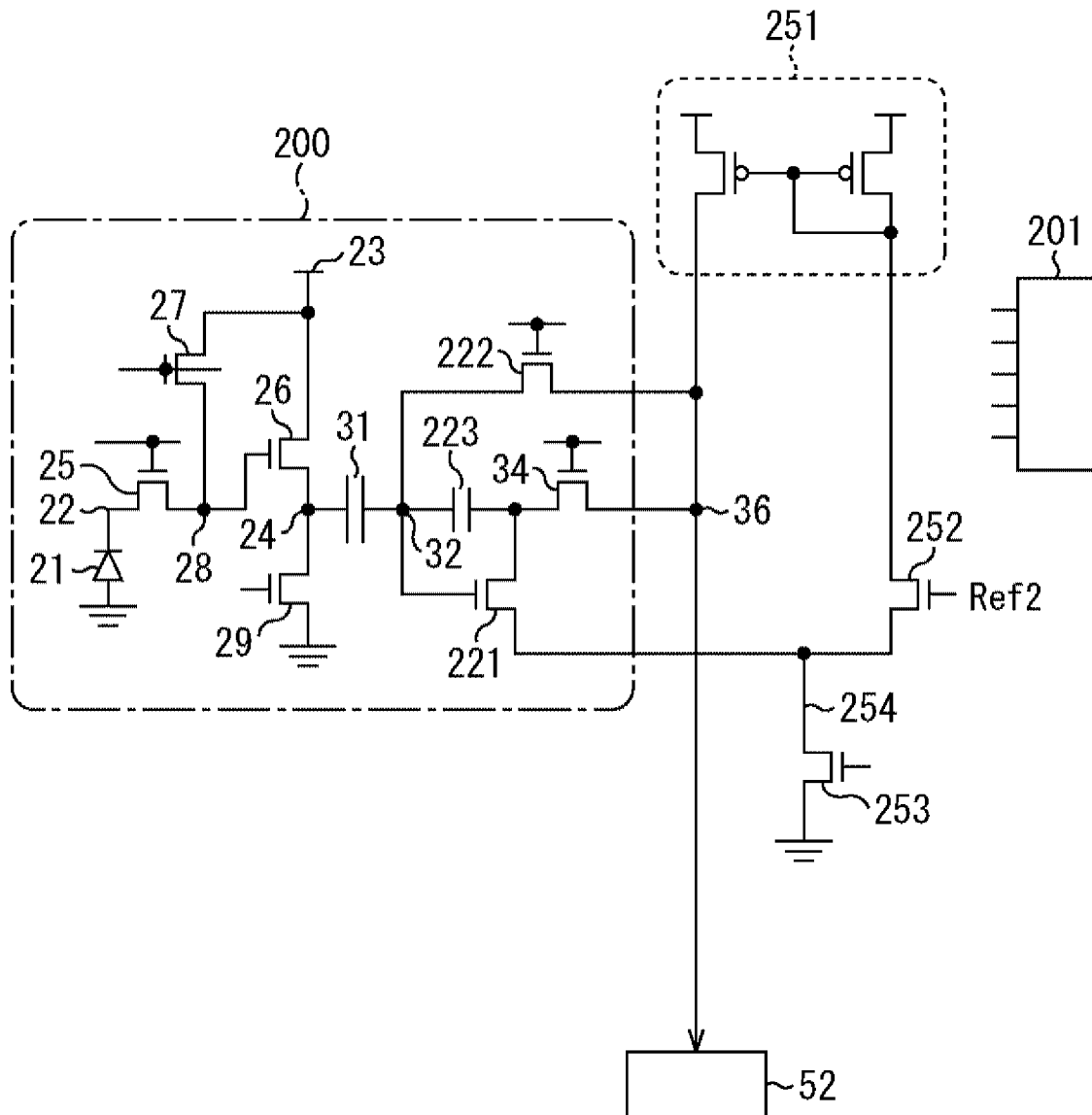
[図4]
FIG. 4



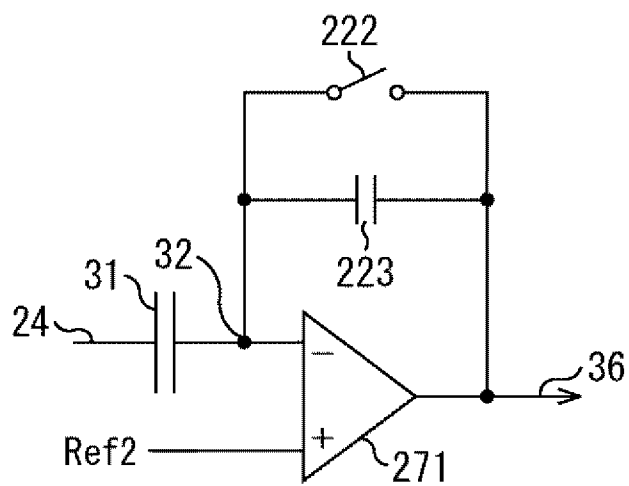
[図5]
FIG. 5



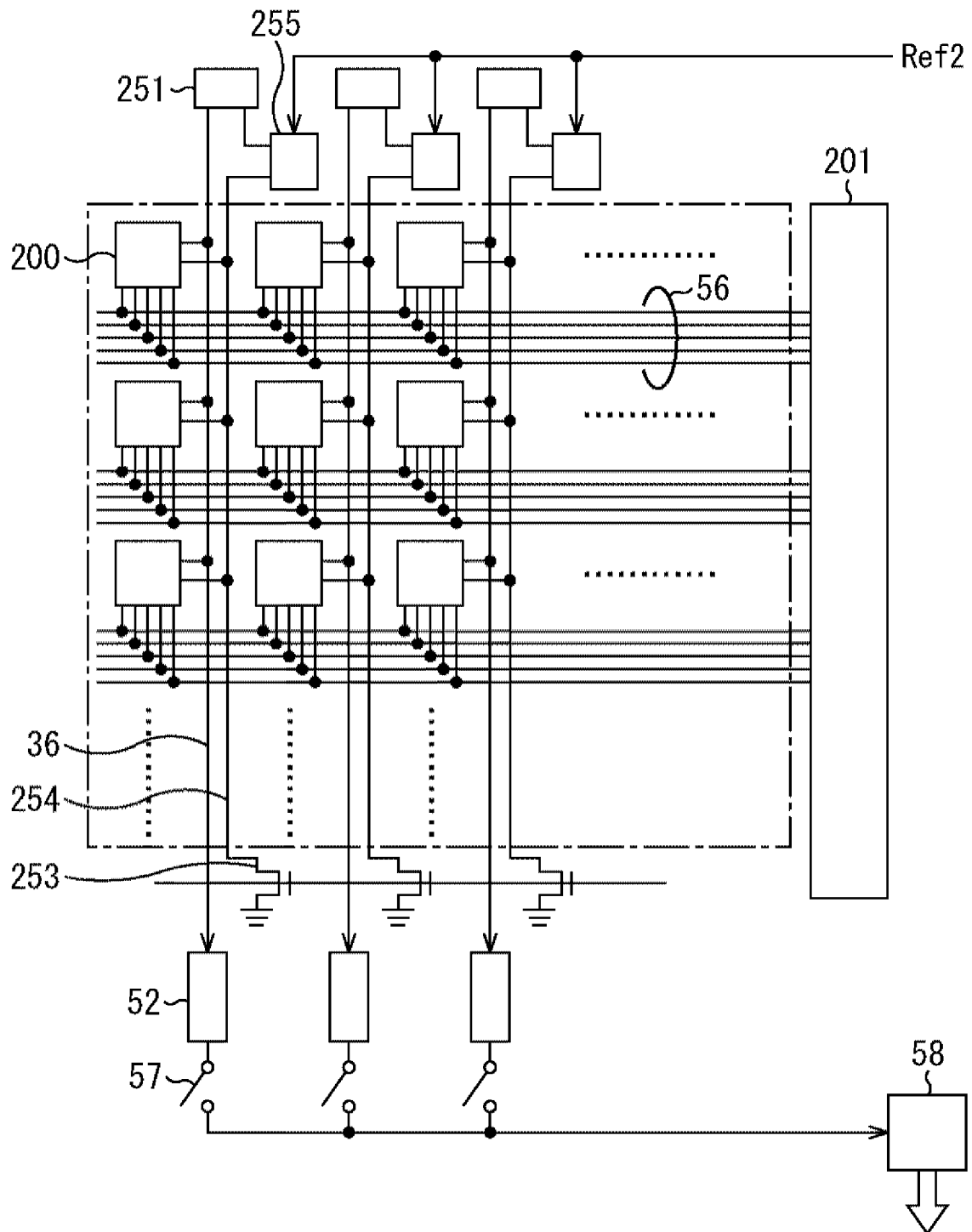
[図6]
FIG. 6



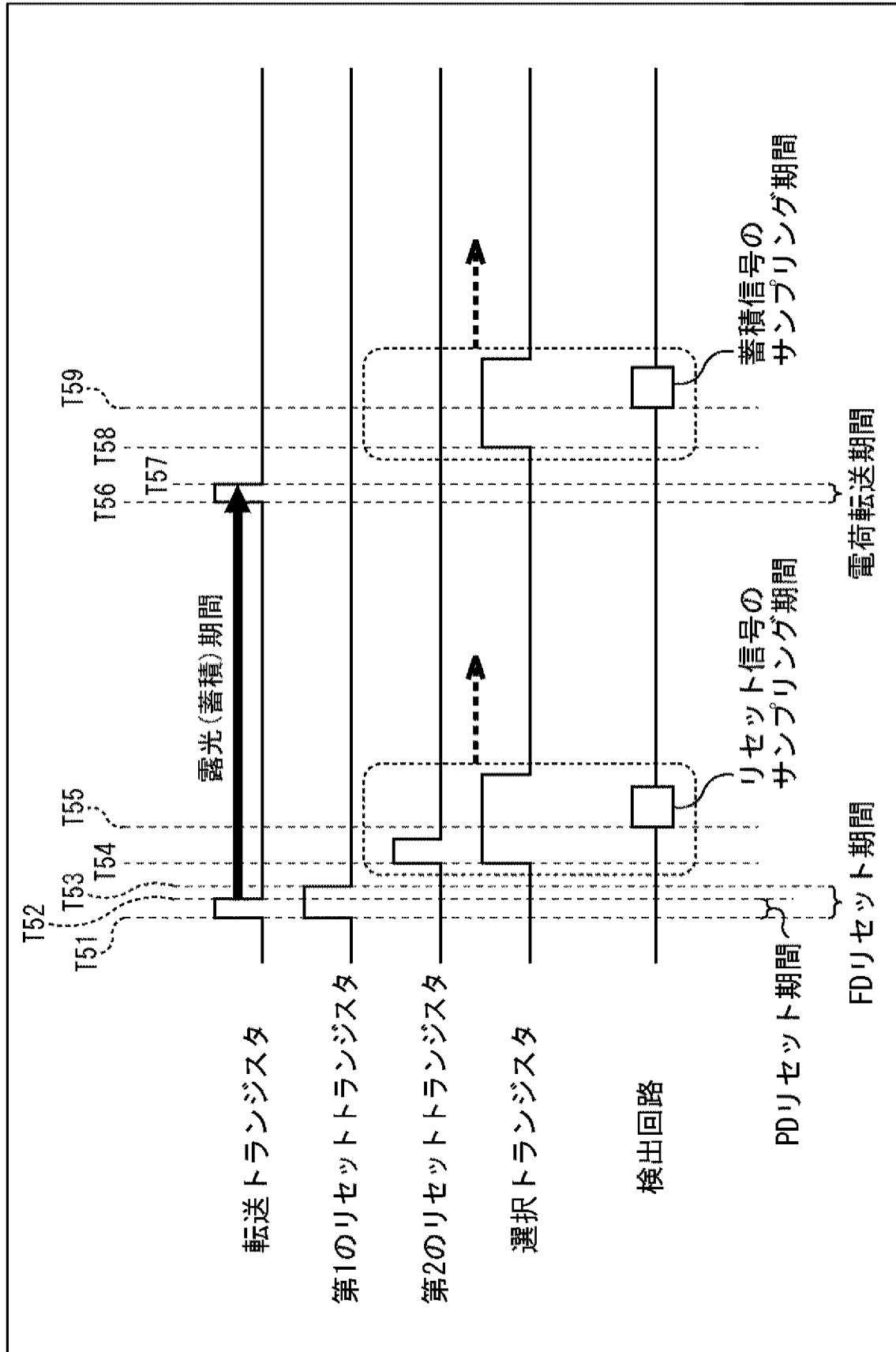
[図7]
FIG. 7



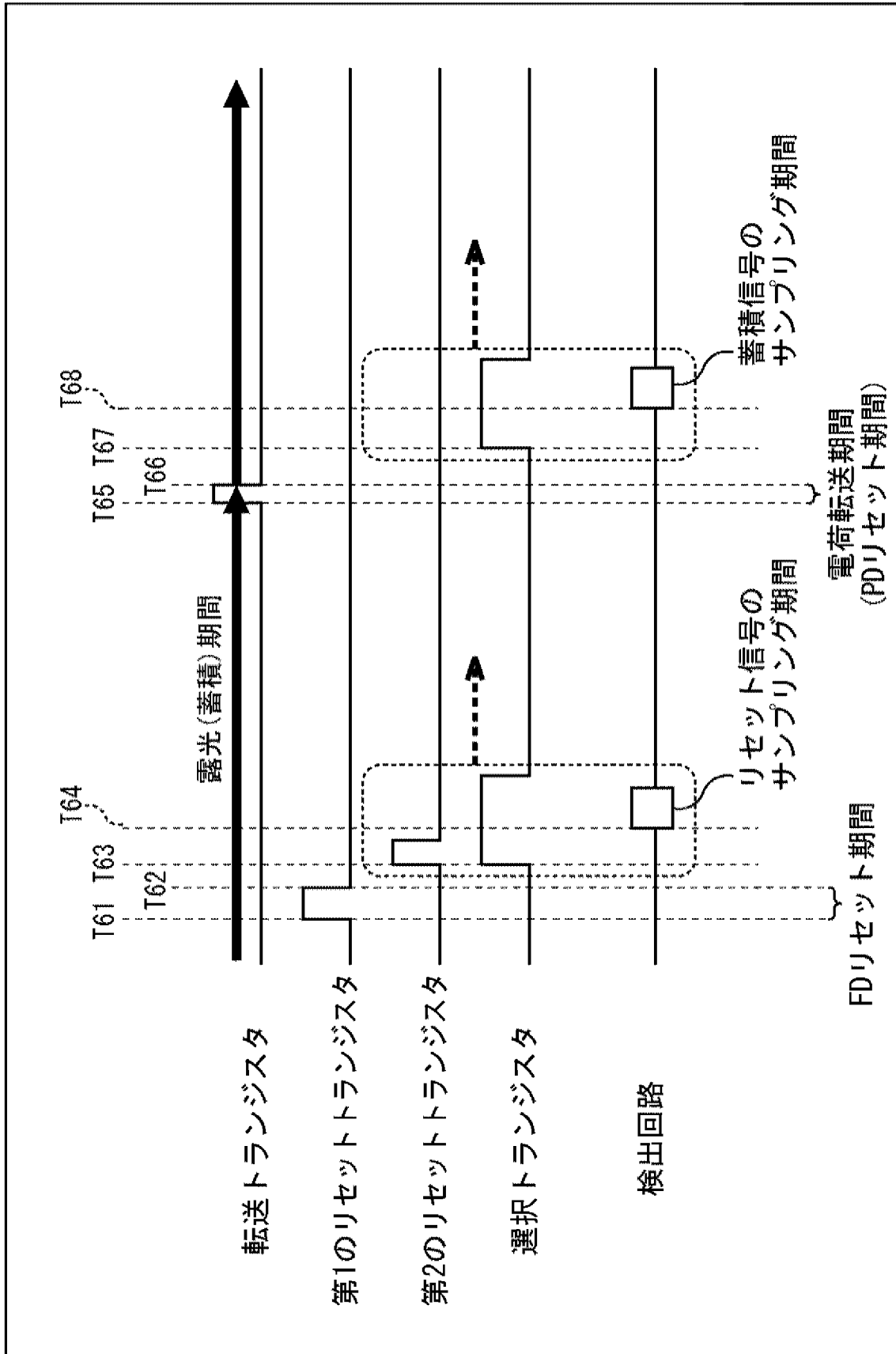
[図8]
FIG. 8



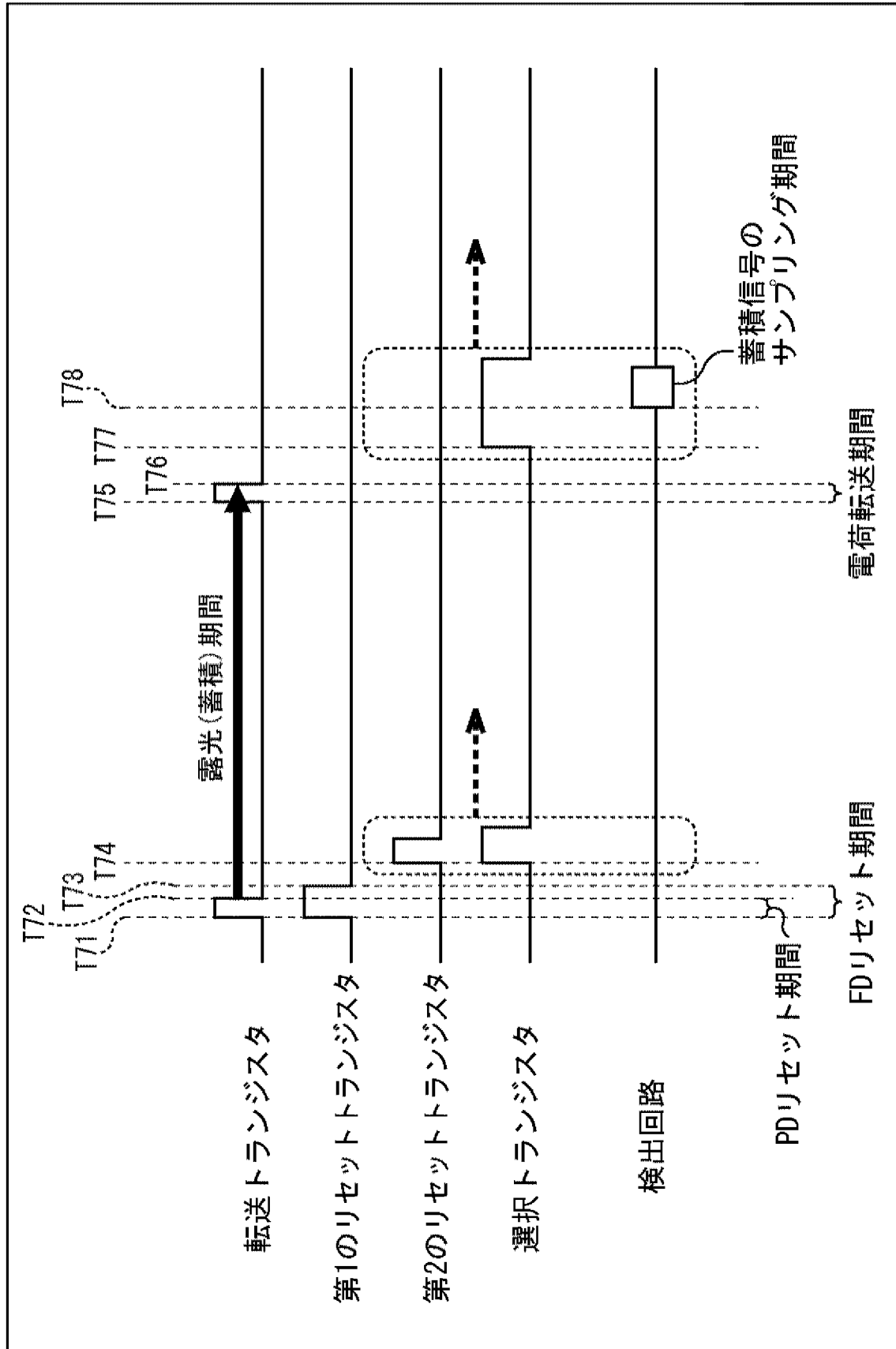
[図9]
FIG. 9



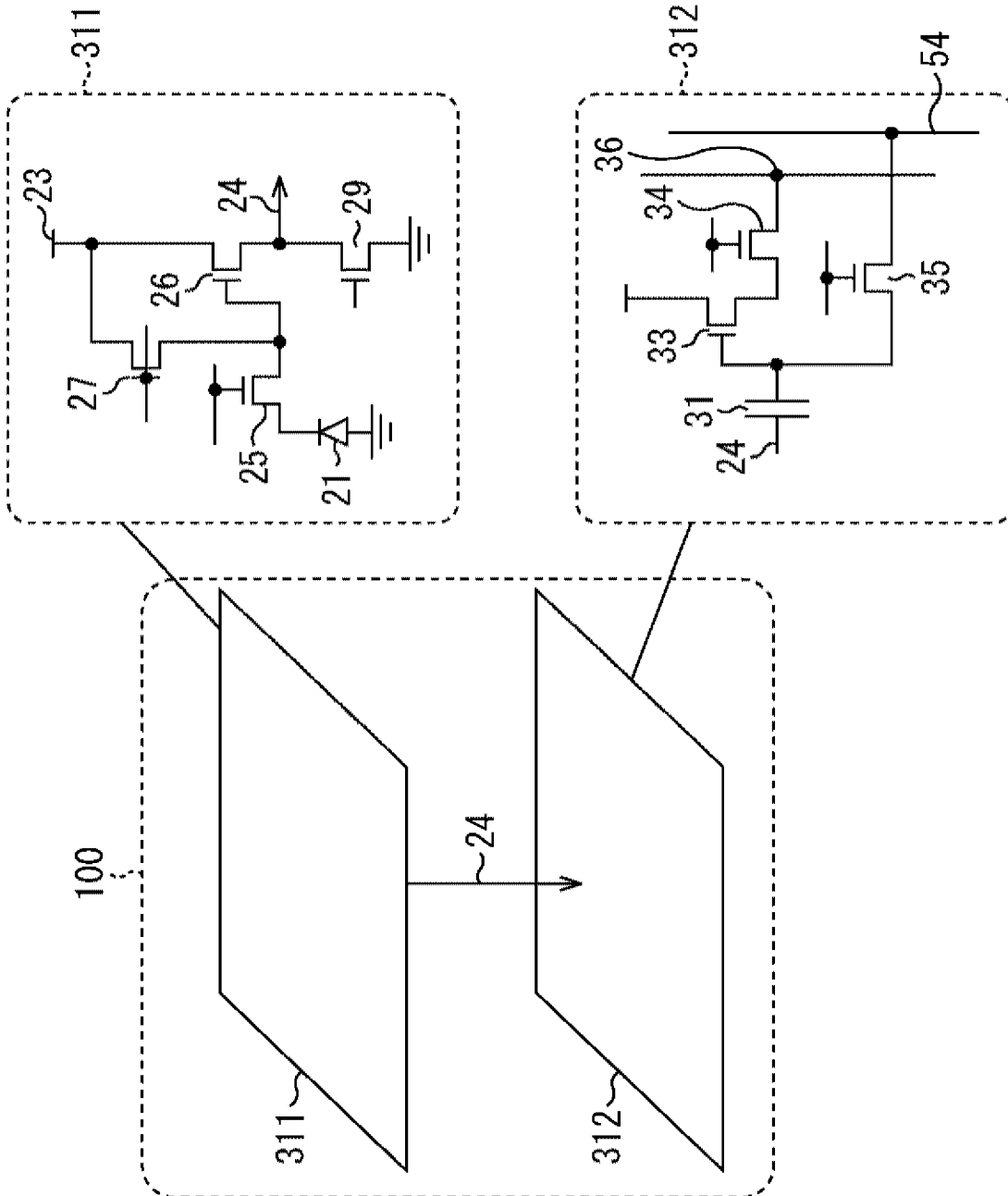
[図10]
FIG. 10



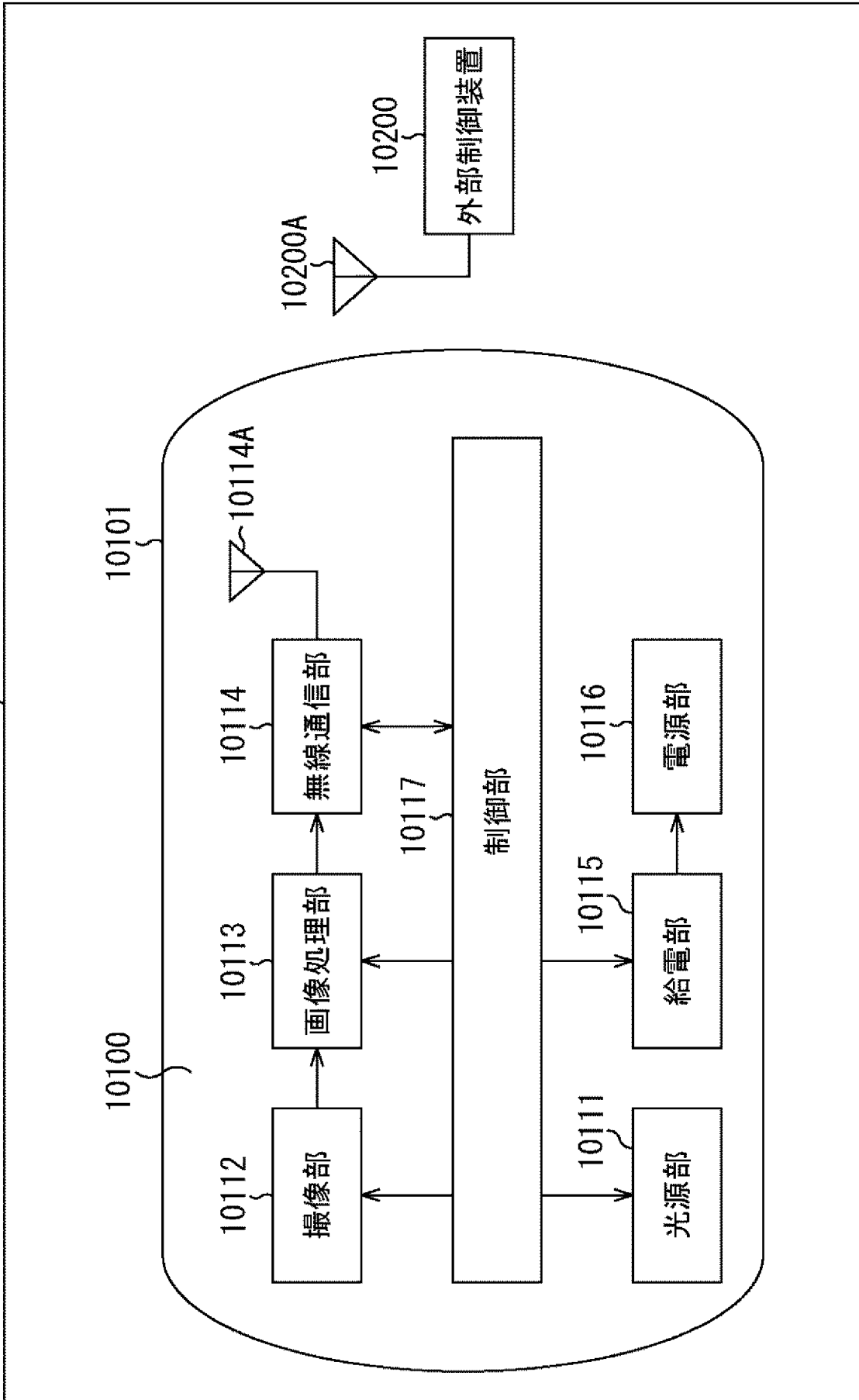
[図11]
FIG. 11



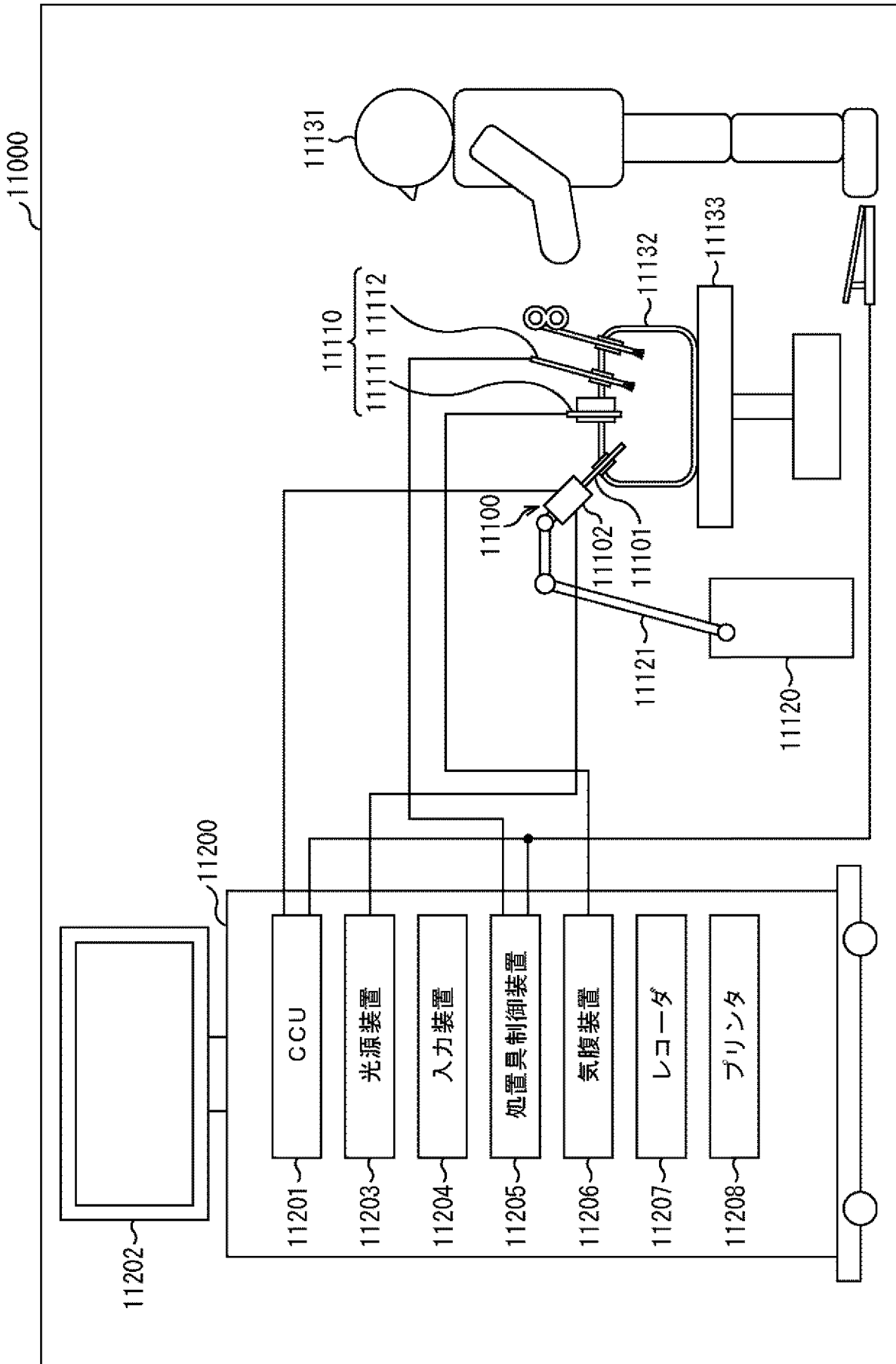
[図12]
FIG. 12



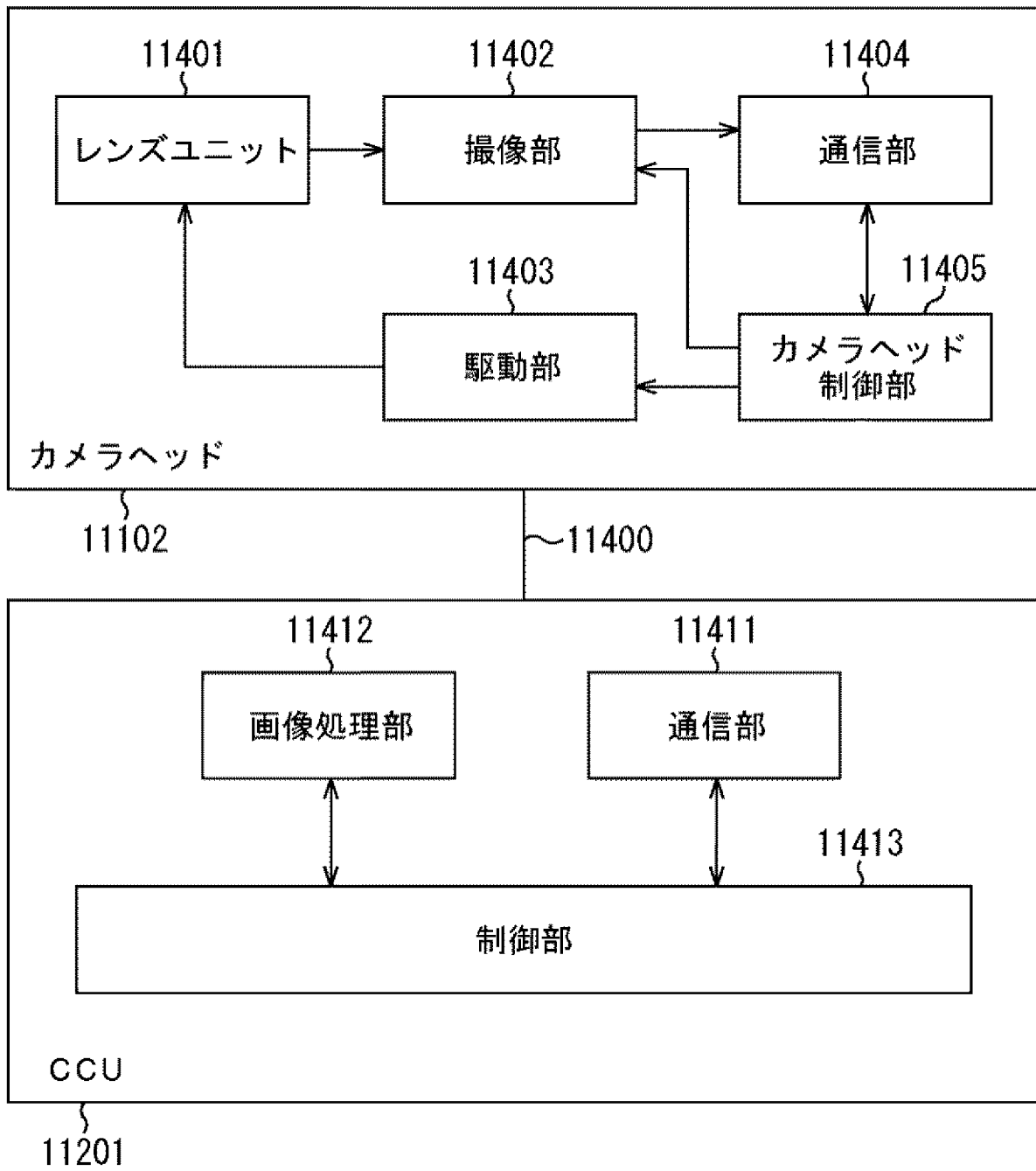
[図13]



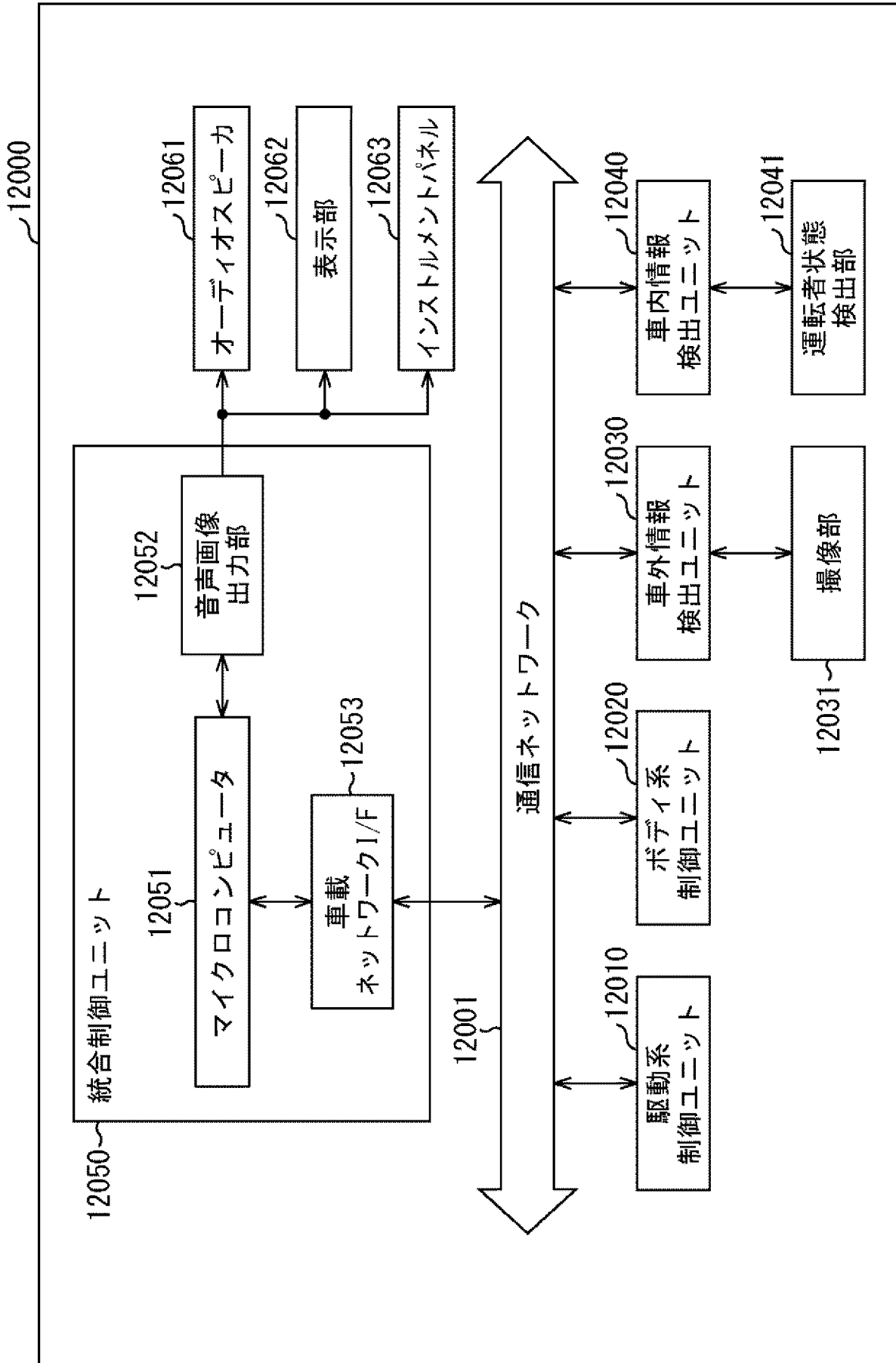
[図14]



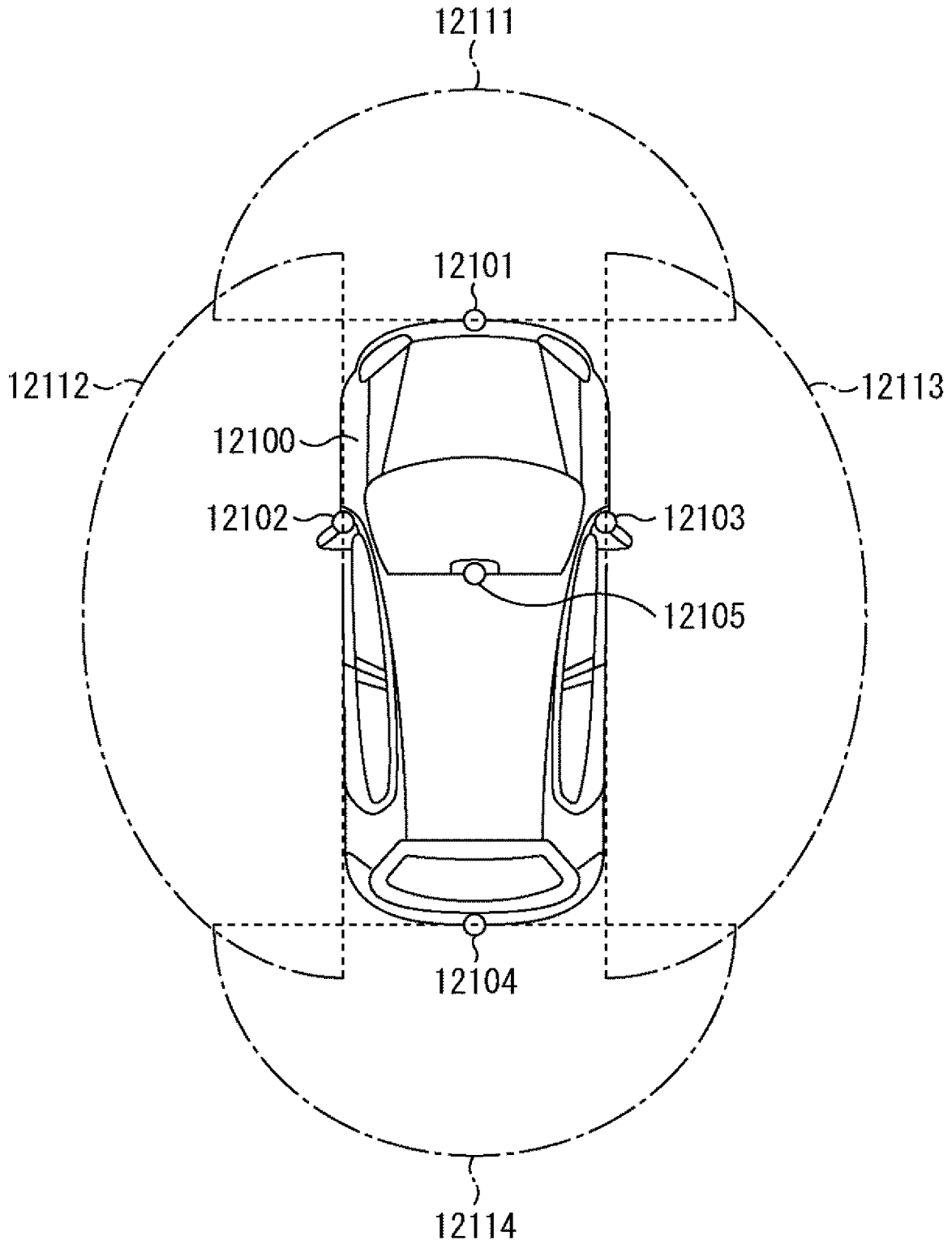
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025656

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/357(2011.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/357, H01L27/146, H04N5/369, H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-248952 A (Olympus Corp.), 13 December 2012 (13.12.2012), paragraphs [0036], [0061], [0062], [0071], A [0075], [0122]; fig. 4, 6 & US 2016/0134824 A1 paragraphs [0124], [0295], [0302], [0303], [0312], [0484]; fig. 27, 29	1, 2, 7-9, 13, 14 10-12 3-6
Y	JP 2007-74435 A (Funai Electric Co., Ltd.), 22 March 2007 (22.03.2007), paragraph [0025]; fig. 1 (Family: none)	10-12
A	JP 2004-140149 A (Sony Corp.), 13 May 2004 (13.05.2004), entire text; all drawings & US 2004/0130757 A1	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
20 September 2017 (20.09.17)

Date of mailing of the international search report
03 October 2017 (03.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/357(2011.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/357, H01L27/146, H04N5/369, H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-248952 A (オリンパス株式会社) 2012.12.13, 段落 [0036], [0061], [0062], [0071], [0075], [0122], 第4, 6図 & US 2016/0134824	1, 2, 7-9, 13, 14
Y	A1, 段落 [0124], [0295], [0302], [0303], [0312], [0484],	10-12
A	第27, 29図	3-6
Y	JP 2007-74435 A (船井電機株式会社) 2007.03.22, 段落 [0025], 第1図 (ファミリーなし)	10-12

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

20.09.2017

国際調査報告の発送日

03.10.2017

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 鈴木 明

5V 9185

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-140149 A (ソニー株式会社) 2004.05.13, 全文, 全図 & US 2004/0130757 A1	1-14