

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5484711号
(P5484711)

(45) 発行日 平成26年5月7日(2014.5.7)

(24) 登録日 平成26年2月28日(2014.2.28)

(51) Int.Cl.

F 1

HO1L 27/115	(2006.01)	HO1L 27/10	434
HO1L 21/8247	(2006.01)	HO1L 29/78	371
HO1L 21/336	(2006.01)	HO1L 27/10	481
HO1L 29/788	(2006.01)	HO1L 27/10	495
HO1L 29/792	(2006.01)	HO1L 29/78	658E

請求項の数 6 (全 28 頁) 最終頁に続く

(21) 出願番号

特願2008-286950 (P2008-286950)

(22) 出願日

平成20年11月7日 (2008.11.7)

(65) 公開番号

特開2009-117843 (P2009-117843A)

(43) 公開日

平成21年5月28日 (2009.5.28)

審査請求日

平成23年9月28日 (2011.9.28)

(31) 優先権主張番号

10-2007-0113535

(32) 優先日

平成19年11月8日 (2007.11.8)

(33) 優先権主張国

韓国 (KR)

(34) 優先権主張番号

12/290,742

(35) 優先日

平成20年11月3日 (2008.11.3)

(36) 優先権主張国

米国 (US)

(73) 特許権者 390019839

三星電子株式会社

Samsung Electronics
Co., Ltd.大韓民国京畿道水原市靈通区三星路 129
129, Samsung-ro, Yeon
gton-gu, Suwon-si, G
yeonggi-do, Republic
of Korea

(74) 代理人 110000671

八田国際特許業務法人

(72) 発明者 孫龍勲

大韓民国京畿道龍仁市水枝区竹田洞 ビヨ
クサンアパート301棟801号

最終頁に続く

(54) 【発明の名称】垂直型半導体素子及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

水平方向に延長される単結晶半導体物質の基板と、
前記基板上の複数の層間絶縁膜と、

隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターンと、

前記複数の層間絶縁膜とゲートパターンを貫通し垂直方向に延長され、非結晶半導体物質を熱処理して相転移させて形成される結晶質半導体物質の垂直チャンネルとを含み、

前記各々のゲートパターンと垂直チャンネルの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるゲート絶縁膜が前記隣接する下部層間絶縁膜と上部層間絶縁膜と

の間にのみに具備され、各々の前記ゲートパターンとゲート絶縁膜の間に電荷トラップ膜が

具備され、前記電荷トラップ膜は前記ゲートパターンとゲート絶縁膜の間で垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間で水平方向に延長

される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間で水平方向に延長される第3部分を含み、「コ」の字形状で前記ゲート絶縁膜と上下の層間絶縁膜に接し

、ブロッキング絶縁膜を介して前記ゲートパターンで満たされることを特徴とする半導体素子。

【請求項 2】

前記非結晶半導体物質にはN型不純物がドーピングされ、前記垂直チャンネルの前記ゲートパターンにより囲まれている側壁にはP型不純物がドーピングされ、

10

20

前記垂直チャンネルの前記層間絶縁膜により囲まれている部位にはN型ソース／ドレイン領域が形成され、前記垂直チャンネルの前記ゲートパターンにより囲まれている部位にはP型チャンネル領域が形成され、前記P型チャンネル領域は前記層間絶縁膜の各々の位置によってセルフアラインされることを特徴とする請求項1記載の半導体素子。

【請求項3】

前記ゲート絶縁膜は熱酸化膜を含むことを特徴とする請求項1記載の半導体素子。

【請求項4】

上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターンと、

下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターンと、10

半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターンと、

前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲートと、

前記垂直チャンネルによって互いに直列に接続されて半導体素子の共通のセルストリングをなすメモリセルトランジスタと、

前記半導体素子の第2水平方向に配置され、半導体素子のビットラインと互いに接続される垂直チャンネルの上部とを含み、20

前記半導体素子は不揮発性メモリー素子を含むことを特徴とする請求項1記載の半導体素子。

【請求項5】

水平方向に延長される単結晶半導体物質の基板を提供する段階と、

前記基板上に複数の層間絶縁膜を提供する段階と、

隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターンを提供する段階と、

前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長され、非結晶半導体物質を熱処理して相転移させて形成される結晶質半導体物質の垂直チャンネルを提供する段階と、30

前記各々のゲートパターンと垂直チャンネルの間には前記垂直チャンネルから前記ゲートパターンを絶縁させ、前記隣接する下部層間絶縁膜と上部層間絶縁膜との間のみに具備されるゲート絶縁膜を提供する段階と、

各々の前記ゲートパターンとゲート絶縁膜の間に電荷トラップ膜を提供する段階とを含み、前記電荷トラップ膜は前記ゲートパターンとゲート絶縁膜の間で垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間で水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間で水平方向に延長される第3部分を含み、「コ」の字形状で前記ゲート絶縁膜と上下の層間絶縁膜に接し、プロッキング絶縁膜を介して前記ゲートパターンで満たされることを特徴とする半導体素子の製造方法。40

【請求項6】

前記非結晶半導体物質にはN型不純物がドーピングされ、プラズマドーピング工程により、前記垂直チャンネルの前記ゲートパターンにより囲まれている側壁にはP型不純物がドーピングされ、

前記垂直チャンネルの前記層間絶縁膜により囲まれている部位にはN型ソース／ドレイン領域が形成され、前記垂直チャンネルの前記ゲートパターンにより囲まれている部位にはP型チャンネル領域が形成され、前記P型チャンネル領域は前記層間絶縁膜の各々の位置によってセルフアラインされることを特徴とする請求項5記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】**【0001】**

本発明は垂直型半導体素子及びその製造方法に関する。より詳しくは、垂直方向にセルが接続されている半導体素子及びその製造方法に関する。

【背景技術】**【0002】**

電子製品は持続的に高集積化が進んでいるが、半導体メモリー素子は高スピード、低消費電力、及び高密度を有する必要がある。このため、半導体素子は今までにも増して、高集積化されていく必要があり、セルトランジスタは垂直及び水平方向アレイに整列された多層積層型素子(multiple layered device)として形成される方向で研究されている。10

【0003】

このためのアプローチとしては、平面メモリーセル、例えば、NANDメモリーセルは一般的な水平アレイに形成されている。その次に、垂直方向に前記水平アレイが多数の層で積層される。しかし、このような積層素子はリソグラフィー工程によって形成されることのできる最小フィーチャーサイズで積層膜が形成されることが要求されるため、各素子の信頼性が低下することになる。さらに、駆動トランジスタに含まれる駆動ゲートのサイズが大きければ大きいほど多層に積層される必要がある。それにより、前記薄膜が積層される個数を減少させるためには駆動トランジスタのサイズをさらに縮小させる必要がある。従って、集積化には限界があり、熱的除去に関する問題も生じ得る。20

【0004】

このための他のアプローチとしては、多層積層メモリー素子のチャンネルを垂直方向に形成することが研究されている。垂直チャンネルトランジスタの1つの特徴として、複数のゲート膜は基板上に形成され、垂直チャンネルは複数のゲート膜を垂直に横切るようになる。各々の垂直チャンネルで、下部ゲート膜は下部選択ゲートとして動作し、複数の中間ゲート膜はコントロールゲートとして動作し、上部ゲート膜は上部選択ゲートとして動作する。第1水平方向に互いに隣接する各々の上部選択ゲートは列方向に動作するように互いに接続される。互いに隣接する垂直チャンネルは第2水平方向に接続されて、メモリー素子のピットラインとして動作される。30

【0005】

しかし、垂直チャンネルトランジスタの場合、動作の特性を満足させることと製造工程の難しさがある。一例として、下部及び上部ゲートの垂直方向の端の表面は通常の酸化膜を使用して前記垂直チャンネルから絶縁されている。また、中間ゲート膜であるコントロールゲートの垂直の端の表面はONOタイプの電荷トラップ膜を使用して前記垂直チャンネルと絶縁される。それによって、前記フローティングゲートを使用するフローティングゲートタイプの不揮発性メモリー素子を作ることが難しい。

【0006】

これに加えて、垂直チャンネルトランジスタは、チャンネル領域を、ポリシリコンを使用して形成する。しかし、前記ポリシリコンの垂直チャンネルは内部の結晶粒界が含まれていて、前記結晶欠陥はトランジスタ内でトラップサイトを生じさせる。前記結晶欠陥によって半導体素子の抵抗が増加し、その結果、素子の動作速度が遅くなり、素子の電力消費量が増加する。40

【0007】

また、ポリシリコン垂直チャンネルの場合には、セルトランジスタのONO電荷トラップ膜内に含まれるトンネル酸化膜を化学気相蒸着方法で形成するしかない。従って、化学気相蒸着法によって形成されたトンネル酸化膜は時間の経過によって急速に劣化してしまうため、素子の内向性及び信頼性が低下される。

【発明の開示】**【発明が解決しようとする課題】****【0008】**

10

20

30

40

50

本発明の一つの目的は高性能を有しつつ、高集積化された垂直型半導体素子を提供することにある。

【0009】

本発明の他の目的は前記垂直型半導体素子の製造方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明の一様態の半導体素子は、単結晶半導体物質からなり、水平方向に延長される基板、前記基板上に複数の層間絶縁膜、隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターン、及び前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長される単結晶半導体物質の垂直チャンネルを含み、前記各々のゲートパターンと垂直チャンネルの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるゲート絶縁膜が具備される。10

【0011】

一実施形態として、前記各々のゲートパターンとゲート絶縁膜の間には電荷トラップ膜が含まれ、前記電荷トラップ膜は、前記ゲートパターン及びゲート絶縁膜の間に垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間に水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間に水平方向に延長される第3部分を含む。

【0012】

他の実施形態として、前記トラップ膜は、導電物質または半導体物質からなるフローティングゲートを含む。20

【0013】

また他の実施形態として、前記ゲート絶縁膜は熱酸化膜を含む。

【0014】

また他の実施形態として、上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターン、下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターン、前記半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターン、前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲート、前記垂直チャンネルによって互いに直列に接続されて半導体素子の共通のセルストリングをなすメモリセルトランジスタ、及び前記半導体素子の第2水平方向に配置され、半導体素子のビットラインと互いに接続される垂直チャンネルの上部を含み、前記半導体素子は半導体メモリー素子を含む。30

【0015】

また他の実施形態として、前記複数の層間絶縁膜は、各々マルチ積層構造からなり、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含み、前記下部及び上部絶縁膜は中間絶縁膜とエッティング選択比を有する物質からなる。

【0016】

本発明の他の様態の半導体素子は、水平方向に延長される単結晶半導体物質の基板、前記基板上に複数の層間絶縁膜、隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターン、及び前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長される単結晶半導体物質の垂直チャンネルを含み、前記各々のゲートパターンと垂直チャンネルとの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるゲート絶縁膜が具備され、各々の前記ゲートパターンとゲート絶縁膜の間に電荷トラップ膜が具備され、前記電荷トラップ膜は前記ゲートパターンとゲート絶縁膜の間で垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間で水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間で水平方向に延長される第3部分を含む。4050

【0017】

一実施形態として、前記基板及び垂直チャンネルは単結晶半導体物質を含む。

【0018】

他の実施形態として、前記電荷トラップ膜は導電物質または半導体物質からなるフローティングゲートを含む。

【0019】

他の実施形態として、前記ゲート絶縁膜は熱酸化膜を含む。

【0020】

他の実施形態として、上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターン、下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターン、前記半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターン、及び前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲート、前記垂直チャンネルによって互いに直列に接続されて半導体素子の共通のセルストリングをなすメモリセルトランジスタ、及び前記半導体素子の第2水平方向に配置され、半導体素子のビットラインと互いに接続される垂直チャンネルの上部を含み、前記半導体素子は非揮発性メモリー素子を含む。10

【0021】

また他の実施形態として、前記複数の層間絶縁膜は、各々マルチ積層構造からなり、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含み、前記下部及び上部絶縁膜は中間絶縁膜とエッチング選択比を有する。20

【0022】

本発明の他の様態の半導体素子は、水平方向に延長される基板、前記基板上に複数の層間絶縁膜、隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターン、及び前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長される単結晶半導体物質の垂直チャンネルを含み、前記各々のゲートパターンと垂直チャンネルの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるための熱酸化膜を含むゲート絶縁膜が具備される。30

【0023】

一実施形態として、前記基板及び垂直チャンネルは単結晶半導体物質を含む。

【0024】

他の実施形態として、前記各々のゲートパターンとゲート絶縁膜の間には電荷トラップ膜が含まれ、前記電荷トラップ膜は、前記ゲートパターン及びゲート絶縁膜の間に垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間に水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間に水平方向に延長される第3部分を含む。

【0025】

また他の実施形態として、前記電荷トラップ膜は導電物質または半導体物質からなるフローティングゲートを含む。40

【0026】

また他の実施形態として、上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターン、下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターン、半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターン、前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲート、前記垂直チャンネルによって互いに直列に接続されて半導体素子の共通のセルストリン50

グをなすメモリセルトランジスタ、及び前記半導体素子の第2水平方向に配置され、半導体素子のビットラインと互いに接続される垂直チャンネルの上部を含み、前記半導体素子は半導体メモリー素子を含む。

【0027】

また他の実施形態として、前記複数の層間絶縁膜は、各々マルチ積層構造からなり、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含み、前記下部及び上部絶縁膜は中間絶縁膜とエッティング選択比を有する物質からなる。

【0028】

本発明の他の様態の半導体素子の製造方法として、水平方向に延長される単結晶半導体物質の基板を提供する段階、前記基板上に複数の層間絶縁膜を提供する段階、隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターンを提供する段階、前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長される単結晶半導体物質の垂直チャンネルを提供する段階、及び前記各々のゲートパターンと垂直チャンネルとの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるゲート絶縁膜を提供する段階を含む。10

【0029】

一実施形態として、前記各々のゲートパターンとゲート絶縁膜の間には電荷トラップ膜を提供する段階をさらに含み、前記電荷トラップ膜は、前記ゲートパターン及びゲート絶縁膜の間に垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間に水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間に水平方向に延長される第3部分を含む。20

【0030】

他の実施形態として、前記電荷トラップ膜は、導電物質または半導体物質からなるフローティングゲートを含む。

【0031】

また他の実施形態として、前記ゲート絶縁膜を提供する段階は、熱酸化膜を形成する工程を含む。

【0032】

また他の実施形態として、上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターン、下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターン、前記半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターン、及び前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲートを含み、これに加えて、前記半導体素子の共通ストリングのメモリーセルのトランジスタを直列に接続させる段階と前記半導体素子のビットラインに提供されるように前記素子の第2水平方向に配置される垂直チャンネルの上部を接続させる段階を含み、ここで前記半導体素子は半導体メモリー素子である。30

【0033】

また他の実施形態として、各々の前記複数の層間絶縁膜を提供する段階は、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含むマルチ積層構造を提供することを含み、前記下部及び上部絶縁膜は中間絶縁膜とエッティング選択比を有する物質からなる。

【0034】

本発明の他の様態の半導体素子の製造方法として、水平方向に延長される単結晶半導体物質の基板を提供する段階、前記基板上に複数の層間絶縁膜を提供する段階、隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターンを提供する段階、前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長される単結晶半導体物質の垂直チャンネルを提供する段階、前記各々のゲートパターンと垂直チャンネルとの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるゲート絶縁膜を50

提供する段階、及び各々の前記ゲートパターンとゲート絶縁膜の間に電荷トラップ膜を提供する段階と含み、前記電荷トラップ膜は前記ゲートパターンとゲート絶縁膜の間で垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間で水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間で水平方向に延長される第3部分を含む。

【0035】

一実施形態として、前記基板を提供する段階は、単結晶半導体物質を含む基板を提供することを含み、前記垂直チャンネルを提供する段階は、単結晶半導体物質を含む垂直チャンネルを提供することを含む。

【0036】

他の実施形態として、前記電荷トラップ膜は導電物質または半導体物質からなるフローティングゲートを含む。

【0037】

また他の実施形態として、前記ゲート絶縁膜は、熱酸化膜を含む。

【0038】

また他の実施形態として、上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターン、下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターン、前記半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターン、及び前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲートを含み、これに加えて、前記半導体素子の共通ストリングのメモリーセルのトランジスタを直列に接続させる段階と前記半導体素子のビットラインに提供されるように前記素子の第2水平方向に配置される垂直チャンネルの上部を接続させる段階を遂行し、前記半導体素子は非揮発性半導体メモリー素子である。

【0039】

他の実施形態として、各々の前記複数の層間絶縁膜を形成する段階は、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含むマルチ積層構造を形成する段階を含み、前記下部及び上部絶縁膜は中間絶縁膜とエッティング選択比を有する物質からなる。

【0040】

本発明の他の様態の半導体素子の製造方法として、水平方向に延長される基板を提供する段階、前記基板上に複数の層間絶縁膜を提供する段階、隣接する下部層間絶縁膜と隣接する上部層間絶縁膜の間に各々配置される複数のゲートパターンを提供する段階、前記複数の層間絶縁膜とゲートパターンを貫通して垂直方向に延長される単結晶半導体物質の垂直チャンネルを提供する段階、及び前記各々のゲートパターンと垂直チャンネルの間には前記垂直チャンネルから前記ゲートパターンを絶縁させるための熱酸化膜を含むゲート絶縁膜を提供する段階を含む。

【0041】

一実施形態として、前記基板を提供する段階は、単結晶半導体物質を含む基板を提供する段階を含み、前記垂直チャンネルを提供する段階は、単結晶半導体物質を含む垂直チャンネルを提供する段階を含む。

【0042】

他の実施形態として、前記各々のゲートパターンとゲート絶縁膜の間には電荷トラップ膜を提供する段階をさらに含み、前記電荷トラップ膜は、前記ゲートパターン及びゲート絶縁膜の間に垂直方向に延長される第1部分、前記ゲートパターンと隣接する上部層間絶縁膜の間に水平方向に延長される第2部分、及び前記ゲートパターンと隣接する下部層間絶縁膜の間に水平方向に延長される第3部分を含む。

【0043】

他の実施形態として、前記電荷トラップ膜は導電物質または半導体物質からなるフロー

10

20

30

40

50

ティングゲートを含む。

【0044】

他の実施形態として、上部選択トランジスタの上部選択ゲートに提供され、複数のゲートパターンのうち、最上部に位置する最上部ゲートパターン、下部選択トランジスタの下部選択ゲートに提供され、複数のゲートパターンのうち、最下部に位置する最下部ゲートパターン、前記半導体素子の共通ストリングのメモリセルトランジスタのコントロールゲートに提供され、前記最上部選択ゲート及び最下部選択ゲートの間に位置する複数の残りのゲートパターン、及び前記半導体素子のワードラインに提供されるように互いに接続され、第1水平方向に配置され、同一層に割当てられるセルトランジスタのコントロールゲートを含み、これに加えて、前記半導体素子の共通ストリングのメモリーセルのトランジスタを直列に接続させる段階及び前記半導体素子のビットラインに提供されるように前記素子の第2水平方向に配置される垂直チャンネルの上部を接続させる段階を含み、前記半導体素子は半導体メモリー素子である

他の実施形態として、各々の前記複数の層間絶縁膜を提供する段階は、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含むマルチ積層構造を提供する段階を含み、前記下部及び上部絶縁膜は中間絶縁膜とエッチング選択比を有する物質からなる。

【発明の効果】

【0045】

本発明の半導体素子では単結晶垂直チャンネルが使用される。これによって、結晶欠陥が減少し、トラップサイトの数が減少し、素子の抵抗が減少して半導体素子の動作速度が速くなり、消費電力が減少される。これに加えて、本発明の半導体素子に含まれる電荷トラップ膜は、垂直チャンネルに形成されているコントロールゲートを取り囲む形状を有するため、工程が簡単になって信頼性が高くなる。また、本発明の半導体素子は、電荷トラップ膜と垂直チャンネルの間に位置するトンネル酸化膜が熱酸化膜として形成されるため、経時変化による劣化が減少され、素子の信頼性及び耐久性が向上される。また、素子動作の特性を容易に設計・変更できる。

【発明を実施するための最良の形態】

【0046】

以下、添付図面を参照しつつ、本発明の望ましい実施形態を詳細に説明する。

【0047】

本明細書に開示されている本発明の実施形態に対して、特定の構造的ないしは機能的説明はただ本発明の実施形態を説明するための目的として例示されたもので、本明細書において説明された実施形態に限定されることとして解釈されてはならない。従って、本発明の思想及び技術範囲に含まれる全ての変更、均等物ないしは代替物を含むことと理解されるべきである。

【0048】

本発明において、各図面を説明しながら類似する参照符号を類似する構成要素に対して使用した。添付図面において、構造物のサイズは本発明の明確性を期するために実際より拡大して図示した。

【0049】

本発明において、第1、第2などの用語は多様な構成要素の説明に使用できるが、前記構成要素は前記用語によって限定されてはならない。前記用語は1つの構成要素を他の構成要素と区別する目的のみで使用される。

【0050】

本発明において使用された用語はただ、特定の実施形態を説明するために使用されたもので、本発明を限定しようとする意図ではない。単数の表現は文脈上において明白に別であることとしない限り、複数の表現を含む。本出願で、「含む」または「有する」などの用語は明細書上に記載された特徴、数字、段階、構成要素、部品、またはこれらを組み合わせたものが存在することを指定しようとしてあって、1つまたはそれ以上の他の特徴、数字、段階、構成要素、部品、またはこれらを組み合わせたものの存在または付加

10

20

30

40

50

可能性を予め排除しないことと理解されるべきである。

【0051】

本発明において、各層（膜）、領域、電極、パターン、または構造物が対象体、基板、各層（膜）、領域、電極、またはパターンの「上に」、「上部に」または「下部」に形成されることと言及される場合には各層（膜）、領域、電極、パターン、または構造物が直接基板、各層（膜）、領域、電極、またはパターンの上に形成されるか、下に位置することを意味するか、或いは他の層（膜）、他の領域、他の電極、他のパターン、または他の構造物が対象体または基板上に追加的に形成されることができる。

【実施形態1】

図1は、本発明の実施形態1による垂直チャンネルメモリー素子の切開斜視図である。
図2は本発明の実施形態1による垂直チャンネルメモリー素子で1つのセルトランジスタを示す断面図である。

【0052】

図1を参照すれば、単結晶半導体物質からなる基板100が具備される。他の例として、前記基板100はバルク単結晶物質、単結晶SOI構造、またはこれとは異なる適切な基板構造からなり得る。前記基板100は水平方向に延長されている。前記基板上には選択的にパッド酸化膜102（図2参照）が具備される。前記パッド酸化膜102上には複数の層間絶縁膜（105a、105b、105c、105d）が具備される。複数のゲートパターン（132a、132b、132c、132d）が具備され、前記各々のゲートパターンは隣接する下部層間絶縁膜（105a、105b、105c、105d）及び隣接する上部層間層間絶縁膜（105a、105b、105c、105d）の間に位置する。例えば、図面符号132aのゲートパターンは隣接する下部層間絶縁膜105aと隣接する上部層間絶縁膜105bの間に位置し、図面符号132bのゲートパターンは隣接する下部層間絶縁膜105bと隣接する上部層間絶縁膜105cの間に位置し、図面符号132cのゲートパターンは隣接する下部層間絶縁膜105cと隣接する上部層間絶縁膜105dの間に位置する。

【0053】

単結晶半導体物質からなる垂直チャンネル116は垂直方向に延長され、複数の層間絶縁膜（105a、105b、105c、105d）及び複数のゲートパターン（132a、132b、132c、132d）を貫通する。前記垂直チャンネル116は前記各々のゲートパターン（132a、132b、132c、132d）によって取り囲まれている。例えば、図面符号132aのゲートパターンは前記垂直チャンネル116の最下部の側壁部位の周辺を取り囲んでいる。また、他のゲートパターン（132b、132c、132d）も同一形状を有しつつ前記垂直チャンネル116の側壁部位の周辺を取り囲んでいる。ゲート絶縁膜（124a、124b、124c、124d）は前記各々のゲートパターン（132a、132b、132c、132d）と前記垂直チャンネル116の間に提供される。一例として、前記ゲート絶縁膜（124a、124b、124c、124d）は熱酸化膜（thermal oxide layer）を含む。

【0054】

一実施形態として、前記垂直チャンネルメモリー素子は不揮発性素子であり、電荷トラップ膜126は各々互いに対応する前記ゲートパターン（132a、132b、132c、132d）と前記ゲート絶縁膜（124a、124b、124c、124d）の間に具備される。一実施形態として、図2を参照すれば、前記電荷トラップ膜は前記ゲートパターン132aとゲート絶縁膜124aの間で垂直方向に延長される第1部分127aと、前記ゲートパターン132aと隣接する上部層間絶縁膜105bの間に水平方向に延長される第2部分127bと、前記ゲートパターン132aと隣接する上部層間絶縁膜105aの間に水平方向に延長される第3部分127cを含む。ブロッキング絶縁膜128は絶縁物質からなり、前記電荷トラップ膜126と前記ゲートパターン（132a、132b、132c、132d）の間に配置される。

【0055】

10

20

30

40

50

他の実施形態として、前記電荷トラップ膜 126 は導電物質または半導体物質を含むフローティングゲートに形成することができる。前記電荷トラップ膜 126 は ONO、窒化膜、ポリシリコンまたは量子ドット構造を含むことができる。

【0056】

一実施形態として、本発明の実施形態による半導体メモリー素子は、複数のゲートパターンのうち、最上部ゲートパターン、例えば、図面符号 132d のゲートパターンは上部選択トランジスタの上部選択ゲートとして使用できる。また複数のゲートパターンのうち、最下部ゲートパターン、例えば、図面符号 132a のゲートパターンは下部選択トランジスタの下部選択ゲートとして使用できる。残りのゲートパターン、例えば、前記上・下部選択パターン (132d, 132a) の間の複数のゲートパターンである図面符号 132b, 132c のゲートパターンは半導体素子の共通ストリングに含まれるセルトランジスタのコントロールゲートとして使用される。半導体素子の第 1 水平方向に配列され、同一層に割当てられるメモリセルトランジスタのコントロールゲートは前記半導体素子のワードラインとして提供されるように互いに接続される。前記半導体素子で共通ストリングのメモリセルトランジスタは前記垂直チャンネル 116 によって直列接続されている。前記半導体素子の第 2 水平方向に配列されている前記垂直チャンネル 116 の最上部は互いに接続される。例えば、図面符号 140 のラインによって接続されることができ、前記ラインは前記半導体素子のビットラインに提供される。本実施形態において、本発明を明確に説明しようとする目的で各々の垂直チャンネルにはただ 2 つのメモリーセルのみを図示している。しかし、本発明の実施形態はこれに限定されない。各々の垂直チャンネルには 1 つのセルトランジスタまたは複数のさらに多いセルトランジスタが具備されることができ、例えば、2、4、8、16 または 36 個のセルトランジスタが具備されることがある。

【0057】

一実施形態として、前記複数の層間絶縁膜は積層された構造を有し、下部絶縁膜、中間絶縁膜、及び上部絶縁膜を含むことができる。前記下部及び上部絶縁膜は前記層間絶縁膜に対して、エッチング選択比を有する物質からなる。これに対しては、後に図 19 及び図 20 ~ 図 31 を参照しつつさらに詳しく説明する。

【0058】

図 3 ~ 図 18 は、本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【0059】

図 3 を参照すれば、基板 100 を準備する。前記基板 100 は単結晶半導体物質からなる基板を含む。具体的に、前記基板 100 は単結晶シリコン基板であることができる。前記基板 100 は前記単結晶垂直チャンネルを形成するためのシード膜として提供される。選択的に、前記基板 100 の上部面にはパッド酸化膜 102 を形成できる。前記パッド酸化膜 102 上に層間絶縁膜 (104a, 104b, 104c, 104d, 104e) 及び犠牲膜 (106a, 106b, 106c, 106d, 106e) を互いに交替して形成する。一例として、前記層間絶縁膜 104 及び犠牲膜 106 は互いにエッチング選択比を有する。例えば、前記層間絶縁膜 104 はシリコン窒化物からなり、前記犠牲膜 106 はシリコン酸化物からなり得る。これとは別に、前記層間絶縁膜 104 はシリコン酸化物からなり、前記犠牲膜 106 はシリコン窒化物からなり得る。一例として、前記犠牲膜は湿式エッチング工程を通じて除去できる物質で形成されることが望ましい。

【0060】

図 4 を参照すれば、前記層間絶縁膜 104、犠牲膜 106、パッド酸化膜 102 を垂直方向に貫通する第 1 開口部 110 を形成する。図示されたように前記第 1 開口部 110 は水平方向に互いに離隔されている。前記第 1 開口部 110 の底面には前記基板 100 の表面が露出される。

【0061】

図 5 を参照すれば、前記第 1 開口部 110 の内部を埋めるように第 1 非晶質シリコン膜

10

20

30

40

50

112または第1ポリシリコン膜112を形成する。前記第1非晶質シリコン膜112または第1ポリシリコン膜112は前記基板と接触する。一実施形態として、前記第1非晶質シリコン膜112または第1ポリシリコン膜112は化学気相蒸着工程を通じて形成される。しかし、前記第1ポリシリコン膜112または第1非晶質シリコン膜112は他の適切な蒸着工程を通じても形成できる。一実施形態として、現段階で前記第1ポリシリコン膜112または第1非晶質シリコン膜112に不純物をドーピングすることができ、例えば、N型不純物をドーピングすることができる。

【0062】

図6を参照すれば、前記第1ポリシリコン膜112または第1非晶質シリコン膜112を熱処理して単結晶シリコンパターン114に相転移させる。前記相転移は前記基板100表面下の単結晶によって前記基板100の単結晶と同一の単結晶に変わる。本実施形態において、前記熱処理はレーザー強化エピタキシャル成長工程(laser induced epitaxial growth; LEG)を通じて遂行でき、これを通じて単結晶シリコンパターン114が得られる。10

【0063】

他の実施形態として、図39を参照すれば、単結晶シリコンパターン114-1は前記基板100の上部表面から開口部110-1内で選択的エピタキシャル工程(selective epitaxial growth; SEG)を通じて成長させて形成できる。前記選択的エピタキシャル工程は露出されている基板100領域をシードにして遂行される。前記露出された基板100領域は半導体物質からなり、例えば、単結晶半導体物質からなる。20

【0064】

図7を参照すれば、前記最上部の犠牲膜106eの上部面に対して選択的に化学機械的研磨工程を遂行して、前記最上部の層間絶縁膜104eを露出させる。前記工程を遂行することで、前記単結晶シリコンパターン114の最上部面が除去され、平らになる。

【0065】

図8を参照すれば、隣接する前記単結晶シリコンパターン114の間の第2開口部120を形成する。これによって、層間絶縁膜パターン(105a、105b、105c、105d、105e)及び犠牲膜パターン(107a、107b、107c、107d)が形成される。一実施形態として、前記第2開口部120の底面には前記最下部の層間絶縁膜パターン105aが露出される。前記工程を遂行することにより、前記垂直チャンネルに沿って前記コントロールゲート及びフローティングゲートが形成される領域が指定される。30

【0066】

図9を参照すれば、前記犠牲膜パターン(107a、107b、107c、107d)を、湿式エッチング工程を通じて除去する。前記犠牲膜パターン(107a、107b、107c、107d)は例えば、フッ化水素酸水溶液(HF solution)を使用して除去できるシリコン酸化膜に形成できる。その結果、前記単結晶シリコンパターンの側壁周辺を取り囲む凹部122が生成され、前記凹部により前記単結晶シリコンパターン114の側壁が露出される。図10は前記工程を遂行した結果、表れる斜視図である。40

【0067】

図11を参照すれば、前記単結晶シリコンパターン114の露出された不純物をドーピング121する。例えば、前記露出された側壁にP型不純物を注入できる。前記不純物の注入はプラズマドーピング(plasma doping; PLAD)工程を通じて遂行できる。

【0068】

図5で既に説明したように、前記単結晶シリコン114のボディーはN型不純物がドーピングされている。従って、図2に示したように前記露出された単結晶シリコンパターン114の側壁のみにP型ドーピング領域が形成されることにより、前記単結晶シリコンパターン114の露出された側壁にP型チャンネル領域117aが生成される。そして、前50

記 P 型チャンネル領域 117a は前記垂直チャンネル 116 の N 型ソース / ドレイン領域 117b の間に位置するようになる。前記 P 型チャンネル領域 117a は前記層間絶縁膜パターン (105a、105b、105c、105d) の各々の位置によって垂直チャンネル 116 内にセルフアラインされる。また、図 2 に図示されたように、前記 P 型チャンネル領域 117a は前記垂直チャンネル 116 のボディー全体を横切るように延長することができる。これとは別に、前記 P 型チャンネル領域 117a は前記垂直チャンネル 116 の表面の下のみに具備されることがある。

【0069】

図 12 を参照すれば、前記垂直チャンネル 116 の露出された表面にトンネル酸化膜 (124a、124b、124c、124d) を形成する。前記トンネル酸化膜 (124a、124b、124c、124d) は前記垂直チャンネル 116 を取り囲む。例えば、前記垂直チャンネル 116 が円筒形状を有する場合、前記トンネル酸化膜 (124a、124b、124c、124d) はリング形状を有することができる。一実施形態において、前記トンネル酸化膜 (124a、124b、124c、124d) は熱酸化工程を使用して形成されることがある。前記熱酸化形状を通じて形成されるトンネル酸化膜 (124a、124b、124c、124d) は時間による劣化がさらに減少されるため、耐久性と信頼性が向上される。

【0070】

図 13 を参照すれば、前記結果物、前記トンネル酸化膜 (124a、124b、124c、124d) 及び層間絶縁膜パターン (105a、105b、105c、105d) を含む凹部 122 の側壁に電荷トラップ膜 126 を蒸着する。他の実施形態として、前記電荷トラップ膜 126 はフローティングゲート構造を有することができる。例えば、前記電荷トラップ膜 126 はポリシリコン物質からなり得る。他の実施形態として、前記電荷トラップ膜 126 は ONO 構造、窒化膜構造、ポリシリコン構造、または量子ドット構造を有することができる。フローティングゲート電荷トラップ膜 126 は本発明の一実施形態として可能であり、これは前記凹部の前記トンネル酸化膜上に形成される。

【0071】

前記電荷トラップ膜 126 を覆うように前記結果物上にブロッキング絶縁膜 128 を形成する。一実施形態として、前記ブロッキング絶縁膜 128 はシリコン酸化物または高誘電率酸化膜に形成できる。

【0072】

図 14 を参照すれば、前記第 2 開口部 120 及び凹部 122 の内部を完全に埋めるように導電物質を蒸着する。その結果、導電パターン 130 が形成される。一実施形態として、前記導電物質はタンクステンシリサイドを含む。

【0073】

図 15 を参照すれば、前記導電パターン 130 の中心部位をエッチングして、前記最下部層間絶縁膜 105a 及び層間絶縁膜パターン (105a、105b、105c、105d) の外側壁が露出される第 3 開口部 134 を形成する。前記導電パターン 130 の分けられた部位によって、ゲートパターン (132a、132b、132c、132d) は前記凹部 122 の内部のみを埋める形状を有する。また、前記電荷トラップ膜が分けられることによって、個別的な電荷トラップパターンに形成される。図 16 は前記工程を遂行する結果、現れる斜視図である。

【0074】

図 17 を参照すれば、前記第 3 開口部 134 は絶縁パターン 136 で埋まる。

【0075】

図 18 を参照すれば、前記垂直チャンネル 116 上に導電ビットライン 140 を形成する。前記導電ビットライン 140 は、図 1 にも示されたように、前記半導体素子の第 2 水平方向に隣接する垂直チャンネル 116 が互いに接続されるように形成される。

【0076】

図 19 は、本発明の他の実施形態による垂直メモリー素子の断面図である。本実施形態

10

20

30

40

50

は、図1、図2、及び図3～図18において説明された実施形態と実質的に同一の構成を有する。しかし、本実施形態の層間絶縁膜パターンが1つの膜ではなく、複数の膜が積層された構造を有することに差がある。

【0077】

図19を参照すれば、本実施形態において、単結晶半導体物質の基板200が提供される。前記基板200は水平方向に延長される。前記基板200上に複数の層間絶縁膜(202、205、207、209、211)が提供される。複数のゲートパターン(258a、258b、258c、258d)が提供される。各々のゲートパターン(258a、258b、258c、258d)は隣接する前記下部層間絶縁膜パターン(202、205、207、209、211)と隣接する前記上部層間絶縁膜パターン(202、205、207、209、211)の間に配置される。
10

【0078】

単結晶半導体物質の垂直チャンネル230は複数の層間絶縁膜パターン(202、205、207、209、211)及び複数のゲートパターン(258a、258b、258c、258d)を貫通して垂直方向に延長される。前記垂直チャンネル230は各々の前記ゲートパターン(258a、258b、258c、258d)によって取り囲まれている。ゲート絶縁膜(238a、238b、238c、238d)は各々の前記ゲートパターン(258a、258b、258c、258d)と前記垂直チャンネル230の間に提供される。前記ゲート絶縁膜(238a、238b、238c、238d)は対向する前記ゲートパターン(258a、258b、258c、258d)を前記垂直チャンネル230から絶縁させる。一実施形態として、前記で説明したように、前記ゲート絶縁膜(238a、238b、238c、238d)は熱酸化膜からなり得る。
20

【0079】

例えば、前記垂直チャンネルメモリー素子は非揮発性メモリー素子であり得る。この場合、各々対向する前記ゲートパターン(258a、258b、258c、258d)とゲート絶縁膜(238a、238b、238c、238d)の間に電荷トラップ膜250が提供される。一実施形態として、図2に示されたように、前記電荷トラップ膜250は前記ゲートパターン132aとゲート絶縁膜124aの間に垂直方向に延長される第1部分127a、前記ゲートパターン132aと隣接する上部層間絶縁膜105bの間に水平方向に延長される第2部分127b、及び前記ゲートパターン132aと隣接する下部層間絶縁膜105aの間に水平方向に延長される第3部分127cを含む。前記電荷トラップ膜250及び前記ゲートパターン(258a、258b、258c、258d)の間に絶縁物質からなるブロッキング絶縁膜252が具備される。
30

【0080】

他の実施形態として、前記電荷トラップ膜250は導電物質または半導体物質を含むフローティングゲートに形成されることができる。また、前記電荷トラップ膜250はON/OFF、窒化膜、ポリシリコン、または量子ドット構造を含むことができる。

【0081】

一実施形態として、本発明の実施形態による半導体メモリー素子で、複数のゲートパターンのうち、最上部ゲートパターン、すなわち、図面符号258dのゲートパターンは上部選択トランジスタの上部選択ゲートとして使用できる。また、前記複数のゲートパターンのうち、最下部ゲートパターン、すなわち、図面符号258aのゲートパターンは下部選択トランジスタの下部選択ゲートとして使用できる。前記上部及び下部選択ゲートパターンの間に位置する複数の残りのゲートパターン、即ち、図面符号258b、258cのゲートパターンは半導体素子で共通ストリング内のメモリセルトランジスタのコントロールゲートとして使用される。半導体素子の第1水平方向に配列され、同一層に割当てられるメモリセルトランジスタのコントロールゲートは前記半導体素子のワードラインとして提供される。前記半導体素子の共通ストリングのメモリセルトランジスタは前記垂直チャンネル230によって直列接続されている。前記半導体素子の第2水平方向に配列されている前記垂直チャンネル230の最上部は互いに接続される。例えば、図面符号262の
40
50

ラインによって接続され、これは半導体素子のビットラインに提供される。本実施形態で発明を明確に説明しようとする目的で各々の垂直チャンネルにはただ2つのメモリーセルのみを図示している。しかし、本発明の実施形態はこれに限定されない。各々の垂直チャンネルには1つのセルトランジスタまたは複数のさらに多いセルトランジスタが具備されることができる、例えば、2、4、8、16または36個のセルトランジスタが具備されることができる。

【0082】

図20～図31は本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【0083】

図20を参照すれば、基板200を準備する。一実施形態において、前記基板200は単結晶半導体物質の基板を含む。前記基板200は単結晶垂直チャンネルを形成するためのシード膜として提供される。前記基板200上に層間絶縁膜(202、204、206、208、210)及び犠牲膜(212、214、216、218)を互いに交替して形成する。一例として、前記層間絶縁膜(202、204、206、208、210)は複数の膜が積層された構造を有する。例えば、最下部層間シリコン膜202はシリコン酸化物からなる下部絶縁膜202aとシリコン窒化物からなる上部絶縁膜202bを含む。これと類似に、最上部層間絶縁膜210はシリコン窒化物からなる下部絶縁膜210aとシリコン酸化物からなる上部絶縁膜210bを含む。

【0084】

前記最下部及び最上部の層間絶縁膜(202、210)の間に位置する前記層間絶縁膜、すなわち、図面符号204、206、208の層間絶縁膜は各々シリコン窒化物からなる下部絶縁膜(204a、206a、208a)とシリコン酸化物からなる中間絶縁膜(204b、206b、208b)及びシリコン窒化物からなる上部絶縁膜(204c、206c、208c)からなる。ここで、前記下部及び上部絶縁膜は前記中間絶縁膜とエッチング選択比を有する物質からなる。一実施形態として、前記犠牲膜(212、214、216、218)は前記シリコン酸化物とシリコン窒化物の両方に対してエッチング選択比を有する物質からなる。例えば、前記犠牲膜(212、214、216、218)はシリコングルマニウムからなることができる。ここで、前記犠牲膜(212、214、216、218)は後続工程において湿式エッチング工程を通じて速く除去することができる。

【0085】

図21を参照すれば、図示されたように、前記層間絶縁膜(202、204、206、208、210)及び犠牲膜(212、214、216、218)を垂直方向に貫通する第1開口部220を形成する。前記第1開口部220は水平方向に互いに離隔される。前記第1開口部220の底面には前記基板200の上部面が露出される。これによって、パターニングされた構造224が形成される。

【0086】

図22を参照すれば、前記パターニングされた構造224の第1開口部の内側壁にシリコン酸化スペーサー238を形成する。前記スペーサー238は前記においても説明したように、レーザーエピタキシャル成長工程(LEG)を使用して単結晶垂直チャンネルを形成するか、またはSEG工程を使用して単結晶垂直チャンネルに成長させるために提供される。前記スペーサー238は単結晶シリコンを成長させる際、単結晶欠陥の発生を防止する役割をする。また、前記スペーサー238は前記パターニングされた構造224の側壁が露出されないようにする役割をする。

【0087】

図23を参照すれば、前記第1開口部220の内部を埋めるように第1非晶質シリコン膜228または第1ポリシリコン膜228を形成する。前記第1非晶質シリコン膜228または第1ポリシリコン膜228は前記基板の上部面と電気的に接続される。一実施形態として、前記第1非晶質シリコン膜228または第1ポリシリコン膜228は化学気相蒸

10

20

30

40

50

着工程を通じて形成される。しかし、前記第1ポリシリコン膜228または第1非晶質シリコン膜228は他の蒸着工程を通じても形成できる。一実施形態として、現段階で前記第1ポリシリコン膜228または第1非晶質シリコン膜228に不純物をドーピングすることができ、例えば、N型不純物をドーピングできる。

【0088】

図24を参照すれば、前記第1ポリシリコン膜228または第1非晶質シリコン膜228を熱処理して単結晶シリコンパターン230に相転移させる。前記相転移は前記基板200の表面下の単結晶によって前記基板200の単結晶と同一の単結晶に変わる。本実施形態において、前記熱処理はレーザー強化エピタキシャル成長工程(LEG)を通じて遂行されることができ、これを通じて単結晶シリコンパターン230が得られる。

10

【0089】

他の実施形態として、選択的エピタキシャル工程(SEG)を遂行して、図22の開口部内の前記上部表面から単結晶シリコンを成長させ、前記単結晶シリコンパターン230を形成することができる。

【0090】

図25を参照すれば、前記結果物の最上面が除去されるように選択的に化学機械的研磨工程を遂行し、前記最上部の単結晶シリコンパターン230の上部面を平らにする。隣接する前記単結晶シリコンパターン230の間に複数の第2開口部232を形成する。これによって、前記層間絶縁膜パターン(202、205、207、209、211)及び犠牲膜パターンが形成される。一実施形態として、前記第2開口部232の底面には前記最下部の層間絶縁膜パターン202が露出される。前記工程を遂行することにより、前記垂直チャンネル230に沿って前記コントロールゲート及びフローティングゲートの形成される領域が指定される。その次に、前記犠牲膜パターン(212、214、216、218)を、湿式エッチング工程を通じて除去する。前記犠牲膜パターン(212、214、216、218)は例えば、ポリシリコンゲルマニウムに形成されることができ、湿式エッチング工程時の湿式エッチング液としてはフッ化水素酸水溶液及び酸化剤Aの混合液を使用することができる。

20

【0091】

その結果、前記単結晶シリコンパターン230の側壁を取り囲む凹部234が形成され、前記凹部234の側壁にはスペーサー238が露出される。

30

【0092】

図26を参照すれば、露出されている前記スペーサー238は湿式エッチング工程を通じて後で除去される。一実施形態として、前記スペーサー238はシリコン酸化物からなることができ、湿式エッチング工程で湿式エッチング液はHF受容液を含む。

【0093】

このとき、図11を参照しつつ説明したように、前記単結晶シリコンパターン230の露出された側壁に不純物をドーピングさせる。その結果、チャンネル領域は前記層間絶縁膜パターン(205a、205b、205c、205d)の各々の位置によって垂直チャンネル116内にセルフアラインされる。

【0094】

40

図27を参照すれば、前記垂直チャンネル230の露出された側壁にトンネル酸化膜(238a、238b、238c、238d)を形成する。前記トンネル酸化膜(238a、238b、238c、238d)は前記垂直チャンネル230を取り囲む。例えば、前記垂直チャンネル230が円筒形状を有する場合、前記トンネル酸化膜(238a、238b、238c、238d)はリング形状を有することができる。一実施形態において、前記トンネル酸化膜(238a、238b、238c、238d)は熱酸化工程を使用して形成される能够である。前記熱酸化形状を通じて形成されるトンネル酸化膜は時間による劣化がさらに減少されるため、耐久性と信頼性が向上される。

【0095】

図28を参照すれば、前記結果物、前記トンネル酸化膜(238a、238b、238c、238d)

50

c、238d)及び層間絶縁膜パターン(205、207、209、211)を含む凹部234の側壁に電荷トラップ膜250を蒸着する。他の実施形態として、前記電荷トラップ膜250はフローティングゲート構造を有することができる。例えば、前記電荷トラップ膜250はポリシリコン物質を含むことができる。また他の実施形態として、前記電荷トラップ膜250はONO構造、窒化膜構造、ポリシリコン構造、または量子ドット構造を有することができる。フローティングゲート構造電荷トラップ膜250は本発明の一実施形態として可能であるため、前記凹部234内で前記トンネル酸化膜(238a、238b、238c、238d)上のみに電荷トラップ膜が位置する。前記電荷トラップ膜250を覆うように前記結果物上にプロッキング絶縁膜252を形成する。一実施形態として、前記プロッキング絶縁膜252はシリコン酸化物または高誘電率酸化膜に形成できる。前記第2開口部232及び凹部234の内部を完全に埋めるように導電物質を蒸着する。その結果、導電パターン254が形成される。一実施形態として、前記導電パターン254はタンゲステンシリサイドを含む。
10

【0096】

図29を参照すれば、前記導電パターン254の中心部位をエッチングして、前記最下部層間絶縁膜202及び層間絶縁膜パターン(205、207、209、211)の外側壁が露出される第3開口部256を形成する。前記導電パターン254の分けられた部位によって、前記凹部234の内部のみが埋まる形状のゲートパターンが形成され、前記電荷トラップ膜が分けられて、個別的な電荷トラップパターンが形成される。

【0097】

図30を参照すれば、前記第3開口部256を絶縁パターンで埋める。

【0098】

図31を参照すれば、導電ビットライン262を形成する。前記導電ビットライン262は、図1にも示されたように、前記半導体素子の第2水平方向に隣接する垂直チャンネル230が接続するように形成される。

【0099】

図32は、本発明の他の実施形態による垂直チャンネルメモリー素子の断面図である。図示のように、垂直チャンネルメモリー素子は基板300上にコア及びペリフェラル回路302が具備される。図32を参照すれば、セル構造は前記コア及びペリフェラル回路302上に具備される。一実施形態として、複数のペリフェラル回路トランジスタ316は基板300上に提供される。第1層間絶縁膜318はペリフェラル回路トランジスタ上に位置する。そして、第1層間コンタクト320は電気的に接続される下部のトランジスタと接続され、第1層間絶縁膜318上に形成されている導電性ヴィア322とも接続される。類似的に、第2及び第3層間絶縁膜(324、330)、これに対応する第2層間コンタクト326、第2及び第3導電性ヴィア322はセル構造334及びペリフェラル回路領域302の間の信号を伝達するためのラインとして提供される。
30

【0100】

図1、図2及び図7～図18に図示されたように、単結晶シリコン基板332を含むセル構造334はペリフェラル回路領域302の第3層間絶縁膜330上に位置する。第4層間絶縁膜340は前記結果物上に提供され、層間コンタクト342及び導電性ヴィア344を含む。前記層間コンタクト342及び導電性ヴィア344は前記ワードライン信号及びビットライン信号を含む信号を前記セル構造334に伝達する。
40

【0101】

図33～図37は、図32に図示された垂直チャンネルメモリー素子の形成方法を説明するための断面図である。以下において、素子のペリフェラル回路領域上にセル領域を形成することを示す。

【0102】

図33を参照すれば、基板300上に複数のペリフェラル回路トランジスタ316を形成する。前記トランジスタは例えば、ゲート絶縁膜310によって前記基板300と絶縁されているゲート電極312及びゲート電極312の両側壁の基板内に具備されるソース

10

20

30

40

50

/ドレイン領域を含む。前記ペリフェラル回路トランジスタ上に第1層間絶縁膜318を形成する。また、第1層間コンタクトは第1層間絶縁膜318上に形成された導電性ヴィア322と下部トランジスタ316を接続する。

【0103】

図34を参照すれば、第2及び第3層間絶縁膜(324、330)、これに対応する第2層間コンタクト326、第2及び第3導電性ヴィア322を前記結果物に形成する。前記第2及び第3層間絶縁膜(324、330)、これに対応する第2層間コンタクト326、第2及び第3導電性ヴィア322はペリフェラル回路領域から信号を伝達するラインとして提供される。

【0104】

図35を参照すれば、前記結果物上に単結晶シリコン膜332を形成する。前記単結晶シリコン膜332は、以後の工程においてセル領域として機能し、図1、図2及び図3～図18の基板と類似する役割をする。

【0105】

図36を参照すれば、前記単結晶シリコン膜332上にセル構造334を形成する。例えば、図1、図2及び図3～図18に記載されたものと同じ工程を遂行して前記セル構造334を形成できる。

【0106】

図37を参照すれば、図示されたように、前記セル構造334は端部位が階段型配列を有するようにパターニングされる。また、前記階段型配列を有する導電膜は各層の互いに異なるセルのワードラインとして動作する。前記セル構造334に第4層間絶縁膜340を形成する。前記に記載されたように、層間コンタクト342及び導電性ヴィア344を形成する。前記コンタクト342及び導電性ヴィア344はビットライン信号及びワードライン信号を含む信号を前記セル構造334の各ノードに伝達する役割をする。

【0107】

図38は、本発明の他の実施形態による垂直チャンネルメモリー素子の断面図である。図示されたように、素子のペリフェラル回路上に素子のセル領域が位置する。本実施形態において、図19及び図20～図31に図示されたような形状のセル構造350は基板のペリフェラル回路上に提供される。このために、図33～図37に図示された工程を遂行して、図19及び図20～図31に図示されたセル構造を形成する。

【0108】

前記垂直半導体メモリー素子及びこれを形成する方法を通じて、単結晶垂直チャンネルが採用される。従って、単結晶欠陥が減少され、トラップサイトの数が減少される。これによって、素子の速度が速くなり、消費電力が減少される。また、電荷トラップ膜は垂直チャンネル領域内にコントロールゲートを取り囲むように形成される。そして、前記電荷トラップ膜と垂直チャンネルの間に位置するトンネル酸化膜は熱酸化膜に形成される。従って、素子の抵抗劣化が減少され、信頼性及び耐久性が向上される。これによって、素子の特性が向上されることができ、望む特性を有する素子を容易に形成することができる。

【0109】

図40は、本発明の一実施形態による不揮発性メモリー素子のロックダイヤグラムである。

【0110】

図40を参照すれば、半導体メモリー素子400はセルアレイ410、デコーダー420、ページバッファー430、ビットライン選択回路440、データバッファー450、及びコントロールユニット460を含む。半導体メモリー素子400は本実施形態によって垂直非揮発性フラッシュメモリー素子を含むことができる。

【0111】

前記セルアレイ410は複数のメモリーブロック(図示せず)を含む。各々のメモリーブロックは複数のページ(例えば、32個のページまたは64個のページ)を含み、前記各々のページは1つのワードラインを共有する複数のメモリーセル(例えば、512Bま

10

20

30

40

50

たは 2 K B) を含む。一例として、消去動作はメモリーブロック単位で遂行され、リード及びライト動作はページ単位で遂行される。

【 0 1 1 2 】

前記デコーダー 4 2 0 は複数のワードライン W L によって前記セルアレイ 4 1 0 と接続され、コントロールユニット 4 6 0 によってコントロールされる。前記デコーダー 4 2 0 はメモリーコントローラー(図示されず)からアドレス(ADD R)が入力され、ワードラインまたはビットラインを選択するようにするための選択信号(Y i)を発生させる。前記ページバッファー 4 3 0 は複数のビットライン B L によってセルアレイ 4 1 0 と接続される。

【 0 1 1 3 】

前記バッファー 4 2 0 はバッファーメモリー(図示されず)からロードされたデータを保存する。プログラミング動作を遂行する際、前記ページバッファー 4 2 0 はページデータをロードし、前記ロードされたデータは同時に選択ページにプログラミングされる。リード動作を遂行する際、前記ページバッファー 4 2 0 は選択されたページからデータを読み取り、前記リードされたデータを臨時に保存する。前記ページバッファー 4 2 0 に保存されたデータはリード E N A B L E 信号に応答して前記バッファーメモリーに伝達される。

10

【 0 1 1 4 】

前記ビットライン選択回路 4 4 0 は選択信号(Y i)及び選択ビットライン B L に応答する。前記データバッファー 4 5 0 は入力及び出力バッファーであり、メモリーコントローラーとフラッシュメモリー素子 4 0 0 の間のデータを伝達する。前記コントロールユニット 4 6 0 はメモリーコントローラーからコントロール信号の入力を受けて、前記フラッシュメモリー素子の内部動作をコントロールする。

20

【 0 1 1 5 】

図 4 1 は、本発明の一実施形態による半導体メモリー素子を含むシステムのブロックダイヤグラムである。前記システム 5 0 0 は、例えば、無線通信素子(例えば、P D A、ノートパソコン、ポータブルコンピュータ、ウェブタブレット、無線電話、及び携帯電話)または電子製品を含み、前記システム 5 0 0 を無線環境で情報を送受信できる。

【 0 1 1 6 】

前記システム 5 0 0 はコントローラー 5 1 0 及び入出力素子 5 2 0 を含み、前記入出力素子は例えば、キーパッド、キーボード、ディスプレイ、メモリー無線インターフェースを含む。前記コントローラー 5 1 0 は少なくとも 1 つのマイクロプロセッサー、デジタル信号プロセッサー、マイクロコントローラー、またはこれと類似するものを含む。前記メモリー 5 3 0 はコントローラーによって実行される指示コードを保存していて、ユーザデータを保存することに使用される。前記メモリー 5 3 0 は本実施形態による垂直非揮発性メモリー素子を含むことができる。前記メモリー 5 3 0 は垂直型非揮発性メモリーを含む多様な垂直型メモリーを含むことができる。

30

【 0 1 1 7 】

前記システム 5 3 0 は R F 信号によって通信される無線通信ネットワークからデータを伝達するか、或いは前記 R F 信号によって通信される無線通信ネットワークからデータの伝達を受ける無線インターフェース 5 4 0 として使用することができる。例えば、無線インターフェース 5 4 0 は、アンテナ、無線トランシーバー及び無線システムを含む。

40

【 0 1 1 8 】

本発明の一実施形態による前記システム 5 3 0 は第 3 世代通信システム(例えば、C D M A、G S M、N A D C、E T D M A、W C D M A、及びC D M A 3 0 0 0)のような通信プロトコルとして使用できる。

【 0 1 1 9 】

以上、本発明の実施形態に基づいて本発明を詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

50

【産業上の利用可能性】**【0120】**

本発明は、高密度の半導体素子の形成に好適である。

【図面の簡単な説明】**【0121】**

【図1】本発明の実施形態1による垂直チャンネルメモリー素子の切開斜視図である。

【図2】本発明の実施形態1による垂直チャンネルメモリー素子で1つのセルトランジスタを示す断面図である。

【図3】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図4】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

10

【図5】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図6】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図7】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図8】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図9】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図10】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図11】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図12】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図13】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図14】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

20

【図15】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図16】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図17】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図18】本発明の一実施形態による垂直チャンネルメモリー素子の製造方法を示す。

【図19】本発明の他の実施形態による垂直メモリー素子の断面図である。

【図20】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図21】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図22】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

30

【図23】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図24】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図25】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図26】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図27】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

40

【図28】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図29】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図30】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図31】本発明の他の実施形態による垂直チャンネルメモリー素子の製造方法を示す断面図である。

【図32】本発明の他の実施形態による垂直チャンネルメモリー素子の断面図である。

50

【図33】図32に図示されたチャンネルメモリー素子の形成方法を説明するための断面図である。

【図34】図32に図示されたチャンネルメモリー素子の形成方法を説明するための断面図である。

【図35】図32に図示されたチャンネルメモリー素子の形成方法を説明するための断面図である。

【図36】図32に図示されたチャンネルメモリー素子の形成方法を説明するための断面図である。

【図37】図32に図示されたチャンネルメモリー素子の形成方法を説明するための断面図である。 10

【図38】本発明の他の実施形態による垂直チャンネルメモリー素子の断面図である。

【図39】本発明の一実施形態により、選択的エピタキシャル成長工程を使用して垂直チャンネルを形成する場合の垂直チャンネルメモリー素子の製造方法を説明する断面図である。

【図40】本発明の一実施形態による非揮発性メモリー素子のブロックダイヤグラムである。

【図41】本発明の一実施形態による半導体メモリー素子を含むシステムのブロックダイヤグラムである。

【符号の説明】

【0122】 20

100 基板、

102 パッド酸化膜、

105a～105e 層間絶縁膜、

106 犠牲膜、

110、120 開口部、

116 垂直チャンネル、

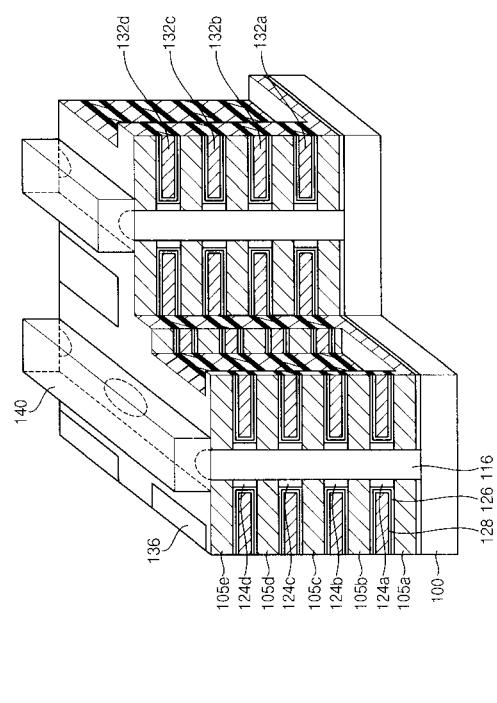
124a～124d ゲート絶縁膜、

126 電荷トラップ膜、

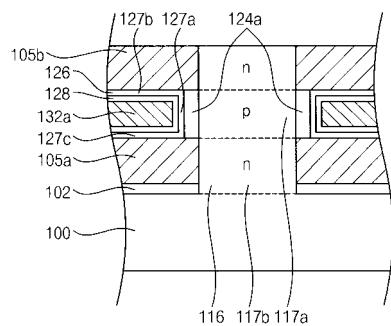
128 ブロッキング絶縁膜、

132a～132d ゲートパターン。 30

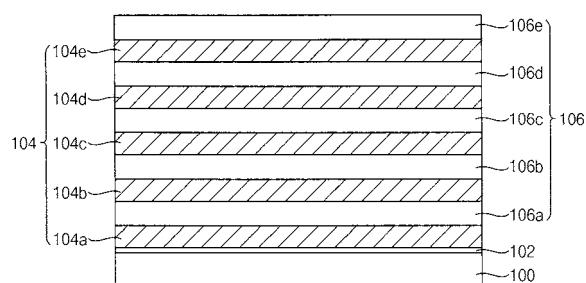
【図1】



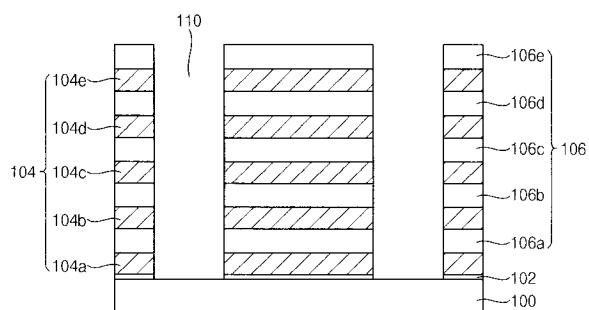
【図2】



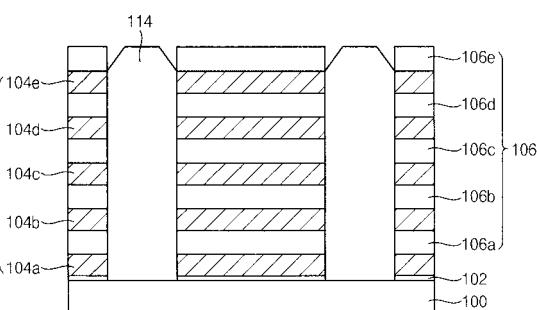
【図3】



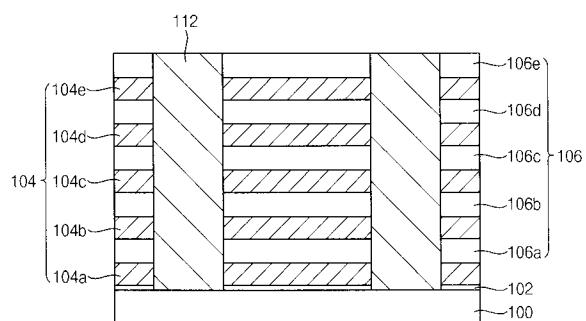
【図4】



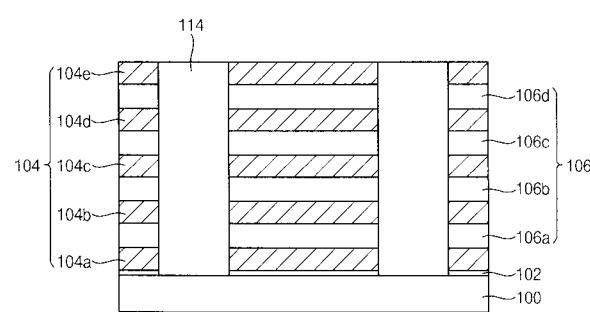
【図6】



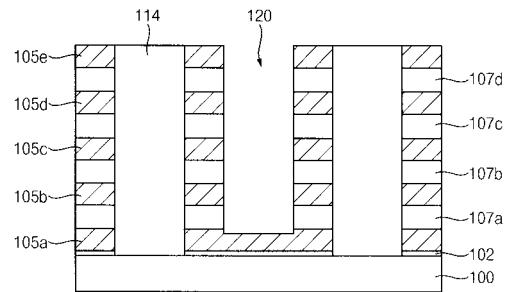
【図5】



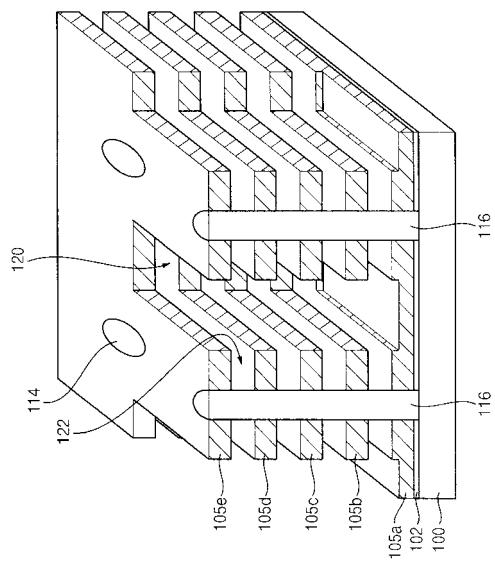
【図7】



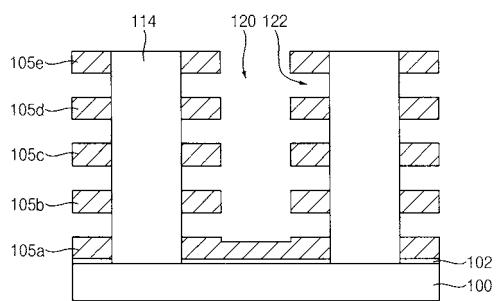
【図 8】



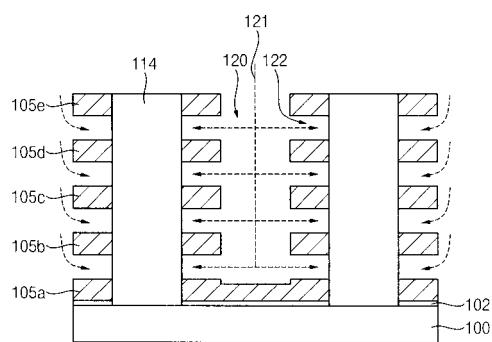
【図 10】



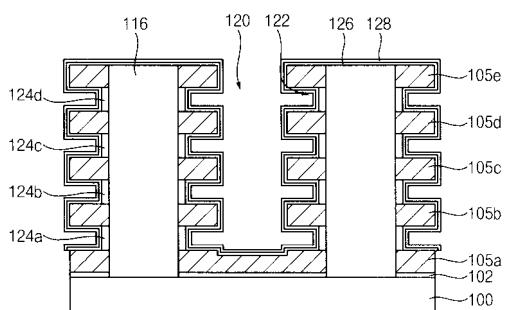
【図 9】



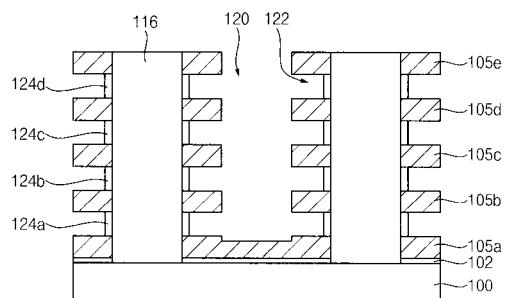
【図 11】



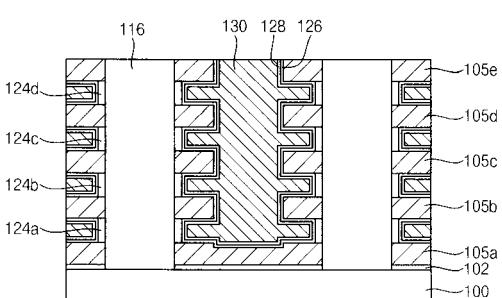
【図 13】



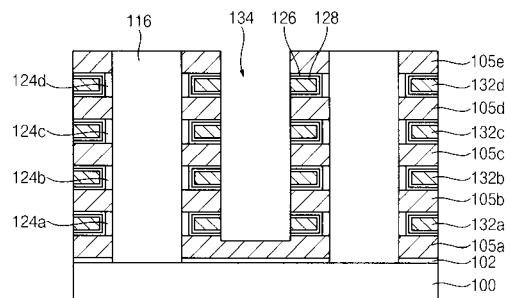
【図 12】



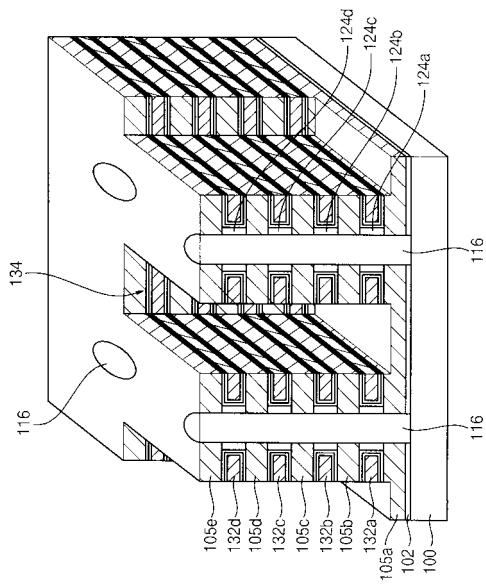
【図 14】



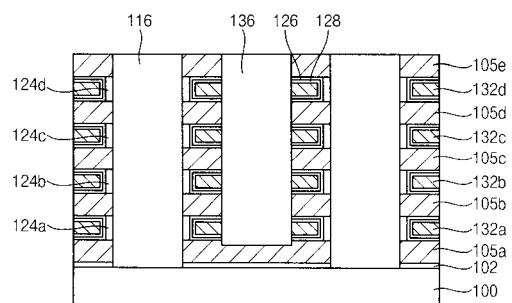
【図15】



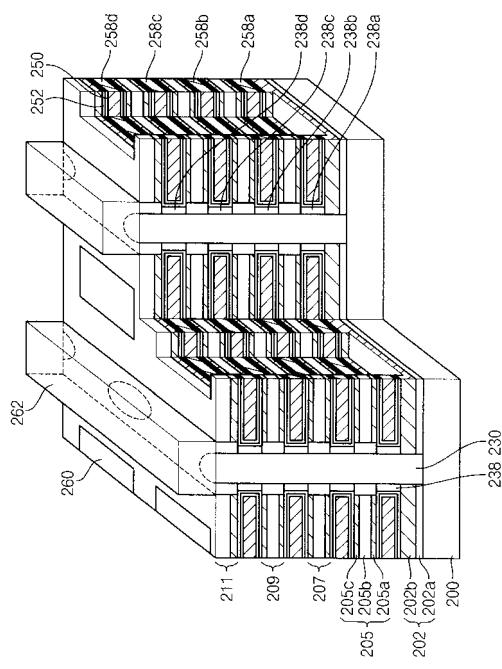
【図16】



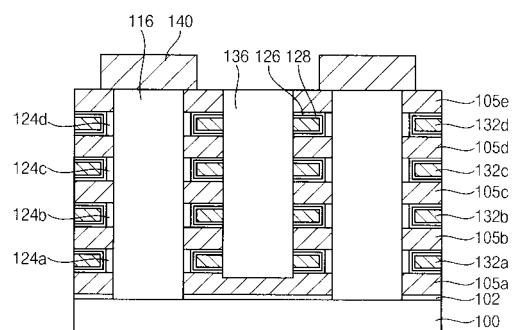
【図17】



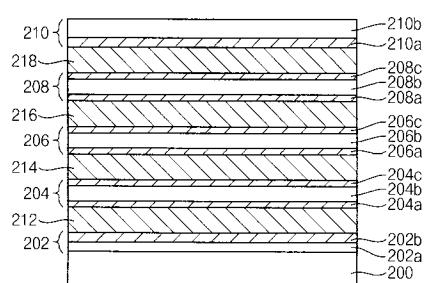
【図19】



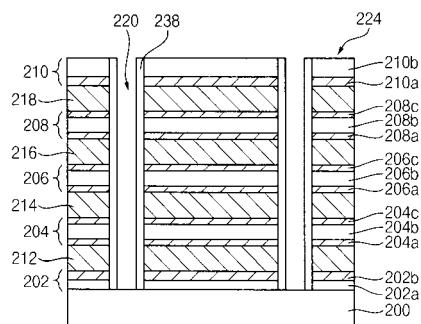
【図18】



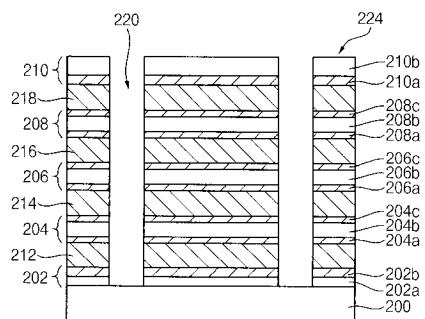
【図20】



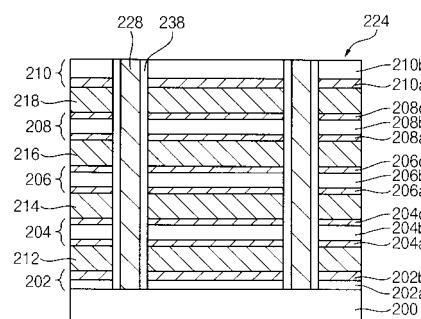
【図22】



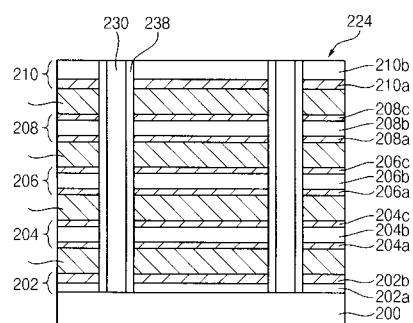
【図21】



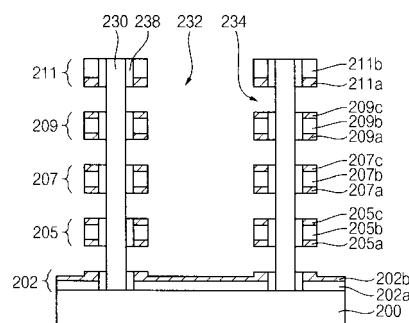
【図23】



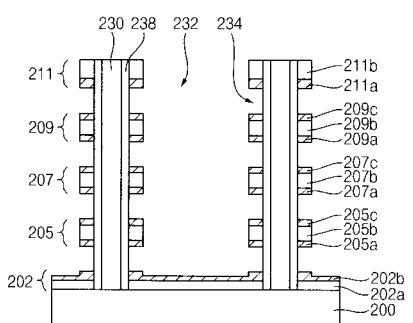
【図24】



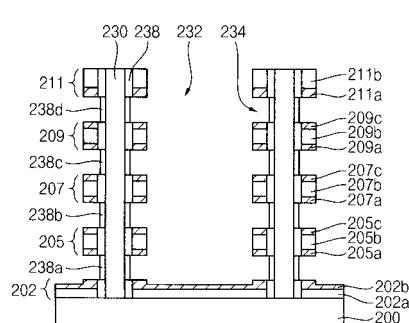
【図26】



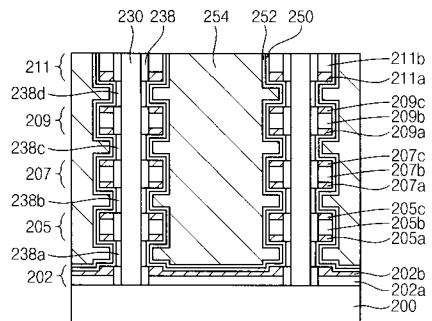
【図25】



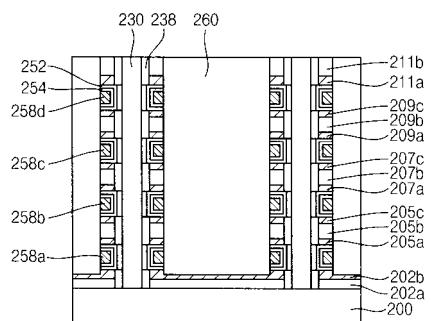
【図27】



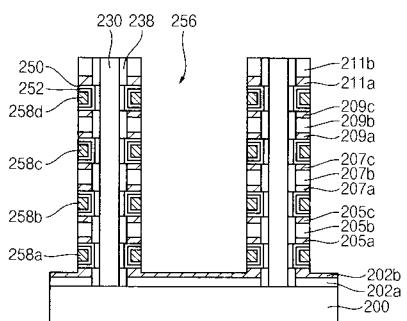
【図28】



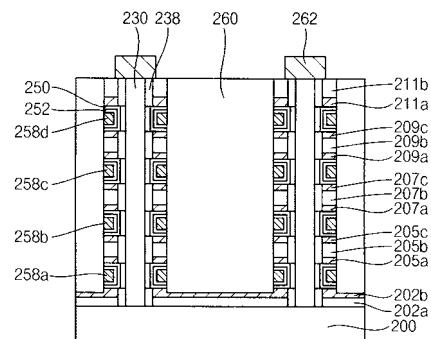
【図30】



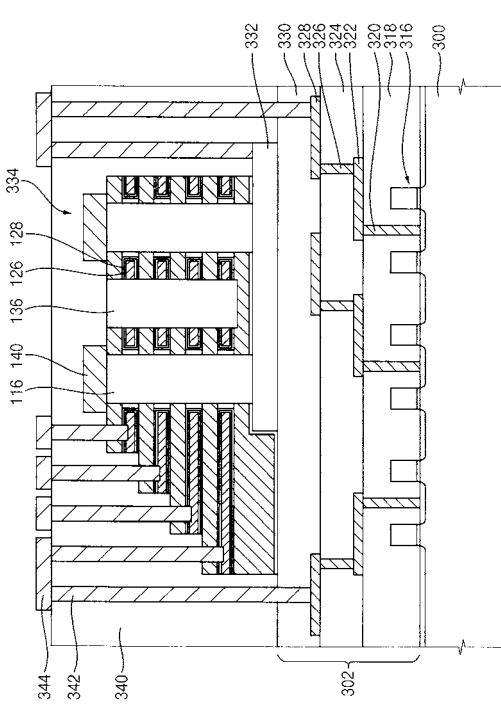
【図29】



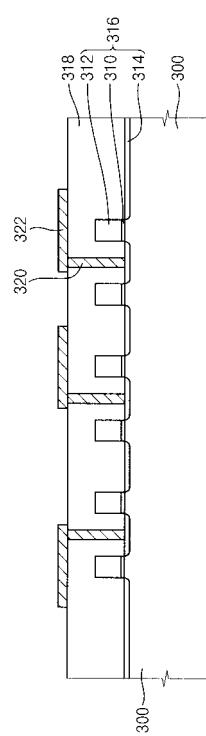
【図31】



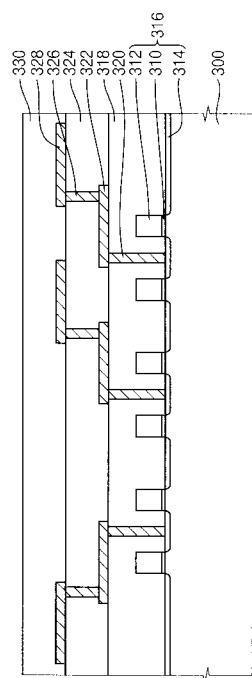
【図32】



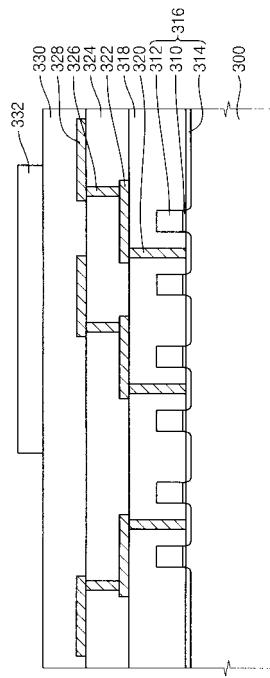
【図33】



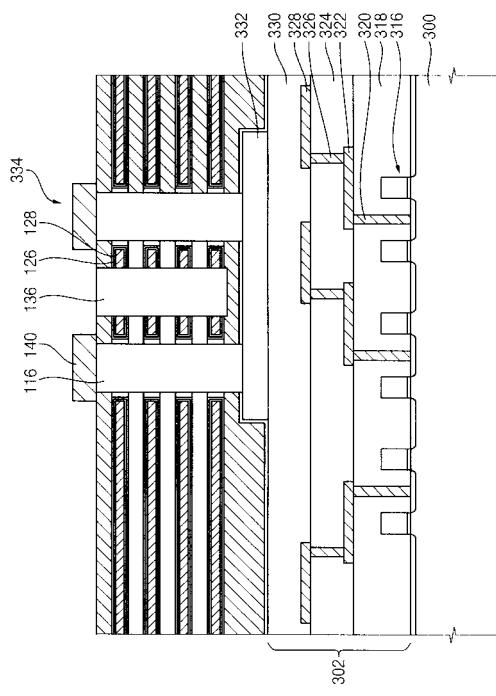
【図34】



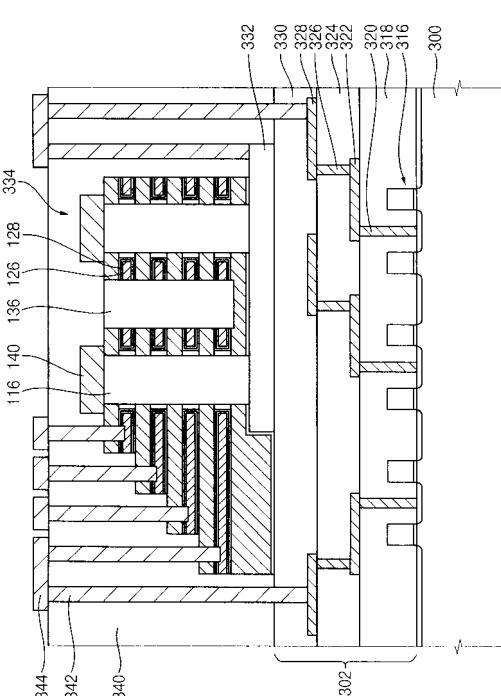
【図35】



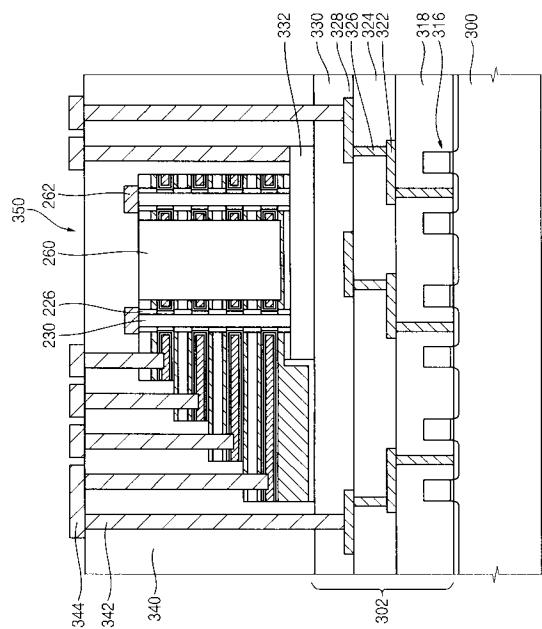
【図36】



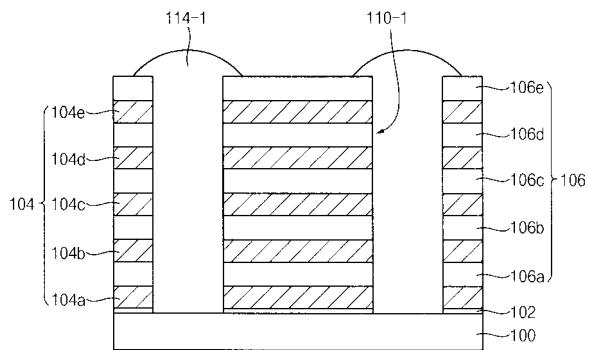
【図37】



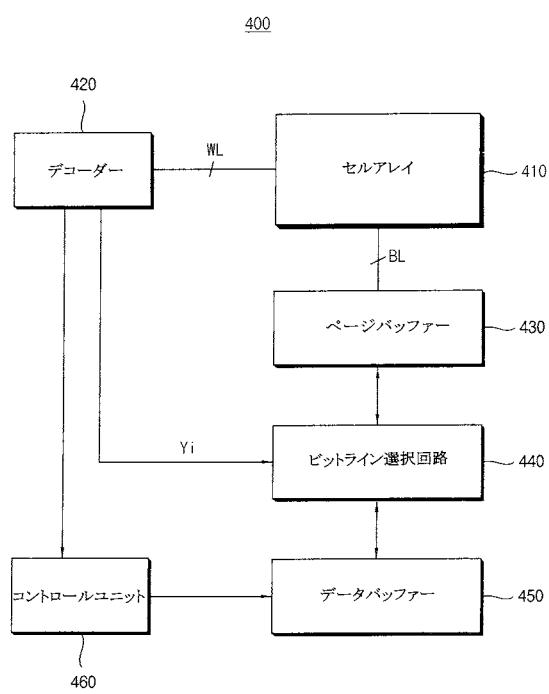
【図38】



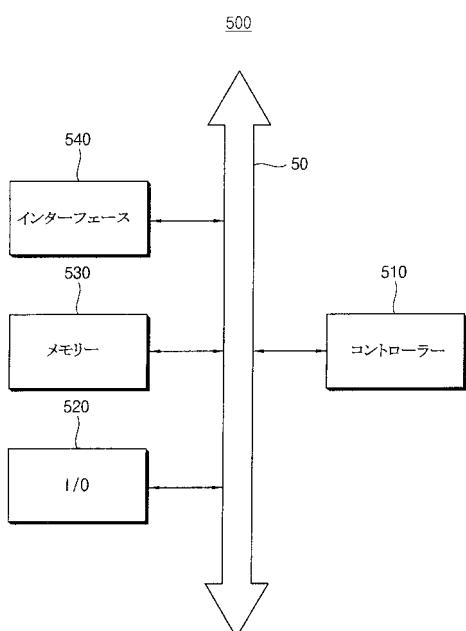
【図39】



【図40】



【図41】



フロントページの続き

(51)Int.Cl.	F I
H 01 L 27/10 (2006.01)	H 01 L 29/78 6 5 2 Z
H 01 L 29/78 (2006.01)	H 01 L 29/78 6 5 3 C
	H 01 L 29/78 6 5 3 B
	H 01 L 29/78 6 5 2 K

(72)発明者 李 鍾 いく
大韓民国京畿道龍仁市水枝区豊徳川1洞 ドンボ1次アパート105棟204号

審査官 外山 賀

(56)参考文献 特開平06-338602(JP,A)
特開2003-007868(JP,A)
特開2007-180389(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 8247
H 01 L	21 / 336
H 01 L	27 / 10
H 01 L	27 / 115
H 01 L	29 / 78
H 01 L	29 / 788
H 01 L	29 / 792