



(12) 发明专利

(10) 授权公告号 CN 101573795 B

(45) 授权公告日 2011.05.11

(21) 申请号 200780049185.3

(22) 申请日 2007.12.20

(30) 优先权数据

11/619,809 2007.01.04 US

(85) PCT申请进入国家阶段日

2009.07.03

(86) PCT申请的申请数据

PCT/US2007/088266 2007.12.20

(87) PCT申请的公布数据

W02008/085686 EN 2008.07.17

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 刘耀诚 D·奇丹巴尔拉奥 K·里姆

O·格卢斯陈克夫 R·T·莫

J·R·霍尔特

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 李峥

(51) Int. Cl.

H01L 27/10(2006.01)

H01L 21/82(2006.01)

(56) 对比文件

US 2006/0255365 A1, 2006.11.16,

CN 1527379 A, 2004.09.08,

US 2005/0048732 A1, 2005.03.03,

审查员 朱红来

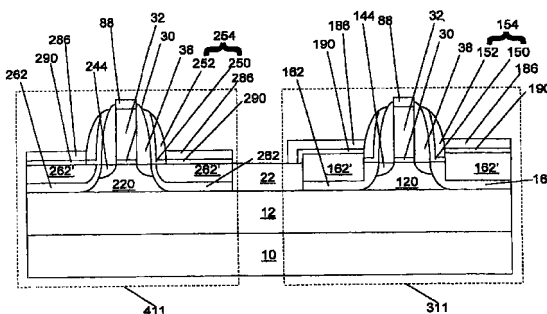
权利要求书 2 页 说明书 16 页 附图 23 页

(54) 发明名称

一种制造半导体结构的方法

(57) 摘要

虽然嵌入的硅锗合金和硅碳合金提供许多有用的应用,尤其是通过应力工程增强 MOSFET 的迁移率,但是在这些表面上形成合金硅化物会使器件性能劣化。本发明提供的结构与方法在半导体衬底上的此类硅合金表面上提供未合金硅化物。这使得能够为相同半导体衬底上的具有嵌入的 SiGe 的迁移率增加的 PFET 和具有嵌入的 Si:C 的迁移率增强的 NFET 形成低电阻接触。此外,本发明提供用于高于栅极电介质层的厚外延硅合金,尤其是厚外延 Si:C 合金,的方法以增加晶体管器件的沟道上的应力。



1. 一种制造半导体结构的方法,包括:
  - 提供具有 PFET 区域 (301) 和 NFET 区域 (401) 的半导体衬底;
  - 用掩模 (175) 掩蔽所述 PFET 区域;
  - 在所述 NFET 区域中的源极和漏极区域中形成嵌入的硅碳合金 (261');
  - 通过选择性沉积硅材料在所述 PFET 区域和所述 NFET 区域中生长硅层 (170, 270), 其中所述硅层不含碳和锗;
  - 在所述硅层上沉积金属 (80); 以及
  - 用所述金属与所述硅层反应, 以形成接触材料 (186, 286),
  - 其中在所述 NFET 区域中的所述源极和漏极区域中形成嵌入的硅碳合金的所述步骤还包括:
    - 将碳注入到所述 NFET 区域中的所述源极和漏极区域中; 以及
    - 通过固相外延在所述 NFET 区域中的所述源极和漏极区域中重新生长硅碳合金。
2. 如权利要求 1 所述的方法, 其中, 在形成所述接触材料期间, 所述硅层的一部分被消耗以形成金属硅化物, 而所述硅层的剩余部分 (190, 290) 未被消耗。
3. 如权利要求 1 所述的方法, 其中, 在形成所述接触材料期间, 所述硅层的全部被消耗, 以形成金属硅化物。
4. 如权利要求 1 所述的方法, 其中, 通过激光退火过程来实施所述固相外延, 其中峰值温度在 700°C 和 1428°C 之间。
5. 如权利要求 1 所述的方法, 其中, 通过选择性硅外延来实施所述选择性硅沉积。
6. 如权利要求 1 所述的方法, 还包括, 在提供具有所述 PFET 区域和所述 NFET 区域的所述半导体衬底之后, 并在用所述掩模掩蔽所述 PFET 区域之前, 将掺杂剂注入到所述 PFET 区域中的所述源极和漏极区域与所述 NFET 区域中的所述源极和漏极区域中的至少一个中。
7. 如权利要求 1 所述的方法, 还包括, 在所述 NFET 区域中的所述源极和漏极区域中形成所述嵌入的硅碳合金之后, 并在通过选择性沉积硅材料在所述 PFET 区域和所述 NFET 区域中生长实质上不含碳和锗的硅层以前, 将掺杂剂注入到所述 PFET 区域中的所述源极和漏极区域与所述 NFET 区域中的所述源极和漏极区域中的至少一个中。
8. 如权利要求 1 所述的方法, 还包括, 在通过选择性沉积硅材料而在所述 PFET 区域和所述 NFET 区域中生长实质上不含碳和锗的硅层, 并在所述硅层上沉积所述金属之后, 将掺杂剂注入到所述 PFET 区域中的所述源极和漏极区域与所述 NFET 区域中的所述源极和漏极区域中的至少一个中。
9. 一种制造半导体结构的方法, 包括:
  - 提供具有 PFET 区域 (301) 和 NFET 区域 (401) 的半导体衬底;
  - 通过选择性沉积硅材料在所述 PFET 区域和所述 NFET 区域中生长硅层 (770, 870), 其中, 所述硅层不含碳和锗;
  - 用掩模 (975) 掩蔽所述 PFET 区域;
  - 在所述 NFET 区域中的源极和漏极区域中形成嵌入的硅碳合金 (1060');
  - 在所述硅层上沉积金属 (80); 以及
  - 用所述金属与所述硅层反应, 以形成接触材料 (186, 286),
  - 其中在所述 NFET 区域中的源极和漏极区域中形成嵌入的硅碳合金的所述步骤还包

括：

将碳注入到所述 NFET 区域中的所述源极和漏极区域中；以及  
通过固相外延在所述 NFET 区域中的所述源极和漏极区域中重新生长硅碳合金。

10. 如权利要求 9 所述的方法，其中，在形成所述接触材料期间，所述硅层的一部分被消耗以形成金属硅化物，而所述硅层的剩余部分（190, 290）未被消耗。

11. 如权利要求 9 所述的方法，其中，在形成所述接触材料期间，所述硅层的全部被消耗，以形成金属硅化物。

12. 如权利要求 9 所述的方法，其中，通过激光退火过程来实施所述固相外延，其中峰值温度在 700°C 和 1428°C 之间。

13. 如权利要求 9 所述的方法，其中，通过选择性硅外延来实施所述选择性硅沉积。

## 一种制造半导体结构的方法

[0001] 相关申请的交叉引用

[0002] 本发明要求 2007 年 1 月 4 日向美国专利与商标局提交的名为“Structure and method for mobility enhanced MOSFETs with Unalloyed Silicide”的美国专利申请 S/N 11/619,809,其内容纳入本文作为参考。

[0003] 技术领域

[0004] 本发明涉及半导体器件和制造方法,尤其是涉及沟道中具有应力的互补金属氧化物半导体 (CMOS) 晶体管。

[0005] 背景技术

[0006] 每一代新的半导体技术都要求半导体器件具有更高的性能,尤其是 CMOS 晶体管的性能。晶体管性能的主要度量之一是每单位宽度的晶体管的导通电流,该导通电流典型地被测量为每微米沟道宽度(或其通用称为“栅极宽度”)几百微安培。已经考虑且实施各种方法来增强 CMOS 晶体管的导通电流,也就是 PFET(其中少数载流子是 p 型载流子空穴的晶体管)和 NFET(其中少数载流子为 n 型载流子电子的晶体管)。在他们之中,提高沟道中少数载流子的迁移率是增强 CMOS 晶体管的导通电流最常使用的方法。这些方法中,有些利用沿半导体晶体的不同晶体取向的载流子迁移率的固有差异,而有些则利用载流子在受到沟道平面中的应力时的迁移率改变。

[0007] 对于后一的情况,即改变 CMOS 晶体管沟道中的应力,存在一些不同的方法。根据第一种方法,半导体晶格被注入具有相似电子性质但晶格常数不同的原子。硅、锗和碳都具有相同的外层电子和相同的晶体结构,也就是“金刚石结构”,其室温晶格常数分别为 0.5431nm、0.565nm、0.357nm。在由一种类型的原子构成的晶体中用不同种(species)的原子替位某些原子会制造出相比于原来晶体改变了自然晶格常数的晶体。这里所称的自然晶格常数表示当没有外部施加的应力时材料的晶格常数。对于基于硅的半导体器件,一般使用在替位位置具有少量的碳或锗的硅晶体。当这类材料的替位合金在硅衬底上外延沉积时,则有应力施加于材料上,这是因为现在这些合金被迫与下层硅具有相同的结晶格常数而非其自身的自然晶格常数。然而,如 Ernst 等人于 VLSI Symp., 2002 年 92-93 页所发表的“Fabrication of a novel strained SiGe:C-channel planar 55nm n-MOSFET for High-Performance CMOS(制造用于高性能 CMOS 的新颖的应变 SiGe:C 沟道平面 55nm n-MOSFET)”中图 9 中所描述,合金中的替位原子作为散射中心,实际上劣化了迁移率。硅和锗的替位合金也面临类似的问题。

[0008] 第二个方法为在硅层上建立 CMOS 晶体管的沟道,其中,硅层外延沉积在具有异于硅的改变的晶格常数的晶体硅合金上。具体来说,硅层实质上由硅构成,根据需要具有低水平的电子掺杂,但是不包含硅碳合金或硅锗合金,以避免第一个方法的问题。然而,衬底本身具有改变的晶格常数。举例来说,通过用少量百分比的碳(如 0%与 10%之间的原子浓度)将硅合金化,来实现小于硅的晶格常数。在这种合金中,替位地放置碳原子,也就是取代晶体结构的硅原子,而不是间隙地放置,即放置在原始硅原子仍然占据的位置之间。在另一实例中,通过用例如 0%与 40%的原子浓度之间的锗将硅合金化来实现大于硅的晶格

常数。在这些器件的制造过程中,首先形成具有改变的晶格常数的衬底,之后通过硅的外延沉积形成应变硅层。Cheng 等人在 IEEE Electron Device Letters 的第 22 期第 7 本、2001 年 7 月发表的“Electron Mobility Enhancement in Strained-Si-MOSFETs Fabricated on SiGe-on Insulator(SGOI)Substrate(在绝缘体上硅锗(SGOI)衬底上制造的增强电子迁移率的应变硅 n-MOSFET”论证了改善了 PFET 性能的这类方法的一个实例。

[0009] 尽管第二个方法制造出了具有改善性能的器件,但是这样的方法却面临一些挑战,这样的挑战在于,具有改变的晶格常数的晶体结构的形成通常依赖于产生失配位错的外延生长的合金材料的结构弛豫,不管是硅和锗的合金或是硅和碳的合金,失配位错就是厚膜中的结晶缺陷。当膜很薄的时候,可以维持合金对下层硅衬底的外延对准,从而保持外延生长平面中的晶格常数与下层硅衬底完全相同。只有当合金变厚时,造成合金弛豫且其晶格常数接近合金的自然值。典型地,合金完全弛豫并将结晶缺陷减小到可接受的程度所需的厚度在 1,000nm 的量级。改善膜的质量的方法在现有技术中也已经公知。

[0010] 当就由硅沟道构建的 CMOS 晶体管的性能而言,NFET 和 PFET 需要相反类型的应力。具体来说,当沿着空穴移动的方向,即在连接源极和漏极的连线方向,向沟道施加压缩应力时,则在 PFET 中增强空穴迁移率。然而,当沿电子移动的方向向沟道施加拉伸应力时,则在 NFET 中增强电子迁移率。因此,通过在同一衬底上的应力工程来制造具有增强迁移率的 PFET 和 NFET 会产生这样的挑战,即需要制造具有改变的晶格常数的两种类型的衬底区域。现有技术已经公开了这样的方法,如美国专利申请公开号 No. US2005/0104131A1 和美国专利申请公开号 No. US2005/0130358A1。然而,这类方法的通常的复杂度仍然是个挑战。

[0011] 第三种类型的方法通过在晶体管的源极和漏极区域中嵌入硅和碳、或硅和锗的外延合金而在沟道区域中产生应力。因此,它们被称为嵌入的外延合金。最常选用的材料包含硅衬底上的外延硅锗合金和外延硅碳合金(Si:C)。根据这种方法,源极和漏极中合金材料的垂直尺寸远小于合金产生失配错位和弛豫所需的尺寸。因此,在源极和漏极中的合金材料维持与下层的硅衬底的外延对准。外延对准的平面,即沟道所处于的平面,中的晶格常数保持与下层硅衬底的晶格常数一致。由于源极和漏极中的合金具有与合金的自然晶格常数不同的晶格常数,因此,应力被施加于合金本身,合金接着将应力施加到周围结构上。位于源极和漏极之间的晶体管的沟道因此受应力。

[0012] 如前所述,在 NFET 沟道和 PFET 沟道之间期待的应力类型是不同的。对于 PFET,期待的应力是沿连接源极和漏极的连线方向的压缩应力。在源极和漏极中的硅和锗的外延合金在沟道上施加这样的单轴应力。Ghani 等人在 2003 年于 Proc. IEDM 第 978-980 页所发表的“A 90nm highVolume manufacturing Logic Technology Featuring Novel 45nm GateLength Strained Silicon CMOS Transistors”报导了一种改善 PFET 性能的这种技术的成功实施。另外,NFET 需要沿连接源极和漏极的连线方向的拉伸应力。在源极和漏极中的硅和碳的外延合金在沟道上施加这样的应力。Ang 等人在 2005 年 12 月 IEEE International Electron Device Meeting 期刊的第 503 至 506 页的“Thin Body Silicon-on-insulator N-MOSFET with Silicon-Carbon Source and drain regions for Performance Enhancement”报导了通过使用此技术改善 NFET 性能。

[0013] 在如前讨论的第二个方法的情况中,通过在相同硅衬底上的应力工程成功实施具有增强迁移率的 PFET 和 NFET 需要处理步骤的复杂整合。美国专利申请公开号

No. US2005/0082616A1 揭示了通过应力工程来实施具有增强迁移率的 PFET 和 NFET 的特定方案的方法和结构。总结来说,对于每种类型的 CMOS 晶体管,晶体管的源极和漏极区域被蚀刻,且在蚀刻的区域中外延生长硅合金。顺序实施对一种类型的晶体管的掩蔽和对另一类型的晶体管的蚀刻。同样地,适当选择每一类型晶体管的硅合金材料,使得施加于晶体管的沟道上的应力增强沟道中的少数载流子的迁移率。

[0014] 在进行本发明的研究期间,已经发现了 Cheng 等人所公开的制造迁移率增强的晶体管的一些问题。第一个问题在于硅锗合金上接触电阻的劣化。当锗的含量增加,到源极和漏极的接触电阻也倾向于增加,并使得在源极和漏极具有嵌入的 SiGe 合金的 PFET 性能劣化。这是因为,通过在包含硅和锗的源极和漏极上沉积金属并在接触形成过程期间对结构进行退火而形成的金属硅化物和金属锗化物的合金相对于未合金的金属硅化物(也就是,其中没有混合任何金属锗化物的金属硅化物)具有较差的接触电阻。Pey 等人在 J. Vac. Sci. Technol. A20(6), 2002 年 11 月/12 月、第 1903-1910 页“Thermal Reaction of nickel and Si<sub>0.75</sub>Ge<sub>0.25</sub> alloy (镍和 Si<sub>0.75</sub>Ge<sub>0.25</sub> 合金的热反应)”已经报导了一个实例,在高于 700°C 退火镍和 Si<sub>0.75</sub>Ge<sub>0.25</sub> 合金之后,触发的凝聚会增加硅化物和锗化物的合金的表面电阻。

[0015] 在进行本发明的研究期间还发现,Si:C 合金选择性的外延生长会产生具有多个小面 (facet) 的非常粗糙的表面。相比于在不含碳的平坦表面上形成的一般硅化物,在这样的表面上所形成的金属硅化物的性能衰退。不论可能造成这种衰退的机制如何,目前工业可用的选择性 Si:C 外延生长过程所产生的 Si:C 合金表面产生了具有比不含碳的平坦硅表面更高的接触电阻的较劣等的硅化物。

[0016] 此外,已经发现,不仅 Si:C 选择性外延过程的反应速率很慢,而且目前工业可用的选择性外延过程所生长的 Si:C 膜的厚度也受限。很明显,将碳并入到硅中会改变传统硅外延的一些反应机制,造成外延生长 Si:C 膜的厚度及时饱和。这意味着,通过使用 Si:C 选择性外延来增加源极和漏极的高度是受限制的,并且 Si:C 选择性外延并不益于制造具有相对于栅极介质高度突起的源极和漏极的 NFET 结构。

[0017] 因此,目前需要在 SiGe 合金表面上产生稳定且低接触电阻的半导体结构和方法。

[0018] 目前还需要在 Si:C 合金表面上产生稳定且低接触电阻的半导体结构和方法。

[0019] 同样,目前还需要产生高度大于栅极电介质层的厚的外延硅合金,尤其是厚外延 Si:C 合金的半导体结构和方法。

[0020] 最后,目前还需要为相同半导体衬底上具有嵌入的 SiGe 的迁移率增强的 PFET 和具有嵌入的 Si:C 的迁移率增强的 NFET 都提供稳定的低电阻接触的半导体结构和方法。

## 发明内容

[0021] 本发明通过提供这样的结构和方法满足前述的需求,所述结构和方法在 SiGe 合金表面上和 Si:C 合金表面上提供稳定并低的接触电阻。

[0022] 具体来说,本发明在嵌入到晶体管的源极和漏极区域中的外延生长的硅合金(不管是 PFET 的硅锗合金或者是 NFET 的 Si:C 合金)的顶上提供外延生长的硅层,由此满足前述的需求。实质上不含锗或碳的外延生长硅层产生不具有任何金属锗化物或金属碳化物的未合金硅化物。

[0023] 本发明还使得能够在高于栅极电介质的层面制造厚外延硅合金,尤其是厚外延

Si:C 合金。

[0024] 此外,本发明还提供这样的半导体结构和方法,该结构和方法提供稳定的低接触电阻,同时为相同衬底上的两种类型的晶体管提供增强的迁移率。

[0025] 虽然本发明描述为绝缘体上硅(SOI)衬底,但是应该了解,本发明也可以经一些修改,同样良好实施于体衬底、在衬底顶上具有厚沉积且弛豫的材料层的硅衬底,所述材料层例如  $\text{Si}_{1-x}\text{Ge}_x$  层、 $\text{Si}_{1-x}\text{C}_x$  层或  $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  层。在大多数的情况下,此调整涉及在外延生长的源极和漏极的形成期间,增加或减少碳含量或锗含量。在碳浓度或锗浓度趋近零,且硅碳合金以纯硅取代,或硅锗合金以纯硅取代的有限的例子中,本发明也可适用,只要在任何类型的 FET 的源极和漏极的至少一部分中存在一种硅合金。

[0026] 在半导体工业中,目前普遍流行的接触形成方法是利用金属(如镍、镍铂合金、钴、钽、钨、钼和钛)的均厚(blanket)沉积。在这之后是至少一个热退火过程,以有利于沉积的金属与包括在晶体管的源极和漏极区域中的半导体材料进行反应。现有技术中,通过应力工程形成载流子迁移率增强的晶体管,这提供了嵌入在晶体管的源极和漏极区域中的硅锗合金或硅碳合金。根据现有技术,沉积在源极和漏极区域上用于形成接触的金属会与硅锗合金或硅碳合金反应。

[0027] 因为不同于硅的其它半导体材料,如碳或锗的引入,硅合金与金属的反应会改变接触中的材料的组成。当硅碳合金与金属反应,碳的存在会干扰硅化物的形成过程。在反应后产生的材料为金属硅化物与金属碳化物、金属硅化物与碳、或金属硅化物、碳与金属碳化物的混合物。不同于金属硅化物的其它材料的存在和金属硅化物的晶粒尺寸的最终缩小会导致导电性降低,也就是增加接触材料的电阻率。在硅锗合金的情况下,锗的存在会使得金属锗化物引入到接触材料中。在硅碳合金的情况下,金属硅化物和金属锗化物的混合物会使得接触材料的导电性降低。

[0028] 前述的需求通过本发明的方法和结构得到满足,所述方法和结构包括,在形成硅化物之前,向源极和漏极区域的表面上提供硅材料。

[0029] 根据本发明的第一组实施例,首先在晶体管的源极和漏极区域中形成硅锗合金和硅碳合金。优选地,外延硅锗合金被嵌入到 PFET 中,外延硅碳合金被嵌入到 NFET 中。一般而言,在硅碳合金材料并入硅衬底之前并入硅锗合金材料。优选地,外延硅锗合金具有大于 0% 和小于 40% 的锗含量。然而,在本发明的第一组的第三至第六实施例,允许颠倒前述的顺序,如下所述。

[0030] 可通过如 Cheng 等人所述的传统的选择性外延生长具有碳掺杂的硅,或者可选地,可通过碳注入然后退火的方式,来将碳并入到硅材料中以形成外延硅碳合金。出于过程方法的简便、简单,后一种方式较优选。在这两种情况下,掩蔽不希望在其上形成硅碳合金的区域,以防止不想要的硅碳化物合金。在碳注入过程之后,在退火期间,当其移到替位位置,碳原子被引入已有的晶体结构中,以形成 Si:C 合金。优选地,外延硅碳合金具有大于 0% 和小于 10% 的碳含量,以有助于确保合金的外延结构。同样地,将碳引入到替位位置的退火过程优选为具有介于 700°C 和 1428°C 之间的峰值温度的激光退火。

[0031] 在嵌入的硅碳合金和嵌入的硅锗合金被导入晶体管的机构之后,通过选择性硅沉积过程将实质上不含碳或锗的硅材料沉积在硅合金(包括在源极和漏极区域中的硅合金)之上。优选地,选择性硅沉积过程为选择性硅外延,这是因为新硅材料对下层晶体结构的外

延对准的有利性质。因此,本发明使用选择性硅外延进行描述。然而,非选择性硅外延的其他替位硅沉积过程在此也考虑在内。

[0032] 可在嵌入的硅锗合金形成之后和沉积用于形成接触的的金属之前的任何时间实施 PFET 和 NFET 的源极和漏极的掺杂。这个时间点将在下面的具体实施方式中进一步说明。

[0033] 之后,在 PFET 和 NFET 的源极和漏极区域表面上沉积金属。现在,所有这些表面都包含硅材料,不论是掺杂了如硼、锑、磷和砷的传统电掺杂剂,还是作为未掺杂的纯硅材料。在源极和漏极区域中的硅材料必须与现有技术中任何硅合金材料形成对比,如硅碳合金或硅锗合金,不论是否以传统电掺杂剂掺杂。现有技术提供硅合金表面,用于在源极和漏极区域中嵌入有硅锗合金的晶体管上形成接触。根据本发明的第一组实施例,与用于形成接触的沉积的金属接触的所有半导体表面实质上不包含碳或锗。

[0034] 根据本发明的第一组实施例,新形成的硅层在接触形成过程期间产生纯金属硅化物。此金属硅化物未与任何其它材料,如碳、金属碳化物或金属锗化物形成合金。为了排除会对接触导电性有不利影响的其它材料,根据本发明的第一组实施例的硅化物材料在此被称为“未合金硅化物”。应该了解的是,前述的排除并不意味着将诸如硼、锑、磷和砷的传统电子掺杂剂予以排除,这些掺杂剂长期用在半导体工业用以电掺杂硅来增加其导电性。此排除是指排除会负面影响接触电阻的其它接触材料,如金属锗化物、金属碳化物和碳。新形成的硅层中的硅材料可以掺杂前列的传统电掺杂剂。然而,新形成的硅层实质上不含碳、金属碳化物或金属锗化物。

[0035] 如前所述,优选使用选择性硅外延用于选择性硅沉积。根据本发明的第一组所产生的结构如下所述。如果在硅化物形成过程期间沉积的金属并未消耗新形成的硅层中的所有硅材料,则每一源极和漏极区域的产生结构包括这样的叠层,该叠层包含未合金的金属硅化物、外延硅层和外延硅合金层。如果在硅化物形成过程期间沉积的金属消耗了新形成的硅层中的所有硅材料,则每一源极和漏极区域的产生结构包括未合金金属硅化物和外延硅合金层的叠层。外延硅合金层嵌入到晶体管结构的主体中。

[0036] 根据本发明的第二组实施例,通过在硅化物形成之前,向源极和漏极区域的表面上提供硅材料,由此同样满足前面宣称的需求。在该情况下,嵌入的硅锗合金必须被引入到晶体管的源极和漏极区域中。优选的是,嵌入的硅锗外延合金被嵌入到 PFET 的源极和漏极区域中,而此时 NFET 的源极和漏极区域仅包含硅。

[0037] 之后,通过选择性硅沉积过程在硅和硅锗合金上沉积实质上无碳或锗的硅材料,以形成新硅层。因为直到此时没有有意将碳导入到任何晶体管的源极和漏极区域,此时新形成的硅层完全无碳。同样地,在新形成的硅层中的硅材料“实质上”无锗,这是因为在硅选择性外延过程中的反应物仅向已有的硅合金表面上提供硅材料。同样地,相较于成功的外延过程中必然发生的表面扩散的速率,在硅选择性外延过程的典型温度下锗的体积扩散速率低很多,因此,仅仅有小量,或常常是微量的锗通过硅锗合金层和新硅层的界面而扩散至新形成的硅层中。通过选择性硅外延而新形成的硅层中的任何其它材料仅为很微少的量,因此,此时硅层可视为实质上无碳或锗。

[0038] 根据本发明的第二组实施例,之后,通过如 Cheng 等人所述的对具有碳掺杂的硅进行传统选择性外延,或者通过碳注入然后进行退火来形成 Si:C 合金。过程方法的简便、简单,后一种方式较优选。形成硅碳合金的过程方法的细节与出于同样目的根据第一组



实施例的方法的描述相同。

[0039] 如同第一组实施例,可在嵌入的硅锗合金形成之后和沉积用于形成接触的金属之前的任何时间实施对 PFET 和 NFET 的源极和漏极的掺杂。

[0040] 之后,金属沉积在 PFET 和 NFET 的源极和漏极区域的表面上。相比于第一组实施例,此时存在两种类型的半导体表面。第一类表面为沉积在硅锗合金上的硅层表面,不论此表面掺杂了如硼、锑、磷和砷的传统电掺杂剂,或作为未掺杂的纯硅材料。这与不论是否掺杂了传统电掺杂剂的硅合金材料,如硅碳合金或硅锗合金形成对照。优选地,第一类表面形成于 PFET 区域中。第二类表面为 Si:C 合金表面,不论此表面是否掺杂了如硼、锑、磷和砷的传统电掺杂剂,或作为未掺杂的纯硅材料,在此表面上沉积金属用于接触的形成。第二类表面包含碳。优选地,第二类表面形成于 NFET 区域中。

[0041] 第二组实施例仅仅在硅锗合金上,而不在 Si:C 合金上提供未合金硅化物。如同第一组实施例,第二组实施例也增加源极和漏极的高度,源极和漏极的高度由接触材料与半导体材料之间的界面限定,其远高于在制造流程期间未使用选择性硅沉积的同等结构。然而,因为通过选择性硅沉积所沉积的所有材料都转变成在第二类表面下的硅碳合金,其给出与新生长的硅层相同的厚度,因此根据第二组实施例在栅极电介质以上的硅碳合金的量多于根据第一组实施例的对应的量。因此,根据第二组实施例的具有嵌入的硅碳合金的器件具有更好的应力增强。

[0042] 如前所述,优选使用选择性硅外延用于选择性硅沉积。根据本发明第二组所产生的结构如下所述。如果在硅化物形成过程期间沉积的金属并未消耗新形成的硅层中的所有硅材料,则以嵌入的硅锗合金形成的源极和漏极区域的产生结构包括这样的叠层,该叠层包含未合金金属硅化物、外延硅层和外延硅锗合金层。如果在硅化物形成过程期间沉积的金属消耗了新形成的硅层中的所有硅材料,则以嵌入的硅锗合金形成的源极和漏极区域的产生结构包括未合金金属硅化物和外延硅合金层的叠层。

#### 附图说明

[0043] 图 1 的视图示出了沟道中的应力作为源极和漏极区域中外延生长的硅碳材料的高度的函数的模拟结果。

[0044] 图 2-7 为根据本发明的第一至十二实施例,制造 NFET 和 PFET 对的步骤的顺序垂直剖面图。

[0045] 图 8 为根据本发明的第一、二、十一和十二实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0046] 图 9 为根据本发明的第一和第二实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0047] 图 10 为根据本发明的第一和第二实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图,还示出了第十一和十二实施例的特征。

[0048] 图 11 为根据本发明的第一和第二实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0049] 图 12 为根据本发明的第一实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图,还示出了第三、第五、第七、第九和第十一实施例的特征。

[0050] 图 13 为根据本发明的第二实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图,也示出了第四、第六、第八、第十和第十二实施例的特征。

[0051] 图 14 为根据本发明的第三至第六实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0052] 图 15 为根据本发明的第三和第四实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0053] 图 16 为根据本发明的第三和第四实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图,也示出了第五和第六实施例的特征。

[0054] 图 17 为根据本发明的第七至第十实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0055] 图 18 为根据本发明的第七至第八实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图,也示出了第十一和第十二实施例的特征。

[0056] 图 19 为根据本发明的第七和第八实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0057] 图 20 为根据本发明的第七实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0058] 图 21 为根据本发明的第八实施例,制造 NFET 和 PFET 对的步骤的垂直剖面图。

[0059] 图 22-23 为根据本发明的第九至第十二实施例,制造 NFET 和 PFET 对的步骤的顺序垂直剖面图。

### 具体实施方式

[0060] 在详细说明本发明之前,对增加源极和漏极高度的优点进行讨论。源极和漏极的高度被限定为接触材料和半导体材料的界面以及栅极电介质和沟道的界面之间的垂直距离。图 1 为模拟的结果,沿 NFET 中沟道方向的单轴应力被描绘为源极和漏极的高度  $Z$  的函数,其中所述 NFET 在源极和漏极具有嵌入的外延硅碳。正数的  $Z$  表示包含金属硅化物、碳和金属碳化物的接触材料和源极和漏极中的嵌入的硅碳合金之间的界面高于栅极电介质和沟道之间的界面。负数的  $Z$  则为相反表示。如模拟结果明显显示,硅碳合金与接触材料之间的界面越高,应力越高,进而电子迁移率的增强程度越高。

[0061] 这个论点与本发明的相关性在于,产生更多正  $Z$  的结构上,也就是,其中接触材料高于且远离于沟道的那些结构,对于增强电子迁移率是有利的。如下所述,本发明可分成两组,而这两组都可以达到这个优点。

[0062] 本发明也可呈现于至少十二个不同的实施例。这些实施例全部共有一些共通的过程和特征。因此,本发明将详细描述第一个实施例,尽管其它实施例也可以在各种视图中论证说明。因此,本发明的不同实施例之间的差异将予以比较和描述。

[0063] 在典型的 CMOS 处理过程中,半导体衬底表面的一些区域用来构建 PFET 结构。这些区域在此统称为“PFET 区域”。相似地,半导体衬底表面的一些其他区域用来构建 NFET 结构。这些区域在此统称为“NFET 区域”。在此描述在制造序列的各个阶段,PFET 区域中的示例性 PFET 结构和 NFET 区域中的示例性 NFET 结构以描述本发明。

[0064] 参考图 2-12,顺序示出在各个制造阶段根据本发明第一实施例的结构。图 2 显示在通过光刻和蚀刻形成栅极图形之后即刻的 PFET 结构 301 和 NFET 结构 401 的垂直剖面

示意图。此衬底包括半导体衬底 10、隐埋氧化物层 12、PFET 结构 301 的主体 120、NFET 结构 401 的主体 220、具有 PFET 扩展注入的区域 140、具有 NFET 扩展注入的区域 240 和分隔 PFET 结构 301 和 NFET 结构 401 的浅沟槽隔离 (STI) 22。在 PFET 结构 301 和 NFET 结构 401 的每一个中还提供包含栅极电介质 30、栅极多晶硅 32、栅极顶冠氧化物 34 与栅极氮化物层 36 的栅极叠层。如本领域所公知,可以改变栅极叠层的精确组成物以优化晶体管的性能。PFET 区域 301 或 NFET 区域 401 与 STI 22 的明显交叠是附带发生的,仅仅为了清楚地描述每个晶体管结构中晶体管主体的整体。STI 不属于 PFET 结构 301 或 NFET 结构 401。

[0065] PFET 结构 301 的主体 120 和具有 PFET 扩展注入的区域 140 由晶体硅所组成,该晶体硅在相邻组件之间维持连续的单晶结构,除非被 STI 22 分隔。相似地,NFET 结构 401 的主体 220 和具有 NFET 扩展注入的区域 240 也由晶体硅所组成,该晶体硅在相邻组件之间维持连续的单晶结构,除非被 STI 22 分隔。

[0066] 图 3 显示在栅极叠层的壁上形成第一间隔物 38,接着均厚沉积第二间隔物叠层 55 之后,PFET 结构 302 和 NFET 结构 402 的垂直剖面示意图。在第一实施例的优选版本中,第二间隔物叠层 55 包含氧化物层 51 和氮化物层 53 的叠层。然而,在此也考虑使用一个氧化物层、一个氮化物层和多于两层的介电层用于第二间隔物叠层 55。

[0067] 之后,将第一光致抗蚀剂施加到第二间隔物叠层 55 上并将其构图,以覆盖第二间隔物叠层 55 在 NFET 区域上的部分,而暴露第二间隔物叠层 55 在 PFET 区域上的部分。实施第一反应离子蚀刻 (RIE),以在第二间隔物叠层 55 之外形成第二 PFET 间隔物 154。在第一实施例的优选版本中,第二 PFET 间隔物 154 包含 PFET 间隔物氧化物层 150 和 PFET 间隔物氮化物层 152。第一反应离子蚀刻一直进行到至少图 3 中 PFET 结构 302 的硅表面暴露出来。优选地,第一 RIE 持续深入到 PFET 结构 302 的主体 120 中,使得源极 / 漏极区域中暴露的硅表面的高度低于栅极电介质 30 的高度,如图 4 的 PFET 结构 303 所描述。尽管第一 RIE 去除了具有 PFET 扩展注入的区域 140 的部分,在栅极叠层下的具有 PFET 扩展注入的区域 140 的剩余部分被保留在硅衬底上。此后,将其称为“中间 PFET 扩展”142。在第一 RIE 期间,NFET 结构 403 被第一层光致抗蚀剂 57 覆盖,以防止蚀刻具有 NFET 扩展注入的区域 240 中的任何材料。在暴露的源极 / 漏极区域中的蚀刻过程消耗掉隐埋氧化物层 12 上的全部硅材料之前,停止第一 RIE。

[0068] 然后,剥离第一层光致抗蚀剂 57,在 NFET 区域中留下 NFET 结构 403 上的第二间隔物叠层 55。这是因为典型的光致抗蚀剂材料不能耐受用于硅锗合金沉积的选择性外延过程期间的相对高温。在适当表面制备,如湿式清洁之后,实施硅锗合金的选择性外延,以在 PFET 区域的源极和漏极区域中生长嵌入的硅锗合金 160'。嵌入的硅锗合金 160' 外延对准到 PFET 的主体 120,使得 PFET 的主体 120、中间 PFET 扩展 142 和嵌入的硅锗合金 160' 在 STI 22 环绕的每一区域中形成连续单晶结构。

[0069] 之后,施加第二层光致抗蚀剂 59 并将其光刻构图,以覆盖 PFET 区域并暴露 NFET 区域,如图 5 所示。此时,PFET 结构 304 被构图的第二光致抗蚀剂 59 覆盖,而 NFET 结构 404 被第二间隔物叠层 55 覆盖。实施第二 RIE,以在第二间隔物叠层 55 之外形成第二 NFET 间隔物 254。在第一实施例的优选版本中,第二 NFET 间隔物 254 包括 PFET 间隔物氧化物层 250 和 PFET 间隔物氮化物层 252。图 6 显示了在完成第二 RIE 之后的 PFET 结构 305 和 NFET 结构 405。

[0070] 之后,去除第二层光致抗蚀剂 59。图 7 显示在去除了光致抗蚀剂 59 之后的 PFET 结构 306 和 NFET 结构 406。

[0071] 在这个阶段,使用传统光刻方法和离子注入方法完成了 PFET 区域和 NFET 区域的源极和漏极区域的电子掺杂。如果需要,可以在离子注入步骤之后立即通过退火来实施电子掺杂剂的激活,或者这样的激活可以延迟到流程的后续阶段。本领域中公知的传统电掺杂剂包含硼、磷、砷和锑。图 8 中的 PFET 结构 307 在源极和漏极区域中包含 P 掺杂的硅 162 和 P 掺杂的硅锗合金 162'。“PFET 扩展”144 为中间 PFET 扩展 142 的一部分,该中间 PFET 扩展 142 在源极和漏极区域电掺杂期间不会接收额外掺杂剂。图 8 中 NFET 结构 407 在源极和漏极区域的每一个中包含“中间 N 掺杂硅”261。“NFET 扩展”244 为具有 NFET 扩展注入的区域 240 的一部分,该区域 240 在源极和漏极区域的电掺杂期间不会接收额外掺杂剂。PFET 的主体 120、PFET 扩展 144、P 掺杂硅 162 和 P 掺杂硅锗合金 162' 在 STI22 环绕的每一区域中形成连续单晶结构。同样地,NFET 的主体 220、NFET 扩展 244 和中间 N 掺杂硅 261 在 STI 22 环绕的每一区域中形成连续单晶结构。

[0072] 尽管锗不是电掺杂剂,但是使用锗作为电掺杂过程的一部分用于改善源极和漏极区域掺杂的非晶化注入在本领域中已经公知。然而,根据此方法的锗含量典型地被限制为小于源极和漏极区域中材料的 1% 原子浓度。典型地,高于 1% 原子浓度的碳或锗不被考虑作为源极和漏极区域的传统电掺杂的一部分。这些标准是基于这些掺杂剂以任何实质方式改变源极和漏极区域中的应力的能力。根据本发明的第一实施例,在源极和漏极区域的电掺杂期间,源极和漏极区域中没有产生明显的应力。

[0073] 之后,施加第三层光致抗蚀剂 175 并将其光刻构图,以覆盖 PFET 区域,如图 9 所示。将碳注入到 NFET 区域,以掺杂 NFET 结构 408 的源极和漏极区域,如图 9 所示。通过第三层光致抗蚀剂 175,PFET 结构 308 被保护免受碳注入。将碳注入到 NFET 区域使得将每一中间 N 掺杂硅 261 变为了两部分:N 掺杂硅碳合金 261' 和 N 掺杂硅 262。之后,去除光致抗蚀剂 275。

[0074] 在注入之后即刻的注入的碳无须占据晶体结构中的替位位置。注入的结果是,N 掺杂硅 262 此时具有几乎没有缺陷的晶体结构,N 掺杂硅碳合金 261' 为无定形。此时,通过高温下退火衬底,以 N 掺杂硅 262 作为外延模板,N 掺杂单晶硅碳合金即“N 掺杂 Si:C 合金”262' 在 N 掺杂硅碳合金 261' 中外延重新生长。该过程称为“固相外延”(SPE),且实施固相外延的方法在本领域中已经公知。本质来说,N 掺杂硅碳合金 261' 中硅和碳原子自行外延对准于下层晶格结构,所述下层晶格结构开始于 N 掺杂硅 262 与原始 N 掺杂硅碳合金 261' 之间的界面。在 SPE 期间,在 Si:C 的一个原子层外延对准于下层单晶晶格之后,形成下一个原子层的 Si:C。此过程一层接着一层继续,直到原始 N 掺杂硅碳合金 261' 中的全部材料并入到单晶结构中,并形成 Si:C 合金。因为原始 N 掺杂硅碳合金 261' 包含 N 型掺杂剂,因此 N 掺杂剂也外延并入到 Si:C 结构中,并形成 N 型掺杂 Si:C 合金 262'。

[0075] 可以使用用于 SPE 的任何公知过程来实施本发明。退火过程优选为具有介于 700°C 和 1428°C 之间的峰值温度的激光退火。一旦在 NFET 区域的源极和漏极区域中形成 N 掺杂 Si:C 合金 262',NFET 的主体 220、NFET 扩展 244、N 掺杂 Si:C 合金 262' 和 N 掺杂硅 262 在 STI 22 环绕的每一区域中形成连续单晶结构。

[0076] 之后,在 PFET 区域和 NFET 区域上实施选择性硅沉积。在选择性硅沉积期间,包含

如  $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiHCl}_3$ 、 $\text{SiH}_2\text{Cl}_2$  或  $\text{SiH}_3\text{Cl}$  的硅的源材料的反应物与诸如  $\text{HCl}$  或  $\text{NH}_4\text{Cl}$  的蚀刻剂和诸如  $\text{H}_2$  的载流子气体一起被引入包含半导体衬底的处理腔中。有时候,在适当条件下,包含氯对氢的高原子比例的反应物可能在处理腔中分解,以通过自身提供足够的蚀刻剂。半导体衬底包含两种类型的表面:半导体表面和电介质表面。硅或硅合金的表面为半导体表面。诸如二氧化硅、氮化硅的介电膜的表面为电介质表面。因为在反应物中存在蚀刻剂,在选择性硅沉积期间,沉积过程与蚀刻过程竞争。新的硅材料的沉积不会发生在电介质表面上,因为硅原子的任何成核立刻被蚀刻剂蚀刻。因此,新的硅材料的沉积只发生在硅表面或硅合金表面上。在典型晶体管结构中,不论是源极区域或漏极区域,硅合金材料或硅材料的每一区域都被诸如 STI 的电介质材料所包围,因此,包含硅且通过选择性硅沉积而外延生长的一个新的层(之后称为“硅层”)也被电介质材料所包围。

[0077] 依赖于硅原子的迁移率和在处理腔中环境气体流的杂质程度,新硅层可能自行外延对准到下层硅或硅合金,或者它可能形成多晶硅、微晶硅或甚至无定形硅。在本发明第一实施例的优选版本中,选择性硅沉积过程为选择性硅外延,其中,新的硅层外延对准下层硅或硅合金。在此过程中,衬底典型处在足够高的温度下,以对硅原子提供足够的表面迁移率,这些硅原子源于反应气体流的硅先驱物且吸附在生长表面上。此外,气体流中的杂质程度保持在低水平,以防止杂质落在生长表面上而在结晶结构中产生缺陷。

[0078] 硅层与下层硅合金的外延对准对于晶体管的性能而言是有利的,这是因为任何晶粒边界或结晶缺陷会作为散射中心且降低载流子迁移率,这正是丧失与下层单晶硅的外延对准的多晶硅、微晶硅、无定形硅和硅材料的情况。如果在接触形成期间,硅层中的一些硅材料未反应,残留的硅材料包含许多结晶缺陷,且电子或空穴在缺陷处的散射会降低源极或漏极区域的导电性。仅当下面的情况下,这个问题可以得到避免,即在接触形成期间,通过与沉积金属反应形成金属硅化物,使硅层中所有的硅材料都耗尽。硅层中外延对准的硅不会对接电阻造成任何负面影响,即使并非硅层中所有的硅材料都与金属反应。通过硅层与下层晶体结构的外延对准所提供的这个优点,本发明的所有实施例,包含第一实施例,皆描述为用于选择性硅沉积的选择性硅外延过程。

[0079] 图 10 显示在选择性硅外延过程之后的 PFET 结构 309 和 NFET 结构 409。PFET 结构 309 现在包含 P 掺杂硅锆合金 162' 上的硅层 170,硅锆合金 162' 进而沉积在 P 掺杂硅 162 上。NFET 结构 409 包含 N 掺杂 Si:C 合金 262' 上的硅层 270,Si:C 合金 262' 进而沉积在 N 掺杂硅 262 上。在新形成的硅层中的硅材料实质上不含碳或锆,因为硅选择性外延过程中的反应剂仅向已有的硅合金表面上提供硅原子。同样地,相比于成功的外延过程一定会发生的表面扩散速率,在硅选择性外延的温度下,锆或碳的体积扩散速度小很多,因此只有小量的碳或锆,常常是微量,通过硅合金层和新硅层的界面而扩散至新形成的硅层中。通过选择性硅外延而新形成的硅层中的任何其它材料仅为微量,因此,硅层可视为实质上不含碳或锆。

[0080] 此时,PFET 的主体 120、PFET 扩展 144、P 型掺杂硅 162、P 掺杂硅锆合金 162' 和位于 P 掺杂硅锆合金 162' 之上的硅层 170 在 STI 22 环绕的每一区域中形成连续单晶结构。同样地,NFET 结构的主体 220、NFET 扩展 244、N 掺杂硅 262、N 掺杂 Si:C 合金 262' 和位于 N 掺杂 Si:C 合金 262' 之上的硅层 270 在 STI 22 环绕的每一区域中形成连续单晶结构。

[0081] 之后,去除栅极顶冠氧化物 34 与栅极氮化物层 36。之后通过物理气相沉积 (PVD)

在超高真空腔中在硅衬底上沉积金属 80。图 11 显示在这样的金属沉积之后的 PFET 结构 310 和 NFET 结构 410。沉积的金属与源极和漏极区域中下层硅层中的硅反应,还与栅极叠层中的多晶硅反应。根据本发明的第一实施例,在形成所述接触材料期间,只有一部分的硅层被消耗来形成金属硅化物,而硅层的剩余部分未被消耗。由于通过选择性硅沉积,优选为选择性硅外延,所沉积的硅层实质上不含碳或锗,因此,接触材料不是金属硅化物与其它材料,如金属锗化物、金属碳化物或甚至碳的混合物或合金。在图 12 的 PFET 结构 311 和 NFET 结构 411 中,接触材料为未合金金属硅化物。

[0082] 在根据本发明的第一实施例的晶体管的最终结构中,PFET 的主体 120、PFET 扩展 144、P 掺杂硅 162、P 掺杂硅锗合金 162' 和位于 P 掺杂硅锗合金 162' 上的未反应硅层 190 在 STI 22 环绕的每一区域中形成连续单晶结构。同样地,NFET 的主体 220、NFET 扩展 244、N 掺杂硅 262、N 掺杂 Si:C 合金 262' 和位于 N 掺杂 Si:C 合金 262' 上的未反应硅层 290 在 STI 22 环绕的每一区域中形成连续单晶结构。

[0083] 根据本发明,虽然在图 12 中,P 掺杂硅锗合金 162' 上的未反应硅层 190 或在 N 掺杂 Si:C 合金 262' 上的未反应硅层 290 中没有电子掺杂剂,但是本领域技术人员可以了解的事实是,通过适当退火,可轻易完成电子掺杂剂越过小距离的扩散。因此,通过退火而从下层 N 掺杂 Si:C 层或 P 掺杂硅锗合金层扩散电掺杂剂,以减少源极和漏极区域的接触电阻是本发明显而易见的应用。另一方面来说,在硅化之前,N 型和 P 型掺杂剂可以分别注入 Si:C 和 SiGe 顶上的顶硅层中。

[0084] 本发明的第一实施例在硅锗合金和硅碳合金上提供未合金硅化物的事实,进而使得在源极和漏极区域具有嵌入的硅合金的器件具有低接触电阻。此外,由接触材料和半导体材料之间的界面所限定的源极和漏极的高度显著高于在制造流程中未利用选择性硅沉积的同等结构。源极和漏极高度的增高增加了具有嵌入的硅合金的晶体管的沟道上的应力。

[0085] 虽然本发明的第一实施例已在制造流程的每个阶段以光刻步骤详细说明,但是本领域技术人员可以了解,当允许时,通过使用通用的光刻掩模用于连续过程,有可能对流程进行一些简化。同样地,也可以相似了解,本发明非关键的组件也可以用具有类似性质的公知材料来取代。

[0086] 根据本发明的第二实施例,所有的过程步骤和结构与本发明的第一实施例相同,直到如图 11 所示完成用于形成接触的金属 80 的沉积。在金属 80 与硅锗合金 162' 之上的下层硅层 170 和 N 掺杂 Si:C 合金 262' 之上的下层硅层 270 反应期间,金属 80 与选择性硅沉积期间沉积的所有硅材料发生反应。图 13 示出 PFET 321 的产生结构和 NFET 421 的产生结构。PFET 的源极和漏极区域的每一个包含未合金金属硅化物 186 和电掺杂外延硅锗合金层 162' 的叠层。NFET 的源极和漏极区域的每一个包含未合金金属硅化物 286 和 N 掺杂 Si:C 合金 262' 的叠层。在此也考虑允许金属的反应消耗一部分的下层掺杂硅锗合金 162' 或一部分的下层 N 掺杂 Si:C 合金 262'。

[0087] 本发明的第三至第十二实施例使用本发明的第一和第二实施例的部件而经过一些改变。通过首先比较本发明的各种实施例的差异,之后描述每一实施例的具体特征和分支,来完成这些实施例的描述。

[0088] 这十二个实施例分为两组实施例。第一组实施例包括第一至第六实施例,第二组

实施例包括第七至第十二实施例。在第一组实施例中,在 NFET 区域的源极和漏极区域中形成嵌入的硅碳合金是在 PFET 区域和 NFET 区域中通过选择性沉积生长硅层的硅材料之前。在第二组实施例中,在 PFET 区域和 NFET 区域中通过选择性沉积生长硅层的硅材料是在 NFET 区域的源极和漏极区域中形成嵌入的硅碳合金之前。

[0089] 在全部十二个实施例中,包括有形成嵌入的硅锗合金、源极和漏极注入用于电子掺杂、形成嵌入的硅碳合金和选择性硅沉积以及形成接触材料。取决于进行的实施例,过程方法的顺序和细节以及最终结构是不同的。虽然大部分时间 Si:C 合金的形成在 SiGe 合金的形成之后,但是第三至第六实施例允许这两个过程之间有相反的过程顺序。各种实施例的制造流程的顺序差异的总结被示于表 1 中。

[0090] 表 1:根据本发明各个实施例的制造流程的顺序

[0091]

实施例	第一过程	第二过程	第三过程	第四过程
第一和第二实施例	嵌入的 SiGe 合金的形成	在源极/漏极上电掺杂	嵌入的 Si:C 合金的形成	选择性硅外延
第三和第四实施例	嵌入的 SiGe 或 Si:C 的形成	嵌入的 Si:C 或 SiGe 的形成	在源极/漏极上电掺杂	选择性硅外延
第五和第六实施例	嵌入的 SiGe 或 Si:C 的形成	嵌入的 Si:C 或 SiGe 的形成	选择性硅外延	在源极/漏极上电掺杂
第七和第八实施例	嵌入的 SiGe 合金的形成	选择性硅外延	在源极/漏极上电掺杂	嵌入的 Si:C 合金的形成
第九和第十实施例	嵌入的 SiGe 合金的形成	选择性硅外延	嵌入的 Si:C 合金的形成	在源极/漏极上电掺杂
第十一和第十二实施例	嵌入的 SiGe 合金的形成	在源极/漏极上电掺杂	选择性硅外延	嵌入的 Si:C 合金的形成

[0092] 在表 1 的制造流程中共享相同顺序的每对两个实施例包含这样的两个实施例(奇数实施例),其中允许图 11 中金属 80 的反应仅消耗在选择性硅外延期间沉积的硅层的一部分,以及另一个实施例(偶数实施例),其中允许图 11 中的金属 80 的反应消耗在选择性硅外延期间沉积的全部硅层。这造成 PFET 和 NFET 的最终结构不同。

[0093] 在制造流程的顺序的组合和金属 80 与下层反应的程度造成结构中源极和漏极区域的各个部分的组成和掺杂的不同。根据本发明各个实施例的具有嵌入的硅锗合金的 PFET 的源极和漏极区域的这些差异显示于表 2 中。N/A 表示“不适用”,并表示相关目标不存在的状态。

[0094] 表 2:PFET 中的包括源极/漏极区域的叠层的组成和掺杂

[0095]

实施例	硅层未反应部分的存 在与状态	在硅层未反应部分上的电 掺杂的状态	在嵌入的 SiGe 合金上的接 触材料的组成	接触材料中的电掺 杂材料
第一 实施例	有、硅	无	未合金金属硅化物	无
第二 实施例	无、N/A	N/A	未合金金属硅化物	无
第三 实施例	有、硅	无	未合金金属硅化物	无
第四 实施例	无、N/A	N/A	未合金金属硅化物	无
第五 实施例	有、硅	P 掺杂	未合金金属硅化物	P 掺杂
第六 实施例	无、N/A	N/A	未合金金属硅化物	P 掺杂

第七实施例	有、硅	P 掺杂	未合金金属硅化物	P 掺杂
第八实施例	无、N/A	N/A	未合金金属硅化物	P 掺杂
第九实施例	有、硅	P 掺杂	未合金金属硅化物	P 掺杂
第十实施例	无、N/A	N/A	未合金金属硅	P 掺杂

[0096]

			化物	
第十一实施例	有、硅	无	未合金金属硅化物	无
第十二实施例	无、N/A	N/A	未合金金属硅化物	无

[0097] 同样地,根据本发明各个实施例的具有嵌入的硅碳合金的 NFET 的源极和漏极区域的差异显示于表 3 中。在第一和第二实施例中,即使在硅层未反应部分上的电掺杂状态可能开始不含电掺杂剂,但是通过适当退火,可轻易完成电掺杂剂越过短距离的扩散。因此,通过退火使电掺杂剂从下层 N 掺杂 Si:C 层或 P 掺杂硅锆合金层扩散,以减少源极和漏极区域的接触电阻,这是此发明显而易见的。

[0098] 表 3 :NFET 中的包括源极 / 漏极区域的叠层的组成和掺杂

[0099]

实施例	硅层未反应部分的存在与状态	在硅层未反应部分上的电掺杂状态	在嵌入的 Si:C 合金上的接触材料的组成	接触材料中的电掺杂材料
第一实施例	有、硅	无	未合金金属硅化物	无
第二实施例	无、N/A	N/A	未合金金属硅化物	无
第三实施例	有、硅	无	未合金金属硅化物	无
第四实施例	无、N/A	N/A	未合金金属硅化物	无
第五实施例	有、硅	N 掺杂	未合金金属硅化物	N 掺杂
第六实施例	无、N/A	N/A	未合金金属硅化物	N 掺杂
第七实施例	有、Si:C	N 掺杂	金属硅化物、碳、金属碳化物	N 掺杂

第八实施例	无、N/A	N/A	金属硅化物、金属碳化物、碳	N 掺杂
第九实施例	有、Si:C	N 掺杂	金属硅化物、碳、金属碳化物	N 掺杂
第十实施例	无、N/A	N/A	金属硅化物、金属碳化物、碳	N 掺杂
第十一实施例	有、Si:C	无	金属硅化物、金属碳化物、碳	无
第十二实施例	有、硅	N/A	金属硅化物、金属碳化物、碳	无



[0100] 下面将在说明制造流程中实质差异之后说明本发明第三至第十二实施例相对于第一和第二实施例在结构上的值得注意的差异。在不同实施例中,相同的结构将在图中以相同的附图标记来标示,以表示结构和功能与前述实施例的相同。即使数字不同,具有相同结构和等效功能的组件在本发明不同的实施例中将以相同名称标示。通常数字的不同表示在引入不同数字的组件的步骤之前,存在不同的中间结构。

[0101] 根据本发明第三和第四实施例,PFET 结构 507 中的嵌入的硅锆合金 160' 和 NFET 结构 607 中的嵌入的 Si:C 合金 660' 形成于源极和漏极区域的电掺杂之前,如图 14 所示。根据本发明第三和第四实施例的优选版本,嵌入的硅锆合金 160' 以和第一和第二实施例相同的方式形成,直到对应于图 7 的处理步骤。

[0102] 之后,如图 14 所示,PFET 结构 507 被第四光致抗蚀剂 575 所覆盖,且碳被注入 NFET 结构 607 中。第四光致抗蚀剂 575 被去除,硅衬底经受退火过程,以在具有碳的源极和漏极区域中形成 Si:C。实施与第一和第二实施例相同的过程,以形成未掺杂的嵌入的 Si:C 合金 660'。然而,未掺杂的嵌入的 Si:C 合金 660' 未出现于根据本发明第一和第二实施例的任何处理阶段。根据第三和第四实施例,处理过程继续,实施源极和漏极区域的电掺杂,由此在 NFET 结构 608 中产生 N 掺杂 Si:C 合金 662' 和 N 掺杂硅 662,如图 15 所示。这些结构与图 10 中的 N 掺杂 Si:C 合金 262' 和 N 掺杂硅 262 相同。之后,实施选择性硅沉积。再一次地,为了描述本发明,假定采用选择性硅外延。图 16 中的 PFET 结构 509 和 NFET 结构 609 与图 10 中的对应结构相同,除了标号不同,这意味着仅在该处理步骤之前存在不同结构。

[0103] 自选择性硅外延过程开始,第一实施例和第三实施例之间的结构和过程相同。在第二实施例和第四实施例也是一样。显而易见的是其最终结构的关系也是一样的。

[0104] 根据本发明第五和第六实施例,首先实施嵌入的 Si:C 合金的形成,之后为选择性硅沉积过程,之后为源极和漏极区域的电掺杂。再一次地,这些实施例也假定采用选择性硅外延。在图 14 中以和本发明第三和第四实施例相同的方式在 PFET 结构 507 中形成嵌入的硅锆合金 160' 并在 NFET 结构 607 中形成嵌入的 Si:C 合金 660' 之后,在嵌入的硅锆合金 160' 和嵌入的 Si:C 合金 660' 上直接形成硅层,以形成类似于图 16 所示的结构。然而,不同于图 16 的结构在于,源极和漏极区域此时未掺杂。换句话说,根据本发明第五和第六实施例,图 16 中的 P 掺杂硅 162 和 N 掺杂硅 662 不存在,且 PFET 的主体 120 和 NFET 的主体 220 分别占据仍有待形成的 P 掺杂硅 162 和 N 掺杂硅 662 的区域。相似地,根据本发明第五和第六实施例,图 16 中的 P 掺杂硅锆合金 162' 和 N 掺杂 Si:C 合金 662' 在此阶段未用源极 / 漏极掺杂剂掺杂。

[0105] 虽然这些实施例未以视图加以详细说明,然而显而易见的是,在源极和漏极区域的电掺杂之前,所有的中间结构未被掺杂剂掺杂。之后,以适当的掩模实施源极 / 漏极掺杂。根据本发明第五和第六实施例,产生的结构 类似于图 16 所示的结构,不同的是,第三和第四实施例中图 16 的硅层 170 由 P 掺杂硅层取代,第三和第四实施例中图 16 的硅层 270 由 N 掺杂硅层取代。因为 PFET 和 NFET 的电掺杂在金属沉积之前即刻实施,硅层中的外延沉积硅材料被电掺杂剂所掺杂。然而,因为它们是在形成硅锆合金和 Si:C 合金之后沉积的,因此,外延沉积的硅层中没有碳或锆。所以,最终结构包括在电子掺杂硅层上的未合金金属硅化物,如表 2 和表 3 所描述。

[0106] 根据本发明第七和第八实施例,过程步骤与第一和第二实施例的相同,直到形成

第二 NFET 间隔物 254, 如图 7 所示。取代源极和漏极区域的电掺杂, 之后立即实施选择性硅沉积, 如图 17 所示。PFET 结构 707 包含在嵌入的硅锆合金 160' 上的新生长的硅层 770, NFET 结构 807 包含在具有 NFET 扩展注入的区域 240 上的新生长的硅层 870。

[0107] 之后, 实施 PFET 和 NFET 的源极和漏极区域的电掺杂。图 18 显示产生的结构。PFET 结构 708 现在包含 P 掺杂硅 762、P 掺杂硅锆合金 762' 和 P 掺杂硅层 772。NFET 结构 808 包含中间 N 掺杂硅 861 和 N 掺杂硅层 872。相比于第一和第二实施例, 第七和第八实施例中存在的 P 掺杂硅层 772 和 N 掺杂硅层 872 是不同的特征。相比于本发明第一和第二实施例, 第七和第八实施例中 N 掺杂 Si:C 合金层 872' 是不同的特征。

[0108] 之后, PFET 结构 709 被第五光致抗蚀剂 775 所覆盖, 碳被注入到 NFET 结构 809 中, 如图 19 所示。第五光致抗蚀剂 775 被去除, 硅衬底经受退火过程, 以在具有碳的源极和漏极区域中形成 N 掺杂 Si:C 合金 862'。通过碳注入和 SPE, 图 18 中的 N 掺杂硅层 872 转换成图 19 中的 N 掺杂 Si:C 合金层 872'。相比于第一和第二实施例, 第七和第八实施例中 N 掺杂 Si:C 合金层 872' 是不同的特征。在去除第五光致抗蚀剂 775 之后, 以类似于图 11 所描述的方式沉积金属 80, 之后金属 80 与下层 N 掺杂 Si:C 合金层 872' 和 P 掺杂硅层反应。

[0109] 根据本发明的第七实施例, 控制金属 80 的反应, 使得接触形成过程仅消耗一部分的 N 掺杂 Si:C 合金层 872' 和 P 掺杂硅层。在此阶段的 PFET 结构 711 和 NFET 结构 811 显示于图 20 中。PFET 的主体 120、PFET 扩展 144、P 掺杂硅 762、P 掺杂硅锆合金 762' 和未反应的 P 掺杂硅层 772 在 STI 22 环绕的每一区域中形成连续单晶结构。相似地, NFET 的主体 220、NFET 扩展 244、N 掺杂硅 862、N 掺杂 Si:C 合金 862' 和未反应的 N 掺杂硅层 874' 在 STI 22 环绕的每一区域中形成连续单晶结构。

[0110] 根据本发明的第八实施例, 控制金属 80 的反应, 使得接触形成过程消耗全部 N 掺杂 Si:C 合金层 872' 和 P 掺杂硅层。在此阶段的 PFET 结构 721 和 NFET 结构 821 显示于图 20 中。这些结构类似于根据第七实施例的图 20 中的对应结构, 但是不存在未反应的 P 掺杂硅层 772 和未反应的 N 掺杂硅层 874'。

[0111] 在第七和第八实施例中, 因为 P 掺杂硅层 772 不包含任何锆或碳, 所以在 PFET 区域上形成的接触材料为未合金金属硅化物 786, 如同第一至第六实施例的例子一样, 也就是没有金属锆化物、金属碳化物或碳。然而, 因为在 Si:C 合金层 872' 中碳的存在, 在 NFET 区域上形成的接触材料 886 并非不含碳和金属碳化物, 因此, 根据前述的定义, 不是“未合金金属硅化物”。取而代之的是金属硅化物、金属碳化物和碳的合金。可根据过程的细节而控制金属碳化物和碳的相对含量。

[0112] 根据本发明第九和第十实施例, 过程步骤与第七和第八实施例的相同, 直到选择性硅沉积, 如图 17 所示。之后, 取代源极和漏极区域的电掺杂, 而实施 Si:C 合金的形成。在第七和第八实施例中使用了相同的处理方法。

[0113] 如图 22 所示, PFET 结构 908 被第六光致抗蚀剂 975 所覆盖, 碳被注入到 NFET 结构 1008 中。这将碳引入到外延生长硅层中和衬底的硅材料中。之后, 第六光致抗蚀剂 975 被去除, 硅衬底经受退火过程。在退火过程期间的 SPE 在 NFET 结构 1008 中产生 Si:C 合金 1060' 和 Si:C 层 1070'。第九和第十实施例中 Si:C 层 1070' 无掺杂是先前的实施例中未见的特征。在 SPE 之后去除光致抗蚀剂 975。

[0114] 之后, 实施 PFET 和 NFET 的源极和漏极区域的电掺杂。图 23 显示产生的结构。PFET

结构 909 现在包含 P 掺杂硅 762、P 掺杂硅锗合金 762' 和 P 掺杂硅 772。NFET 结构 1009 包含 N 掺杂硅 1062、N 掺杂 Si:C 合金 1062' 和 N 掺杂 Si:C 合金 1072'。根据第九和第十实施例,在此阶段的 PFET 结构 909 和 NFET 结构 1009 与本发明第七和第八实施例在 SPE 之后所获得的结构相同。之后的过程也相同。

[0115] 根据第九实施例,以与第七实施例相同的方式控制金属与下层半导体材料的反应,最终得到相同的结构。第八实施例和第十实施例之间也有相同的关系。

[0116] 根据第十一和第十二实施例,在硅锗合金形成之后,对源极和漏极区域进行电掺杂。这产生的结构与根据本发明第一实施例和第二实施例的图 8 所示的结构相同。取代嵌入的 Si:C 的形成,之后实施在源极 / 漏极区域上的硅层的选择性外延生长。产生的结构与图 10 所示的结构类似,但是不包含任何嵌入的 Si:C。相比于根据第一和第二实施例的图 10,根据第十一和第十二实施例的结构具有中间 N 掺杂硅 861,如图 18 所示,以取代图 10 中的 N 掺杂 Si:C 合金 262'。然而,此结构与根据第七和第八实施例的图 18 所示结构不同。相比于根据第七和第八实施例的图 18,根据第十一和第十二实施例的结构具有未掺杂硅层 170、270,以取代 P 掺杂硅层 772 和 N 掺杂硅层 872。

[0117] 虽然这些实施例未以视图详细说明,但是显而易见的是,外延生长硅层 170、270 未掺杂,这是因为选择性外延是在源极 / 漏极注入之后实施的,在 Si:C 形成之前所有的中间结构不包含任何嵌入的 Si:C 结构。之后, Si:C 的形成使用前述的方法。产生的结构类似于图 10 所示的结构,不同的是第一和第二实施例的图 10 中的硅层 270 由未掺杂 Si:C 硅层取代。通过选择性外延过程的反应物提供未掺杂 Si:C 层的硅材料,且在 Si:C 形成期间提供碳材料。之后沉积金属 80 用于金属化,并根据第十一实施例部分反应,或根据第十二实施例全部反应。最终结构产生接触材料,接触材料与本发明第七至第十实施例产生的不同仅在于接触材料具有较少电掺杂剂,此对接触材料的性能无显著影响。

[0118] 虽然本发明用具体实施例进行说明,但从前述说明中显见的是,各种替换、修改和变体对本领域技术人员来说是显而易见的。因此,本发明旨在涵盖落入本发明的范围和精神和下列权利要求范围的所有替换、修改和变体。

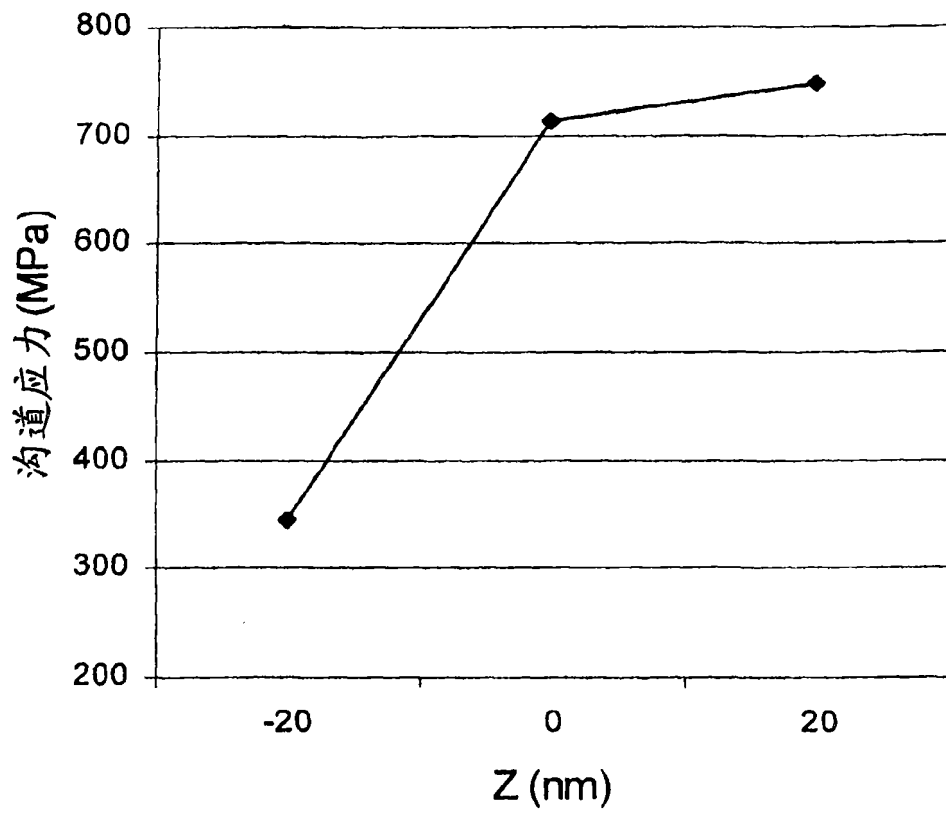


图 1

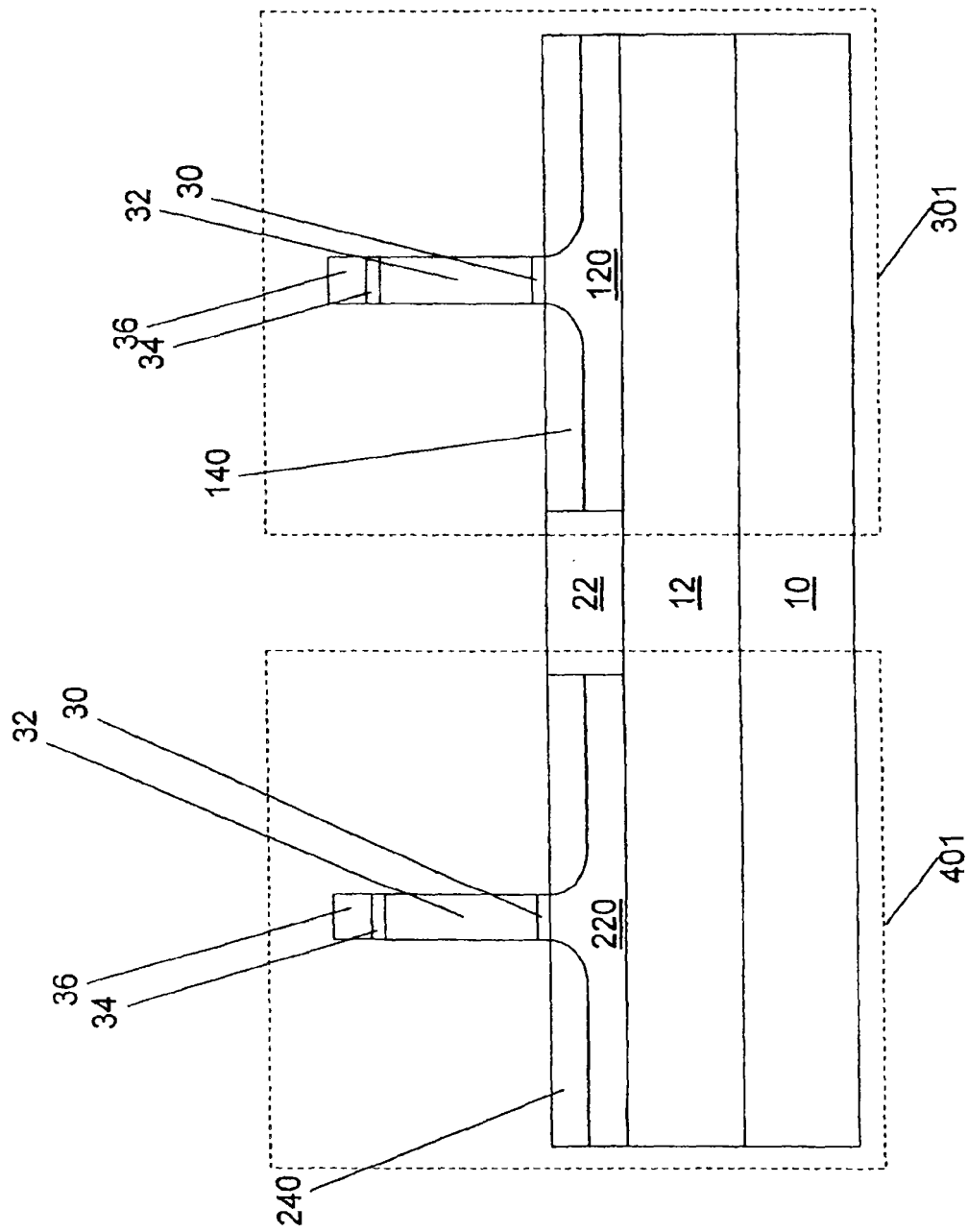


图 2

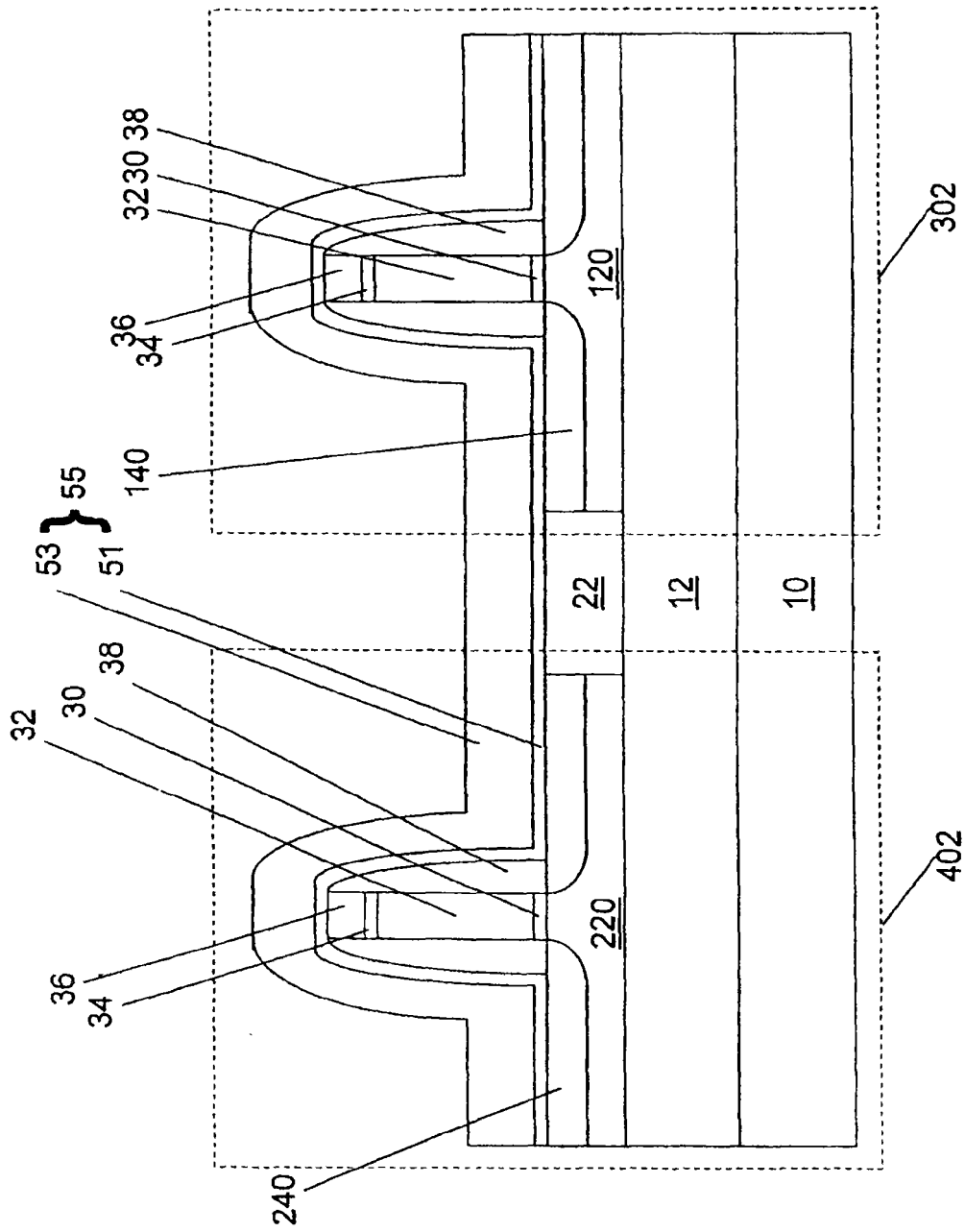


图 3

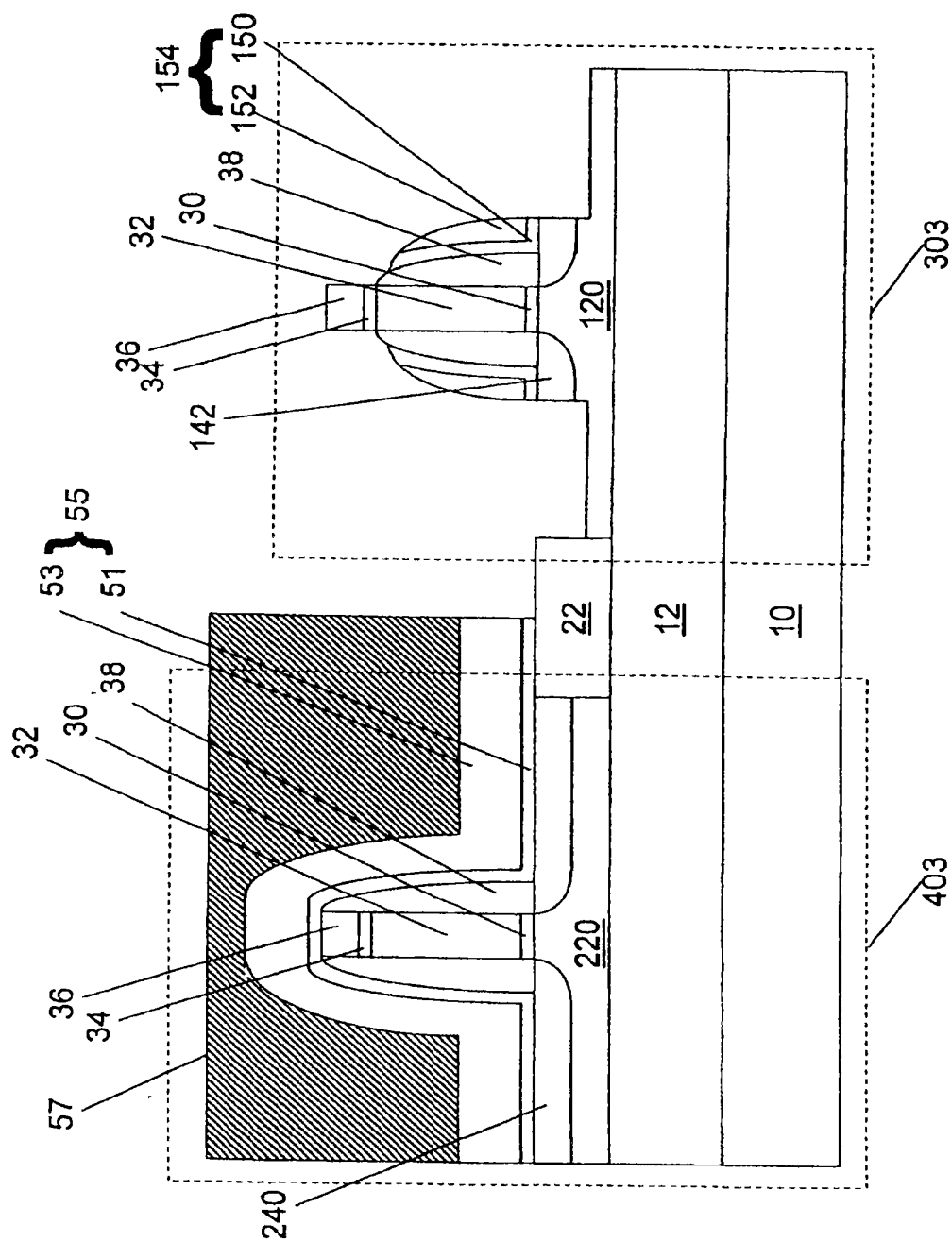


图 4

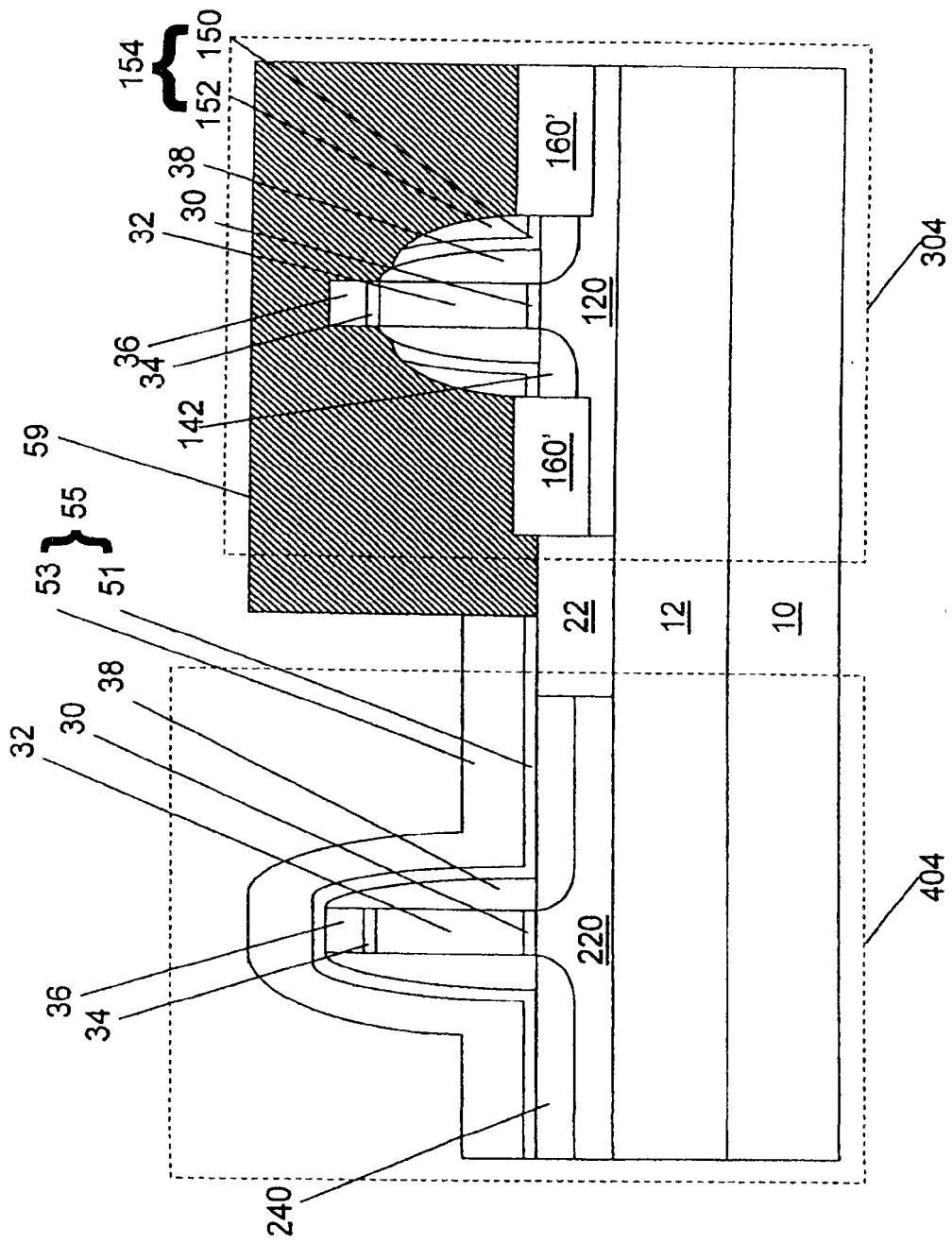


图 5



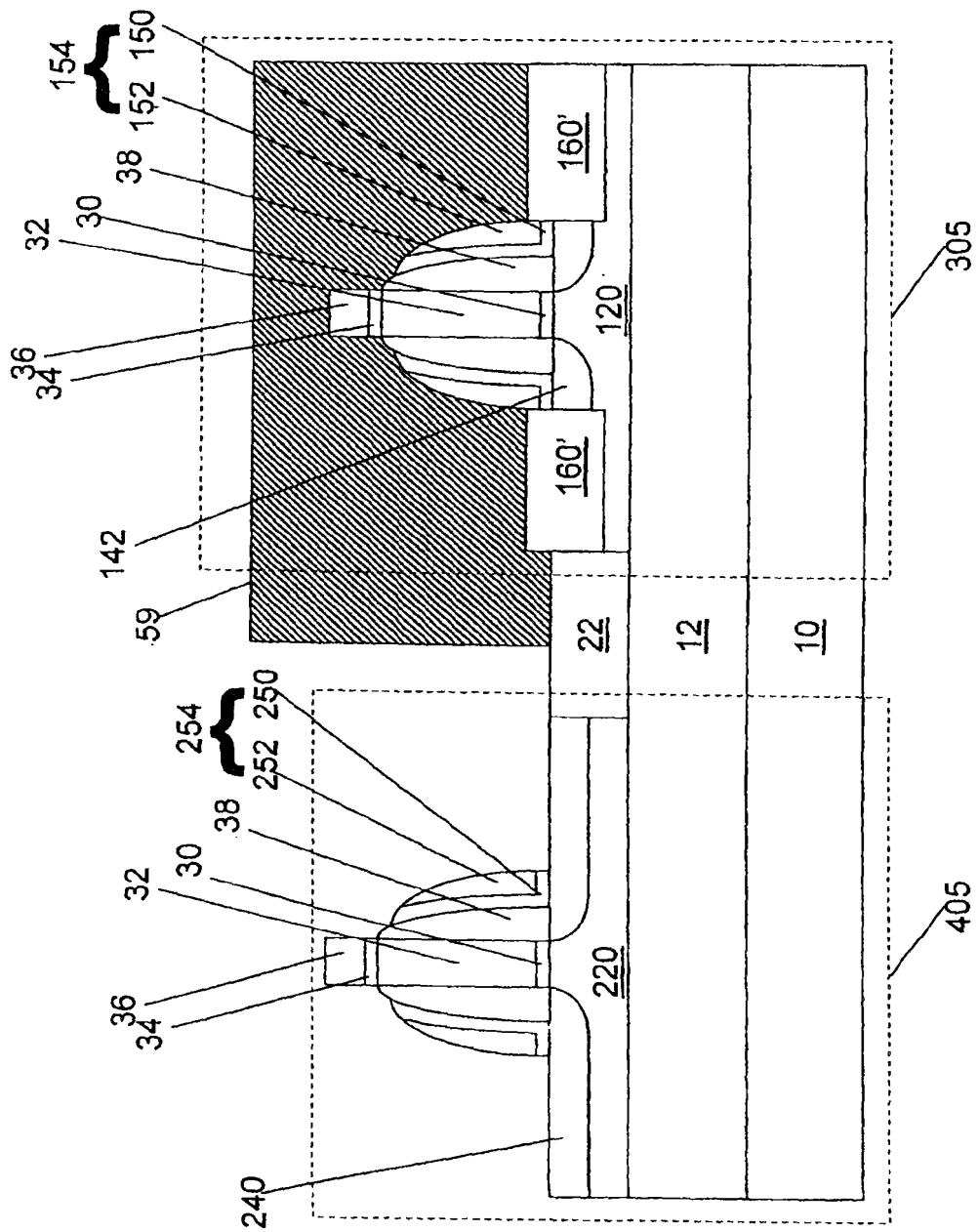


图 6

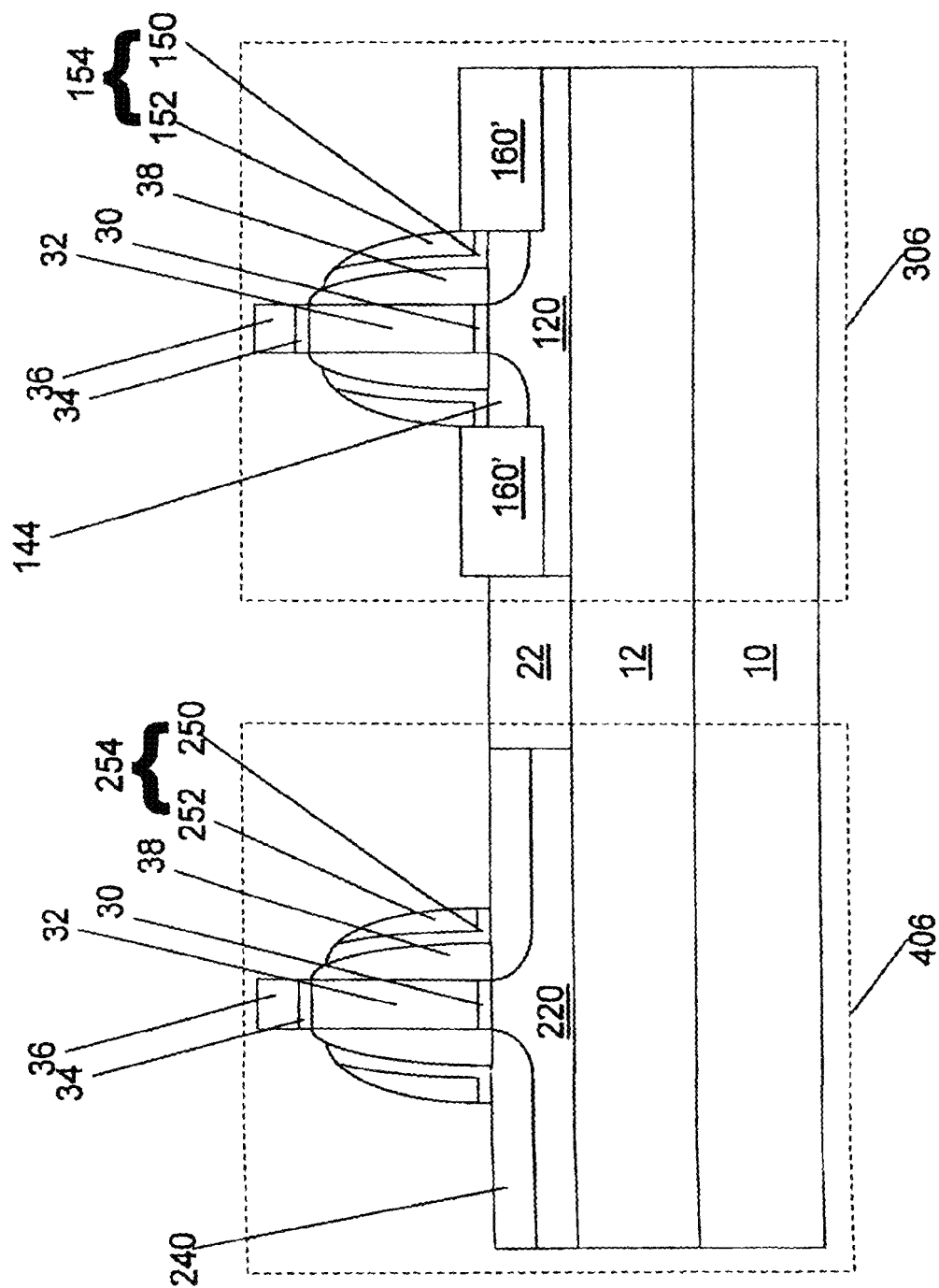


图 7

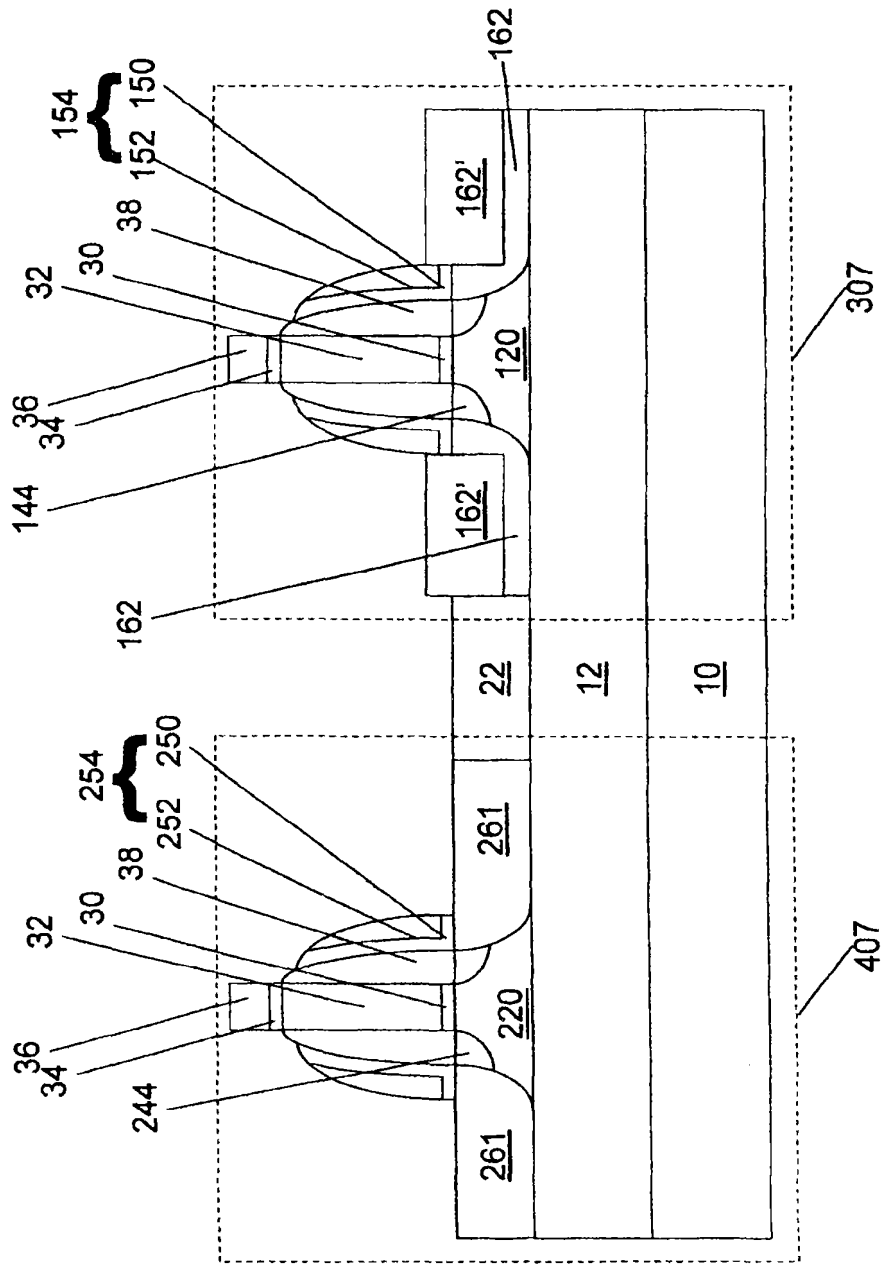


图 8

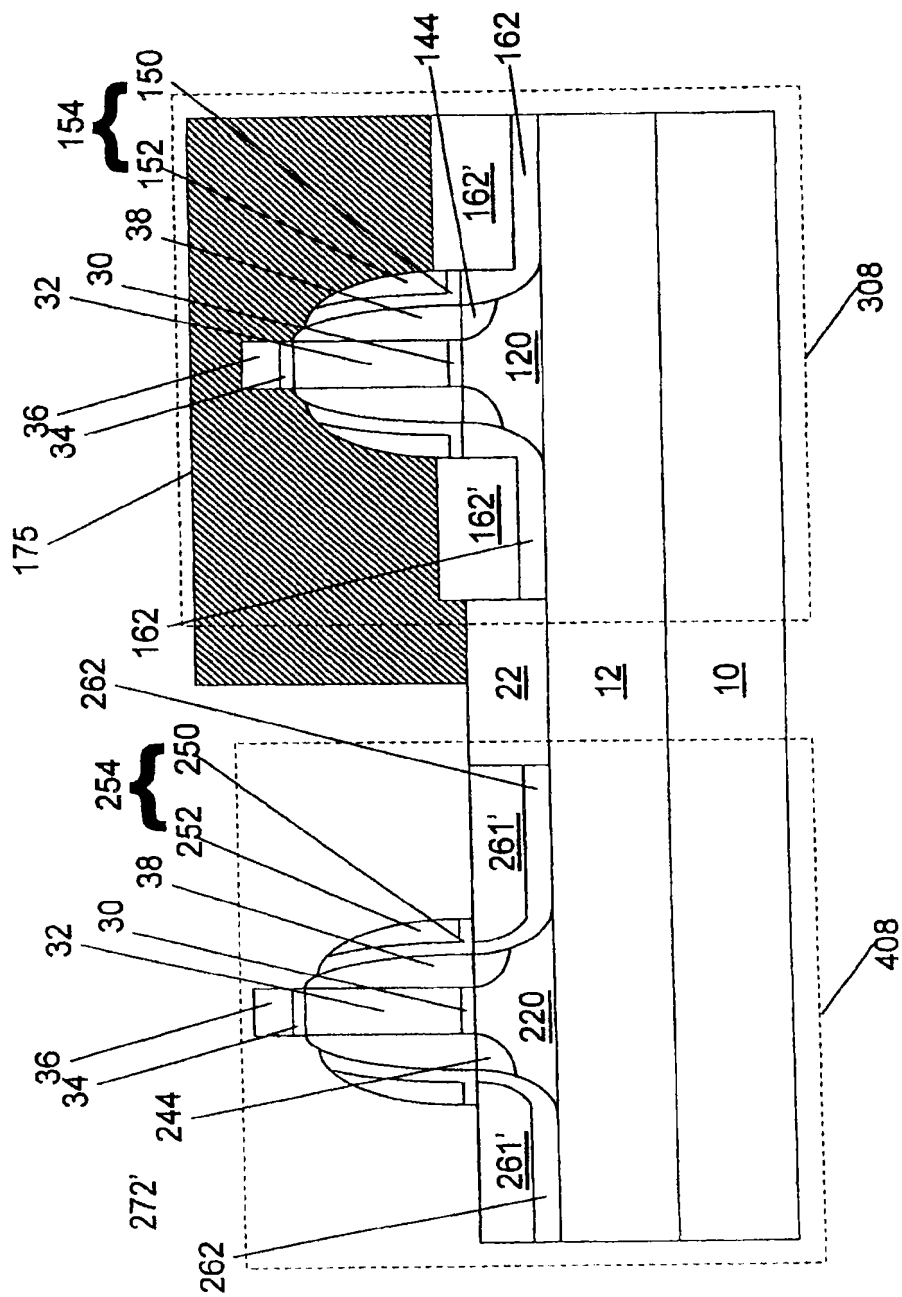


图 9

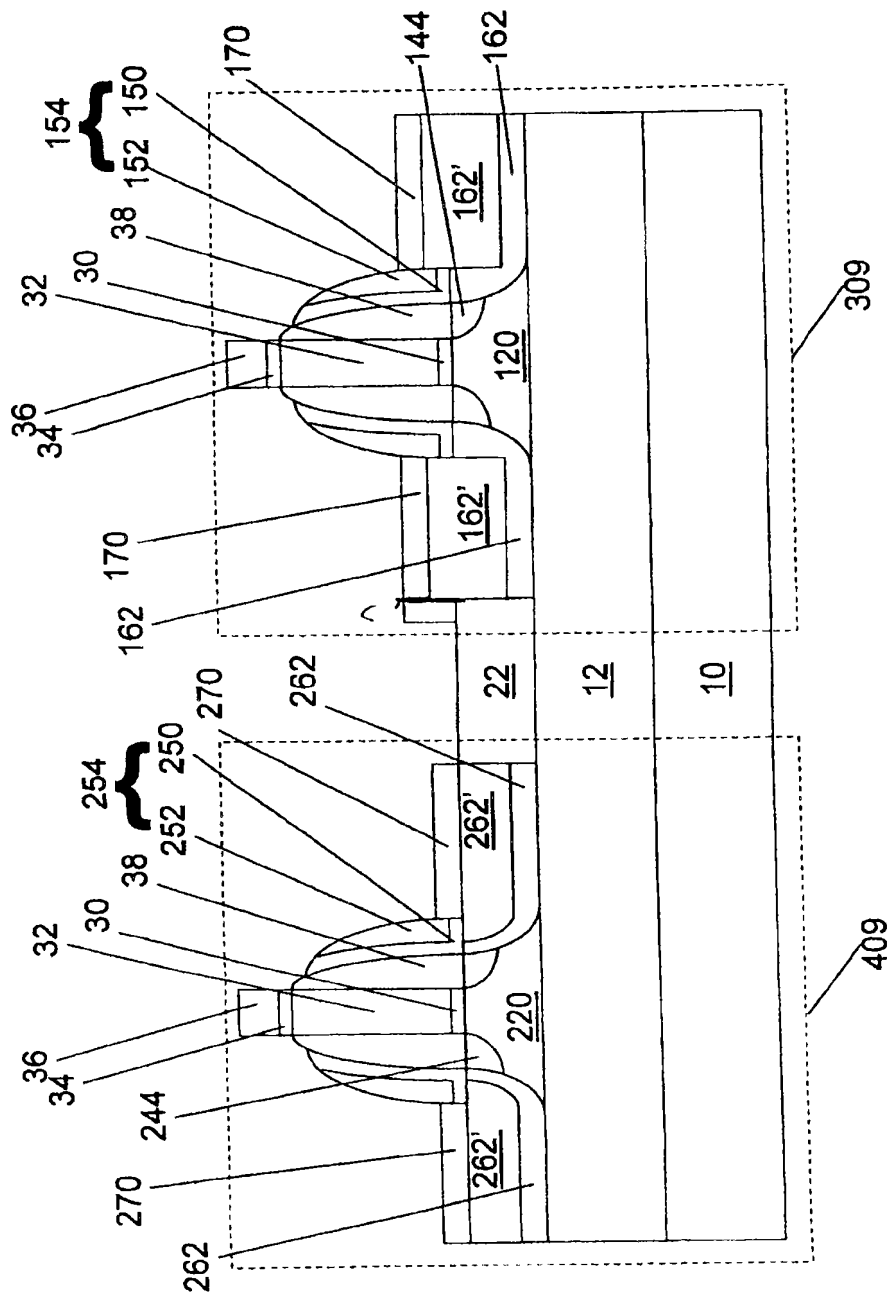


图 10

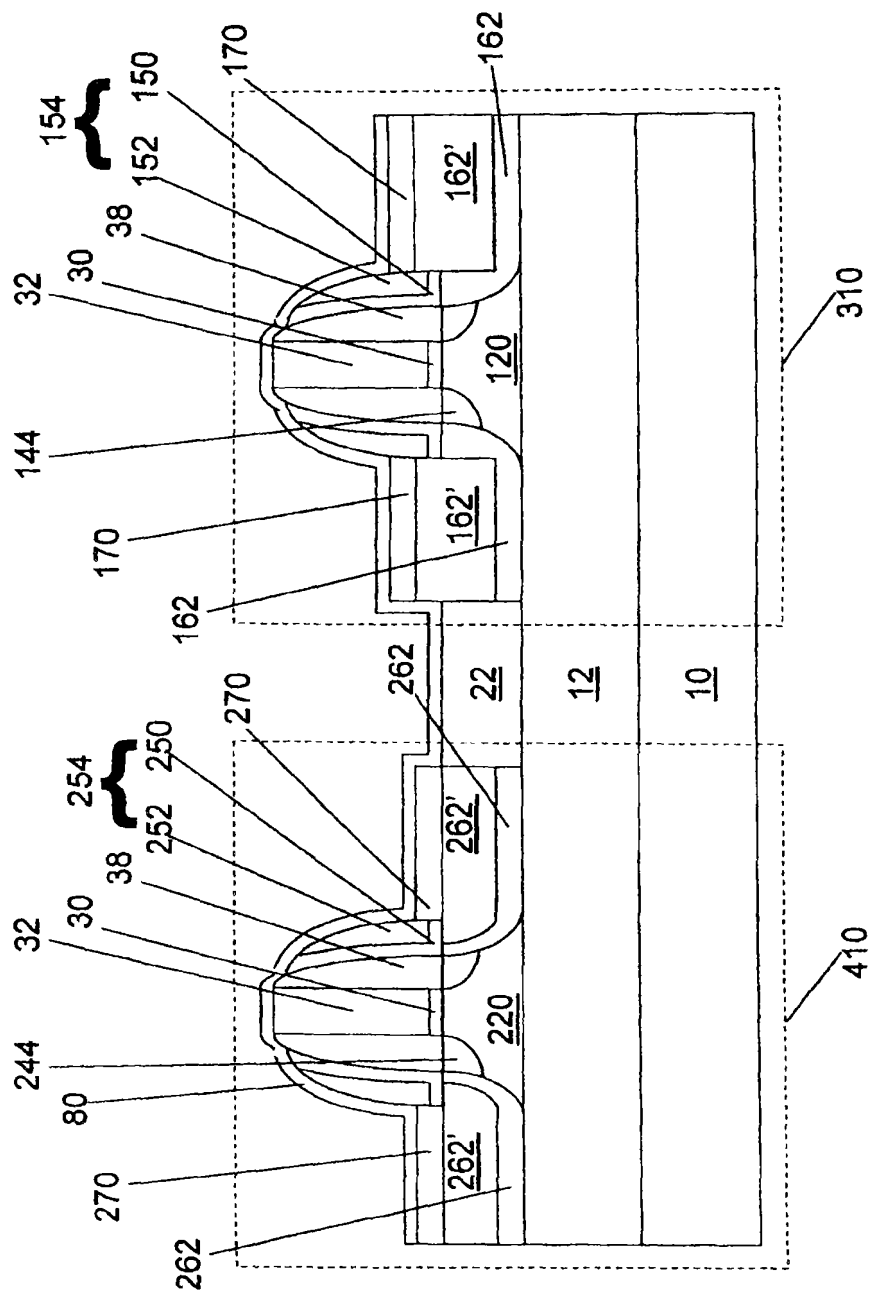


图 11

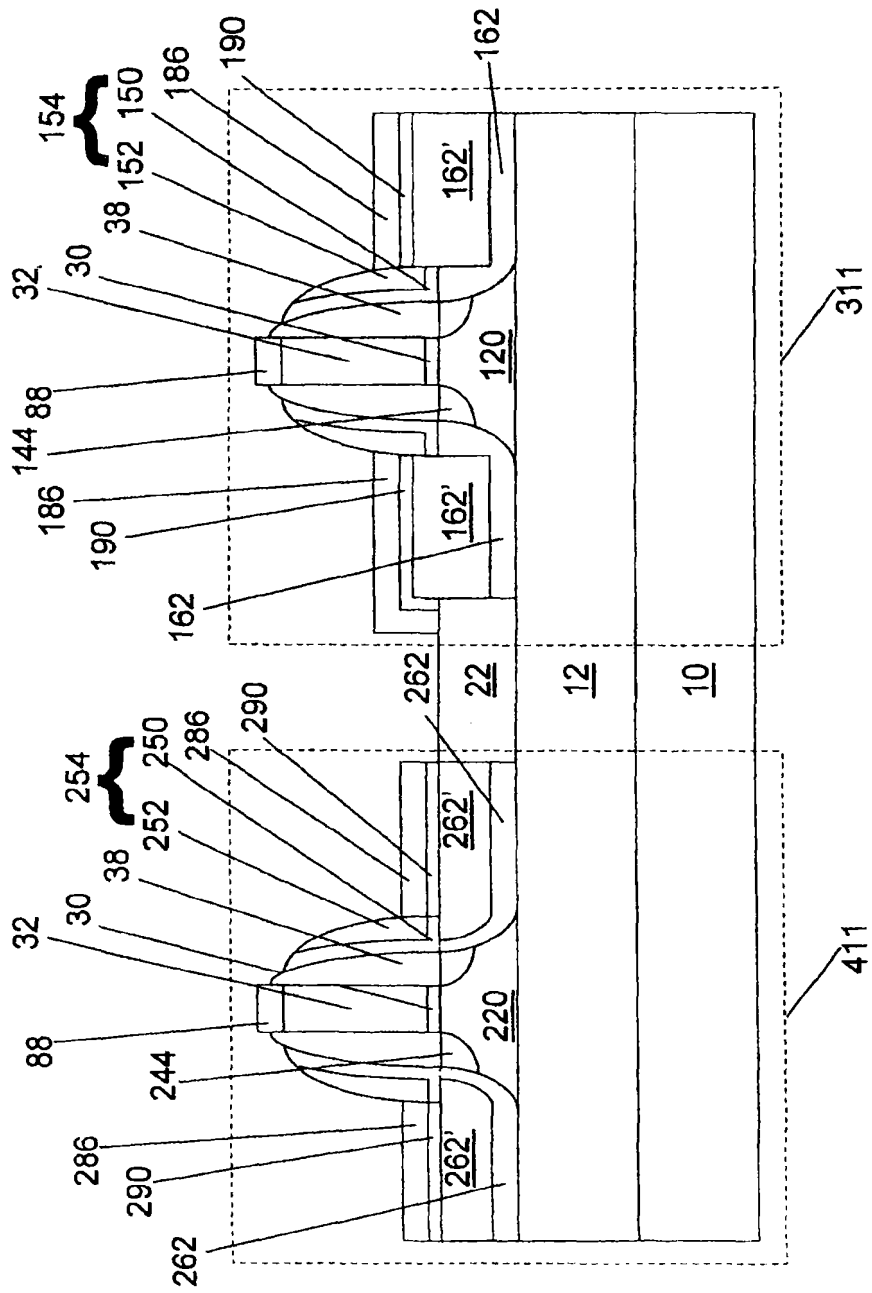


图 12

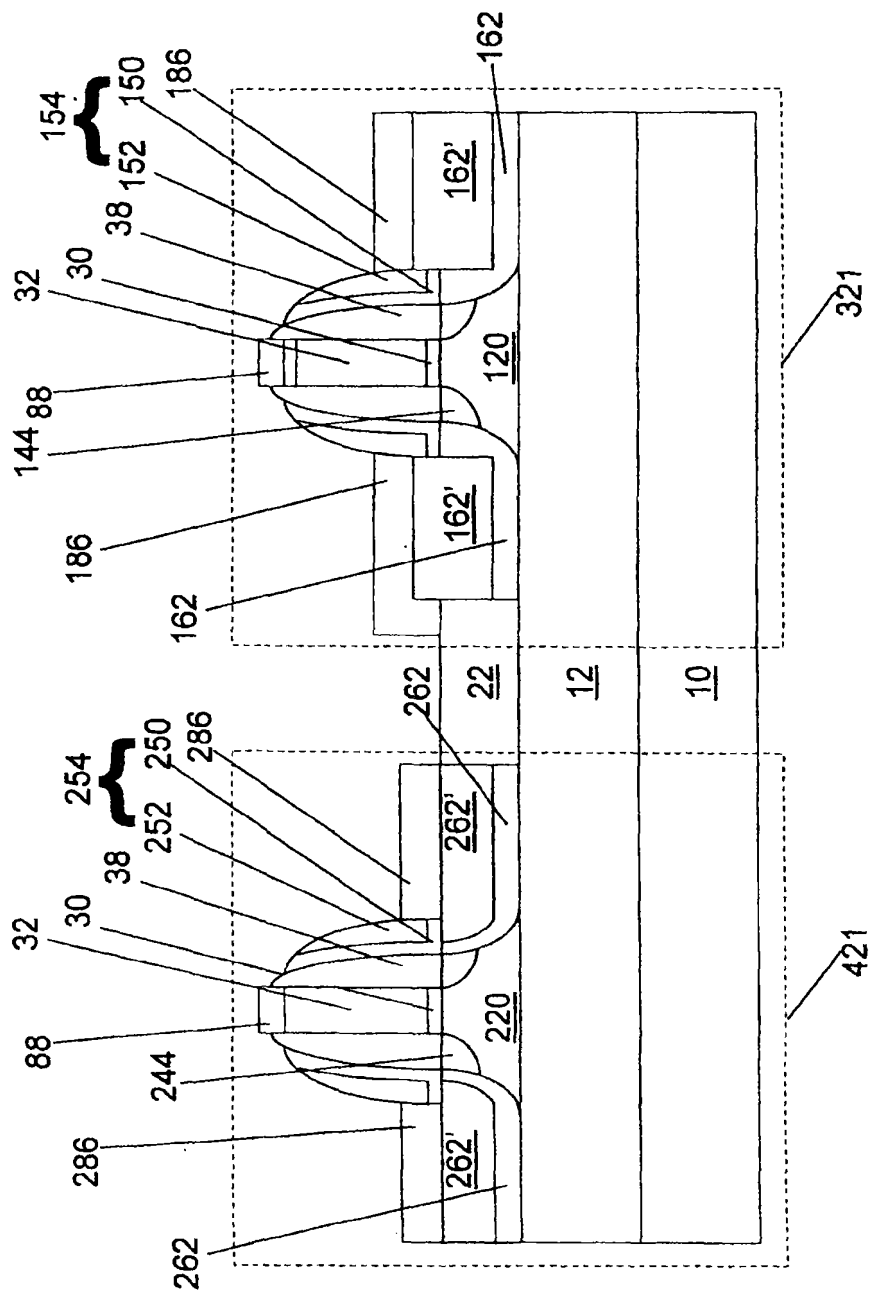


图 13



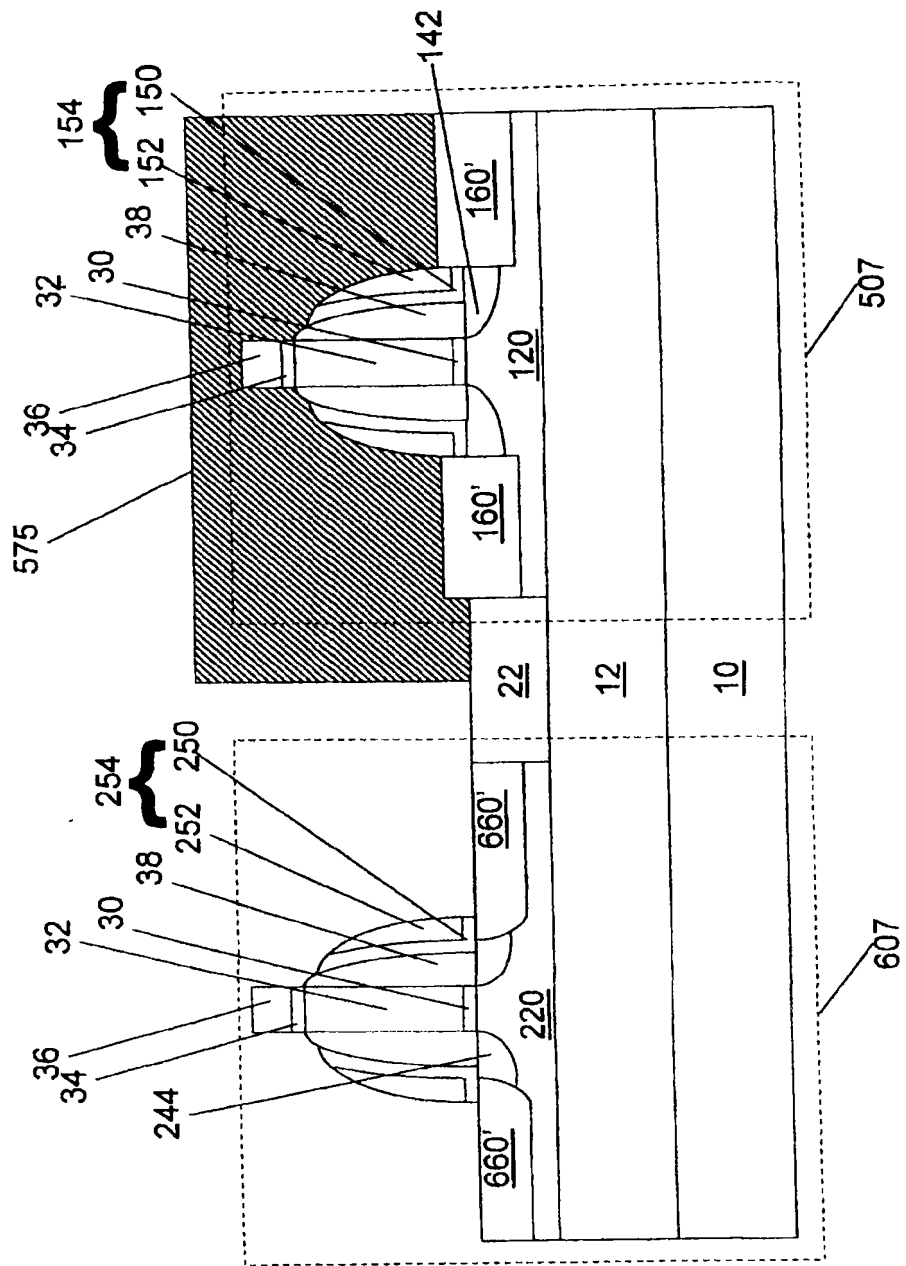


图 14

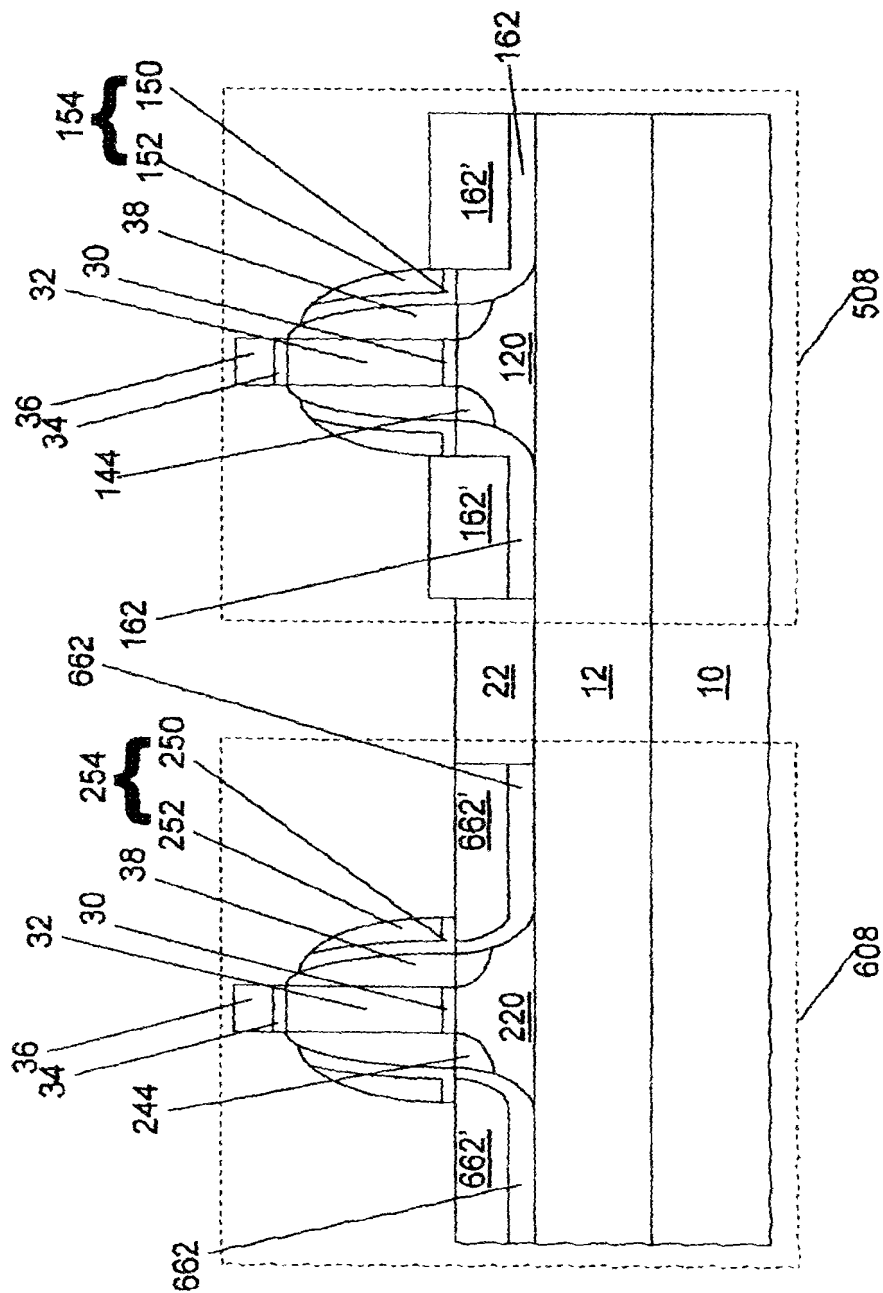


图 15

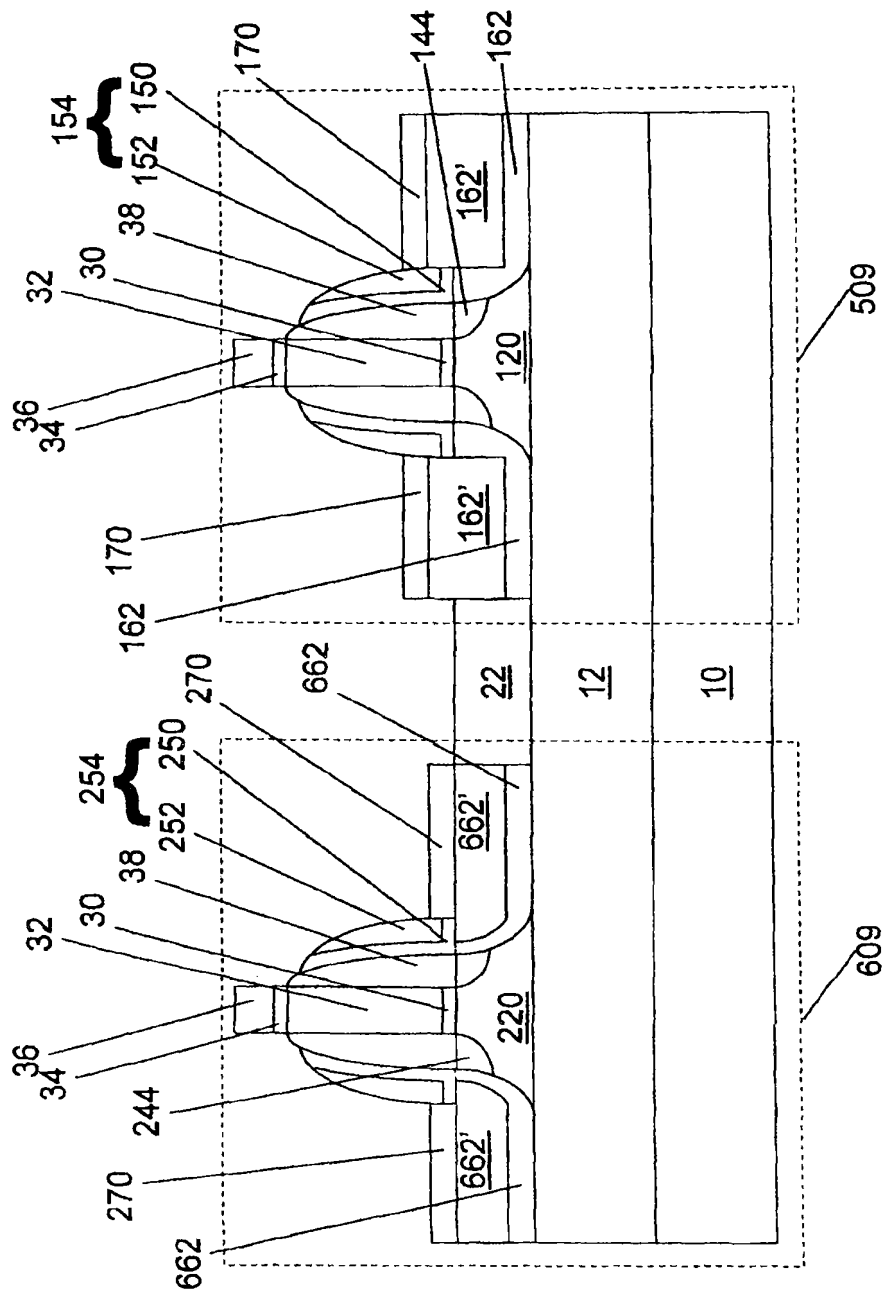


图 16

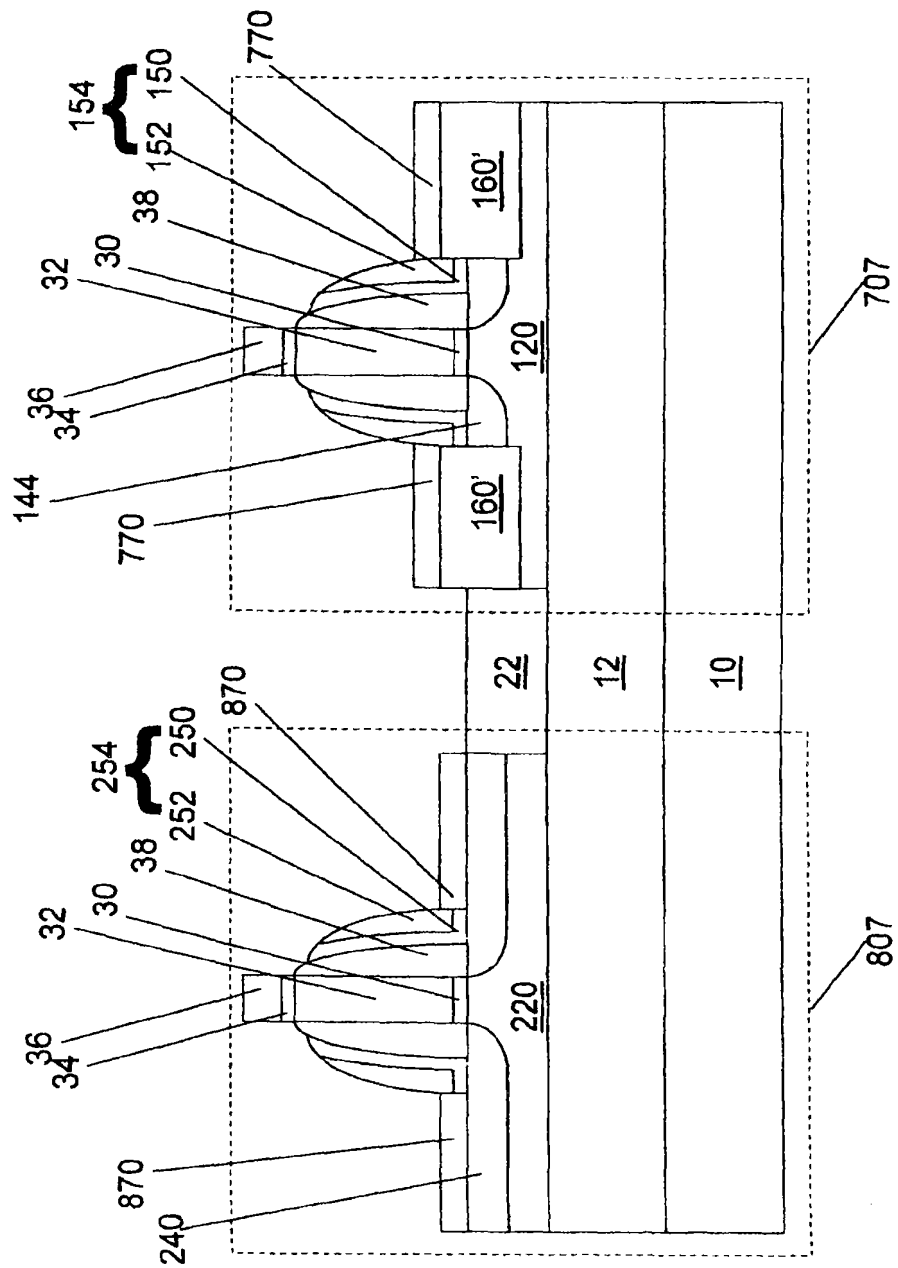


图 17

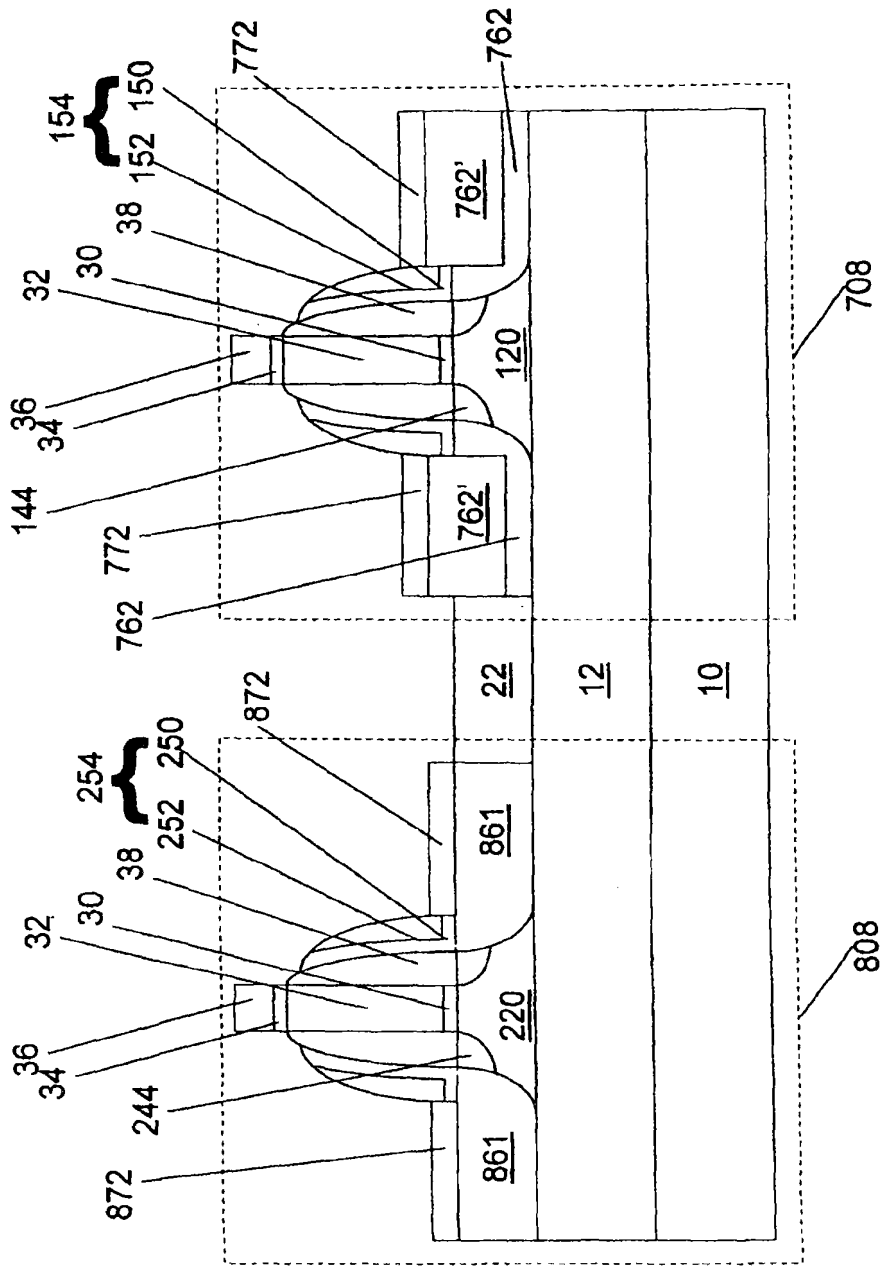


图 18

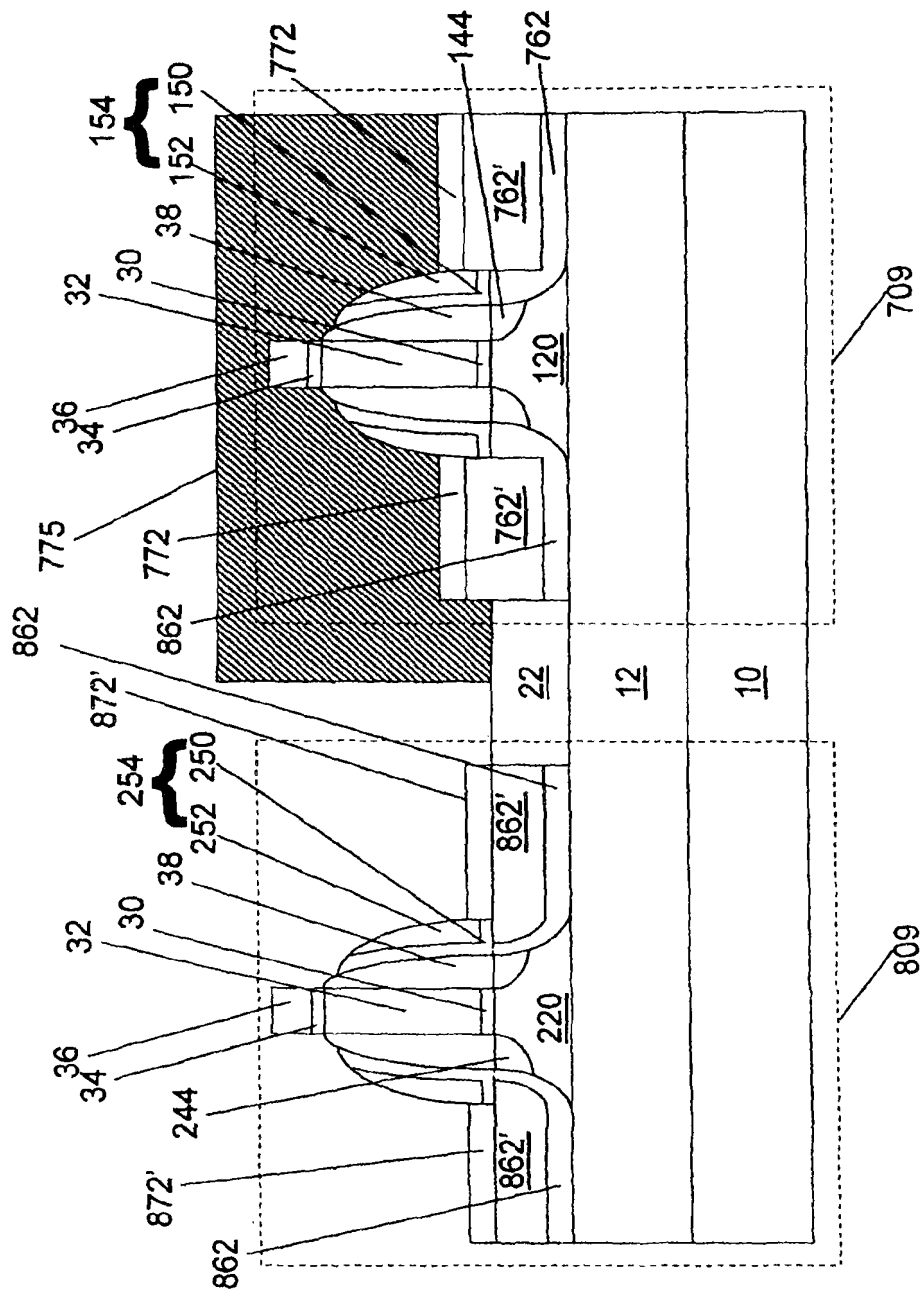


图 19

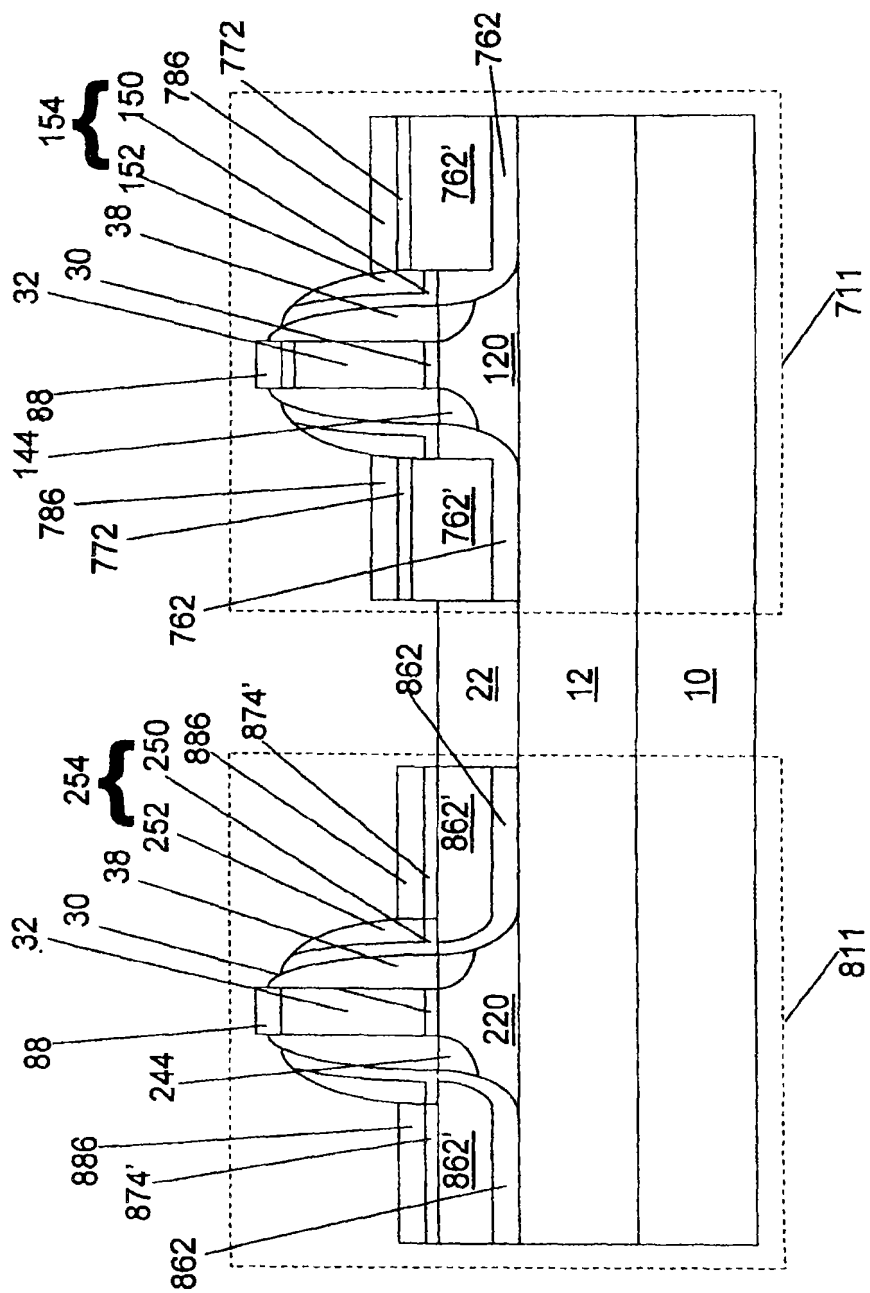


图 20

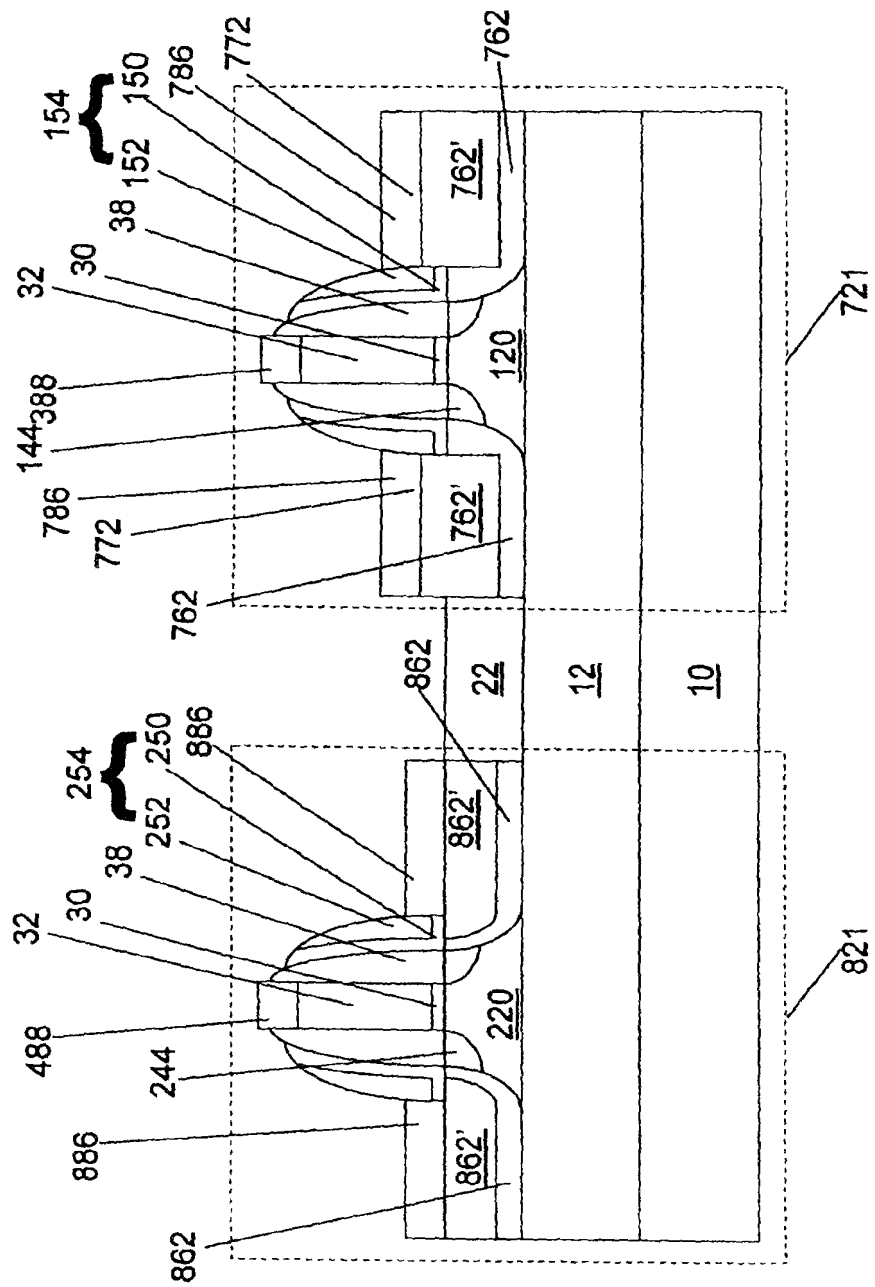


图 21



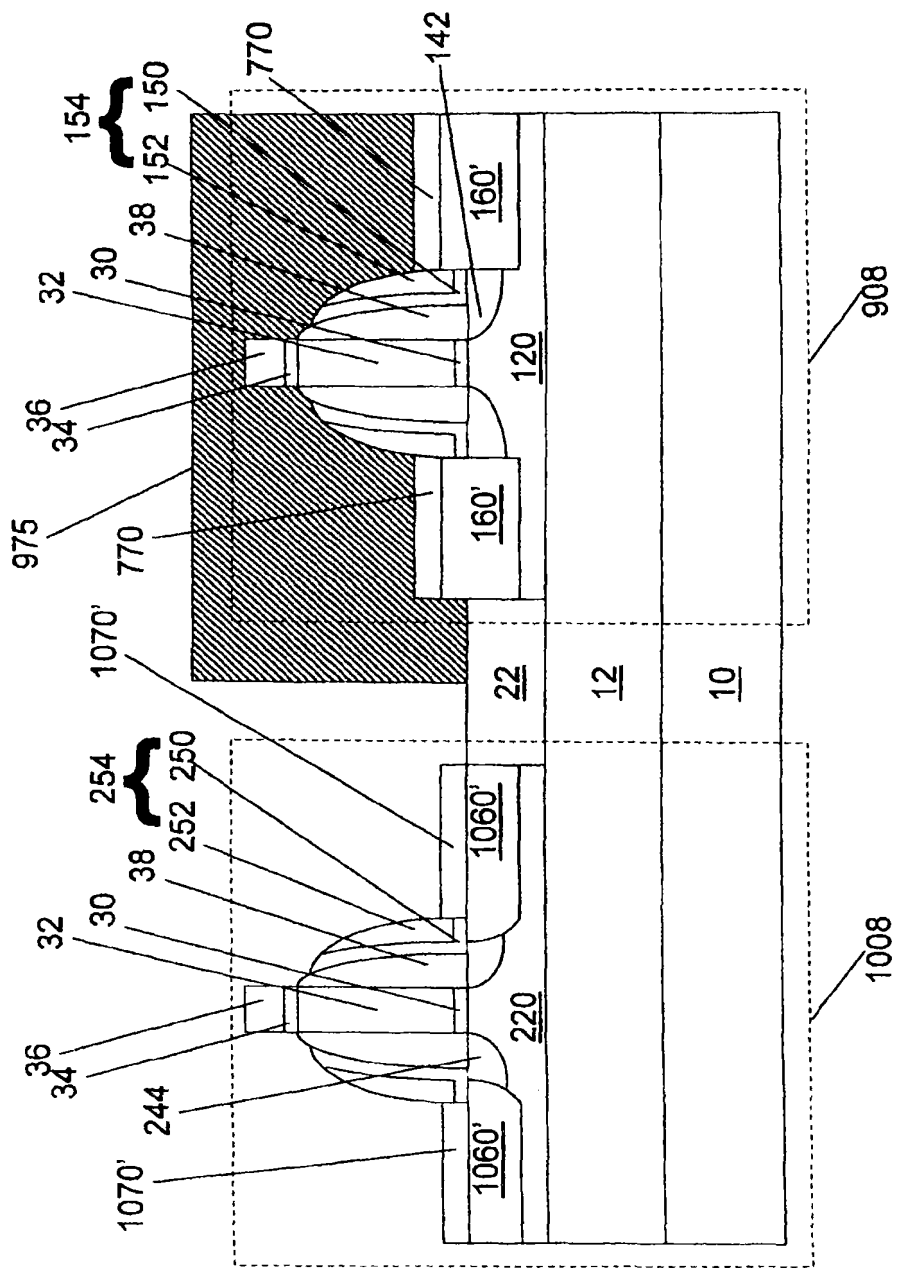


图 22

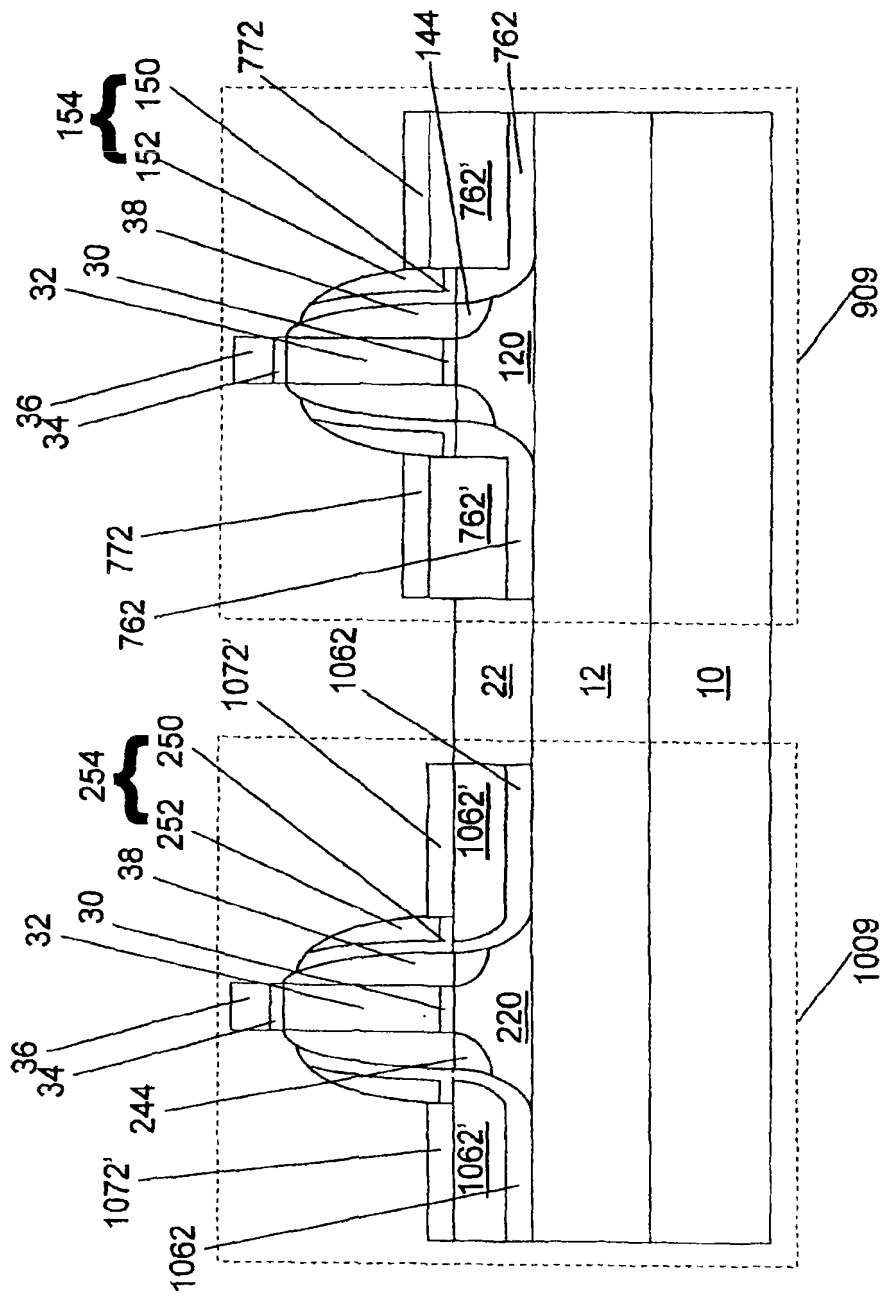


图 23