

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
07. September 2018 (07.09.2018)



(10) Internationale Veröffentlichungsnummer
WO 2018/158263 A1

(51) Internationale Patentklassifikation:

H01L 33/00 (2010.01) H01L 33/38 (2010.01)
H01L 33/20 (2010.01) H01L 33/44 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2018/054834

(22) Internationales Anmeldedatum:
27. Februar 2018 (27.02.2018)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2017 104 282.2
01. März 2017 (01.03.2017) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: EBBECKE, Jens; Am Doppelfeld 7, 93352
Rohr in Niederbayern (DE). TAEGER, Sebastian; Tho-
mas-Dehler-Str. 7, 93077 Bad Abbach (DE).

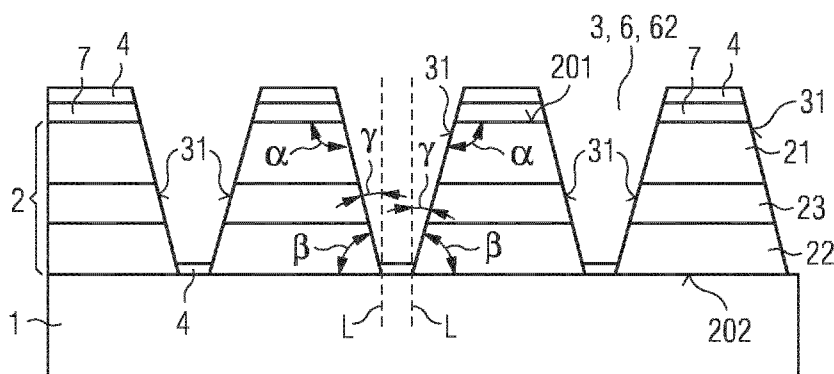
(74) Anwalt: EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH; Schlossschmidstr. 5,
80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) Title: METHOD FOR THE SELF-ADJUSTED EXPOSURE OF SIDE SURFACES OF A SEMICONDUCTOR BODY

(54) Bezeichnung: VERFAHREN ZUR SELBSTJUSTIERTEN FREILEGUNG VON SEITENFLÄCHEN EINES
HALBLEITERKÖRPERS

FIG 1E



(57) Abstract: The invention relates to a method for exposing side surfaces (31) of a semiconductor body (2), in which method the semiconductor body (2) comprising a first main surface (201) that extends laterally is provided. A plurality of vertical side surfaces (31) is formed by partially ablating material of the semiconductor body (2) and the first main surface (201) being removed thereby in regions, wherein the side surfaces (31) each form an angle (α) of between 110° and 160° inclusive with the remaining first main surface (201). A protective layer (4) is applied to the semiconductor body (2) such that the protective layer (4) as viewed from above completely covers the remaining first main surface (201) and the obliquely formed side surfaces (31). The protective layer (4) is then removed in regions, wherein the protective layer (4), during a joint method step because of the inclination, is removed in regions on the obliquely formed side faces (31) and is preserved in regions on the remaining first main surface (201) at least in part.

(57) Zusammenfassung: Es wird ein Verfahren zur Freilegung von Seitenflächen (31) eines Halbleiterkörpers (2) angegeben, bei dem der Halbleiterkörper (2) aufweisend eine sich lateral erstreckende erste Hauptfläche (201) bereitgestellt wird. Eine Mehrzahl von vertikalen Seitenflächen (31) wird ausgebildet, indem Material des Halbleiterkörpers (2) teilweise abgetragen wird und die erste Hauptfläche (201) dadurch bereichsweise entfernt wird, wobei die Seitenflächen (31) jeweils mit der verbleibenden ersten Hauptfläche (201) einen Winkel (α) zwischen einschließlich 110° und 160° bilden. Eine Schutzschicht (4) wird auf den Halbleiterkörper (2) aufgebracht, sodass die Schutzschicht (4) in Draufsicht die verbleibende erste Hauptfläche (201) und die schräg ausgebildeten Seitenflächen (31) vollständig bedeckt. Anschließend wird die Schutzschicht (4) bereichsweise entfernt, wobei die Schutzschicht (4) während eines ge-

[Fortsetzung auf der nächsten Seite]

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Beschreibung

VERFAHREN ZUR SELBSTJUSTIERTEN FREILEGUNG VON SEITENFLÄCHEN
EINES HALBLEITERKÖRPERS

5

Es wird ein Verfahren zur selbstjustierten Freilegung von Seitenflächen eines Halbleiterkörpers angegeben.

10

Bei der Herstellung von Halbleiterbauelementen ist es oft zweckmäßig, nur Seitenflächen eines Halbleiterkörpers freizulegen, sodass der Halbleiterkörper zum Beispiel in nachfolgenden Herstellungsschritten ausschließlich an den Seitenflächen weiterbehandelt werden kann, während der Rest des Halbleiterkörpers etwa von einer Schutzschicht bedeckt bleibt und so vor äußeren Einflüssen geschützt wird.

15

Eine Aufgabe ist es, ein effizientes Verfahren anzugeben, bei dem die Seitenflächen eines Halbleiterkörpers zumindest zeitweise gesondert behandelbar sind.

20

25

30

In mindestens einer Ausführungsform eines Verfahrens zur Freilegung von Seitenflächen eines Halbleiterkörpers wird der Halbleiterkörper bereitgestellt. Der Halbleiterkörper weist eine sich lateral erstreckende erste Hauptfläche auf, die insbesondere eben ausgebildet ist. Eine Mehrzahl von vertikalen Seitenflächen wird ausgebildet, indem Material des Halbleiterkörpers teilweise abgetragen wird. Insbesondere wird die erste Hauptfläche dabei bereichsweise entfernt. Die Seitenflächen werden derart gebildet, dass sie jeweils mit der verbleibenden ersten Hauptfläche einen Winkel zwischen einschließlich 110° und 160° bilden. Die Seitenflächen bilden mit einem senkrechten Lot auf der ersten insbesondere ebenen Hauptfläche somit einen Winkel zwischen einschließlich 20°

und 70°. Die Seitenflächen verlaufen also nicht senkrecht oder im Wesentlichen senkrecht sondern schräg zu der ersten Hauptfläche des Halbleiterkörpers.

5 Gemäß zumindest einer Ausführungsvariante des Verfahrens wird eine Schutzschicht auf den Halbleiterkörper aufgebracht, sodass die Schutzschicht in Draufsicht die verbleibende erste Hauptfläche und die schräg ausgebildeten Seitenflächen insbesondere vollständig bedeckt. In einem nachfolgenden
10 Verfahrensschritt wird die Schutzschicht teilweise entfernt, wobei die Schutzschicht etwa allein wegen deren lokaler unterschiedlicher Orientierungen auf dem Halbleiterkörper derart entfernt werden kann, dass die Schutzschicht insbesondere während eines gemeinsamen Verfahrensschritts
15 aufgrund der Neigung in Bereichen auf den schräg ausgebildeten Seitenflächen vollständig oder im Wesentlichen vollständig entfernt wird und in Bereichen auf der verbleibenden ersten Hauptfläche zumindest teilweise erhalten bleibt. Mit anderen Worten werden die Seitenflächen des
20 Halbleiterkörpers dadurch selbstjustiert von der Schutzschicht freigelegt, während andere Bereiche des Halbleiterkörpers weiterhin von der Schutzschicht bedeckt bleiben. Die freigelegten Seitenflächen können anschließend gesondert behandelt, etwa weiterstrukturiert oder passiviert
25 werden. Über die freigelegten Seitenflächen können Zusatzstoffe, Teilchen oder Ionen in den Halbleiterkörper eindiffundiert werden.

Die Seitenflächen können dabei innere oder äußere
30 Seitenflächen des Halbleiterkörpers sein. Unter einer inneren Seitenfläche wird eine Innerfläche des Halbleiterkörpers verstanden, die in lateralen Richtungen von dem Halbleiterkörper zumindest teilweise oder vollumfänglich

umschlossen ist. Die innere Seitenfläche kann eine Innenwand einer Öffnung sein, etwa in Form einer Aussparung, also eines Durchbruchs durch den Halbleiterkörper hindurch, oder in Form einer Ausnehmung, also eines Sacklochs in dem Halbleiterkörper. Beispielsweise ist die Öffnung zur Ausbildung einer Durchkontaktierung in dem Halbleiterkörper oder zur Ausbildung eines Trenngrabens bzw. eines Mesagrabens vorgesehen, wobei sich der Trenn- oder Mesagaben entlang der gesamten lateralen Ausdehnung des Halbleiterkörpers etwa zur Unterteilung des Halbleiterkörpers in eine Mehrzahl von Hauptkörpern erstrecken kann. Es kann eine Mehrzahl von solchen Öffnungen erzeugt werden. Als äußere Seitenfläche wird eine Außenfläche des Halbleiterkörpers verstanden, die sich etwa an einem Rand des Halbleiterkörpers befindet und den Halbleiterkörper zumindest in einer lateralen Richtung begrenzt.

Unter einer lateralen Richtung wird eine Richtung verstanden, die entlang, insbesondere parallel zu der ersten Hauptfläche des Halbleiterkörpers verläuft. Unter einer vertikalen Richtung wird eine Richtung verstanden, die quer, insbesondere senkrecht oder im Wesentlichen senkrecht zu der ersten Hauptfläche des Halbleiterkörpers und somit zu den lateralen Richtungen gerichtet ist. Der Halbleiterkörper kann eine Halbleiterschichtenfolge aufweisen, die epitaktisch auf einem Aufwachssubstrat aufgewachsen ist. Zum Beispiel ist die vertikale Richtung durch eine Aufwachsrichtung des Halbleiterkörpers vorgegeben.

Gemäß zumindest einer Ausführungsform des Verfahrens ist die erste Hauptfläche eben ausgebildet. Unter einer ebenen Hauptfläche wird eine Fläche verstanden, die flach ausgebildet ist und kaum oder keine abrupt ändernden

vertikalen Unterschiede aufweist. Eine solche ebene Hauptfläche kann jedoch im Rahmen der Herstellungstoleranzen geringere lokale vertikale Rauigkeiten in Form von Erhebungen oder Vertiefungen aufweisen. Die Seitenflächen des

5 Halbleiterkörpers sind bevorzugt zumindest bereichsweise eben, also lokal eben ausgebildet. Global betrachtet können die Seitenflächen insgesamt gekrümmt sein. Im Zweifel wird der Winkel zwischen der Seitenfläche und der ersten Hauptfläche durch einen lokalen Winkel zwischen der

10 zugehörigen zumindest lokal als eben approximierten Seitenfläche und der als eben approximierten ersten Hauptfläche bestimmt.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die

15 Schutzschicht durch einen gemeinsamen Ätzschritt lokal selbstjustiert entfernt, wobei die Schutzschicht allein aufgrund höherer Ätzrate auf den schräg ausgebildeten Seitenflächen entfernt wird und die Schutzschicht gleichzeitig aufgrund niedrigerer Ätzrate auf der

20 verbleibenden ersten Hauptfläche dort erhalten bleibt und dabei zum Beispiel lediglich gedünnt wird. Aufgrund der Neigung sind die schräg ausgebildeten Seitenflächen leicht zugänglich und können gezielt freigelegt werden.

25 Bevorzugt erfolgt der gemeinsame Ätzschritt durch Trockenätzen, etwa durch physikalisches, chemisches oder physikalisch-chemisches Trockenätzen. Das Trockenätzen umfasst unter anderem Gasphasen-, Plasma-, Laser-, Elektronenstrahl- und Ionenätzen, wobei das Ionenätzen

30 weiterhin reaktives Ionenätzen, Sputtern und reaktives sowie chemisch unterstütztes Ionenstrahlätzen umfasst. Beim Trockenätzen im Allgemeinen und beim Ionenätzen wie Sputtern im Speziellen wird Material der Schutzschicht insbesondere

durch gezieltes Einstellen der Ätzrate oder der lokalen Sputterausbeute lokal abgetragen. Das hier beschriebene Sputtern, bei dem Material einer Schicht etwa durch Beschuss mit Ionen abgetragen wird, ist von einer Sputterbeschichtung zu unterscheiden, bei der herausgeschlagene Atome auf einer Oberfläche ablagern und eine neue Schicht bilden.

Es hat sich herausgestellt, dass die lokale Ätzrate oder die lokale Sputterausbeute allein aufgrund unterschiedlicher Orientierungen der Schutzschicht auf den schräg ausgebildeten Seitenflächen und auf der ersten insbesondere ebenen Hauptfläche des Halbleiterkörpers derart einstellbar ist, dass die Schutzschicht ausschließlich auf den schräg ausgebildeten Seitenflächen zur bereichsweisen Freilegung des Halbleiterkörpers entfernt wird, jedoch gleichzeitig auf der ersten Hauptfläche erhalten bleibt.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Schutzschicht aus einem elektrisch isolierenden Material gebildet, etwa aus Al_2O_3 , SiO_2 , SiN , Ta_2O_5 , AlN , TiO_2 , ZrO_2 , HfO_2 oder aus einem anderen Material mit ähnlichen Materialeigenschaften. Das Aufbringen der Schutzschicht auf den Halbleiterkörper kann durch ein Beschichtungsverfahren, etwa durch Besputtern (PVD: Physical Vapour Deposition), Atomlagenabscheidung (ALD: Atomic Layer Deposition) oder chemische Gasphasenabscheidung (CVD: Chemical Vapour Deposition), insbesondere durch plasmaunterstützte chemische Gasphasenabscheidung (PECVD: Plasma Enhanced Chemical Vapour Deposition) erfolgt werden.

Bevorzugt wird die Schutzschicht aus Al_2O_3 gebildet, wobei die Seitenflächen anschließend durch ein Argon-unterstütztes Trockenätzverfahren freigelegt werden. Es wurde festgestellt,

dass dieser Trockenätzprozess eine deutlich höhere Ätzrate für Al₂O₃ auf den schräg ausgebildeten Seitenflächen aufweist als für Al₂O₃ auf horizontalen Oberflächen der Schutzschicht. Während eines gemeinsamen Verfahrensschritts führt dies dazu, dass die Seitenflächen von der Schutzschicht befreit werden, während die horizontalen Oberflächen, zum Beispiel die lateralen Oberflächen des Halbleiterkörpers, weiterhin von der Schutzschicht bedeckt bleiben.

10 Gemäß zumindest einer Ausführungsform des Verfahrens werden die Seitenflächen, die von der Schutzschicht insbesondere vollständig bedeckt sind, während des Schritts zur teilweisen Entfernung der Schutzschicht freigelegt. Nach der teilweisen Entfernung der Schutzschicht kann ein elektrisch isolierendes

15 Material auf die freigelegten Seitenflächen aufgebracht werden, sodass diese von einer Passivierungsschicht aus dem elektrisch isolierenden Material bedeckt sind. Die freigelegten Seitenflächen grenzen somit insbesondere unmittelbar an die Passivierungsschicht an. Das Ausbilden der

20 Passivierungsschicht auf den freigelegten Seitenflächen kann durch ein Beschichtungsverfahren erfolgt werden, zum Beispiel durch Atomlagenabscheidung oder durch Gasphasenabscheidung. Insbesondere weisen die Passivierungsschicht und die Schutzschicht unterschiedliche Materialien auf. Bevorzugt ist

25 die Passivierungsschicht aus einem Material gebildet, das ätzresistenter ist als ein Material der Schutzschicht. Zweckmäßig kann die Schutzschicht in einem nachfolgenden Verfahrensschritt, etwa nach dem Aufbringen der Passivierungsschicht, von dem Halbleiterkörper vollständig

30 entfernt werden.

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Maske bei der Ausbildung der Mehrzahl von vertikalen

Seitenflächen des Halbleiterkörpers verwendet. Die Maske kann eine Mehrzahl von Fenstern aufweisen, wobei die schräg ausgebildeten Seitenflächen zumindest teilweise in Bereichen der Fenster und/oder seitlich der Maske erzeugt werden. Vor dem Aufbringen der Maske auf den Halbleiterkörper kann die erste Hauptfläche freiliegend sein. Nach dem großflächigen Aufbringen der Schutzschicht können/kann die erste Hauptfläche und/oder die Maske von der Schutzschicht bedeckt, etwa vollständig bedeckt werden.

Gemäß zumindest einer Ausführungsform des Verfahrens werden Öffnungen in den Halbleiterkörper erzeugt. Der Halbleiterkörper weist eine zweite Hauptfläche auf, die der ersten Hauptfläche abgewandt ist. Insbesondere begrenzen die erste und die zweite Hauptfläche den Halbleiterkörper in der vertikalen Richtung. Die Öffnungen können mit zunehmenden Abstand von der ersten Hauptfläche zur zweiten Hauptfläche hin jeweils einen kleiner werdenden Querschnitt aufweisen. Das heißt, die Öffnungen sind von der ersten Hauptfläche zur zweiten Hauptfläche hin verjüngt. Dabei können Öffnungen eine spitz zulaufende Form, etwa die Form eines Kegels, einer Pyramide oder eines Prismas mit einem Dreieck als Grundfläche aufweisen. Es ist auch möglich, dass die Öffnungen die Form eines Kegelstumpfs, eines Pyramidenstumpfs oder eines Prismas mit einem Viereck, insbesondere mit einem Trapez als Grundfläche aufweist. Die schräg ausgebildeten Seitenflächen können dabei Innenwände der Öffnungen sein.

Entlang der vertikalen Richtung können sich die Öffnungen durch den Halbleiterkörper hindurch erstrecken, etwa von der ersten Hauptfläche bis zu der zweiten Hauptfläche des Halbleiterkörpers. In diesem Fall sind die Öffnungen als Aussparungen gebildet, wobei die Bodenflächen der Öffnungen

Oberflächen eines Substrats sein können, auf dem der Halbleiterkörper angeordnet ist. Das Substrat kann ein Aufwachssubstrat oder verschieden von einem Aufwachssubstrat sein. Es ist möglich, dass einige oder alle Öffnungen jeweils
5 als Ausnahme, also als Sackloch in dem Halbleiterkörper gebildet sind. In diesem Fall erstrecken sich die Öffnungen etwa von der ersten Hauptfläche bis zu einem Punkt, einer Linie oder einer Fläche zwischen der ersten und der zweiten Hauptfläche des Halbleiterkörpers.

10

Gemäß zumindest einer Ausführungsvariante des Verfahrens sind die Seitenflächen durch Innenwände von Öffnungen gebildet, wobei die Öffnungen voneinander lateral beabstandet und jeweils von dem Halbleiterkörper in lateralen Richtungen
15 umschlossen, insbesondere vollumfänglich umschlossen sind. Alternativ oder ergänzend ist es möglich, dass der Halbleiterkörper schräg ausgebildete Seitenflächen aufweist, die durch Seitenflanken von Öffnungen gebildet sind, wobei die Öffnungen als Gräben, insbesondere als Trenngräben
20 ausgebildet werden und sich entlang der gesamten lateralen Ausdehnung des Halbleiterkörpers erstrecken. Durch solche Gräben kann der Halbleiterkörper in eine Mehrzahl von voneinander lateral beabstandeten Teilbereichen unterteilt werden, die jeweils einen Hauptkörper eines Bauelements, etwa
25 eines optoelektronischen Bauelements, bilden können.

30

Gemäß zumindest einer Ausführungsform des Verfahrens erstrecken sich die Seitenflächen entlang der vertikalen Richtung von der ersten Hauptfläche zu einer Bodenfläche, die
insbesondere eben ausgebildet ist und parallel zu der ersten Hauptfläche verläuft. Die ebene Bodenfläche kann eine Oberfläche eines Substrats sein, die etwa bei der Ausbildung der zugehörigen Öffnung freigelegt wird. In diesem Fall

befindet sich die Bodenfläche etwa auf derselben vertikalen Höhe von der zweiten Hauptfläche des Halbleiterkörpers. Alternativ ist es möglich, dass die ebene Bodenfläche in der vertikalen Richtung zwischen der ersten Hauptfläche und der
5 zweiten Hauptfläche angeordnet ist.

Gemäß zumindest einer Ausführungsform des Verfahrens erstrecken sich die schräg ausgebildeten Seitenflächen nicht über die gesamte vertikale Ausdehnung des Halbleiterkörpers. Solche Seitenflächen können durch Innenwände von Öffnungen
10 etwa in Form von Ausnehmungen des Halbleiterkörpers gebildet sein. Die Ausnehmungen können in diesem Fall jeweils eine Bodenfläche aufweisen, die durch eine freigelegte Oberfläche einer Halbleiterschicht des Halbleiterkörpers gebildet ist.

15 Zum Beispiel weist der Halbleiterkörper eine Halbleiterschicht, eine weitere Halbleiterschicht und eine dazwischen angeordnete aktive Schicht auf. Die Ausnehmung kann sich durch die eine Halbleiterschicht und die aktive Schicht hindurch zu der weiteren Halbleiterschicht
20 erstrecken. Nach der Passivierung der Seitenflächen können die Ausnehmungen mit einem elektrisch leitfähigen Material, etwa mit einem Metall wie Kupfer, Nickel, Silber oder Gold, zur elektrischen Kontaktierung der weiteren Halbleiterschicht
25 aufgefüllt werden. Alternativ oder ergänzend ist es möglich, dass die Seitenflächen einiger oder aller Ausnehmungen durch teilweises Entfernen der Schutzschicht freigelegt werden. Zumindest einige oder alle Ausnehmungen können in einem
nachfolgenden Verfahrensschritt zu Aussparungen durch den
30 Halbleiterkörper hindurch ausgebildet werden. Hierfür eignet sich auch ein nass-chemisches Ätzverfahren, da die übrigen Bereiche des Halbleiterkörpers weiterhin von der

Schutzschicht bedeckt und so vor einem Ätzmittel geschützt bleiben.

Weitere Vorteile, bevorzugte Ausführungsformen und

5 Weiterbildungen des Verfahrens ergeben sich aus den im Folgenden in Verbindung mit den Figuren 1A bis 7 erläuterten Ausführungsbeispielen. Es zeigen:

Figuren 1A, 1B, 1C, 1D, 1E und 1F schematische
10 Schnittansichten verschiedener Verfahrensstadien eines Ausführungsbeispiels insbesondere zur Bearbeitung eines Halbleiterkörpers,

Figuren 2A, 2B, 3A, 3B, 3C, 3D, 4A und 4B schematische
15 Schnittansichten einiger Verfahrensstadien weiterer Ausführungsbeispiele insbesondere zur Bearbeitung eines Halbleiterkörpers,

Figuren 5A, 5B und 5C schematische Darstellungen eines
20 Halbleiterkörpers jeweils in Draufsicht,

Figur 6 schematische Darstellung eines Bauelements, und

Figur 7 einen Ausschnitt des Halbleiterkörpers mit einer
25 schräg ausgebildeten Seitenfläche.

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit gleichen Bezugszeichen versehen. Die Figuren sind jeweils schematische Darstellungen und daher nicht
30 unbedingt maßstabsgetreu. Vielmehr können vergleichsweise kleine Elemente und insbesondere Schichtdicken beispielsweise an Stufenübergängen der Schichten zur Verdeutlichung übertrieben groß dargestellt sein.

In Figur 1A ist ein Halbleiterverbund, etwa ein Waferverbund dargestellt. Der Halbleiterverbund weist einen Halbleiterkörper 2 auf, der auf einem Substrat 1 angeordnet ist. Das Substrat 1 kann ein Aufwachssubstrat, etwa ein Saphirsubstrat sein. Insbesondere ist der Halbleiterkörper 2 mittels eines Epitaxie-Verfahrens schichtenweise auf das Substrat 1 abgeschieden. Es ist möglich, dass das Substrat 1 verschieden von einem Aufwachssubstrat ist. Zum Beispiel ist der Halbleiterkörper 2 vor oder nach einer Mesaätzung von einem Aufwachssubstrat etwa durch ein Laserabhebeverfahren (LLO: Laser Lift-Off) oder durch ein Ätzverfahren abgetrennt und auf dem Substrat 1 umgebondet. Der Halbleiterkörper 2 kann Bestandteil eines einzigen Halbleiterchips sein.

Der Halbleiterkörper 2 kann aus einem III/V-oder II/VI-Verbindungshalbleitermaterial gebildet sein. Ein III/V-Verbindungshalbleitermaterial weist ein Element aus der dritten Hauptgruppe und ein Element aus der fünften Hauptgruppe auf. Ein II/VI-Verbindungshalbleitermaterial weist ein Element aus der zweiten Hauptgruppe und ein Element aus der sechsten Hauptgruppe auf. Zum Beispiel ist der Halbleiterkörper 2 auf GaN, InGaN oder auf InAlP basiert.

Der Halbleiterkörper 2 weist eine dem Substrat 1 abgewandte erste Hauptfläche 201 und eine dem Substrat 1 zugewandte zweite Hauptfläche 202 auf. Insbesondere ist die erste Hauptfläche 201 durch eine Oberfläche einer ersten Halbleiterschicht 21 und die zweite Hauptfläche 202 durch eine Oberfläche einer zweiten Halbleiterschicht 22 des Halbleiterkörpers 2 gebildet. Die erste Hauptfläche 201 und/oder die zweite Hauptfläche 202 können/kann im Rahmen der Herstellungstoleranzen eben beziehungsweise flach ausgebildet sein. Zum Beispiel ist die erste Halbleiterschicht 21 p-

leitend und die zweite Halbleiterschicht 22 n-leitend ausgebildet, oder umgekehrt. Der Halbleiterkörper 2 weist eine aktive Schicht 23 auf, die zwischen der ersten Halbleiterschicht 21 und der zweiten Halbleiterschicht 22 angeordnet ist. Insbesondere ist die aktive Schicht 23 zur Emission oder zur Detektion von elektromagnetischen Strahlungen etwa im sichtbaren, ultravioletten oder im infraroten Spektralbereich eingerichtet.

Es wird in Figur 1B eine Maske 7 auf den Halbleiterkörper 2, insbesondere unmittelbar auf die erste Hauptfläche 201 aufgebracht. Die Maske 7 weist eine Mehrzahl von Fenstern 71 auf. In den Bereichen der Fenster 71 ist die erste Hauptfläche 201 freiliegend und somit zugänglich. Die Maske 7 kann eine Lackmaske sein, die aus einem positiven oder negativen Photolack gebildet ist, wobei der Photolack zur Ausbildung der Maske 7 mit den Fenstern 71 bereichsweise belichtet und bereichsweise nicht belichtet wird. Die Maske 7 kann eine ausgehärtete SiO₂-Maske sein. Außerdem ist es möglich, dass die Maske 7 mit den Fenstern 71 vorgefertigt hergestellt ist und bereits beim Aufbringen auf den Halbleiterkörper 2 eine Mehrzahl von Fenstern 71 aufweist. Die Maske 7 weist eine vertikale Schichtdicke auf, die zwischen einschließlich 10 nm und 10 µm, etwa zwischen einschließlich 1 µm und 10 µm, 1 µm und 4 µm oder auch zwischen einschließlich 30 nm und 1 µm, 30 nm und 150 nm, zum Beispiel zwischen 60 nm und 90 nm sein kann.

Gemäß Figur 1C wird eine Mehrzahl von vertikalen Seitenflächen 31 des Halbleiterkörpers 2 insbesondere mit Hilfe der Maske 7 gebildet. Dabei werden die Seitenflächen 31 schräg zu der ersten Hauptfläche 201 und/oder zweiten Hauptfläche 202 erzeugt. Die schräg ausgebildeten

Seitenflächen 31 befinden sich in der Figur 1C in den Bereichen der Fenster 71 oder seitlich der Maske 7, wobei die in den Bereichen der Fenster 71 befindlichen Seitenflächen 31 als innere Seitenflächen und die seitlich der Maske 7 befindlichen Seitenflächen 31 als äußere Seitenflächen 31 des Halbleiterkörpers 2 bezeichnet werden.

Zur Erzeugung der schrägen Seitenflächen 31, insbesondere der inneren Seitenflächen 31, wird eine oder eine Mehrzahl von Öffnungen 3 in den Halbleiterkörper 2 hinein erzeugt. In der Figur 1C erstrecken sich die Öffnungen 3 von der ersten Hauptfläche 201 entlang der vertikalen Richtung bis zu der zweiten Hauptfläche 202, also durch den Halbleiterkörper 2 hindurch. Solche Öffnungen 3 werden als Aussparungen 62 des Halbleiterkörpers 2 genannt. Durch das Ausbilden der Aussparungen 62 kann das Substrat 1 in den Öffnungen 3 bereichsweise freigelegt sein. Das Substrat 1 weist eine dem Halbleiterkörper 2 zugewandte Oberfläche auf, die etwa eben beziehungsweise flach ist und insbesondere die zweite Hauptfläche 202 des Halbleiterkörpers 2 definiert.

Abweichend von der Figur 1C ist es denkbar, dass die Öffnungen 3 derart ausgebildet werden, dass diese von der ersten Hauptfläche 201 lediglich bis zu der ersten Halbleiterschicht 21, bis zu der aktiven Schicht 23 oder bis zu der zweiten Halbleiterschicht 22 eindringen. In diesem Fall bilden die Öffnungen 3 jeweils eine Ausnehmung, das heißt ein Sackloch, in dem Halbleiterkörper 2. Es ist auch möglich, dass einige der Öffnungen 3 als Ausnehmungen und einige der weiteren Öffnungen 3 als Aussparungen gebildet sind.

Bei der Erzeugung der Öffnungen 3 wird Material des Halbleiterkörpers 3 abgetragen, wobei Teile der ersten Hauptfläche 201 entfernt werden. Hierfür kann ein nass-chemisches Ätzverfahren oder ein Trockenätzverfahren angewandt werden, etwa reaktives Ionentiefeätzen (DRIE) oder reaktives Ionenätzen (RIE) insbesondere mit Chlor oder Fluor als Ätzmittel. Alternativ kann auch ein mechanisches Verfahren zur Erzeugung der Öffnungen 3 angewandt werden. Die Öffnungen 3 können voneinander lateral beabstandet sein. In diesem Fall bilden die Innenwände von lateral beabstandeten Öffnungen 3 die inneren Seitenflächen 31, wobei die Öffnungen 3 in lateralen Richtungen von dem Halbleiterkörper 2 vollumfänglich umschlossen sind. Die Öffnungen 3 können als Trenngräben 6 ausgebildet sein, die sich entlang der gesamten lateralen Ausdehnung des Halbleiterkörpers 2 erstrecken. Durch die Trenngräben 6 kann der Halbleiterkörper 2 in eine Mehrzahl von lateral beabstandeten Hauptkörpern 20 unterteilt werden, wobei die Seitenflächen 31 Seitenflanken der Hauptkörper 20 sind.

Besonders bevorzugt werden die Seitenflächen 31 derart erzeugt, dass diese jeweils mit der verbleibenden ersten Hauptfläche 201 einen Winkel α zwischen einschließlich 110° und 160° bilden. Der Winkel α ist somit ein innerer Winkel im Halbleiterkörper 2 zwischen der Seitenfläche 31 und der ersten Hauptfläche 201. In Figur 1C bilden die Seitenflächen 31 jeweils mit der zweiten Hauptfläche 202 einen inneren Winkel β . Verlaufen die erste Hauptfläche 201 und die zweite Hauptfläche 202 parallel zueinander, beträgt die Summe aus α und β 180° . Der innere Winkel β ist somit bevorzugt zwischen einschließlich 70° und 20° . Die Öffnungen 3 weisen jeweils einen Querschnitt auf, der mit zunehmenden Abstand von der ersten Hauptfläche 201 zu der zweiten Hauptfläche 202 hin

abnimmt. In Figur 1C können die Öffnungen 3 jeweils die Form eines Kegelstumpfs, eines Pyramidenstumpfs oder eines länglichen Prismas mit einem gleichschenkligen Trapez als Grundfläche aufweisen.

5

Die relative Orientierung der Seitenfläche 31 zu der ersten Hauptfläche 201 oder zu der zweiten Hauptfläche 202 kann durch einen weiteren Winkel γ zwischen der Seitenfläche 31 und einem Lot L angegeben werden, der senkrecht zu der ersten oder zu der zweiten Hauptfläche des Halbleiterkörpers 2 gerichtet ist. Die Summe aus β und γ oder die Differenz aus α und γ beträgt somit 90° . Der weitere Winkel γ ist somit bevorzugt zwischen einschließlich 20° und 70° . In diesem Sinne sind die Seitenflächen 31 schräg ausgebildet.

10

Insbesondere kann der Winkel α zwischen einschließlich 110° und 150° , zwischen einschließlich 110° und 140° , zwischen einschließlich 120° und 160° oder zwischen einschließlich 130° und 160° sein. Dementsprechend kann der Winkel β oder der Winkel γ zwischen einschließlich 30° und 70° , zwischen einschließlich 40° und 70° , zwischen einschließlich 20° und 60° oder zwischen einschließlich 20° und 50° sein.

20

Es wird in der Figur 1D eine Schutzschicht 4 auf den Halbleiterkörper 2 derart aufgebracht, dass die Schutzschicht 4 flächig ausgebildet wird und dabei die Seitenflächen 31, insbesondere alle Seitenflächen 31 bedeckt. Hierfür eignet sich ein Beschichtungsverfahren wie Bedampfen, Sputtern, Atomlagenabscheidung oder Gasphasenabscheidung. In Draufsicht kann die Schutzschicht 4 den Halbleiterkörper 2, die Maske 7 und die in den Öffnungen 3 freigelegten Oberflächen des Substrats 1 vollständig bedecken. Die Schutzschicht 4 kann eine vertikale Schichtdicke zwischen einschließlich 30 nm und 300 nm, zwischen einschließlich 30 nm und 150 nm, etwa

25

30

zwischen 60 nm und 90 nm aufweisen. Die Schutzschicht 4 enthält zum Beispiel Al₂O₃.

Gemäß der Figur 1E wird die Schutzschicht 4 bevorzugt mittels
5 Trockenätzens derart entfernt, dass die Schutzschicht 4 während eines gemeinsamen insbesondere einzigen Verfahrensschritts allein aufgrund der Neigung in Bereichen auf den schräg ausgebildeten Seitenflächen 31 vollständig oder im Wesentlichen vollständig entfernt wird und in
10 Bereichen auf der verbleibenden ersten Hauptfläche 201 zumindest teilweise erhalten bleibt. Zum Beispiel wird die Schutzschicht 4 auf der ersten Hauptfläche 201 und/oder auf den in den Öffnungen 3 freigelegten Oberflächen des Substrats 1 lediglich gedünnt. Die Seitenfläche 31 ist von der
15 Schutzschicht vollständig oder im Wesentlichen vollständig entfernt, wenn zum Beispiel mindestens 90 %, mindestens 95 % oder mindestens 99 % der Gesamtfläche der Seitenfläche 31 frei von der Schutzschicht 4 sind. Dabei ist es nicht ausgeschlossen, dass Reste der Schutzschicht 4 auf den in den
20 Öffnungen 3 freigelegten Oberflächen des Substrats 1 erhalten bleiben und die Seitenflächen 31 ausschließlich in deren Übergangsbereichen zu dem Substrat 1 bedecken (Figur 1E).

Gemäß Figur 1F wird eine Passivierungsschicht 8 auf die
25 freigelegten Seitenflächen 31 aufgebracht. Die Passivierungsschicht 8 ist bevorzugt aus einem elektrisch isolierenden Material gebildet, das sich von einem Material der Schutzschicht 4 unterscheidet. Die Passivierungsschicht 8 bedeckt die schräg ausgebildeten Seitenflächen 31
30 insbesondere vollständig.

Es ist denkbar, dass Reste der Schutzschicht 4 und die Maske 7 nachträglich vollständig von dem Halbleiterkörper 2

abgelöst werden. Des Weiteren ist es möglich, dass das Substrat 1 in einem nachfolgenden Verfahrensschritt von dem Halbleiterkörper 2 getrennt wird und die Reste der Schutzschicht 4 insbesondere in den Übergangsbereichen
5 zwischen dem Substrat 1 und dem Halbleiterkörper 2 von den Seitenflächen 31 entfernt werden. Mit dem Ablösen des Substrats 1 kann der Halbleiterkörper 2 entlang der Trenngräben 6 zu einer Mehrzahl von Hauptkörpern 20 vereinzelt werden, deren Seitenflächen 31 bereits von der
10 Passivierungsschicht 8 bedeckt sind. Der Hauptkörper 20 kann auf einem separat hergestellten Träger 9 angeordnet werden und bildet mit dem Träger 9 ein Bauelement 10 (Figur 6), zum Beispiel eine lichtemittierende Diode. Alternativ ist es möglich, dass das Substrat 1 entlang der Trenngräben 6 zu
15 einer Mehrzahl von Trägern vereinzelt, etwa durchgesägt werden, wobei auf jedem Träger 9 ein Hauptkörper 20 angeordnet ist.

Das in Figur 2A dargestellte Ausführungsbeispiel für einen
20 Verfahrensschritt entspricht im Wesentlichen dem in der Figur 1F dargestellten Ausführungsbeispiel. Im Unterschied hierzu ist zumindest eine Öffnung 3 als Ausnehmung 61 ausgebildet, die sich von der ersten Hauptfläche 201 durch die erste Halbleiterschicht 21 und die aktive Schicht 23 hindurch zu
25 der zweiten Halbleiterschicht 22 erstreckt. Die Ausnehmung 61 weist somit eine Bodenfläche, insbesondere eine ebene Bodenfläche auf, die in der vertikalen Richtung zwischen der ersten Hauptfläche 201 und der zweiten Hauptfläche 202 angeordnet ist. Der Halbleiterkörper 2 kann eine Mehrzahl von
30 solchen Ausnehmungen 61 aufweisen, die insbesondere voneinander lateral beabstandet sind.

Gemäß Figur 2B kann die Ausnehmung 61 oder die Mehrzahl von Ausnehmungen 61 mit einem elektrisch leitfähigen Material zur Bildung einer oder mehrerer Durchkontaktierungen 5 aufgefüllt werden. Der Hauptkörper 20 kann in diesem Fall zumindest eine
5 Durchkontaktierung 5 aufweisen, wodurch die erste Halbleiterschicht 21 und die zweite Halbleiterschicht 22 des Hauptkörpers 20 beide über die erste Hauptfläche 201 elektrisch kontaktierbar sind. Ein Bauelement 10, etwa wie in der Figur 6 dargestellt, kann einen solchen Hauptkörper 20
10 auf einem Träger 9 aufweisen, wobei die erste Hauptfläche 201 dem Träger 9 zugewandt ist und das Bauelement 10 insbesondere über die erste Hauptfläche 201 und den Träger 9 extern elektrisch kontaktierbar ist. Die zweite Hauptfläche 202 ist frei von einem Aufwachssubstrat, etwa frei von dem Substrat 1
15 und kann als Strahlungseintritts- oder als Strahlungsaustrittsfläche des Bauelements 10 dienen.

Das in Figur 3A dargestellte Ausführungsbeispiel für einen Verfahrensschritt entspricht im Wesentlichen dem in der Figur
20 1C dargestellten Ausführungsbeispiel. Im Unterschied hierzu sind alle Öffnungen 3 zunächst als Ausnehmungen 61 ausgebildet, die sich von der ersten Hauptfläche 201 durch die erste Halbleiterschicht 21 und die aktive Schicht 23 hindurch bis zu der zweiten Halbleiterschicht 22 erstrecken.
25 Abweichend davon ist es möglich, dass sich die Ausnehmungen 61 lediglich von der ersten Hauptfläche 201 bis in die erste Halbleiterschicht 21 oder bis in die aktive Schicht 23 erstrecken. Die Öffnungen 3 können dabei als längliche Trenngräben 6 oder als isolierte voneinander lateral
30 beabstandete Öffnungen 3 gebildet sein.

Das in Figur 3B dargestellte Ausführungsbeispiel für einen Verfahrensschritt entspricht im Wesentlichen dem in der Figur

1D dargestellten Ausführungsbeispiel jedoch mit dem Unterschied, dass die Öffnungen 3 zunächst als Ausnehmungen 61 ausgebildet sind, deren Seitenflächen 31 von der Schutzschicht 4 überdeckt sind. Die Schutzschicht 4 wird in
5 einem nachfolgenden Verfahrensschritt von den Seitenflächen 31 entfernt, woraufhin zumindest einige oder alle Ausnehmungen 61 zu Aussparungen 62 ausgebildet werden können. Insbesondere dienen die Aussparungen 62 als Trenngräben zwischen den benachbarten Hauptkörpern 20 des
10 Halbleiterkörpers 2. Im Unterschied zu den Figuren 1D und 1E sind die in der Figur 3B freigelegten Oberflächen des Substrats 1 frei von der Schutzschicht 4 beziehungsweise von den Resten der Schutzschicht 4.

15 Die Ausnehmungen 61, die nicht zu Aussparungen 62 ausgebildet sind, können mit einem elektrisch leitfähigen Material zur Bildung von Durchkontaktierungen 5 (Figur 3D) aufgefüllt werden. Das in der Figur 3D dargestellte Ausführungsbeispiel für einen Verfahrensschritt entspricht im Wesentlichen dem in
20 der Figur 2B dargestellten Ausführungsbeispiel jedoch ohne Reste der Schutzschicht 4 auf den freigelegten Oberflächen des Substrats 1.

Das in Figur 4A dargestellte Ausführungsbeispiel für einen
25 Verfahrensschritt entspricht im Wesentlichen dem in der Figur 3A dargestellten Ausführungsbeispiel. Im Unterschied hierzu weisen die Ausnehmungen 61 jeweils eine spitz zulaufende Form auf, etwa die Form eines Kegels, einer Pyramide oder eines länglichen Prismas mit einem Dreieck als Grundfläche. Nachdem
30 der Halbleiterkörper 2 mit einer Schutzschicht 4 vollständig bedeckt wird und die Seitenflächen 31 nachträglich von der Schutzschicht 4 befreit werden, können die Ausnehmungen 61 insbesondere an den freigelegten Seitenflächen 31 zu

Aussparungen 62 durch den Halbleiterkörper 2 hindurch ausgebildet werden (Figur 4B).

In den Figuren 5A, 5B und 5C wird schematisch dargestellt,
5 dass die Öffnungen 3 in Form von voneinander lateral
beabstandeten Ausnehmungen 61 (Figur 5A) oder in Form von
Trenngräben 6, beispielsweise in Form von länglichen
Aussparungen 62 (Figur 5B) ausgebildet werden können. Die
Figur 5C stellt eine Kombination aus den Figuren 5A und 5B
10 dar, bei der die Öffnungen 3 teilweise als voneinander
lateral beabstandete Ausnehmungen 61 und teilweise als
Trenngräben 6 beziehungsweise als längliche Aussparungen 62
ausgebildet sind. Die Trenngräben 6 und 62 unterteilt den
Halbleiterkörper 2 in eine Mehrzahl von Hauptkörpern 20, die
15 jeweils eine oder eine Mehrzahl von Ausnehmungen 61
aufweisen, wobei die Ausnehmungen 61 mit einem elektrisch
leitfähigen Material zur Bildung von Durchkontaktierungen 5
aufgefüllt werden können.

20 In Figur 7 ist ein Ausschnitt des Halbleiterkörpers 2 mit
einer schräg ausgebildeten Seitenfläche 31' dargestellt.
Herstellungsbedingt kann die Seitenfläche 31' Vertiefungen
oder Erhebungen aufweisen und ist daher in der Regel nicht
absolut eben oder mathematisch flach ausgebildet. In solchen
25 Fällen können die Winkeln zwischen der Seitenfläche 31' und
der ersten Hauptfläche 201 oder der zweiten Hauptfläche 202
mit Hilfe einer als eben approximierten Seitenfläche 31
bestimmt werden. Die als eben approximierte Seitenfläche 31
kann zum Beispiel mittels der Methode der kleinsten Quadrate
30 ermittelt werden. Die Winkeln α und β sind dann Winkeln
zwischen der als eben approximierten Seitenfläche 31 und der
ersten Hauptfläche 201 beziehungsweise der zweiten
Hauptfläche 202.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2017 104 282.2, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

- 5 Die Erfindung ist nicht durch die Beschreibung der Erfindung anhand der Ausführungsbeispiele auf diese beschränkt. Die Erfindung umfasst vielmehr jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Ansprüchen beinhaltet, auch wenn dieses
- 10 Merkmal oder diese Kombination selbst nicht explizit in den Ansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste

10	Bauelement
1	Substrat
5	
2	Halbleiterkörper
20	Hauptkörper eines Bauelements
21	erste Halbleiterschicht
22	zweite Halbleiterschicht
10	23 aktive Schicht
201	erste Hauptfläche des Halbleiterkörpers
202	zweite Hauptfläche des Halbleiterkörpers
3	Öffnung/ Graben
15	31 Seitenfläche
	31' Seitenfläche
4	Schutzschicht
5	Durchkontaktierung
20	
6	Gaben/ Trenngraben
61	Ausnehmung
62	Aussparung
25	7 Maske
	71 Fenster der Maske
	8 Passivierungsschicht
	9 Träger des Bauelements
30	L Lot
	α innerer Winkel zwischen Seitenfläche und 1. Hauptfläche
	β innerer Winkel zwischen Seitenfläche und 2. Hauptfläche
	γ Winkel zwischen Seitenfläche und Lot

Patentansprüche

1. Verfahren zur Freilegung von Seitenflächen (31) eines Halbleiterkörpers (2) mit folgenden Schritten:

- 5 A) Bereitstellen des Halbleiterkörpers (2) aufweisend eine sich lateral erstreckende erste Hauptfläche (201),
- B) Ausbilden einer Mehrzahl von vertikalen Seitenflächen (31), indem Material des Halbleiterkörpers (2) teilweise abgetragen wird und die erste Hauptfläche (201) dadurch
- 10 bereichsweise entfernt wird, wobei die Seitenflächen (31) jeweils mit der verbleibenden ersten Hauptfläche (201) einen Winkel (α) zwischen einschließlich 110° und 160° bilden,
- C) Aufbringen einer Schutzschicht (4) auf den
- 15 Halbleiterkörper (2), sodass die Schutzschicht (4) in Draufsicht die verbleibende erste Hauptfläche (201) und die schräg ausgebildeten Seitenflächen (31) vollständig bedeckt, und
- D) teilweises Entfernen der Schutzschicht (4), wobei die
- 20 Schutzschicht (4) während eines gemeinsamen Verfahrensschritts aufgrund der Neigung in Bereichen auf den schräg ausgebildeten Seitenflächen (31) entfernt wird und in Bereichen auf der verbleibenden ersten Hauptfläche (201) zumindest teilweise erhalten bleibt.

25

2. Verfahren nach Anspruch 1,
- bei dem die Schutzschicht (4) durch einen gemeinsamen Ätzschritt lokal selbstjustiert entfernt wird, wobei die Schutzschicht (4) allein aufgrund höherer Ätzrate auf den
- 30 schräg ausgebildeten Seitenflächen (31) entfernt wird und die Schutzschicht (4) aufgrund niedrigerer Ätzrate auf der verbleibenden ersten Hauptfläche (201) lediglich gedünnt wird.

3. Verfahren nach dem vorhergehenden Anspruch,
bei dem der gemeinsame Ätzschritt durch Trockenätzen erfolgt.

4. Verfahren nach einem der vorhergehenden Ansprüche,
5 bei dem die Schutzschicht (4) aus einem der Materialien aus
der Gruppe bestehend aus Al_2O_3 , SiO_2 , Ta_2O_5 , AlN , TiO_2 , ZrO_2 ,
 HfO_2 und SiN gebildet wird.

5. Verfahren nach einem der vorhergehenden Ansprüche,
10 bei dem die Schutzschicht (4) aus Al_2O_3 gebildet wird und die
Seitenflächen (31) während des Schritts D durch ein Ar-
unterstütztes Trockenätzverfahren freigelegt werden.

6. Verfahren nach einem der vorhergehenden Ansprüche,
15 bei dem die Seitenflächen (31) während des Schritts D
freigelegt werden, wobei nach Schritt D ein elektrisch
isolierendes Material auf die freigelegten Seitenflächen (31)
aufgebracht wird, sodass diese von einer Passivierungsschicht
(8) aus dem isolierenden Material bedeckt werden.

20

7. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem das Aufbringen der Schutzschicht (4) auf den
Halbleiterkörper (2) durch Atomlagenabscheidung (ALD),
Bedampfen, Besputtern (PVD), chemische Gasphasenabscheidung
25 (CVD) oder durch plasmaunterstützte chemische
Gasphasenabscheidung (PECVD) erfolgt.

8. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem eine Maske (7) mit Fenstern (71) im Schritt B
30 verwendet wird, wobei die schräg ausgebildeten Seitenflächen
(31) zumindest teilweise in Bereichen der Fenster (71)
erzeugt werden und die Maske (7) nach Schritt C von der
Schutzschicht (4) bedeckt wird.

9. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem die Seitenflächen (31) Innenwände von lateral
beabstandeten Öffnungen (3, 6) sind, die von dem
Halbleiterkörper (2) in lateralen Richtungen vollumfänglich
5 umschlossen sind.

10. Verfahren nach einem der Ansprüche 1 bis 8,
bei dem die Seitenflächen (31) Seitenflanken von Öffnungen
(3, 6) des Halbleiterkörpers (2) sind, die als Gräben
10 ausgebildet werden und sich entlang der gesamten lateralen
Ausdehnung des Halbleiterkörpers (2) erstrecken.

11. Verfahren nach einem der vorhergehenden Ansprüche,
bei dem sich die Seitenflächen (31) entlang der vertikalen
15 Richtung von der ersten Hauptfläche (201) zu einer
Bodenfläche (200) erstrecken, die eben ausgebildet ist und
parallel zu der ersten Hauptfläche (201) verläuft.

12. Verfahren nach Anspruch 11,
20 bei dem der Halbleiterkörper (2) eine der ersten Hauptfläche
(201) abgewandte zweite Hauptfläche (202) aufweist und die
Bodenfläche (200) in der vertikalen Richtung zwischen der
ersten Hauptfläche (201) und der zweiten Hauptfläche (202)
angeordnet ist.

25

13. Verfahren nach Anspruch 11,
bei dem der Halbleiterkörper (2) eine der ersten Hauptfläche
(201) abgewandte zweite Hauptfläche (202) aufweist, wobei
sich die Bodenfläche (200) auf derselben vertikalen Höhe von
30 der zweiten Hauptfläche (202) befindet.

14. Verfahren nach einem der der Ansprüche 1 bis 12,

bei dem sich die schräg ausgebildeten Seitenflächen (31) nicht über die gesamte vertikale Ausdehnung des Halbleiterkörpers (2) erstrecken und dabei Innenwände von Ausnehmungen (3, 6, 61) des Halbleiterkörpers (2) bilden.

5

15. Verfahren nach dem vorhergehenden Anspruch, bei dem die Seitenflächen (31) während des Schritts D von der Schutzschicht (4) freigelegt werden und die Ausnehmungen (3, 6, 61) in einem nachfolgenden Verfahrensschritt zu Aussparungen (3, 6, 62) durch den Halbleiterkörper (2) hindurch gebildet werden.

10

16. Verfahren nach einem der Ansprüche 1 bis 12, bei dem sich die schräg ausgebildeten Seitenflächen (31) nicht über die gesamte vertikale Ausdehnung des Halbleiterkörpers (2) erstrecken und dabei Innenwände von Ausnehmungen (3, 6, 61) des Halbleiterkörpers (2) bilden, wobei die Seitenflächen (31) während des Schritts D von der Schutzschicht (4) freigelegt werden und zumindest einige der Ausnehmungen (3, 6, 61) in einem nachfolgenden Verfahrensschritt zu Aussparungen (3, 6, 62) durch den Halbleiterkörper (2) hindurch gebildet werden.

15

20

17. Verfahren nach einem der Ansprüche 1 bis 8, wobei

25

- die Seitenflächen (31) Innenwände von lateral beabstandeten Öffnungen (3, 6) sind, die von dem Halbleiterkörper (2) in lateralen Richtungen vollumfänglich umschlossen sind,
- der Halbleiterkörper (2) eine der ersten Hauptfläche (201) abgewandte zweite Hauptfläche (202) aufweist, und
- sich die Seitenflächen (31) entlang der vertikalen Richtung von der ersten Hauptfläche (201) zu einer

30

Bodenfläche (200) erstrecken, wobei die Bodenfläche (200) in der vertikalen Richtung zwischen der ersten Hauptfläche (201) und der zweiten Hauptfläche (202) angeordnet ist.

FIG 1A

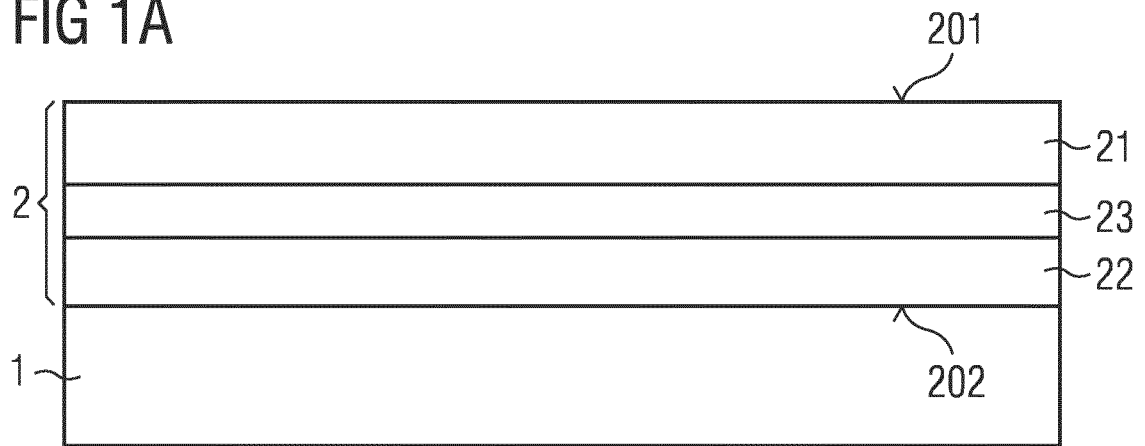


FIG 1B

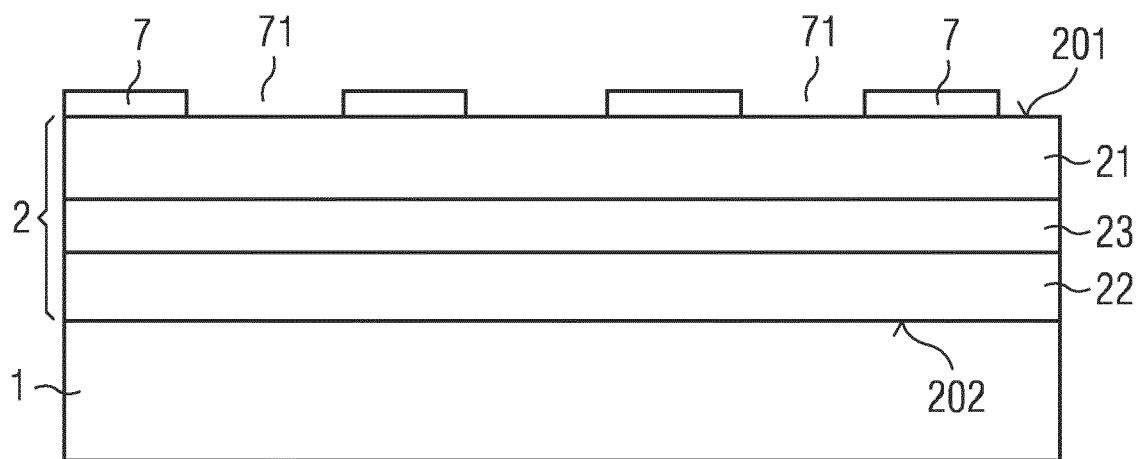


FIG 1C

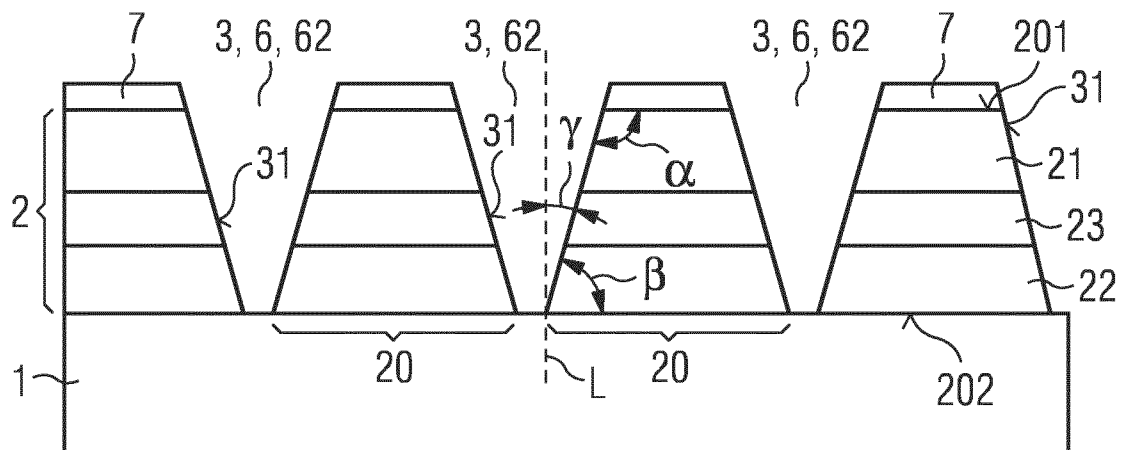


FIG 1D

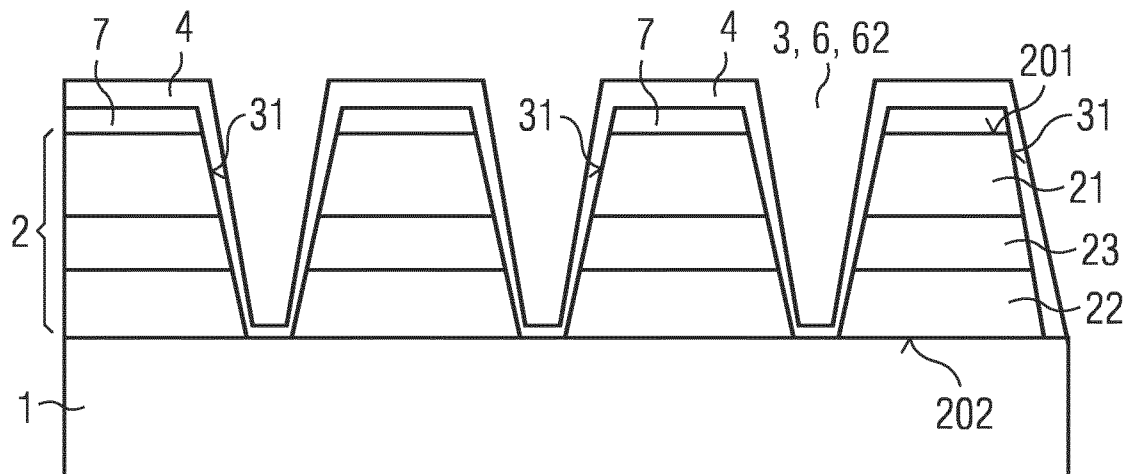


FIG 1E

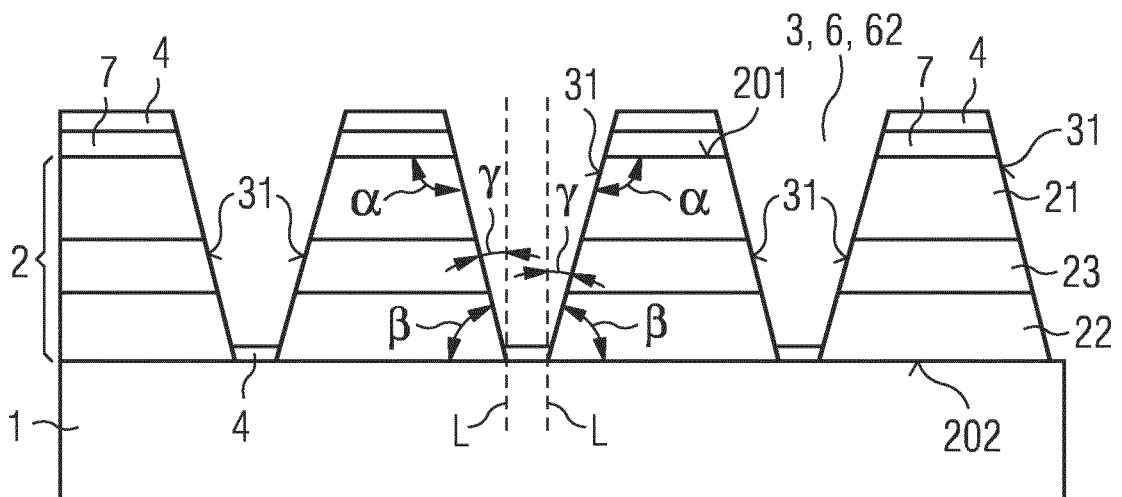


FIG 1F

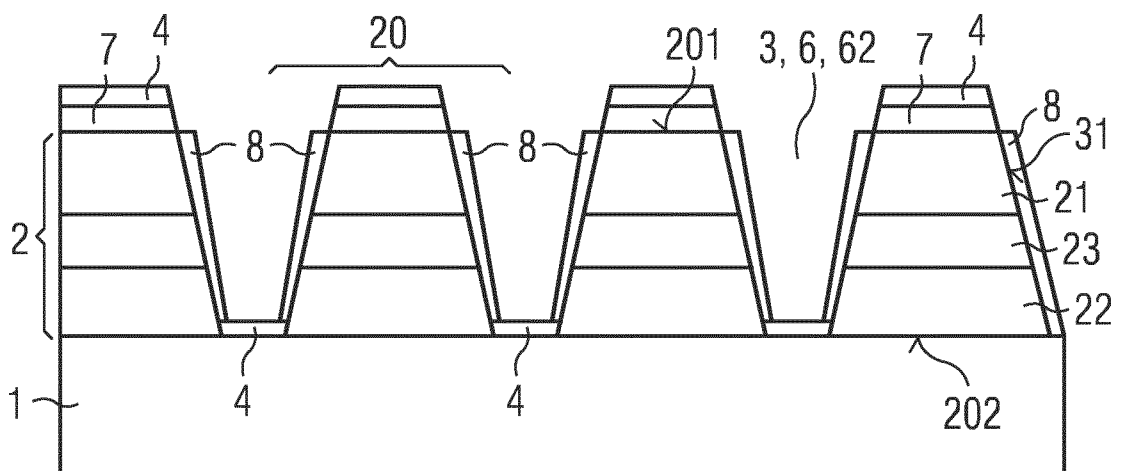


FIG 2A

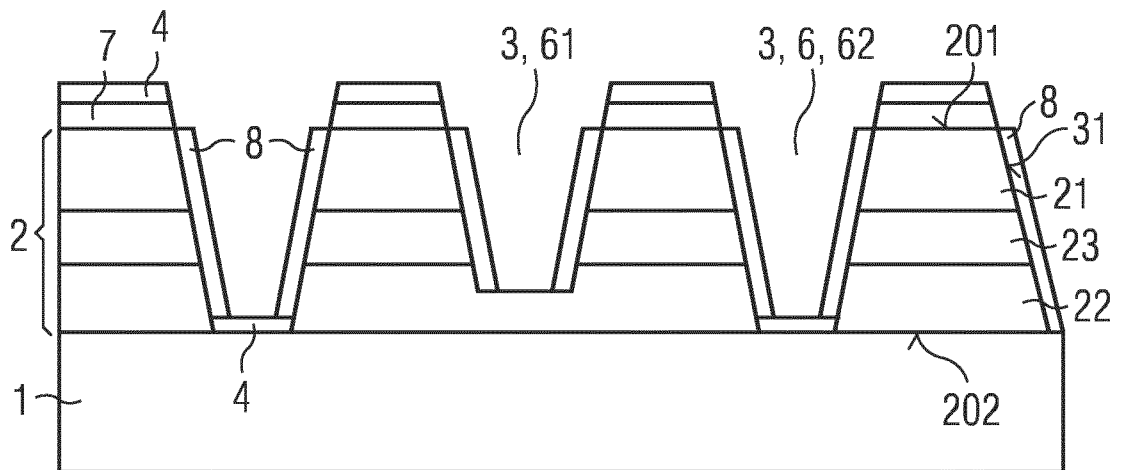


FIG 2B

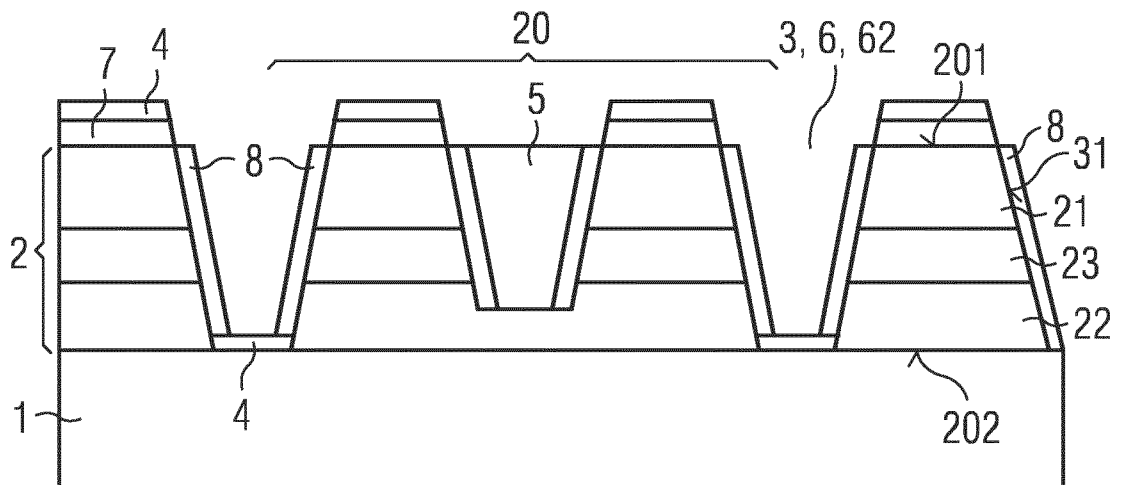


FIG 3A

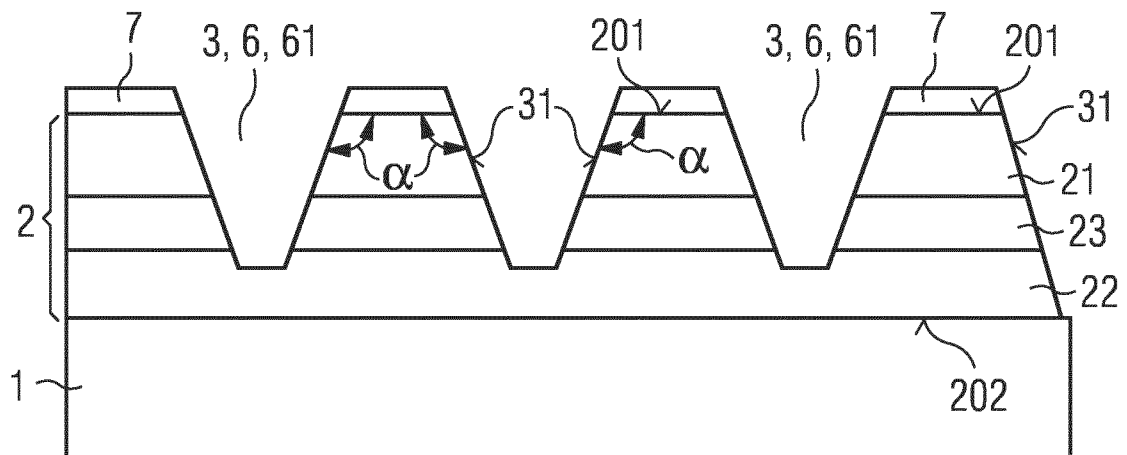


FIG 3B

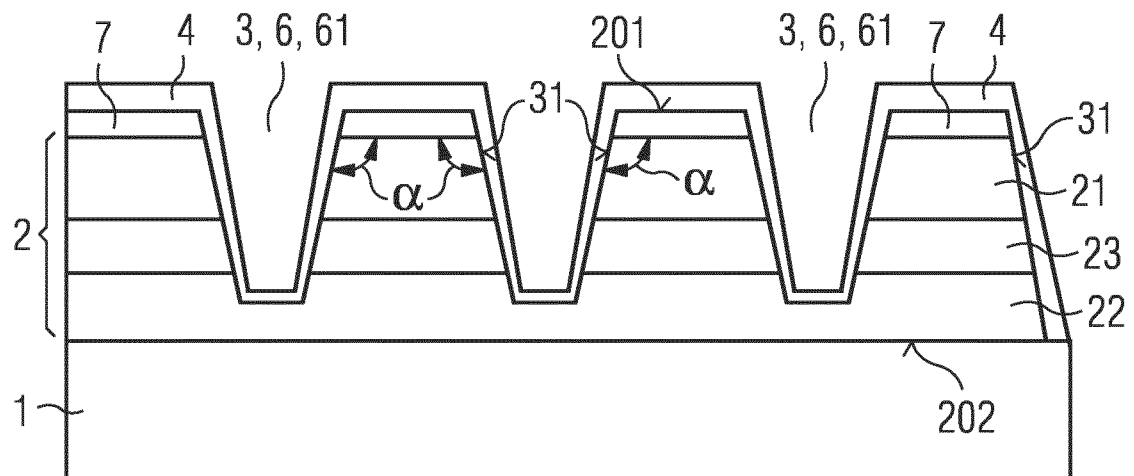


FIG 3C

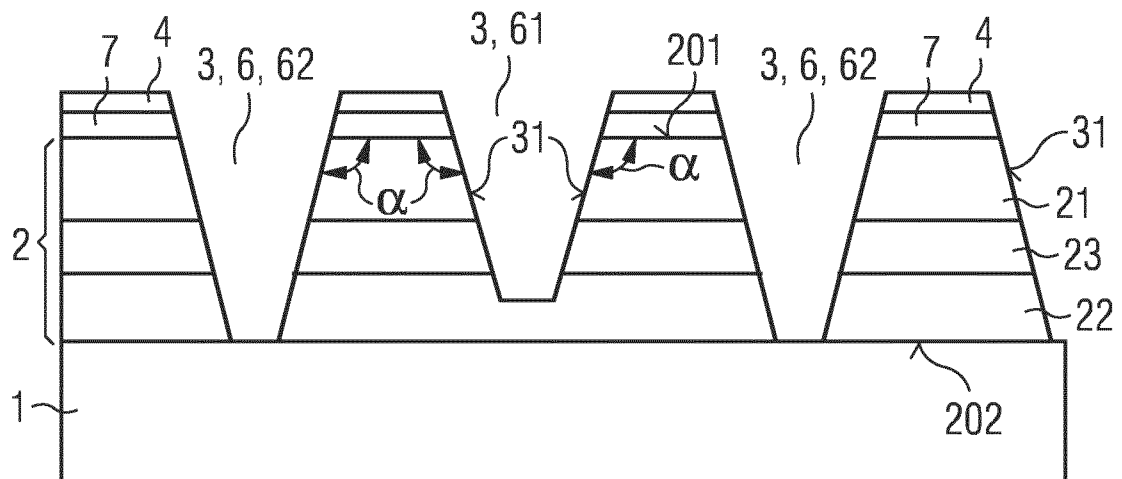


FIG 3D

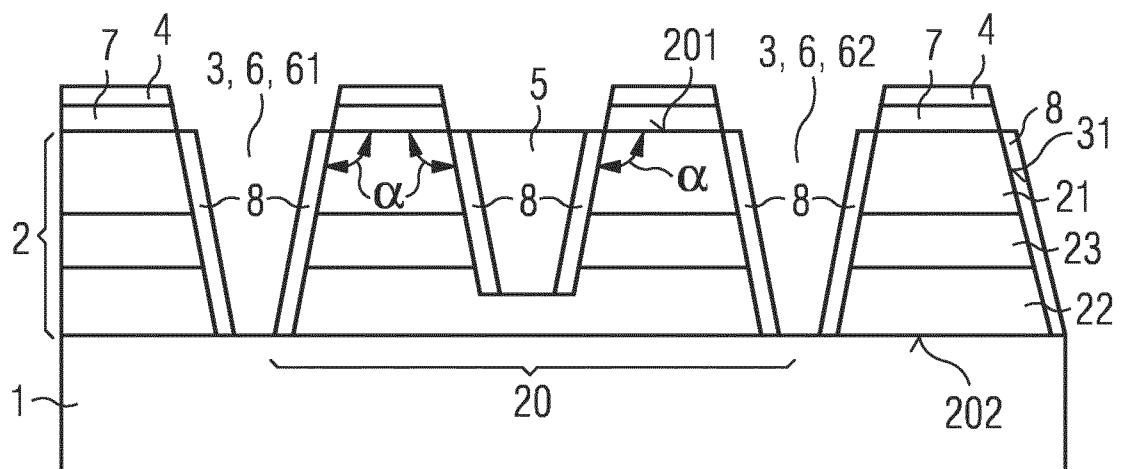


FIG 4A

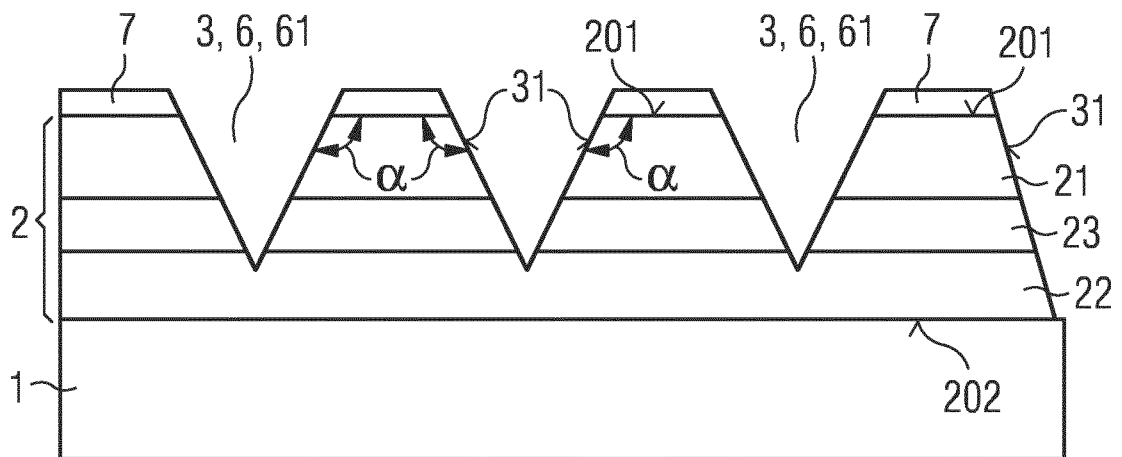


FIG 4B

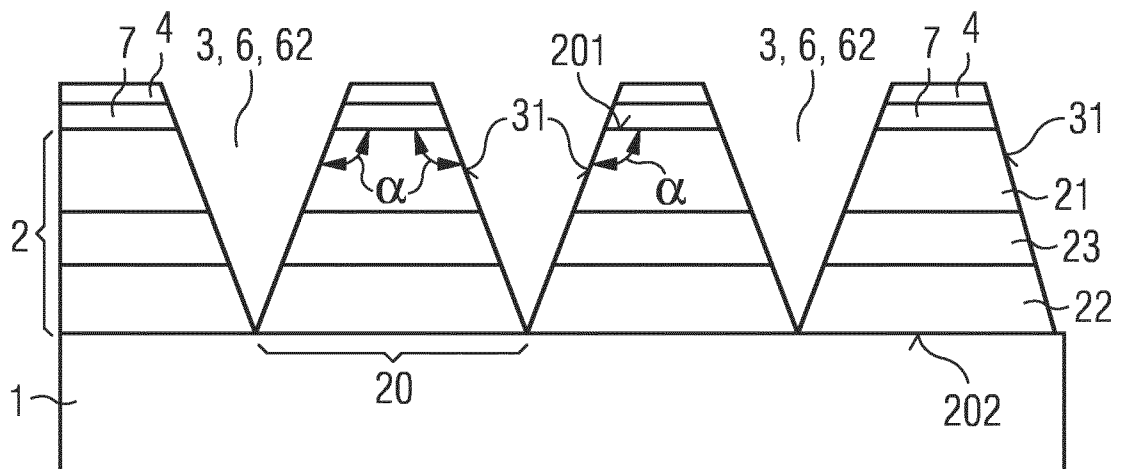


FIG 5A

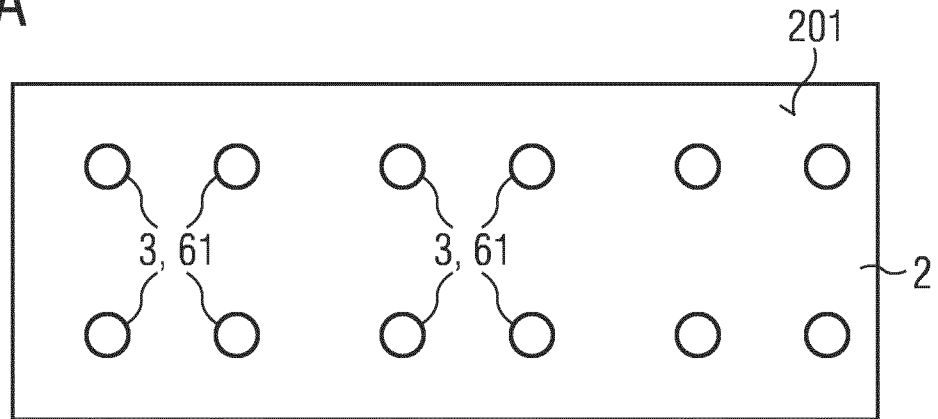


FIG 5B

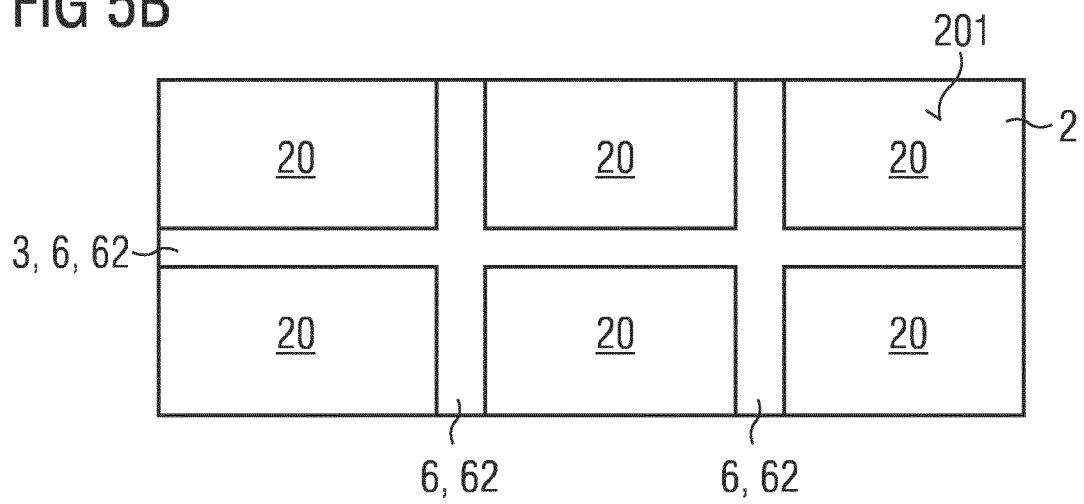


FIG 5C

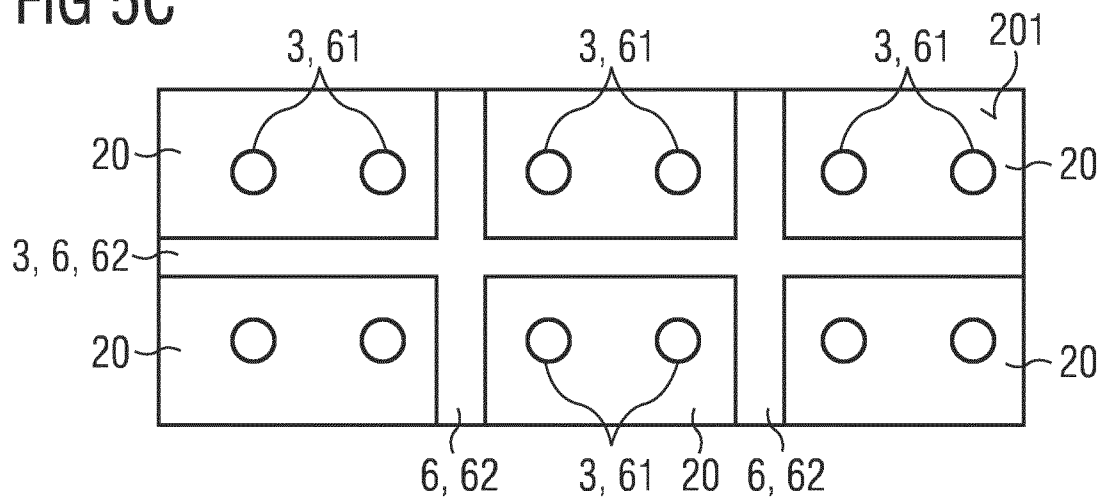


FIG 6

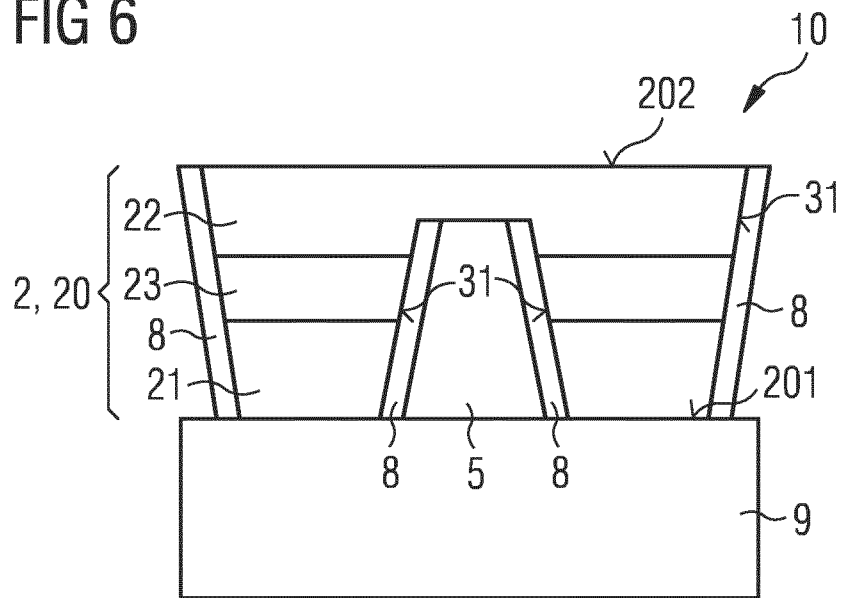
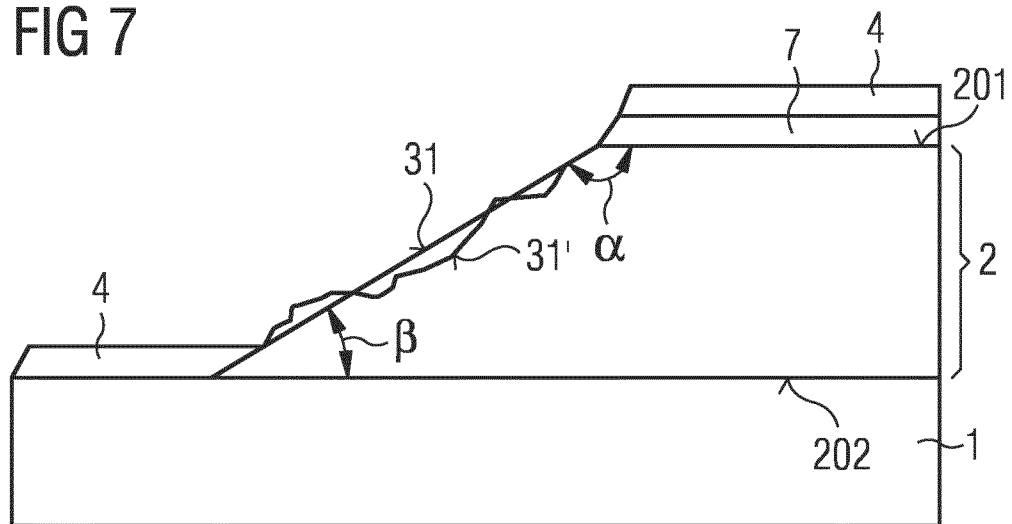


FIG 7



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2018/054834

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/00 H01L33/20
 ADD. H01L33/38 H01L33/44

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 10 2014 117510 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2 June 2016 (2016-06-02) paragraph [0051] figures 12-14	1-17
A	WO 2015/055647 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 23 April 2015 (2015-04-23) figures 2b, 5b	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

2 May 2018

Date of mailing of the international search report

15/05/2018

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

Gijsbertsen, Hans

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2018/054834

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102014117510 A1	02-06-2016	CN 107251342 A	13-10-2017
		DE 102014117510 A1	02-06-2016
		EP 3224917 A1	04-10-2017
		JP 2017537474 A	14-12-2017
		US 2017330997 A1	16-11-2017
		WO 2016083246 A1	02-06-2016

WO 2015055647 A1	23-04-2015	DE 102013111503 A1	23-04-2015
		US 2016254415 A1	01-09-2016
		WO 2015055647 A1	23-04-2015

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L33/00 H01L33/20

ADD. H01L33/38 H01L33/44

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2014 117510 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2. Juni 2016 (2016-06-02) Absatz [0051] Abbildungen 12-14	1-17
A	WO 2015/055647 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 23. April 2015 (2015-04-23) Abbildungen 2b, 5b	1-17



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. Mai 2018

Absendedatum des internationalen Recherchenberichts

15/05/2018

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gijsbertsen, Hans

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2018/054834

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102014117510 A1	02-06-2016	CN 107251342 A	13-10-2017
		DE 102014117510 A1	02-06-2016
		EP 3224917 A1	04-10-2017
		JP 2017537474 A	14-12-2017
		US 2017330997 A1	16-11-2017
		WO 2016083246 A1	02-06-2016

WO 2015055647 A1	23-04-2015	DE 102013111503 A1	23-04-2015
		US 2016254415 A1	01-09-2016
		WO 2015055647 A1	23-04-2015
