(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0090721
(43) 공개일자 2009년08월26일

(51) Int. Cl.
G06F 12/00 (2006.01) *G06F 11/00* (2006.01)
G06F 11/30 (2006.01)
(21) 출원번호 10-2008-0016135
(22) 출원일자 2008년02월22일
심사청구일자 2008년02월22일

(71) 출원인
인하대학교 산학협력단
인천 남구 용현동 253 인하대학교
(72) 발명자
윤영섭
서울 서초구 잠원동 한신아파트 8차 308동 801호
이국표
인천 남동구 만수동 벽산아파트 109동 2103호
(74) 대리인
황광연, 강동호, 오정환

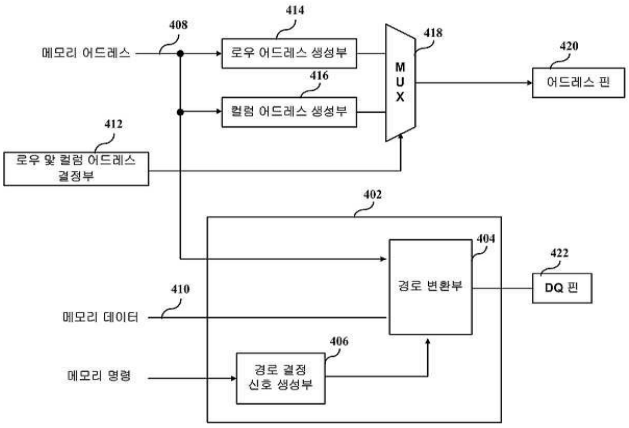
전체 청구항 수 : 총 16 항

(54) 메모리 어드레스의 모니터링 방법 및 장치

(57) 요 약

메모리 어드레스를 모니터링하도록 메모리의 데이터 단자에 메모리 어드레스를 전송하는 본 발명의 일 실시예에 따른 메모리 어드레스의 모니터링 방법은 어드레스 경로를 통해 전송되고 메모리의 로우 어드레스(Row Address) 또는 컬럼 어드레스(Column Address)로 변환되는 메모리 어드레스의 모니터링 방법에 있어서, 메모리 명령에 따라 메모리의 데이터 단자에 상기 어드레스 경로를 연결할 지 결정하는 경로 결정 신호를 생성하는 단계; 및 상기 경로 결정 신호에 따라 상기 메모리의 데이터 단자에 상기 어드레스 경로가 연결되면, 상기 메모리의 데이터 단자를 통해 상기 메모리 어드레스가 모니터링되도록 상기 메모리의 데이터 단자에 상기 메모리 명령에 상응하는 메모리 어드레스를 전송하는 단계를 포함하는 것을 특징으로 한다.

대 표 도 - 도4



특허청구의 범위

청구항 1

어드레스 경로를 통해 전송되고 메모리의 로우 어드레스(Row Address) 또는 컬럼 어드레스(Column Address)로 변환되는 메모리 어드레스의 모니터링 방법에 있어서,

메모리 명령에 따라 메모리의 데이터 단자에 상기 어드레스 경로를 연결할 지 결정하는 경로 결정 신호를 생성하는 단계; 및

상기 경로 결정 신호에 따라 상기 메모리의 데이터 단자에 상기 어드레스 경로가 연결되면, 상기 메모리의 데이터 단자를 통해 상기 메모리 어드레스가 모니터링되도록 상기 메모리의 데이터 단자에 상기 메모리 명령에 상응하는 메모리 어드레스를 전송하는 단계;

를 포함하는 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 2

제1항에 있어서,

상기 경로 결정 신호는 상기 메모리로 상기 메모리 명령에 상응하는 메모리 데이터가 송신되거나 상기 메모리로부터 상기 메모리 데이터가 수신되기 전에 상기 어드레스 경로가 상기 메모리의 데이터 단자에 연결되도록 결정하는 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 3

제2항에 있어서,

상기 경로 결정 신호는 상기 메모리 데이터가 송신되거나 수신되기 1 메모리 클락 전에 1 클락 메모리 주기 동안 상기 메모리의 데이터 단자가 상기 어드레스 경로에 연결되도록 결정하는 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 4

제1항에 있어서,

상기 경로 결정 신호는 상기 메모리의 데이터 단자에 데이터 경로 및 상기 어드레스 경로 중 어느 하나를 연결할 지 결정하는 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 5

제1항에 있어서,

상기 메모리 명령은 쓰기 데이터 전송 명령, 쓰기 명령, 및 CL(Cas Latency)에 따른 읽기 명령 중 어느 하나인 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 6

제5항에 있어서,

상기 경로 결정 신호는 상기 CL에 따라 상기 어드레스 경로가 상기 메모리의 데이터 단자에 연결되는 시간 구간을 결정하는 것을 특징으로 하는 메모리의 어드레스의 모니터링 방법.

청구항 7

제1항에 있어서,

쓰기 메모리 데이터가 데이터 경로를 통해 전송되거나 상기 메모리의 데이터 단자로부터 읽기 메모리 데이터가 수신되고 상기 어드레스 경로와 상기 메모리의 데이터 단자가 연결된 경우, 상기 연결을 끊고 상기 데이터 경로를 상기 메모리의 데이터 단자에 연결하는 단계를 더 포함하는 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 8

제1항에 있어서,

상기 경로 결정 신호는 nWE 신호가 하이(High) 전압 레벨인 시간 구간에서 상기 메모리의 DQ신호 시퀀스 중 1번째 DQ신호가 상기 메모리 어드레스가 되도록 상기 어드레스 경로에 대한 연결 여부를 결정하는 것을 특징으로 하는 메모리 어드레스의 모니터링 방법.

청구항 9

어드레스 경로를 통해 전송되고 메모리의 로우 어드레스 또는 컬럼 어드레스로 변환되는 메모리 어드레스의 모니터링 장치에 있어서,

메모리 명령에 따라 메모리의 데이터 단자에 상기 어드레스 경로를 연결할 지 결정하는 경로 결정 신호를 생성하는 경로 결정 신호 생성부; 및

상기 경로 결정 신호에 따라 상기 메모리의 데이터 단자에 상기 어드레스 경로를 연결하고, 상기 메모리의 데이터 단자를 통해 상기 메모리 어드레스가 모니터링되도록 상기 메모리의 데이터 단자에 상기 메모리 명령에 상응하는 메모리 어드레스를 전송하는 경로 변환부;

를 포함하는 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

청구항 10

제9항에 있어서,

상기 경로 결정 신호 생성부는 상기 메모리로 상기 메모리 명령에 상응하는 메모리 데이터가 송신되거나 상기 메모리로부터 상기 메모리 데이터가 수신되기 전에 상기 어드레스 경로가 상기 메모리의 데이터 단자에 연결되게 하는 상기 경로 결정 신호를 생성하는 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

청구항 11

제10항에 있어서,

상기 경로 결정 신호 생성부는 상기 메모리 데이터가 송신되거나 수신되기 1 메모리 클락 전에 1 클락 메모리 주기 동안 상기 메모리의 데이터 단자가 상기 어드레스 경로에 연결되게 하는 상기 경로 결정 신호를 생성하는 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

청구항 12

제9항에 있어서,

상기 경로 결정 신호는 상기 메모리의 데이터 단자에 데이터 경로 및 상기 어드레스 경로 중 어느 하나를 연결할 지 결정하는 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

청구항 13

제9항에 있어서,

상기 메모리 명령은 쓰기 데이터 전송 명령, 쓰기 명령, 및 CL에 따른 읽기 명령 중 어느 하나인 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

청구항 14

제13항에 있어서,

상기 경로 결정 신호 생성부는 상기 CL에 따라 상기 어드레스 경로가 상기 메모리의 데이터 단자에 연결되는 시간 구간을 결정하는 상기 경로 생성 신호를 생성하는 것을 특징으로 하는 메모리의 어드레스의 모니터링 장치.

청구항 15

제9항에 있어서,

상기 경로 변환부는 쓰기 메모리 데이터가 데이터 경로를 통해 전송되거나 상기 메모리의 데이터 단자로부터 읽기 메모리 데이터가 수신되고 상기 어드레스 경로와 상기 메모리의 데이터 단자가 연결된 경우, 상기 연결을 끊고 상기 데이터 경로를 상기 메모리의 데이터 단자에 연결하는 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

청구항 16

제9항에 있어서,

상기 경로 결정 신호 생성부는 nWE 신호가 하이 전압 레벨인 시간 구간에서 상기 메모리의 DQ신호 시퀀스 중 1번째 DQ신호가 상기 메모리 어드레스가 되도록 상기 어드레스 경로에 대한 연결 여부를 결정하는 상기 경로 결정 신호를 생성하는 것을 특징으로 하는 메모리 어드레스의 모니터링 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 메모리 어드레스의 모니터링 방법 및 장치에 관한 것으로서 보다 상세하게는 메모리의 데이터 단자를 통해 메모리 어드레스를 모니터링 하는 방법 및 장치에 관한 것이다.

배 경 기 술

<2> 일반적으로 SDRAM(Synchronous DRAM)의 어드레스(Address)는 핀(Pin)의 수를 최대한 줄이고, 파워(Power) 소비를 최소화하기 위해서 MCU(Micro Controller Unit)가 메모리로 송신하는 메모리 어드레스를 로우 어드레스(Row Address) 및 컬럼 어드레스(Column Address)로 변환하여 사용한다.

<3> 도 1은 일반적인 SDRAM의 메모리 어드레스와 로우 어드레스의 매핑(Mapping) 관계, 및 메모리 어드레스와 컬럼 어드레스의 매핑 관계를 나타낸 도면이다.

<4> SDRAM과 쓰기 동작 또는 읽기 동작을 수행하기 위해, MCU는 해당 메모리 어드레스(106,108)를 로우 어드레스(104) 및 컬럼 어드레스(102)로 변환하고, 메모리(미도시)로 로우 어드레스(104)를 전송하고, 그 후, 컬럼 어드레스(102)를 전송한다.

<5> 여기서, 메모리 어드레스(106,108)는 MCU가 필요로 하는 데이터가 가진 실제 어드레스이고, 로우 어드레스(104) 및 컬럼 어드레스(102)는 SDRAM과 쓰기 및 읽기 동작을 하기 위해 변환된 어드레스이다.

<6> 도 2는 일반적인 SDRAM에서 쓰기 명령이 수행될 때의 타이밍도이다.

<7> 도시된 바와 같이, SDRAM의 어드레스(ADDR)는 로우 어드레스(RAS_ADDR1)와 컬럼 어드레스(CAS_ADDR1,CAS_ADDR2)로 구분되어 입력되고, nRAS 신호가 “low”일 때 로우 어드레스가 반영되고 nCAS 신호가 “low”일 때 컬럼 어드레스가 반영된다. 여기서, SDRAM의 데이터 핀(DQ Pin)은 실제 데이터가 전달되는 포트이고, nDQM은 DQ신호의 동작범위를 결정하는 신호로서, 도 2의 “1”구간(202)에서 1싸이클(Cycle)의 데이터 쓰기 동작이 이루어지고 “2”구간(204)에서 4싸이클 데이터 쓰기 동작이 이루어진다. 여기서, 1싸이클은 1메모리 클락 주기를 의미한다.

<8> 그리고, nCAS 신호가 “low”일 때, nWE가 “low”이면 쓰기 동작이 수행되고, nWE가 “high”이면 읽기 동작이 수행된다. 즉, 쓰기 메모리 명령 또는 읽기 메모리 명령이 수행된다. 결국, 도 2에서 로우 어드레스 RAS_ADDR1가 공통으로 사용되고, 컬럼 어드레스 CAS_ADDR1을 이용하여 “D1” 데이터 쓰기 동작이 이루어지며, 3싸이클 후에 컬럼 어드레스 CAS_ADDR2를 이용하여 데이터 “D2”, “D3”, “D4”, 및 “D5”에 대한 연속적인 쓰기 동작이 이루어진다.

<9> 도 3은 일반적인 SDRAM에서 읽기 명령이 수행될 때의 타이밍도이다.

<10> 도 3을 참조하면, nCAS 신호가 “low”이고, nWE가 “high”일 때 읽기 명령이 수행되는데, CAS 레이턴시(CAS Latency: CL)를 2로 설정하였을 경우 2싸이클 후에 읽기 데이터(D1)가 발생하고, CL을 3으로 설정하였을 경우 3싸이클 후에 읽기 데이터(D2,D3,D4,D5)가 발생한다. 결국, 도 3은 로우 어드레스 RAS_ADDR1가 공통으로 사용되고, 컬럼 어드레스 CAS_ADDR1을 이용하여 “D1” 데이터 읽기 동작이 이루어지며, 3싸이클 후에 컬럼 어드레스

CAS_ADDR2를 이용하여 “D2”, “D3”, “D4”, 및 “D5”에 대한 읽기 동작이 이루어진다.

<11> 그런데, 도 2 및 도 3에서 나타난 쓰기 및 읽기 동작은 SDRAM의 어드레스 핀에 로우 어드레스 및 컬럼 어드레스가 인가됨으로써 수행되므로, 쓰기 및 읽기 동작에서, SDRAM의 사용자가 MCU가 사용하는 실제 메모리 어드레스를 파악하기가 힘들다는 문제점이 있었다.

<12> 그리고, MCU가 사용하는 실제 메모리 어드레스 또는 데이터 흐름을 칩 외부에서 파악하기 위해서, SDRAM 신호를 로직 애널라이져(Logic Analyzer), 오실로스코프(Oscilloscope) 등으로 직접 모니터링하게 되는데, 실제 메모리 어드레스 대신 로우 어드레스 또는 컬럼 어드레스가 측정되므로 실제 어드레스를 찾는데 어려움이 있다. 따라서, 직접 실제 메모리 어드레스를 모니터링하기 위해서는 측정용 핀이 추가적으로 마련되어야 하는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

<13> 본 발명은 상술한 문제점을 해결하기 위한 것으로서, MCU가 사용하는 실제 메모리 어드레스를 외부로 나타나게 하여 측정 가능하게 하는 메모리 어드레스의 모니터링 방법 및 장치를 제공하는 것을 기술적 과제로 한다.

<14> 또한, 본 발명은 메모리 어드레스 측정용 핀이 추가적으로 마련되지 않아도 메모리 어드레스를 모니터링할 수 있는 메모리 어드레스의 모니터링 방법 및 장치를 제공하는 것을 다른 기술적 과제로 한다.

과제 해결수단

<15> 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 메모리 어드레스의 모니터링 방법은 어드레스 경로를 통해 전송되고 메모리의 로우 어드레스(Row Address) 또는 컬럼 어드레스(Column Address)로 변환되는 메모리 어드레스의 모니터링 방법에 있어서, 메모리 명령에 따라 메모리의 데이터 단자에 상기 어드레스 경로를 연결할지 결정하는 경로 결정 신호를 생성하는 단계; 및 상기 경로 결정 신호에 따라 상기 메모리의 데이터 단자에 상기 어드레스 경로가 연결되면, 상기 메모리의 데이터 단자를 통해 상기 메모리 어드레스가 모니터링되도록 상기 메모리의 데이터 단자에 상기 메모리 명령에 상응하는 메모리 어드레스를 전송하는 단계를 포함하는 것을 특징으로 한다.

<16> 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 메모리 어드레스의 모니터링 장치는 어드레스 경로를 통해 전송되고 메모리의 로우 어드레스 또는 컬럼 어드레스로 변환되는 메모리 어드레스의 모니터링 장치에 있어서, 메모리 명령에 따라 메모리의 데이터 단자에 상기 어드레스 경로를 연결할 지 결정하는 경로 결정 신호를 생성하는 경로 결정 신호 생성부; 및 상기 경로 결정 신호에 따라 상기 메모리의 데이터 단자에 상기 어드레스 경로를 연결하고, 상기 메모리의 데이터 단자를 통해 상기 메모리 어드레스가 모니터링되도록 상기 메모리의 데이터 단자에 상기 메모리 명령에 상응하는 메모리 어드레스를 전송하는 경로 변환부를 포함하는 것을 특징으로 한다.

효 과

<17> 상술한 바와 같이 본 발명에 따르면, 메모리 명령에 따라 메모리 어드레스를 특정 시간 구간에서 메모리의 데이터 단자로 출력함으로써, 로우 어드레스 및 컬럼 어드레스에 매핑되는 메모리 어드레스를 찾는 과정 없이도 메모리 어드레스를 직접 측정하여 모니터링할 수 있는 효과가 있다.

<18> 또한, 본 발명에 따르면, 메모리 어드레스를 메모리 데이터 단자로 출력함으로써, 추가적인 측정용 핀이 필요없어 저비용으로 메모리의 어드레스를 모니터링할 수 있는 다른 효과가 있다.

발명의 실시를 위한 구체적인 내용

<19> 이하 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.

<20> 도 4는 본 발명의 일 실시예에 따른 메모리 어드레스의 모니터링 장치 및 주변 장치를 나타낸 블럭도이다.

<21> 도시된 바와 같이, 본 발명의 일 실시예에 따른 메모리 어드레스의 모니터링 장치(402)는 경로 변환부(404) 및 경로 결정 신호 생성부(406)를 포함하며, 메모리의 데이터 단자인 DQ 핀(422)을 통해 MCU가 사용하는 실제 메모리 어드레스가 모니터링될 수 있도록 메모리 어드레스를 특정 시간 구간 동안 DQ 핀(422)에 전송한다.

<22> 메모리 어드레스의 모니터링 장치(402)의 주변 장치(412,414,416,418)들을 통해 메모리 어드레스 및 메모리 데이터의 전송 과정을 살펴보면, 메모리 어드레스는 어드레스 경로(408)을 거쳐 로우 어드레스 생성부(414) 및 컬럼 어드레스 생성부(416)에 전달된다. 그리고, 로우 어드레스 생성부(414) 및 컬럼 어드레스 생성부(416)에서 각각 생성된 로우 어드레스(Row Address) 및 컬럼 어드레스(Column Address)는 MUX(Multiplexer: 418)로 전달된다.

<23> 또한, 로우 및 컬럼 어드레스 결정부(412)는 쓰기 또는 읽기 등의 메모리 명령에 따라 적절한 타이밍에 로우 어드레스 또는 컬럼 어드레스를 선택하는 신호를 MUX(418)에 전송하고, MUX(418)는 선택된 신호를 메모리(미도시)의 어드레스 핀(420)으로 출력한다.

<24> 또한, 메모리 데이터는 데이터 경로(410)를 통해 메모리 어드레스의 모니터링 장치(402)에 전달되고, 메모리 명령에 따라 적절한 타이밍에 메모리의 DQ 핀(422)으로 출력된다.

<25> 일 실시예에 있어서, 메모리 어드레스의 모니터링 장치(402)는 메모리 컨트롤과 관련된 MCU(Micro Controller Unit: 미도시)에 포함된 장치이거나 분리되어 MCU와 연동하는 장치일 수 있다. 또한, 주변 장치(412,414,416,418)들은 메모리 컨트롤과 관련된 MCU에 포함된 장치일 수 있다.

<26> 한편, 경로 변환부(404)는 경로 결정 신호 생성부(406)에서 생성된 경로 결정 신호에 따라 DQ 핀(422)에 어드레스 경로(408)를 연결한다. 그리고, DQ 핀(422)에 어드레스 경로(408)가 연결되면, DQ 핀(422)을 통해 메모리 어드레스가 모니터링되도록 DQ 핀(422)에 메모리 명령에 상응하는 메모리 어드레스를 전송한다.

<27> 경로 변환부(404)는 DQ 핀(422)과 어드레스 경로(408)가 연결되어 있지 않은 경우에는 데이터 경로(410)를 통해 메모리 데이터를 송수신할 수 있도록 데이터 경로(410)와 DQ 핀(422)을 연결한다. 여기서, 메모리 데이터는 메모리로 전송되는 쓰기 메모리 데이터 또는 메모리로부터 전송되는 읽기 메모리 데이터일 수 있다.

<28> 경로 변환부(404)는 쓰기 메모리 데이터가 데이터 경로(410)를 통해 전송되거나 DQ 핀(422)으로부터 읽기 메모리 데이터가 수신되면 어드레스 경로(408)와 DQ 핀(422) 사이의 연결을 끊는다.

<29> 이는 모니터링을 위해 DQ 핀(422)으로 메모리 어드레스를 송신하는 중에 쓰기 메모리 데이터 또는 읽기 메모리 데이터를 전송해야 할 경우, 메모리 어드레스 보다 메모리 데이터에 우선 순위를 주고, DQ 핀(422)에서 메모리 어드레스와 메모리 데이터가 충돌하는 것을 방지하기 위함이다. 이러한, 충돌을 막기 위한 방법은 상세히 후술한다.

<30> 도 5는 본 발명의 일 실시예에 따른 경로 결정 신호 생성부(406)를 나타낸 블록도로서, 경로 결정 신호 생성부(406)는 경로 결정 신호 선택부(501), 제1 경로 결정 신호 생성부(502), 제2 경로 결정 신호 생성부(504), 제3 경로 결정 신호 생성부(506), 및 제4 경로 결정 신호 생성부(508)를 포함한다.

<31> 경로 결정 신호 생성부(406)는 메모리 어드레스의 모니터링을 위해 메모리 명령에 따라 DQ 핀(422)에 어드레스 경로(408)를 연결할 지 결정하는 경로 결정 신호를 생성한다.

<32> 경로 결정 신호 선택부(501)는 제1 경로 결정 신호 생성부(502), 제2 경로 결정 신호 생성부(504), 제3 경로 결정 신호 생성부(506), 및 제4 경로 결정 신호 생성부(508)에서 생성된 경로 결정 신호 중 어느 하나를 메모리 명령에 따라 선택하여 경로 변환부(404)에 전송한다. 여기서, 메모리 명령은 쓰기 데이터 전송 명령, 쓰기 명령, 및 CAS 레이턴시(CAS Latency: CL)에 따른 읽기 명령 중 어느 하나일 수 있다.

<33> 제1 경로 결정 신호 생성부(502)는 메모리 명령이 쓰기 명령 또는 쓰기 데이터 전송 명령이면, 쓰기 메모리 데이터가 데이터 경로(410)로부터 DQ 핀(422)까지 전송되도록 데이터 경로(410)에 DQ 핀(422)이 연결되게 하는 경로 결정 신호를 생성한다.

<34> 제1 경로 결정 신호 생성부(502)에서 생성된 경로 결정 신호는 MCU가 메모리로 쓰기 명령에 상응하는 쓰기 메모리 데이터를 전송할 때, 경로 변환부(404)가 데이터 경로(410)에 DQ 핀(422)을 연결하게 한다. 따라서, 쓰기 메모리 데이터는 메모리 동작 규격대로 메모리로 전송되게 된다.

<35> 제2 경로 결정 신호 생성부(504)는 메모리 명령이 쓰기 명령이면, 쓰기 메모리 데이터에 대한 메모리 어드레스가 어드레스 경로(408)를 통해 DQ 핀(422)으로 전송되도록 어드레스 경로(408)에 DQ 핀(422)이 연결되게 하는 경로 결정 신호를 생성한다.

<36> 제2 경로 결정 신호 생성부(504)에서 생성된 경로 결정 신호는 쓰기 명령에 상응하는 쓰기 메모리 데이터를 전송하기 1싸이클 전에 경로 변환부(404)가 어드레스 경로(408)에 DQ 핀(422)을 연결하게 한다. 여기서, 1싸이클

은 1 메모리 클락 주기를 의미한다.

<37> 도 6은 본 발명의 일 실시예에 따른 모니터링 방법에서 메모리 쓰기 동작을 위한 신호들의 타이밍 다이어그램이다.

<38> SDRAM을 메모리로서 사용하는 칩에서 일반적으로 메모리 어드레스를 전송하는데 필요한 핀의 수는 메모리 데이터를 전송하는데 필요한 핀의 수 보다 크지 않다. 일 예로, 8개의 DQ 핀을 가진 64Mbit의 메모리 칩이 8개 장착된 메모리 모듈에는 총 64개의 DQ 핀이 존재하게 되며, 메모리 모듈의 어드레스 핀 개수인 15개보다 많다.

<39> 이 점을 이용하여 메모리 어드레스 값을 메모리의 DQ 핀(422)에 전송한다면 칩 사용자가 DQ 핀(422)의 값을 보고 쉽게 MCU가 사용하는 실제 메모리 어드레스를 파악할 수 있다.

<40> 도 6을 참조하면, 메모리와 MCU의 연결 부분에서, CLK는 클락을, ADDR은 로우 어드레스 또는 컬럼 어드레스를, nRAS는 RAS(Row Address Strobe) 신호의 인버팅(Inverting)된 값을, nCAS는 CAS(Column Address Strobe) 신호의 인버팅된 값을 나타낸다.

<41> 또한, DQ는 메모리 데이터를, nDQM은 DQM(DQ Mask) 신호의 인버팅된 값을, nWE는 WE(Write Enable) 신호의 인버팅된 값을 나타낸다.

<42> DQ 핀(422)에 실제 메모리 어드레스를 나타낼 경우, 실제 칩과 메모리 동작에 영향을 주면 안되고 단지 사용자가 편하게 볼 수 있게 하여야 한다. 이를 위해서, 도 6의 쓰기 동작에서 제2 경로 결정 신호 생성부(504)에서 생성된 경로 결정 신호는 nCAS신호가 “low”인 구간 1싸이클 전에 실제 메모리 어드레스(A1,A2)가 1싸이클 동안 DQ 핀(422)으로 전송되게 한다.

<43> 즉, 해당 경로 결정 신호에 의해 경로 변환부(404)는 쓰기 메모리 데이터가 메모리로 전송되기 1 메모리 클락 주기 전에 1 메모리 클락 주기 동안 어드레스 경로(408)에 DQ 핀(422)을 연결하고, DQ 핀(422)으로 A1(602) 또는 A2(604)를 전송한다.

<44> 결국, 실제 칩과 메모리 동작에 아무런 영향 없이, 사용자는 DQ 핀(422)에서 모니터링되는 신호로써 메모리 어드레스와 데이터 값을 손쉽게 알 수 있다.

<45> 도 7a는 서로 다른 컬럼 어드레스가 연속적으로 발생하여 DQ 핀(422)에서 메모리 어드레스와 메모리 데이터가 충돌하는 것을 나타낸 도면이다.

<46> 제2 경로 결정 신호 생성부(504)에서 생성된 경로 결정 신호가 경로 변환부(404)를 제어하여 nCAS신호가 “low”인 구간 1싸이클 전에 실제 메모리 어드레스(A1,A2)가 1싸이클 동안 전송되게 하고, 서로 다른 컬럼 어드레스가 연속적으로 발생하는 경우를 가정한다.

<47> 도시된 바와 같이, 컬럼 어드레스 CAS_ADDR1과 CAS_ADDR2가 연속적으로 발생하여, nCAS가 연속하여 2싸이클 동안 “low”의 값을 갖는다면 메모리 어드레스 A2와 메모리 데이터 D1은 동시에 DQ 핀(422)으로 전송되어 충돌(702a)이 발생한다.

<48> 이 경우는 본 발명에 의해서 모니터링을 위한 메모리 어드레스 전송이 잘못 이루어지는 사례를 보여 준다. 이를 해결하기 위해서 메모리 데이터와 메모리 어드레스가 동시에 전송되는 경우, 메모리 데이터에 우선 순위를 주는 방법을 사용한다.

<49> 즉, 경로 변환부(404)는 쓰기 메모리 데이터가 데이터 경로(410)를 통해 전송되거나 DQ 핀(422)으로부터 읽기 메모리 데이터가 수신되면 어드레스 경로(408)와 DQ 핀(422) 사이의 연결을 끊는다. 그리고, 메모리와 메모리 데이터를 송수신하기 위해 DQ 핀(422)을 데이터 경로(410)에 연결한다.

<50> 도 7b는 서로 다른 컬럼 어드레스가 연속적으로 발생하는 경우, 메모리 데이터에 우선 순위를 주어 메모리 데이터만이 DQ 핀(422)으로 전송되는 것을 나타낸 도면이다.

<51> 도 7b를 참조하면, 도 7a에서의 충돌 구간(702a)이었던 시간 구간(702b)에서 우선 순위을 가진 메모리 데이터 D1만이 DQ 핀(422)으로 전송된 것을 확인 할 수 있다.

<52> 그런데, 메모리는 파이프라인 형태로 명령을 수행하고, 한 명령이 완료된 후, 다음 명령이 발생하므로, 쓰기 동작을 연속으로 하는 경우는 거의 없다. 만약 연속적인 쓰기 동작을 해야 하는 경우, 메모리 데이터의 우선순위를 항상 메모리 어드레스 보다 높게 한다면, 충돌 문제를 해결할 수 있다.

<53> 다시, 도 5를 참조하면, 제3 경로 결정 신호 생성부(506)는 메모리 명령이 CL2(Cas Latency=2) 읽기 명령이면,

읽기 메모리 데이터에 대한 메모리 어드레스가 어드레스 경로(408)를 통해 DQ 핀(422)으로 전송되도록 어드레스 경로(408)에 DQ 핀(422)이 연결되게 하는 경로 결정 신호를 생성한다.

<54> 제3 경로 결정 신호 생성부(506)에서 생성된 경로 결정 신호는 CL2 읽기 명령에 상응하는 읽기 메모리 데이터가 수신되기 1싸이클 전에 경로 변환부(404)가 어드레스 경로(408)에 DQ 핀(422)을 연결하게 한다.

<55> 제4 경로 결정 신호 생성부(508)는 메모리 명령이 CL3(Cas Latency=3) 읽기 명령이면, 읽기 메모리 데이터에 대한 메모리 어드레스가 어드레스 경로(408)를 통해 DQ 핀(422)으로 전송되도록 어드레스 경로(408)에 DQ 핀(422)이 연결되게 하는 경로 결정 신호를 생성한다.

<56> 제4 경로 결정 신호 생성부(508)에서 생성된 경로 결정 신호는 CL3 읽기 명령에 상응하는 읽기 메모리 데이터가 전송되기 1싸이클 전에 경로 변환부(404)가 어드레스 경로(408)에 DQ 핀(422)을 연결하게 한다.

<57> 도 8은 본 발명의 일 실시예에 따른 모니터링 방법에서 메모리 읽기 동작을 위한 신호들의 타이밍 다이어그램이다.

<58> 도 8을 참조하면, 제3 경로 결정 신호 생성부(506)에서 생성된 경로 결정 신호는 nCAS신호가 “low”인 구간 1싸이클 후에, 즉, 읽기 데이터 메모리(D1: 804)가 메모리로부터 수신되기 1싸이클 전에, 실제 메모리 어드레스(A1: 802)가 1싸이클 동안 DQ 핀(422)으로 전송되게 한다.

<59> 따라서, 해당 경로 결정 신호에 의해 경로 변환부(404)는 D1(804)이 메모리로부터 전송되기 1 메모리 클락 주기 전에 1 메모리 클락 주기 동안 어드레스 경로(408)에 DQ 핀(422)을 연결하고, DQ 핀(422)으로 A1(802)를 전송한다.

<60> 또한, 제4 경로 결정 신호 생성부(508)에서 생성된 경로 결정 신호는 nCAS신호가 “low”인 구간 2싸이클 후에, 즉, 읽기 메모리 데이터(D2: 808)가 메모리로부터 수신되기 1싸이클 전에, 실제 메모리 어드레스(A2: 806)가 1싸이클 동안 DQ 핀(422)으로 전송되게 한다.

<61> 따라서, 해당 경로 결정 신호에 의해 경로 변환부(404)는 D2(808)가 메모리로부터 전송되기 1 메모리 클락 주기 전에 1 메모리 클락 주기 동안 어드레스 경로(408)에 DQ 핀(422)을 연결하고, DQ 핀(422)으로 A2(806)를 전송한다.

<62> 상술한 바와 같이, 메모리 어드레스(A1,A2: 802,806)는 CL에 의해서 전송 시점이 변경된다. 그리고, 쓰기 동작과 동일하게 메모리 데이터(D1,D2: 804,808) 보다 1싸이클 앞에 메모리 어드레스(A1,A2: 802,806)를 보냄으로써 사용자가 편리하게 메모리 어드레스(A1,A2: 802,806)를 모니터링할 수 있게 한다.

<63> 또한, 메모리 읽기 동작이 수행될 경우, 메모리 읽기 동작이 완료되기 전에 쓰기 동작 또는 읽기 동작이 시작되지 않는다. 그러므로 읽기 명령 후, 바로 다른 명령이 전송되지 않으므로 도 7a와 같은 충돌 현상은 발생하지 않는다.

<64> 도 9는 본 발명의 일 실시예에 따른 DQ신호의 시퀀스(Sequence)와 nWE 신호의 타이밍 다이어그램이다.

<65> 도시된 바와 같이, 경로 결정 신호 생성부(406)는 메모리 명령에 따라 nWE 신호가 하이(High) 전압 레벨인 시간 구간에서 메모리의 DQ신호 시퀀스(902,904,906) 중 1번째 DQ신호가 상기 메모리 어드레스가 되도록 경로 결정 신호를 생성한다. 여기서, 경로 결정 신호는 메모리 명령에 따라 제1 경로 결정 신호 생성부(502), 제2 경로 결정 신호 생성부(504), 제3 경로 결정 신호 생성부(506), 또는 제4 경로 결정 신호 생성부(508)에서 생성되며, 경로 결정 신호 선택부(501)에 의해 선택된 것이다.

<66> 따라서, 사용자는 SDRAM에 사용되는 모든 신호를 확인할 필요 없이, 도 9와 같이 DQ신호와 nWE신호만으로 SDRAM 동작을 확인해 볼 수 있다. 즉, nWE 신호가 “low”일 경우는 쓰기 동작이고, 그 외의 경우는 읽기 동작임을 파악할 수 있다. 그리고, DQ신호 시퀀스(902,904,906) 중 1번째 DQ신호는 메모리 어드레스이고, 그 이후의 값은 메모리 데이터라는 사실을 쉽게 알 수 있으므로, 메모리 명령에 상응하는 메모리 어드레스를 쉽게 모니터링할 수 있다.

<67> 도 10은 본 발명의 일 실시예에 따른 메모리 어드레스의 모니터링 방법을 나타낸 순서도이다.

<68> 먼저, 메모리 명령에 따라 메모리의 데이터 단자에 어드레스 경로를 연결할 지 결정하는 경로 결정 신호를 생성한다(S1002).

<69> 여기서, 어드레스 경로를 통해 메모리의 로우 어드레스 또는 컬럼 어드레스로 변환되는 메모리 어드레스가 전송

된다.

<70> 일 실시예에 있어서, 메모리 명령은 쓰기 데이터 전송 명령, 쓰기 명령, 및 CL에 따른 읽기 명령 중 어느 하나일 수 있다.

<71> 다음으로, 경로 결정 신호가 생성되면, 경로 결정 신호에 따라 메모리 데이터 전송 전에 어드레스 경로를 메모리의 데이터 단자에 연결한다(S1004).

<72> 다음으로, 어드레스 경로가 메모리의 데이터 단자에 연결되면, 메모리의 데이터 단자를 통해 메모리 어드레스가 모니터링되도록 메모리의 데이터 단자에 메모리 명령에 상응하는 메모리 어드레스를 전송한다(S1006).

<73> 일 실시예에 있어서, 경로 결정 신호는 메모리 데이터가 송신되거나 수신되기 1 메모리 클락 전에 1클락 메모리 주기 동안 상기 메모리의 데이터 단자가 상기 어드레스 경로에 연결되도록 연결 여부를 결정할 수 있다.

<74> 일 실시예에 있어서, 경로 결정 신호는 메모리의 데이터 단자에 데이터 경로 및 어드레스 경로 중 어느 하나를 연결할 지 결정할 수 있다.

<75> 일 실시예에 있어서, 경로 결정 신호에 의해 어드레스 경로가 상기 메모리의 데이터 단자에 연결되는 시간 구간은 읽기 명령의 CL에 따라 변화될 수 있다.

<76> 일 실시예에 있어서, 경로 결정 신호는 nWE 신호가 하이(High) 전압 레벨인 시간 구간에서 상기 메모리의 DQ신호 시퀀스 중 1번째 DQ신호가 상기 메모리 어드레스가 되도록 상기 어드레스 경로에 대한 연결 여부를 결정할 수 있다.

<77> 다음으로, 메모리 어드레스 전송 중 메모리의 데이터에 대한 전송이 발생할 경우, 어드레스 경로와 메모리의 데이터 단자 사이의 연결을 끊고 데이터 경로를 메모리의 데이터 단자에 연결한다(S1008). 따라서, 메모리 데이터를 전송 해야 하는 시간 구간에서는 모니터링을 위한 메모리 어드레스보다 메모리 데이터에 우선 순위를 주어, 메모리 데이터만이 메모리의 데이터 단자에 전송되게 한다.

<78> 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

<79> 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

<80> 도 1은 일반적인 SDRAM의 메모리 어드레스와 로우 어드레스의 매핑 관계, 및 메모리 어드레스와 컬럼 어드레스의 매핑 관계를 나타낸 도면.

<81> 도 2는 일반적인 SDRAM에서 쓰기 명령이 수행될 때의 타이밍도.

<82> 도 3은 일반적인 SDRAM에서 읽기 명령이 수행될 때의 타이밍도.

<83> 도 4는 본 발명의 일 실시예에 따른 메모리 어드레스의 모니터링 장치 및 주변 장치를 나타낸 블럭도.

<84> 도 5는 본 발명의 일 실시예에 따른 경로 결정 신호 생성부를 나타낸 블록도.

<85> 도 6은 본 발명의 일 실시예에 따른 모니터링 방법에서 메모리 쓰기 동작을 위한 신호들의 타이밍 다이어그램.

<86> 도 7a는 서로 다른 컬럼 어드레스가 연속적으로 발생하여 DQ 핀에서 메모리 어드레스와 메모리 데이터가 충돌하는 것을 나타낸 도면.

<87> 도 7b는 서로 다른 컬럼 어드레스가 연속적으로 발생하는 경우, 메모리 데이터에 우선 순위를 주어 메모리 데이터만이 DQ 핀으로 전송되는 것을 나타낸 도면.

<88> 도 8은 본 발명의 일 실시예에 따른 모니터링 방법에서 메모리 읽기 동작을 위한 신호들의 타이밍 다이어그램.

<89> 도 9는 본 발명의 일 실시예에 따른 DQ신호의 시퀀스와 nWE 신호의 타이밍 다이어그램.

<90> 도 10은 본 발명의 일 실시예에 따른 메모리 어드레스의 모니터링 방법을 나타낸 순서도.

<91> <도면의 주요부분에 대한 부호의 설명>

<92> 402: 메모리 어드레스의 모니터링 장치 404: 경로 변환부

<93> 406: 경로 결정 신호 생성부 408: 어드레스 경로

<94> 410: 데이터 경로 412: 로우 및 컬럼 어드레스 결정부

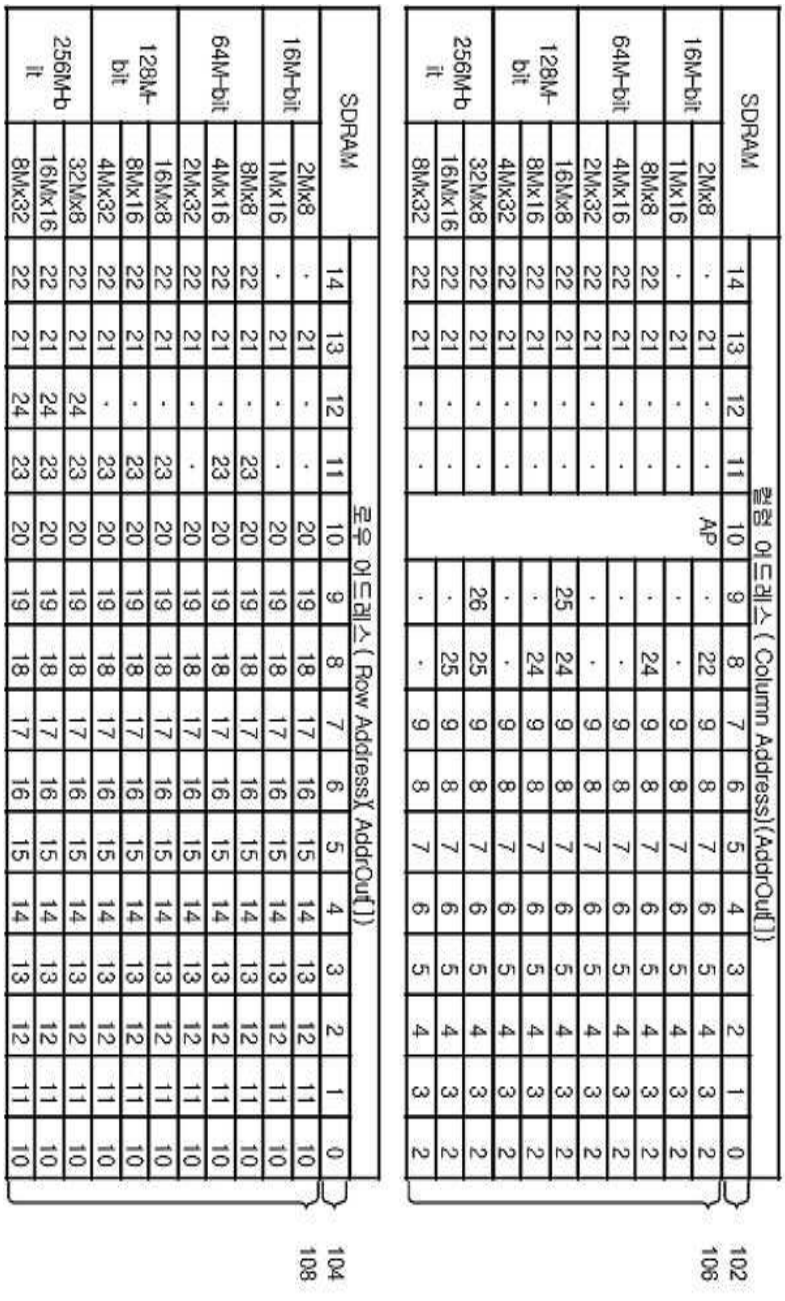
<95> 414: 로우 어드레스 생성부 416: 컬럼 어드레스 생성부

<96> 418: MUX 420: 어드레스 핀

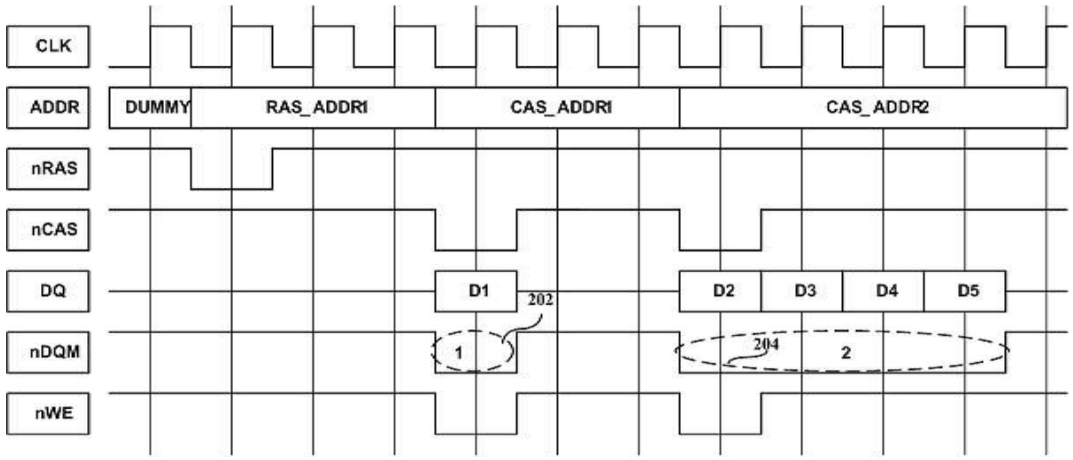
<97> 422: DQ 핀

도면

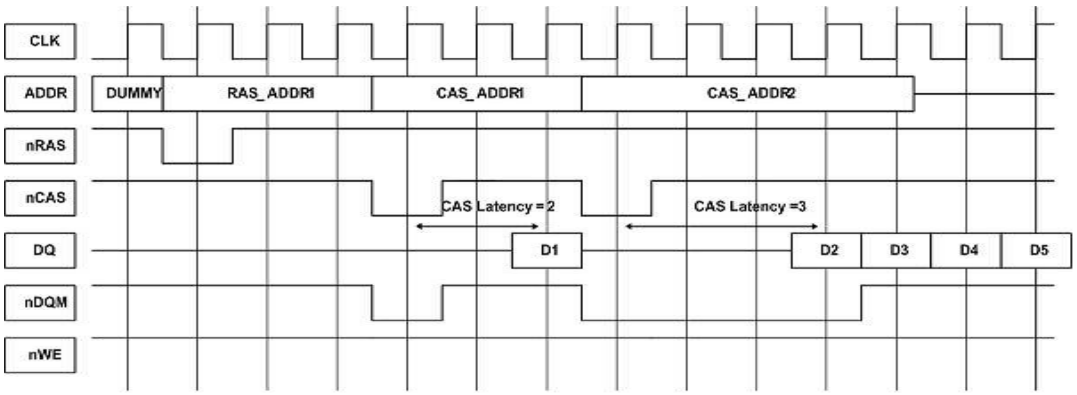
도면1



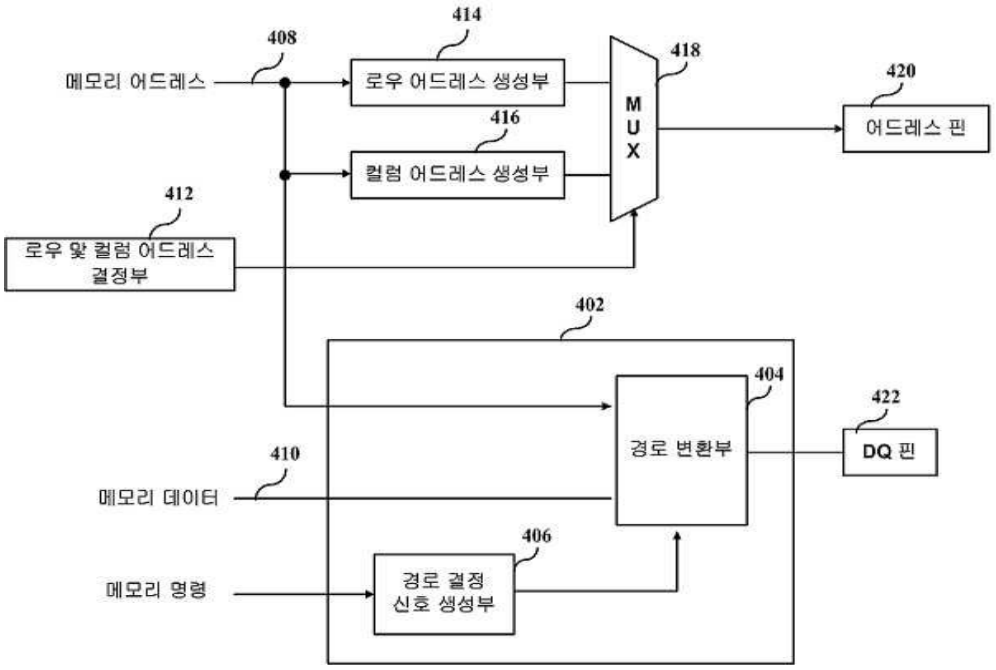
도면2


CLK
ADDR
DUMMY
RAS_ADDR1
CAS_ADDR1
CAS_ADDR2
nRAS
nCAS
DQ
D1
202
D2
D3
D4
D5
nDQM
1
204
2
nWE

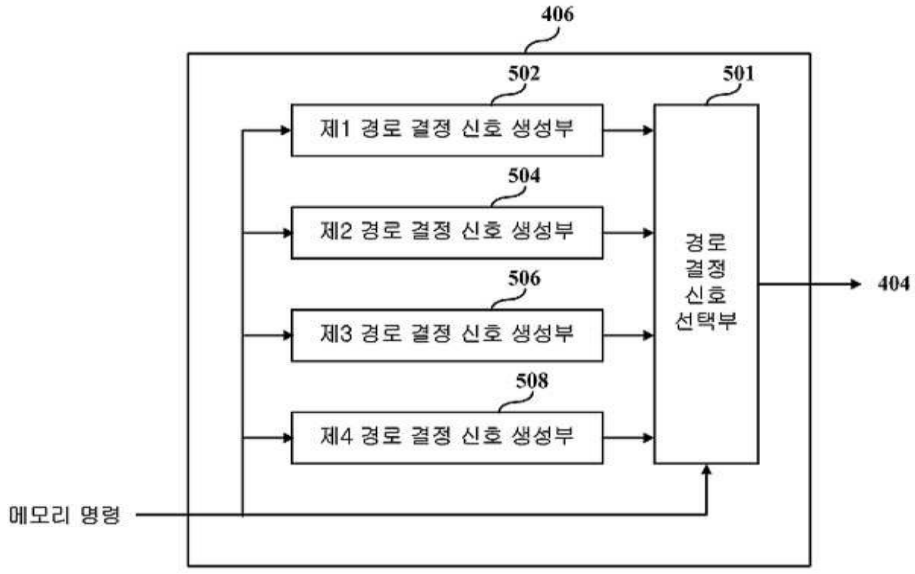
도면3


CLK
ADDR
DUMMY
RAS_ADDR1
CAS_ADDR1
CAS_ADDR2
nRAS
nCAS
CAS Latency = 2
CAS Latency = 3
DQ
D1
D2
D3
D4
D5
nDQM
nWE

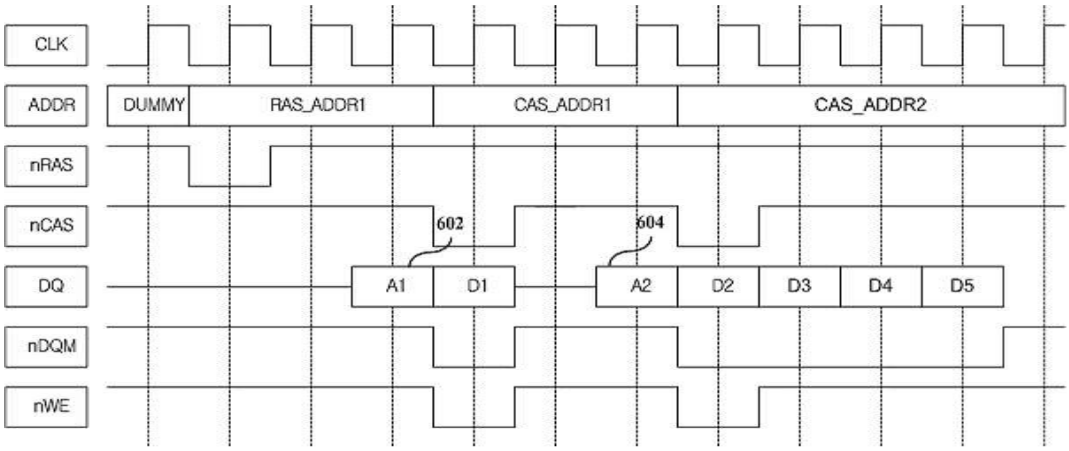
도면4


414
408
메모리 어드레스
로우 어드레스 생성부
418
MUX
420
어드레스 핀
416
컬럼 어드레스 생성부
412
로우 및 컬럼 어드레스 결정부
402
404
422
경로 변환부
DQ 핀
410
메모리 데이터
406
메모리 명령
경로 결정 신호 생성부

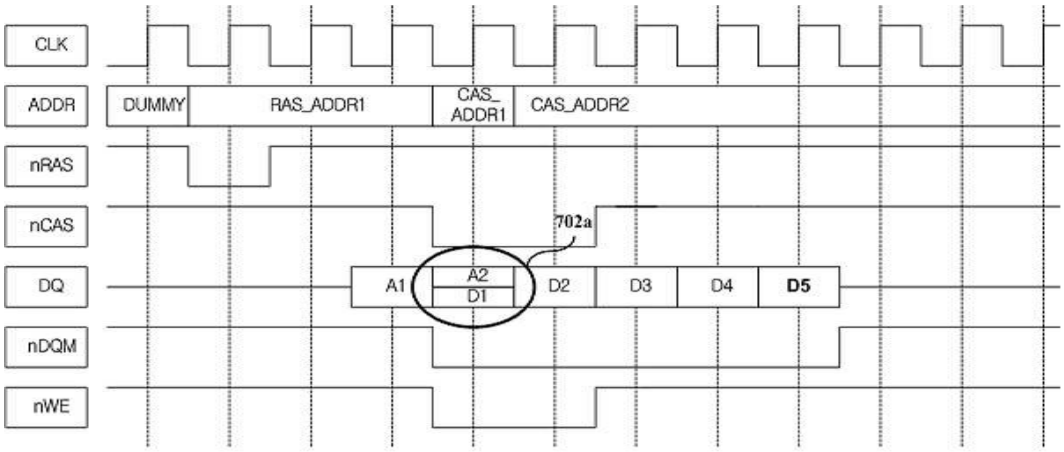
도면5


406
502
501
제1 경로 결정 신호 생성부
504
제2 경로 결정 신호 생성부
506
제3 경로 결정 신호 생성부
508
제4 경로 결정 신호 생성부
경로 결정 신호 선택부
404
메모리 명령

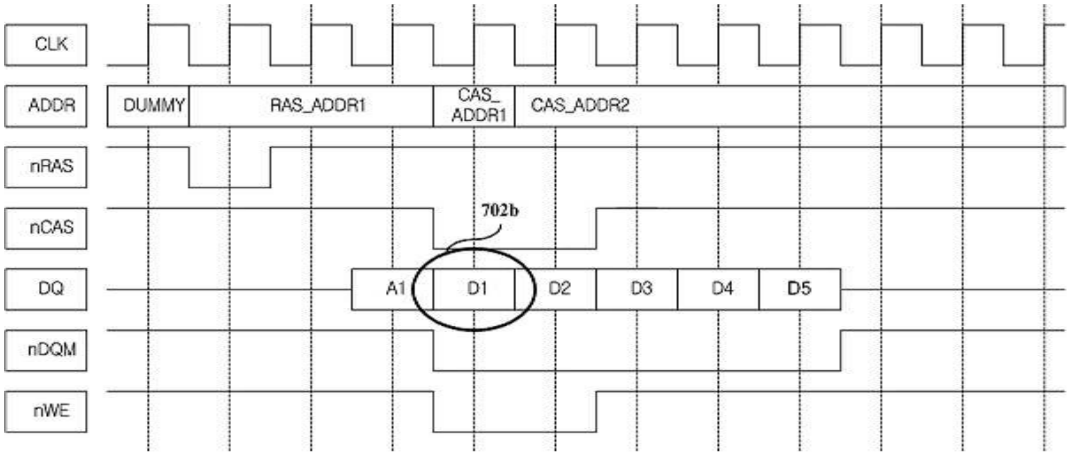
도면6


CLK
ADDR
DUMMY
RAS_ADDR1
CAS_ADDR1
CAS_ADDR2
nRAS
nCAS
602
604
DQ
A1
D1
A2
D2
D3
D4
D5
nDQM
nWE

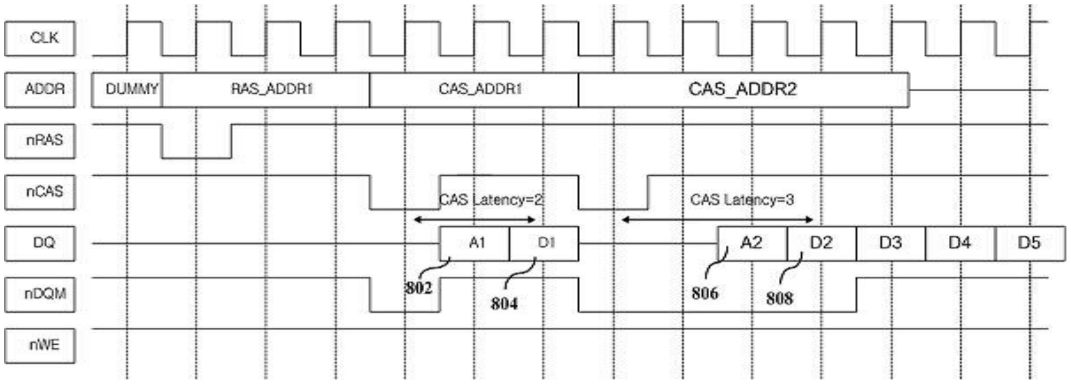
도면7a



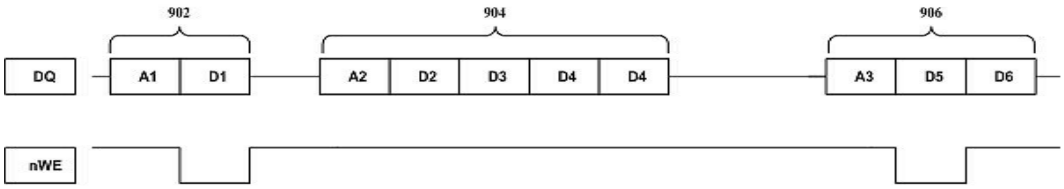
도면7b



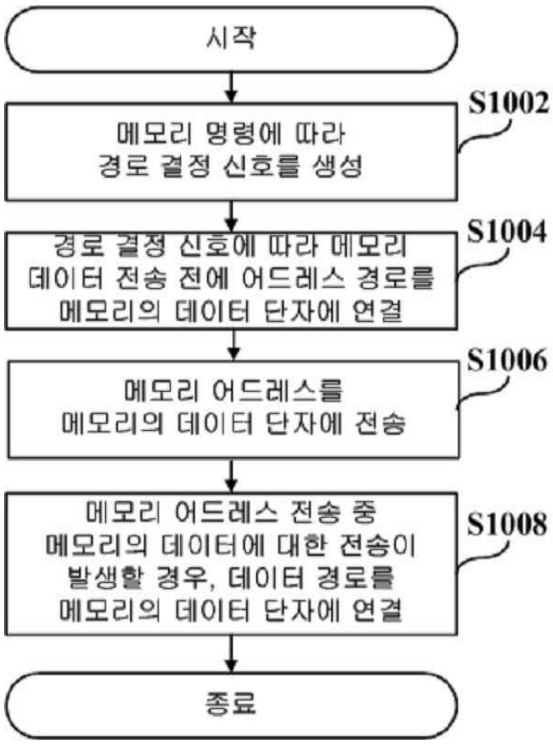
도면8



도면9


902
904
906
DQ
A1
D1
A2
D2
D3
D4
D4
A3
D5
D6
nWE

도면10


시작
메모리 명령에 따라
경로 결정 신호를 생성
S1002
경로 결정 신호에 따라 메모리
데이터 전송 전에 어드레스 경로를
메모리의 데이터 단자에 연결
S1004
메모리 어드레스를
메모리의 데이터 단자에 전송
S1006
메모리 어드레스 전송 중
메모리의 데이터에 대한 전송이
발생할 경우, 데이터 경로를
메모리의 데이터 단자에 연결
S1008
종료