

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成27年8月6日 (2015.8.6)

【公開番号】特開2013-102417(P2013-102417A)
 【公開日】平成25年5月23日 (2013.5.23)
 【年通号数】公開・登録公報2013-026
 【出願番号】特願2012-172302(P2012-172302)
 【国際特許分類】

H 0 3 K 5/15 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/82 (2006.01)

【F I】

H 0 3 K 5/15 P

H 0 1 L 27/04 A

H 0 1 L 21/82 W

【手続補正書】
 【提出日】平成27年6月22日 (2015.6.22)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体集積回路のクロック分配回路であって、
クロック信号を生成するクロック生成回路と、
前記クロック信号が分配されるクロック分配網と、
前記クロック分配網の分岐点を通じて分配されるクロック信号で動作する順序回路とを
有し、

前記クロック生成回路は、前記分岐点から分岐した前記クロック信号をフィードバック
信号として入力し、該入力したフィードバック信号とリファレンスクロック信号とに基づ
いて、前記クロック信号を前記クロック分配網へ出力するように構成され、

前記分岐点は、前記クロック分配網の順序回路の前段のクロックドライバのうち、前記
 クロック生成回路の近傍にあるクロックドライバに設けられる

ことを特徴とするクロック分配回路。

【請求項 2】

前記分岐点と前記クロック生成回路とを接続するフィードバックパスが配線集中を避けて構成されることを特徴とする請求項 1 に記載のクロック分配回路。

【請求項 3】

前記分岐点は、機能及び性能の少なくともいずれかに関連の低い順序回路の前段のクロックドライバに設けられることを特徴とする請求項 1 に記載のクロック分配回路。

【請求項 4】

前記クロック分配網は、前記クロック生成回路の近傍にフィードバック信号用の順序回路を含み、該フィードバック信号用の順序回路に分岐点を有することを特徴とする請求項 1 に記載のクロック分配回路。

【請求項 5】

前記分岐点は、他のクロックドメインで管理されるブロックとのデータ転送パスを有す

る順序回路の前段のクロックドライバに設けられることを特徴とする請求項1に記載のクロック分配回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明の一側面によれば、半導体集積回路のクロック分配回路であって、クロック信号を生成するクロック生成回路と、前記クロック信号が分配されるクロック分配網と、前記クロック分配網の分岐点を通じて分配されるクロック信号で動作する順序回路とを有し、前記クロック生成回路は、前記分岐点から分岐した前記クロック信号をフィードバック信号として入力し、該入力したフィードバック信号とリファレンスクロック信号とに基づいて、前記クロック信号を前記クロック分配網へ出力するように構成され、前記分岐点は、前記クロック分配網の順序回路の前段のクロックドライバのうち、前記クロック生成回路の近傍にあるクロックドライバに設けられることを特徴とするクロック分配回路が提供される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

まず、図6のフローチャートを参照して、レイアウトデータに基づいてフィードバックパスを設ける方法について説明する。ここでは、例えば、通常のCTS (Clock Tree Synthesis) 手法などによってクロック配線が実行され詳細な配置配線が実行された後のレイアウトデータが活用される。はじめに、レイアウトデータに基づいてクロック生成回路の近傍に存在する順序回路を抽出する(S601)。図3では、順序回路26n1, 26n2, 26n3がクロック生成回路の近傍に存在する。よってここでは、フィードバックパス分岐点は、クロック分配回路網の最終段のクロックドライバ25n1, 25n2, 25n3のうちクロック生成回路23近傍にあるいずれかのクロックドライバ25n1, 25n2, 25n3の出力端子側の位置に設定される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

図5は、本実施例に係るクロック分配回路の一例を示す概略ブロック図である。クロック分配回路31aは、半導体集積回路内に設けられ、第1のリファレンスクロック信号として外部のクロック信号の周波数および位相を参照信号として生成されたクロック信号を、複数の順序回路36へ分配する。ここで、順序回路36aと順序回路36bはデータ転送のため接続されている。データ転送パス38は、異ドメイン間データ転送パスを構成している。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

クロック分配回路31aは、クロック分配網32aと、PLLなどのクロック生成回路33aと、分配回路34、クロックドライバ35と、配線とを具備する。第1フィードバック信号用の分岐

点として、クロック分配網の最終段のクロックドライバのうち、クロック生成回路近傍にあるクロックドライバに分岐点NA2を設ける。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

ここで、第1フィードバック信号用の分岐点は、クロック分配網の最終段のクロックドライバのうち、クロック生成回路33a近傍にあるクロックドライバ35na1の出力の端子側の位置に設定される。よって、フィードバックパス37aは実際の回路レイアウトで製造バラツキによるタイミングのズレが設計マージンに収まるように構成される。フィードバックパス37aは、クロック生成回路33a近傍にあるクロックドライバ35na1の出力端子側から得るため、基本的には配線のみで構成することができ、遅延バラツキを生じさせる構成要素を最小限に抑えることができる。そのため分岐点NA2からリーフの順序回路36aの間の遅延時間と分岐点NA2からクロック生成回路33aの間の遅延時間を合わせることができ、位相調整の精度を向上することができる。なお、図5ではフィードバックパス37aが配線のみで構成されているが、設計マージン内に収まるならばクロックドライバが挿入されていても構わない。また設計マージン内に収まるようにフィードバック分岐点NA2に対してクロック生成回路33aが近くに来るように配置させるような構成であってもよい。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

したがって、分岐点NA2までの同一のクロック分配パスによって分配されたクロック信号が、分岐点NA2を設けた順序回路36aのクロック入力と、クロック生成回路33aのFBK端子とに、分岐点NA2からの分配遅延がほぼ等しくなるように分配される。このため、クロック生成回路のFBK端子でのクロック信号は、順序回路36aのクロック入力のクロック信号と同じ周波数であり、ほぼ位相が等しく位相調整を正しく行うことができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

クロック生成回路33bは、第2フィードバック信号を、第2リファレンスクロック信号に同期するように周波数および位相を変調し、第2クロック信号としてクロック分配網32bに出力する。ここで、第2リファレンスクロック信号は、外部からクロックドライバ35bおよび配線を介して、クロック生成回路33bのリファレンスクロック端子RCLKに供給される外部クロック信号である。ここでは、第2リファレンスクロック信号は、第1リファレンスクロック信号と同一である。第2フィードバック信号は、第2フィードバック分岐点NB2からフィードバックパス37bの配線を介して、クロック生成回路33bのフィードバッククロック端子FBKに供給される第2クロック信号である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

ブロック30aの接続される順序回路36のうちの順序回路36aと、ブロック30bの接続される順序回路36のうちの順序回路36bとは、データ転送パス38で接続されている。すなわち、順序回路36aと順序回路36bとの間にデータの授受があるため、両者に供給されるクロック信号の位相が揃っている必要がある。そのため、分岐点はデータ転送パスを有する順序回路36a,36bのクロック生成回路33a,33b近傍にあるクロックドライバ35na1,35nb1の出力端子側にそれぞれ設定される。図5ではクロック分配網32aにおける第1フィードバック分岐点NA2をクロックドライバ35na1の出力端子から順序回路36aのクロック入力端子までの間に設ける。同様にクロック分配網32bにおける第2フィードバック分岐点NB2をクロックドライバ35nb1の出力端子から順序回路36bのクロック入力端子までの間に設ける。第1フィードバック信号は順序回路36aのクロック入力のクロック信号とほぼ位相が等しくなる。クロック生成回路33aに第1フィードバック信号と第1リファレンスクロック信号が入力され、クロック生成回路内の位相比較器で位相差が0となるようにクロック生成回路33aは第1クロックを出力する。同様に第2フィードバック信号は順序回路36bのクロック入力のクロック信号とほぼ位相が等しくなる。クロック生成回路33bに第2フィードバック信号と第2リファレンスクロック信号が入力され、クロック生成回路内の位相比較器で位相差が0となるようにクロック生成回路33bは第2クロックを出力する。そしてクロック生成回路33a,33bには同じ位相のリファレンスクロック信号が入力されさえすれば、クロック生成回路33aのFBK端子における第1クロックとクロック生成回路33bのFBK端子における第2クロックとは同じ位相となる。したがって、順序回路36aでの第1クロック信号の位相と順序回路36bでの第2クロック信号の位相とを概ね合わせることができる。その結果、順序回路36aと順序回路36bとの間のデータ転送のタイミングが合い、データ転送に悪影響を与えることなく、異ドメイン間の位相調整の精度を向上することができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

ここで、製造工程に起因する遅延のバラツキを考える。クロック生成回路33aのCLKOUTから順序回路36aのクロック入力までの分配遅延、およびクロック生成回路33aのCLKOUTからクロック生成回路33aのFBK端子までの遅延はバラツキの影響を受ける。しかし、クロック生成回路33aのCLKOUTから分岐点NA2までを共用する構成となっているため、共用部分のバラツキは正確にクロック生成回路33aの位相調整に反映することができる。製造工程に起因する遅延の実質的な影響は、分岐点NA2から順序回路36aのクロック入力までの配線による遅延と分岐点NA2からクロック生成回路33aのFBK端子までの配線による遅延の差分となる。フィードバックパス内にクロックドライバが構成されず、配線を短く構成できるためバラツキの影響を減少させることができる。このことは、クロック分配網32bについても同様である。したがって、順序回路36aから順序回路36bのデータ転送パスにおいて、製造工程に起因したバラツキに影響を抑え、精度の高い位相調整の行うことのできるクロック分配回路を構成できる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

なお、順序回路36a,36bはFF、レジスタのほかに、クロックによって同期して出力する回路であればよい。また、クロック生成回路33a,33bから分岐点NA2,NB2までは、分岐点なしに複数のバッファを介して分岐点NA2,NB2に接続される構成であってもよい。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

【0 0 6 3】

本発明のクロック分配回路では、図 3 に示すようにフィードバックパスの分岐点をクロック生成回路の近傍にあるクロックドライバの出力端子側からフィードバックパスを設けることで、バラツキが生じる構成要素を最小に抑え、正しく位相調整を行うことができる。

【手続補正 1 3】

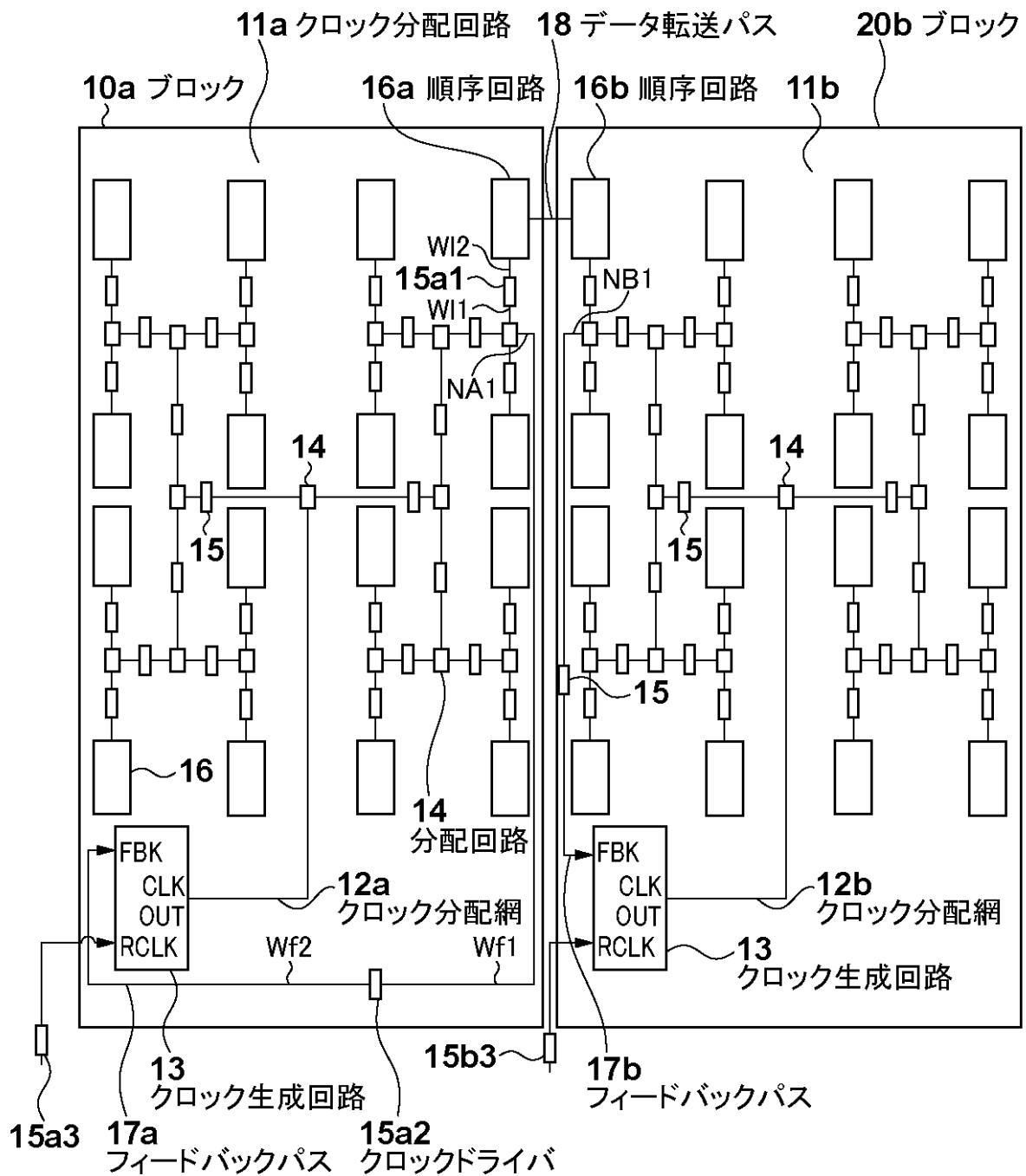
【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【図 1】



【手続補正 1 4】

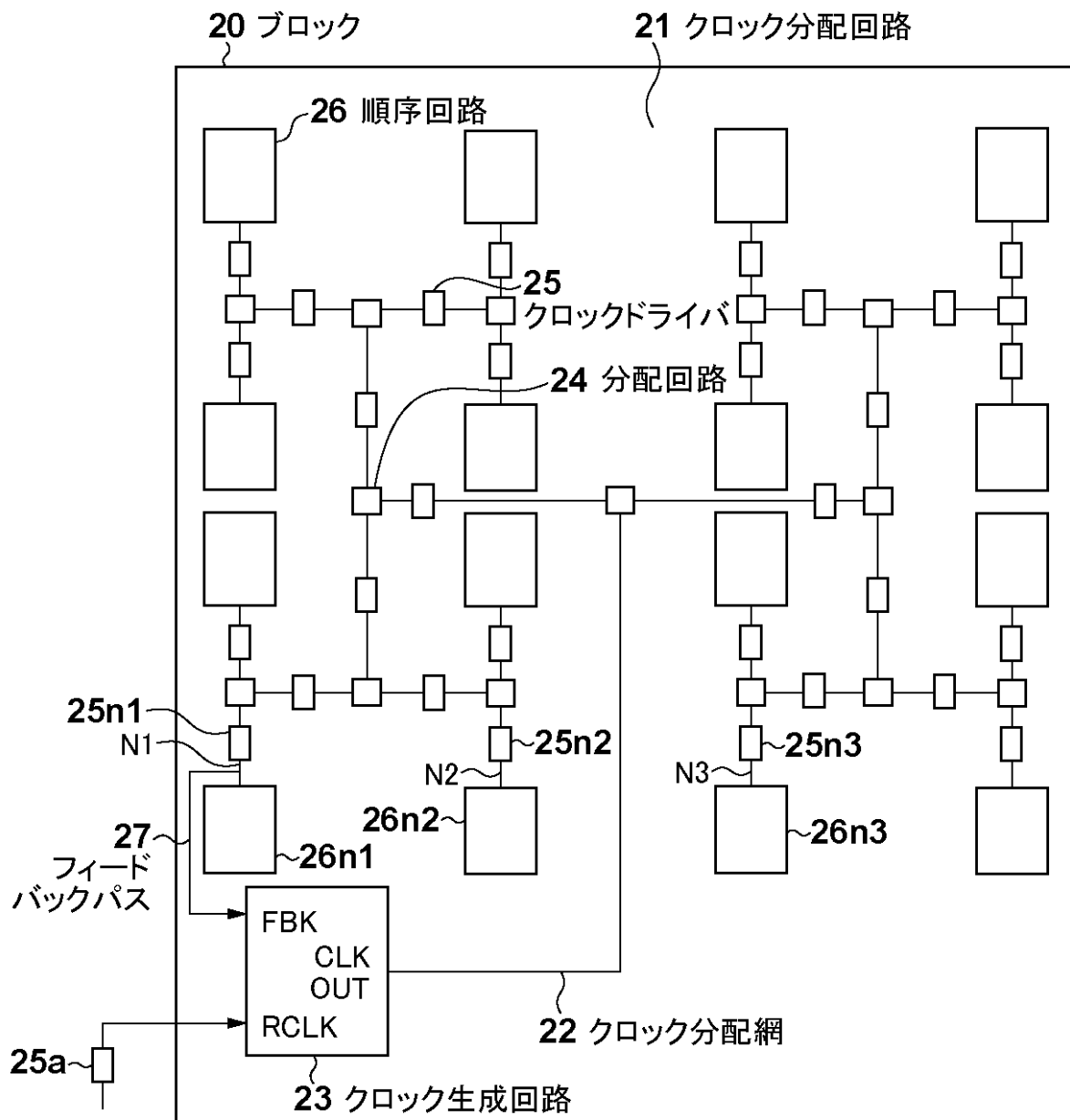
【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】変更

【補正の内容】

【図 3】



【手続補正 1 5】

【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正の内容】

【図 5】

