(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0083734
(43) 공개일자 2025년06월10일

(51) 국제특허분류(Int. Cl.)
H03M 13/15 (2015.01) *G11C 8/10* (2006.01)
(52) CPC특허분류
H03M 13/1575 (2013.01)
G11C 8/10 (2013.01)
(21) 출원번호 10-2023-0172311
(22) 출원일자 2023년12월01일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
강성윤
서울특별시 성북구 안암로 신공학관 408
박종선
서울특별시 성북구 안암로 145 창의관 716B
장문선
경기도 이천시 부발읍 경충대로 2091
(74) 대리인
김선종

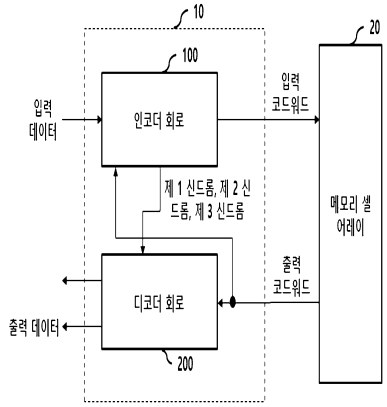
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **코딩 회로 및 이를 포함하는 메모리 장치**

(57) 요 약

본 실시예에 의한 코딩 회로는 입력 데이터와 입력 데이터에 패리티 생성 행렬을 적용하여 생성된 패리티를 연접하여 입력 코드워드를 생성하는 인코더 회로; 및 출력 코드워드를 패리티 생성 행렬에 적용하여 생성된 제 1 신드롬, 제 2 신드롬과 오류가 발생한 오류 경계를 식별하는 제 3 신드롬을 이용하여 출력 코드워드에 포함된 데이터를 구성하는 다수의 기호별로 오류를 정정하는 디코더 회로를 포함한다.

대 표 도 - 도1



1

(52) CPC특허분류
H03M 13/154 (2013.01)
H03M 13/1545 (2013.01)

명 세 서

청구범위

청구항 1

입력 데이터와 상기 입력 데이터에 패리티 생성 행렬을 적용하여 생성된 패리티를 연접하여 입력 코드워드를 생성하는 인코더 회로; 및

출력 코드워드를 상기 패리티 생성 행렬에 적용하여 생성된 제 1 신드롬, 제 2 신드롬과 오류가 발생한 오류 경계를 식별하는 제 3 신드롬을 이용하여 출력 코드워드에 포함된 데이터를 구성하는 다수의 기호별로 오류를 정정하는 디코더 회로

를 포함하는 코딩 회로.

청구항 2

청구항 1에 있어서, 상기 인코더 회로는

입력 데이터와 패딩 데이터를 연접하여 출력하는 제 1 연접 회로;

상기 제 1 연접 회로의 출력 또는 상기 출력 코드워드를 선택하여 선택 데이터를 출력하는 선택 회로;

상기 선택 데이터를 상기 패리티 생성 행렬에 적용하는 패리티 생성기; 및

상기 입력 데이터와 상기 패리티 생성기의 출력을 연접하여 상기 입력 코드워드를 생성하는 제 2 연접 회로

를 포함하는 코딩 회로.

청구항 3

청구항 2에 있어서, 인코딩 동작 시 상기 선택 회로는 상기 제 1 연접 회로의 출력을 선택하고, 디코딩 동작시 상기 선택 회로는 상기 출력 코드워드를 선택하며 상기 패리티 생성기는 상기 신드롬을 생성하는 코딩 회로.

청구항 4

청구항 1에 있어서, 상기 패리티 생성 행렬은 디코딩 동작 시 상기 출력 코드워드와 연산하여 제 1 신드롬을 생성하는 제 1 신드롬 생성 행렬, 제 2 신드롬을 생성하는 제 2 신드롬 생성 행렬, 및 제 3 신드롬을 생성하는 제 3 신드롬 생성 행렬을 포함하되,

상기 제 1 신드롬 생성 행렬은 홀수개의 오류가 존재하는지 판단할 수 있는 다수의 홀수 오류 판단행 및 상기 다수의 기호에 대응하는 다수의 오류 경계 중 오류가 발생한 오류 경계를 판단할 수 있는 다수의 오류 경계 판단행을 포함하고,

상기 제 3 신드롬 생성 행렬은 다수의 오류 경계에 대응하는 다수의 열을 포함하고,

상기 오류가 발생한 오류 경계는 상기 오류 경계 판단행, 상기 제 2 신드롬, 및 상기 제 3 신드롬에 따라 결정되는 코딩 회로.

청구항 5

청구항 4에 있어서, 상기 디코더 회로는

상기 제 1 신드롬, 상기 제 2 신드롬 및 상기 제 3 신드롬을 연산하여 상기 다수의 오류 경계에 대응하는 오류 정정 활성화 신호를 생성하는 오류 경계 판단 회로;

상기 제 2 신드롬으로부터 오류 위치를 검출하는 오류 검출 회로; 및

상기 오류 위치에 따라 상기 출력 코드워드에 포함된 데이터의 오류를 정정하여 출력 데이터를 제공하되, 상기 오류 정정 활성화 신호에 따라 상기 다수의 오류 경계 별로 오류 정정 동작 수행 여부를 결정하는 오류 정정 회로

를 포함하는 코딩 회로.

청구항 6

청구항 5에 있어서, 상기 오류 경계 판단 회로는 상기 제 1 신드롬 중 상기 다수의 홀수 오류 판단행에 대응하는 제 1 값을 참조하여 오류 개수가 홀수개인지를 판단하는 코딩 회로.

청구항 7

청구항 6에 있어서, 상기 오류 경계 판단 회로는 오류 개수가 홀수개인 경우 상기 제 1 신드롬 중 상기 다수의 오류 경계 판단행에 대응하는 제 2 값을 참조하여 오류가 발생한 오류 경계를 식별하고, 상기 식별된 오류 경계에 대해서만 오류 정정 동작이 수행되도록 상기 오류 정정 활성화 신호를 생성하는 코딩 회로.

청구항 8

청구항 7에 있어서, 상기 오류 경계 판단 회로는 오류 개수가 짝수개인 경우 상기 제 2 값이 미리 정해진 값을 가지는 경우 상기 제 2 신드롬과 상기 제 3 신드롬을 연산하여 오류가 발생한 오류 경계를 식별하여 상기 식별된 오류 경계에 대해서만 오류 정정 동작이 수행되도록 상기 오류 정정 활성화 신호를 생성하고, 상기 제 2 값이 상기 미리 정해진 값을 갖지 않는 경우 전체 오류 경계에 대해서 오류 정정 동작이 수행되도록 상기 오류 정정 활성화 신호를 생성하는 코딩 회로.

청구항 9

청구항 5에 있어서, 상기 오류 정정 회로는 다수의 기호에 대응하는 다수의 하위 오류 정정 회로를 포함하되,

상기 다수의 하위 정정 회로 각각은 하위 오류 정정 회로는 상기 오류 정정 활성화 신호에 따라 상기 오류 위치와 상기 출력 코드워드에 포함된 데이터 중 대응하는 기호 부분의 오류를 정정하는 코딩 회로.

청구항 10

메모리 셀 어레이; 및

입력 데이터를 인코딩하여 상기 메모리 셀 어레이에 입력 코드워드를 제공하고, 상기 메모리 셀 어레이에서 출력되는 출력 코드워드를 디코딩하여 출력 데이터를 생성하는 코딩 회로

를 포함하되, 상기 코딩 회로는

입력 데이터와 상기 입력 데이터에 패리티 생성 행렬을 적용하여 생성된 패리티를 연접하여 입력 코드워드를 생성하는 인코더 회로; 및

출력 코드워드를 상기 패리티 생성 행렬에 적용하여 생성된 제 1 신드롬, 제 2 신드롬과 오류가 발생한 오류 경계를 식별하는 제 3 신드롬을 이용하여 출력 코드워드에 포함된 데이터를 구성하는 다수의 기호별로 오류를 정정하는 디코더 회로

를 포함하는 메모리 장치.

청구항 11

청구항 10에 있어서, 상기 인코더 회로는

입력 데이터와 패딩 데이터를 연접하여 출력하는 제 1 연접 회로;

상기 제 1 연접 회로의 출력 또는 상기 출력 코드워드를 선택하여 선택 데이터를 출력하는 선택 회로;

상기 선택 데이터를 상기 패리티 생성 행렬에 적용하는 패리티 생성기; 및

상기 입력 데이터와 상기 패리티 생성기의 출력을 연접하여 상기 입력 코드워드를 생성하는 제 2 연접 회로

를 포함하는 메모리 장치.

청구항 12

청구항 11에 있어서, 인코딩 동작 시 상기 선택 회로는 상기 제 1 연접 회로의 출력을 선택하고, 디코딩 동작시

상기 선택 회로는 상기 출력 코드워드를 선택하며 상기 패리티 생성기는 상기 신드롬을 생성하는 메모리 장치.

청구항 13

청구항 10에 있어서, 상기 패리티 생성 행렬은 디코딩 동작 시 상기 출력 코드워드와 연산하여 제 1 신드롬을 생성하는 제 1 신드롬 생성 행렬, 제 2 신드롬을 생성하는 제 2 신드롬 생성 행렬, 및 제 3 신드롬을 생성하는 제 3 신드롬 생성 행렬을 포함하되,

상기 제 1 신드롬 생성 행렬은 홀수개의 오류가 존재하는지 판단할 수 있는 다수의 홀수 오류 판단행 및 상기 다수의 기호에 대응하는 다수의 오류 경계 중 오류가 발생한 오류 경계를 판단할 수 있는 다수의 오류 경계 판단행을 포함하고,

상기 제 3 신드롬 생성 행렬은 다수의 오류 경계에 대응하는 다수의 열을 포함하고,

상기 오류가 발생한 오류 경계는 상기 오류 경계 판단행, 상기 제 2 신드롬, 및 상기 제 3 신드롬에 따라 결정되는 메모리 장치.

청구항 14

청구항 13에 있어서, 상기 디코더 회로는

상기 제 1 신드롬, 상기 제 2 신드롬 및 상기 제 3 신드롬을 연산하여 상기 다수의 오류 경계에 대응하는 오류 정정 활성화 신호를 생성하는 오류 경계 판단 회로;

상기 제 2 신드롬으로부터 오류 위치를 검출하는 오류 검출 회로; 및

상기 오류 위치에 따라 상기 출력 코드워드에 포함된 데이터의 오류를 정정하여 출력 데이터를 제공하되, 상기 오류 정정 활성화 신호에 따라 상기 다수의 오류 경계 별로 오류 정정 동작 수행 여부를 결정하는 오류 정정 회로

를 포함하는 메모리 장치.

청구항 15

청구항 14에 있어서, 상기 오류 경계 판단 회로는 상기 제 1 신드롬 중 상기 다수의 홀수 오류 판단행에 대응하는 제 1 값을 참조하여 오류 개수가 홀수개인지를 판단하는 메모리 장치.

청구항 16

청구항 15에 있어서, 상기 오류 경계 판단 회로는 오류 개수가 홀수개인 경우 상기 제 1 신드롬 중 상기 다수의 오류 경계 판단행에 대응하는 제 2 값을 참조하여 오류가 발생한 오류 경계를 식별하고, 상기 식별된 오류 경계에 대해서만 오류 정정 동작이 수행되도록 상기 오류 정정 활성화 신호를 생성하는 메모리 장치.

청구항 17

청구항 16에 있어서, 상기 오류 경계 판단 회로는 오류 개수가 짝수개인 경우 상기 제 2 값이 미리 정해진 값을 가지는 경우 상기 제 2 신드롬과 상기 제 3 신드롬을 연산하여 오류가 발생한 오류 경계를 식별하여 상기 식별된 오류 경계에 대해서만 오류 정정 동작이 수행되도록 상기 오류 정정 활성화 신호를 생성하고, 상기 제 2 값이 상기 미리 정해진 값을 갖지 않는 경우 전체 오류 경계에 대해서 오류 정정 동작이 수행되도록 상기 오류 정정 활성화 신호를 생성하는 메모리 장치.

청구항 18

청구항 14에 있어서, 상기 오류 정정 회로는 다수의 기호에 대응하는 다수의 하위 오류 정정 회로를 포함하되,

상기 다수의 하위 정정 회로 각각은 하위 오류 정정 회로는 상기 오류 정정 활성화 신호에 따라 상기 오류 위치와 상기 출력 코드워드에 포함된 데이터 중 대응하는 기호 부분의 오류를 정정하는 메모리 장치.

발명의 설명

기 술 분 야

[0001] 본 기술은 코딩 회로와 이를 포함하는 메모리 장치를 제공한다.

배 경 기 술

[0002] 종래의 메모리 시스템은 메모리 컨트롤러에서 메모리 장치에 입출력되는 데이터를 기호 단위로 오류를 정정한다. 기호 단위로 오류를 정정하기 위하여 리드-솔로몬 코드를 사용하는 것이 일반적이다.

[0003] 리드-솔로몬 코드는 하나의 데이터 기호 단위로 오류를 정정하므로 예를 들어 1기호 오류 정정 능력이 있는 경우 1기호 내의 오류에 대해서는 비트 수에 관계없이 오류를 정정할 수 있다.

[0004] 메모리 장치 내부에 코딩 회로를 추가하여 이중으로 데이터를 보호하고자 하는 기술이 제안되고 있는데, 메모리 장치 내부의 코딩 회로를 인메모리 코딩 회로로 지칭하기도 한다.

[0005] 종래의 인메모리 코딩 회로는 2비트 오류 정정이 가능한 BCH 코딩 기술을 적용하는 것이 일반적이다.

[0006] 그러나 종래의 BCH 코딩 기술을 적용하는 경우 오류 정정 능력을 초과하는 오류, 예를 들어, 3비트 이상의 오류가 발생하는 경우 오류를 잘못 정정하면서 추가적인 오류가 발생할 수 있다.

[0007] 따라서, 인메모리 코딩 회로를 적용하지 않았다면 메모리 컨트롤러에서 정정할 수 있는 오류임에도, 인메모리 코딩 회로로 인하여 추가적인 오류가 데이터 기호의 경계를 벗어나는 경우에는 메모리 컨트롤러에서 오류를 정정하지 못하는 문제가 발생한다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) KR 10-2021-00808078 A

발명의 내용

해결하려는 과제

[0009] 본 기술은 추가적인 오류가 데이터 기호의 경계를 벗어나지 않도록 하는 코딩 회로와 이를 포함하는 메모리 장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 의한 코딩 회로는 입력 데이터와 입력 데이터에 패리티 생성 행렬을 적용하여 생성된 패리티를 연접하여 입력 코드워드를 생성하는 인코더 회로; 및 출력 코드워드를 패리티 생성 행렬에 적용하여 생성된 제 1 신드롬, 제 2 신드롬과 오류가 발생한 오류 경계를 식별하는 제 3 신드롬을 이용하여 출력 코드워드에 포함된 데이터를 구성하는 다수의 기호별로 오류를 정정하는 디코더 회로를 포함한다.

[0011] 본 발명의 일 실시예에 의한 메모리 장치는 메모리 셀 어레이; 및 입력 데이터를 인코딩하여 메모리 셀 어레이에 입력 코드워드를 제공하고, 메모리 셀 어레이에서 출력되는 출력 코드워드를 디코딩하여 출력 데이터를 생성하는 코딩 회로를 포함하되, 코딩 회로는 입력 데이터와 입력 데이터에 패리티 생성 행렬을 적용하여 생성된 패리티를 연접하여 입력 코드워드를 생성하는 인코더 회로; 및 출력 코드워드를 패리티 생성 행렬에 적용하여 생성된 제 1 신드롬, 제 2 신드롬과 오류가 발생한 오류 경계를 식별하는 제 3 신드롬을 이용하여 출력 코드워드에 포함된 데이터를 구성하는 다수의 기호별로 오류를 정정하는 디코더 회로를 포함한다.

발명의 효과

[0012] 본 기술에 의한 코딩 회로는 코딩 회로에서의 오정정으로 인한 추가적인 오류가 데이터 기호를 초과하여 발생하는 것을 방지할 수 있다.

[0013] 이에 따라 메모리 컨트롤러에서 기호 단위로 정정을 수행하는 코딩 회로가 충분히 정정할 수 있는 오류임에도 불구하고 메모리 장치 내부에 포함되는 코딩 회로의 오정정으로 인하여 정정할 수 없게 되는 문제를 해결할 수

있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 의한 메모리 장치를 나타낸 블록도.

도 2는 본 발명의 일 실시예에 의한 인코더 회로를 나타낸 블록도.

도 3은 본 발명의 일 실시예에 의한 패리티 생성 행렬을 나타내는 설명도.

도 4는 본 발명의 일 실시예에 의한 디코더 회로를 나타낸 블록도.

도 5는 본 발명의 일 실시예에 의한 오류 경계 판단 회로의 동작을 나타낸 순서도.

도 6은 본 발명의 일 실시예에 의한 오류 경계 판단 회로의 동작을 나타낸 설명도.

도 7은 본 발명의 일 실시예에 의한 오류 정정 회로를 나타낸 블록도.

발명을 실시하기 위한 구체적인 내용

[0015] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

[0016] 도 1은 본 발명의 일 실시예에 의한 메모리 장치(1)를 나타내는 블록도이다.

[0017] 본 발명의 일 실시예에 의한 메모리 장치(1)는 코딩 회로(10)와 메모리 셀 어레이(20)를 포함한다.

[0018] 메모리 셀 어레이(20)는 쓰기 동작 시 코딩 회로(10)에서 생성된 입력 코드워드를 저장하고, 읽기 동작 시 출력된 출력 코드워드를 코딩 회로(10)에 제공한다.

[0019] 코딩 회로(10)는 입력 데이터를 인코딩하여 입력 코드워드를 생성하는 인코더 회로(100) 및 출력 코드워드를 디코딩하여 출력 데이터와 검출 신호를 생성하는 디코더 회로(200)를 포함한다.

[0020] 디코더 회로(200)는 출력 코드워드를 인코더 회로(100)에 제공하고 이에 대응하여 생성된 제 1 내지 제 3 신드롬을 참조하여 오류를 정정하여 출력 데이터를 생성한다.

[0021] 이때. 출력 코드워드를 패리티 생성 행렬에 적용하여 생성한 패리티를 신드롬으로 지칭하며, 제 1 신드롬, 제 2 신드롬, 및 제 3 신드롬을 포함한다.

[0022] 제 1 신드롬은 종래의 BCH 디코딩 회로에서 생성되는 신드롬 중 0번 신드롬(신드롬0, S0)에 대응한다.

[0023] 제 2 신드롬은 종래의 BCH 디코딩 회로에서 생성되는 신드롬 중 1번 신드롬(신드롬1, S1) 및 3번 신드롬(신드롬3, S3)을 포함한다.

[0024] 제 3 신드롬은 오류 경계 판단 신드롬으로서 디코딩 결과 추가로 발생한 오류가 데이터 기호 사이의 경계를 벗어났는지를 판단하는데 사용한다. 이하에서, 데이터 기호 사이의 경계를 오류 경계로 지칭할 수 있다.

[0025] 오류 경계 판단 신드롬을 이용하여 오류 경계를 벗어났는지 판단하는 방법에 대해서는 아래에서 다시 구체적으로 개시한다.

[0026] 메모리 장치(1)는 데이터의 읽기 또는 쓰기를 위해 필요한 제어 회로를 더 포함할 수 있으나 이들은 종래 기술과 차이가 없으므로 반복적인 설명은 생략한다.

[0027] 도 2는 본 발명의 일 실시예에 의한 인코더 회로(100)를 나타낸 블록도이다.

[0028] 인코더 회로(100)는 패리티 생성기(110), 제 1 연접 회로(120), 선택 회로(130), 제 2 연접 회로(140)를 포함한다.

[0029] 패리티 생성기(110)는 선택 회로(130)에서 출력된 선택 데이터를 패리티 생성 행렬와 연산하여 패리티를 생성한다.

[0030] 본 실시예에서 입력 데이터 및 출력 데이터는 128비트 데이터이고, 패리티는 24비트이며, 1개의 데이터 기호는 16비트를 포함하는 것으로 가정한다.

[0031] 이에 따라 선택 데이터, 입력 코드워드, 및 출력 코드워드는 152비트이다.

[0032] 도 3은 본 발명의 일 실시예에 의한 패리티 생성 행렬을 나타낸다.

[0033] 본 실시예에서 패리티 생성 행렬은 40 x 152 차원을 가진다.

[0034] 도 3에서 상위 32개의 행과 좌측 144개의 열로 구성된 32x144 차원의 행렬은 종래의 BCH 코딩 기술에서 사용하는 패리티 생성 행렬에 대응하는 부분이다.

[0035] 본 발명에서는 종래의 패리티 생성 행렬을 구성하는 방법에 특정한 조건을 부여하는 동시에 종래의 패리티 생성 행렬을 확장함으로써 추가적인 오류가 오류 경계를 넘어서 발생하는 것을 차단한다.

[0036] 도 3에서 상위 16개 행은 제 1 신드롬을 생성하는 제 1 신드롬 생성 행렬에 대응하고, 중위 16개 행은 제 2 신드롬을 생성하는 제 2 신드롬 생성 행렬에 대응하며, 하위 8개 행은 오류 경계 판단 신드롬을 생성하는 제 3 신드롬 생성 행렬에 대응한다.

[0037] 제 1 신드롬 생성 행렬에서 좌측의 16x128 차원의 행렬은 전치 계수 행렬에 대응한다. 전치 계수 행렬은 계수 행렬(P 행렬)에 대해서 전치 연산을 수행한 행렬이고 계수 행렬은 생성 행렬의 일부에 대응한다.

[0038] 생성 행렬(G 행렬)과 계수 행렬(P 행렬)의 관계는 종래의 BCH 코딩 기술로부터 자명한 것이므로 구체적인 설명을 생략한다.

[0039] 제 1 신드롬 생성 행렬에 포함된 I와 0은 각각 16x16 차원을 가지는 단위 행렬과 16x8 차원을 가지는 영 행렬을 나타내고, 제 2 신드롬 생성 행렬에 포함된 0는 16x8 차원을 가지는 영 행렬을 나타내며, 제 3 신드롬 생성 행렬에 포함된 I는 8x8 차원을 가지는 단위 행렬을 나타낸다.

[0040] 본 실시예에서 패리티 생성 행렬은 홀수 또는 짝수의 연속 오류가 발생하는 지점을 탐지하기 위한 신드롬을 생성하고 이를 통해 이러한 오류들이 기호 경계를 넘어서 발생하는 것을 막는 역할을 한다.

[0041] 전치 계수 행렬을 구성하는 각각의 원소를 결정하는 것은 다양한 기준에 의해 선택이 가능하다.

[0042] 본 발명에 있어서는 경계를 넘어선 오류의 확산을 방지하기 위하여 전치 계수 행렬 생성시 다음 두 가지 조건을 만족하도록 한다.

[0043] 첫째, 전치 계수 행렬은 다수의 홀수 오류 판단행을 포함하도록 결정된다. 홀수 오류 판단행은 하나의 행에 포함된 1의 개수가 홀수인 행을 의미하는데 도 3은 전치 계수 행렬에 홀수 오류 판단행이 8개가 포함되어 있는 경우를 예시한다.

[0044] 둘째, 전치 계수 행렬은 다수 개의 오류 경계 판단행을 포함한다.

[0045] 오류 경계 판단행은 하나의 오류 경계에 포함되는 모든 열은 같은 구성을 가지고, 다른 오류 경계에 포함되는 열들과는 구성이 서로 달라야 한다.

[0046] 도 3은 오류 경계의 크기가 16비트이고, 전치 계수 행렬에 오류 판단행이 3개가 포함되어 있는 경우를 예시한다.

[0047] 예를 들어, 오류 경계 0에 포함되는 16개의 열은 모두 "111"로 같은 구성을 가지고, 오류 경계 1에 포함되는 16개의 열은 모두 "110"으로 같은 구성을 가진다.

[0048] 오류 경계 판단행의 개수는 데이터 기호의 개수에 따라 정해질 수 있는데 본 실시예에서는 데이터에 8개의 기호가 존재하므로 이들에 대응하는 8개의 오류 경계를 식별하기 위하여 3개의 오류 경계 판단행을 필요로 한다.

[0049] 제 2 신드롬 생성 행렬을 생성하는 원리는 종래의 BCH 디코딩 회로에서 사용하는 신드롬1, 신드롬 3 생성 행렬을 생성하는 원리와 실질적으로 동일하다. 신드롬1과 신드롬 3은 제 1 신드롬 생성 행렬에서 전치 계수 행렬의 열 배치에 따라 결정된다.

[0050] 도 3에서 α^n과 같은 형태로 표시된 값은 갈루아 필드의 원소인 유한체 값으로서 본 실시예에서는 8비트 값을 가진다.

[0051] 제 3 신드롬 생성 행렬에 할당되는 8비트 값은 제 2 신드롬 생성 행렬에서 신드롬1을 생성하는 상단부의 8비트 유한체에 고유값을 곱하여 정해진다.

[0052] 고유값은 오류 경계마다 다른 값이 주어지며 하나의 경계 내부에서는 동일한 고유값이 사용된다.

[0053] 예를 들어, 도 3에서 제 3 신드롬 생성 행렬의 맨 왼쪽 16개 열은 오류 경계 0에 대응하는데 신드롬1, 신드롬 3 생성 행렬에서 신드롬1을 생성하는 상단부의 8비트 유한체 값들인 α^{i15} α^{i14} ... α^{i1} α^{i0}에 오류 경계 0에 대응하는 고유값인 α^{7}을 곱한 형태를 가진다.

[0054] 이에 따라, 오류 경계 판단 신드롬을 1번 신드롬(S1)으로 나눈 값이 오류 경계 0의 고유값인 α^{7}과 동일하게 되는 경우, 오류 경계 0의 내부에서 오류가 발생한 것으로 판단할 수 있다.

[0055] 도 3으로 돌아가서, 선택 회로(130)는 쓰기 동작시에는 제 1 연접 회로(120)의 출력을 선택하고 읽기 동작 시에는 출력 코드워드를 선택한다.

[0056] 즉, 쓰기 동작 시 패리티 생성기(110)는 입력 데이터에 대응하는 패리티를 생성하고, 읽기 동작 시 패리티 생성기(110)는 출력 코드워드에 대응하는 신드롬을 생성한다.

[0057] 제 1 연접 회로(120)는 입력 데이터 다음에 패딩 데이터를 연접한다. 본 실시예에서 패딩 데이터는 각각 '0'인 패딩 비트를 포함하며, 비트 수는 패리티의 비트 수인 24와 동일하다.

[0058] 제 2 연접 회로(140)는 128비트의 입력 데이터 다음에 24비트의 패리티를 연접하여 입력 코드워드를 생성한다.

[0059] 도 4는 본 발명의 일 실시예에 의한 디코더 회로(200)를 나타낸 블록도이다.

[0060] 디코더 회로(200)는 오류 정정 활성화 신호를 생성하는 오류 경계 판단 회로(210), 다수의 신드롬(신드롬1, 신드롬3)에서 오류 발생 위치를 검출하는 오류 검출 회로(220) 및 오류 정정 활성화 신호에 따라 오류 위치에서 데이터의 오류를 정정하여 출력 데이터를 제공하는 오류 정정 회로(230)를 포함한다.

[0061] 신드롬1, 신드롬 3에 따라 오류 위치를 결정하는 오류 검출 회로(220)는 종래의 이중 오류 정정 기능을 구비한 BCH 디코더 회로에 포함된 것과 동일하므로 이에 대한 구체적인 설명은 생략한다.

[0062] 오류 정정 활성화 신호는 멀티 비트 신호로서 비트 수는 오류 경계의 개수에 따라 결정될 수 있다.

[0063] 본 실시예에서 오류 정정 활성화 신호는 8개의 오류 경계에 대응하는 8비트 신호로서 8개의 오류 경계 별로 오류 정정 여부를 표시한다.

[0064] 오류 정정 회로(230)는 오류 정정 활성화 신호에 따라 오류 정정 동작을 수행하거나 수행하지 않는다.

[0065] 오류 경계 판단 회로(210)는 제 1 신드롬 즉 신드롬0, 제 2 신드롬 중 1번 신드롬(신드롬1), 및 제 3 신드롬 즉 오류 경계 판단 신드롬을 이용하여 오류 정정 활성화 신호를 생성한다.

[0066] 도 5는 오류 경계 판단 회로(210)의 동작을 나타내는 순서도이고, 도 6은 오류 경계 판단 동작을 설명하는 설명도이다.

[0067] 먼저, 출력 코드워드에서 오류 개수가 홀수인지 판단한다(S110).

[0068] 오류 개수가 홀수인지 여부는 0번 신드롬 중 홀수 오류 판단행에 대응하는 행들에서 1의 개수를 더하여 그 개수가 홀수이면 오류 개수가 홀수인 것으로 판단한다.

[0069] 예를 들어, 도 6의 (a)는 오류 개수가 홀수인 경우에 대응하고, 도 6의 (b)와 (c)는 오류 개수가 짝수인 경우에 대응한다.

[0070] 오류 개수가 홀수인 경우로 판단되면, 홀수 오류 발생 경계의 오류 정정을 활성화한다(S111).

[0071] 이때, 오류 정정을 활성화할 오류 경계를 식별하기 위하여 0번 신드롬에서 오류 경계 판단행에 대응하는 값을 확인한다.

[0072] 예를 들어, 오류 경계 1에서 홀수개의 오류가 발생한 경우, "110"이 오류의 개수만큼 비트와이즈 XOR 연산에 의해 더해지는데 이에 따라 0번 신드롬에서 3개의 오류 경계 판단행은 "110"이 된다.

[0073] 오류가 발생한 오류 경계를 찾기 위해서는 오류 경계 판단 신드롬(S_B)을 1번 신드롬(S1)으로 나누어 도출된 값을 각 오류 경계에 대응하는 고유값과 비교하여 오류 경계를 판단할 수도 있으나 오류의 개수가 홀수인 경우에는 이러한 연산이 불필요하다.

[0074] 도 6의 (a)와 같이 0번 신드롬에서 3개의 오류 경계 판단행의 값이 "110"인 경우 1번 오류 경계에 대해서만 오

류 정정을 활성화하고 나머지 오류 경계에 대해서는 오류 정정을 비활성화한다.

[0075] 오류의 개수가 홀수이면서 여러 오류 경계에서 오류가 발생했을 가능성도 배제할 수는 없으나 이러한 경우는 1기호 정정 능력을 가진 리드 솔로몬 코딩 회로를 통해서 정정이 불가능한 것이므로 본 실시예에서는 이러한 가능성까지 고려할 필요는 없다.

[0076] 단계(S110)에서 오류 개수가 짝수로 판단되면, 오류가 단일 오류 경계 내에서 발생했는지 판단한다(S120).

[0077] 오류 개수가 짝수인 경우 오류가 하나의 오류 경계 내에서 발생했는지는 신드롬0에 포함된 오류 경계 판단행을 참조한다.

[0078] 예를 들어, 오류 경계 1에서 짝수 개의 오류가 발생한 경우, "110"이 오류의 개수만큼 비트와이즈 XOR 연산으로 더해지므로 0번 신드롬에서 3개의 오류 경계 판단행의 값이 "000"이 된다.

[0079] 이에 따라, 도 6(b)와 같이 3개의 오류 경계 판단행의 값이 "000"이 아니면 오류가 다수의 오류 경계에 걸쳐 있는 경우이고, 도 6(c)와 같이 3개의 오류 경계 판단행의 값이 "000"이면 오류가 하나의 오류 경계에만 포함된 것을 나타낸다.

[0080] 오류가 다수의 오류 경계에 걸쳐 있으면 모든 오류 경계에 대해서 오류 정정을 허용한다(S121).

[0081] 예를 들어, 2비트 에러가 다수의 오류 경계에 걸쳐 있다면 BCH 디코딩 회로의 동작에 의해 오류가 해결될 가능성이 있으므로 모든 오류 경계에 대해서 오류 정정을 허용하는 것이 바람직하다.

[0082] 4비트 이상의 짝수 오류가 다수의 기호에 흩어져 있는 경우라면 본 발명에서 전제하는 BCH 코딩 회로나 메모리 컨트롤러의 RS 코딩 회로의 오류 정정 능력을 벗어난 것이므로 고려할 필요가 없다.

[0083] 오류가 하나의 오류 경계에만 포함되어 있으면 대응하는 오류 경계에 대해서만 오류 정정을 허용하고 나머지 오류 경계에 대해서는 오류 정정을 허용하지 않는다(S122).

[0084] 예를 들어, 2비트 이상의 짝수개의 에러가 하나의 기호에 포함되어 있다면 메모리 컨트롤러에 포함된 코딩 회로에서 1기호 오류 정정을 통해 오류가 정정될 수 있다.

[0085] 이에 따라 해당 오류 경계에 대해서는 오류 정정을 허용해도 괜찮다. 그러나 나머지 오류 경계에 대해서는 오류 정정 과정에서 잘못된 오류 정정에 의해 추가적인 오류가 발생하는 것을 방지하기 위해 오류 정정을 차단하는 것이 바람직하다.

[0086] 오류가 발생한 오류 경계를 찾기 위해서는 오류 경계 판단 신드롬을 1번 신드롬으로 나누어 도출된 값을 각 오류 경계에 대응하는 고유값과 비교한다.

[0087] 도 6의 (c)는 위와 같이 생성된 고유값이 1번 오류 경계에 대응하는 α^6과 동일하므로 1번 오류 경계에서 오류가 발생한 것으로 판단한다.

[0088] 도 7은 오류 정정 회로(230)를 나타내는 블록도이다.

[0089] 오류 정정 회로(230)는 기본적으로 종래의 BCH 디코더에 포함된 오류 정정 회로와 동일한 기능을 수행한다.

[0090] 다만, 본 발명에서는 전술한 바와 같이 생성된 오류 정정 활성화 신호를 고려하여 오류 경계 단위로 오류 정정 여부를 활성화하거나 비활성화한다.

[0091] 이를 위하여 오류 정정 회로(230)는 다수의 오류 경계에 대응하는 다수의 하위 오류 정정 회로(231)를 포함한다.

[0092] 본 실시예에서는 출력 코드워드에 16비트 단위의 데이터 기호가 8개 존재하므로 오류 경계의 개수도 8개이며 이에 따라 하위 오류 정정 회로의 개수도 8개이다.

[0093] 각각의 하위 오류 정정 회로(231)에는 출력 코드워드에 포함된 데이터와 오류 검출 회로(220)에서 출력된 오류 위치가 입력된다.

[0094] 본 실시예에서 각각의 하위 오류 정정 회로(231)는 오류 정정 활성화 신호의 대응하는 비트를 추가로 입력받는다.

[0095] 예를 들어, 0번 하위 오류 정정 회로(231)는 오류 정정 활성화 신호의 0번 비트를 입력받는다.

[0096] 각각의 하위 오류 정정 회로(231)는 오류 정정 활성화 신호의 대응하는 비트가 활성화된 경우에 종래의 BCH 디코더에 포함된 오류 정정 회로와 마찬가지 방식으로 오류 정정 동작을 수행하여 데이터 기호 단위로 출력 데이터를 생성한다.

[0097] 예를 들어, 0번 하위 오류 정정 회로(231)는 출력 데이터 중 0번에서 15번까지의 16비트를 출력한다.

[0098] 본 발명의 권리범위는 이상의 개시로 한정되는 것은 아니다. 본 발명의 권리범위는 청구범위에 문언적으로 기재된 범위와 그 균등범위를 기준으로 해석되어야 한다.

부호의 설명

[0099] 10: 코딩 회로

20: 메모리 셀 어레이

100: 인코더 회로

110: 패리티 생성기

120: 제 1 연접 회로

130: 선택 회로

140: 제 2 연접 회로

200: 디코더 회로

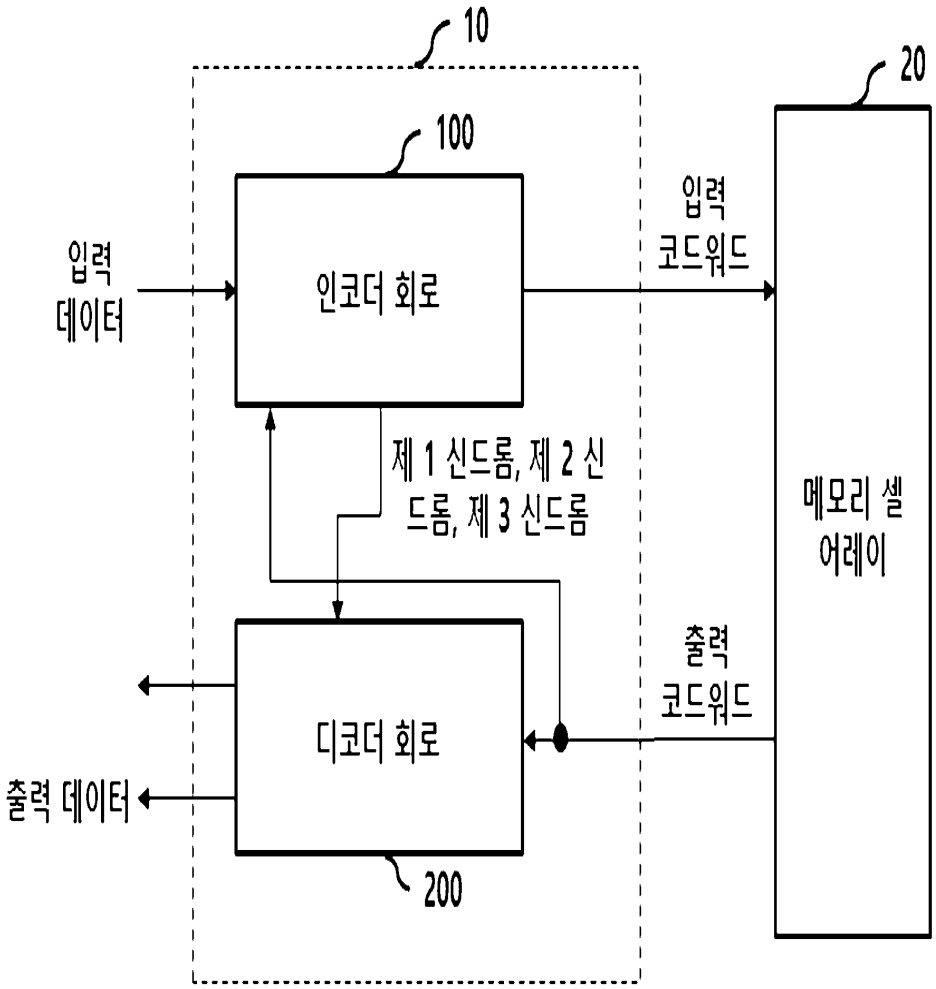
210: 오류 경계 판단 회로

220: 오류 검출 회로

230: 오류 정정 회로

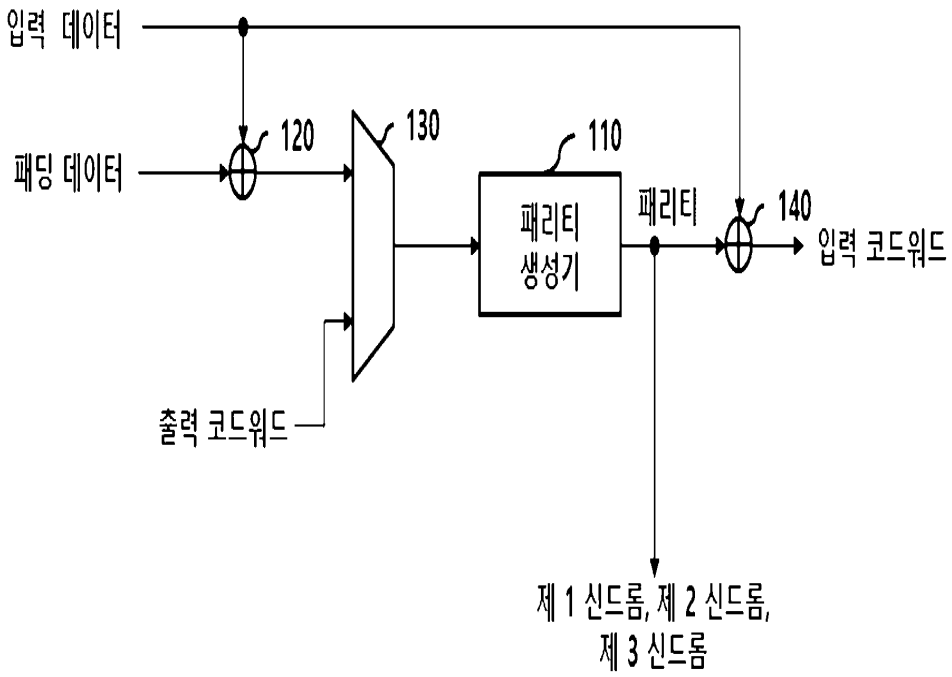
도면

도면1


10
20
100
입력
데이터
인코더 회로
입력
코드워드
제 1 신드롬, 제 2 신
드롬, 제 3 신드롬
메모리 셀
어레이
출력
코드워드
디코더 회로
출력 데이터
200

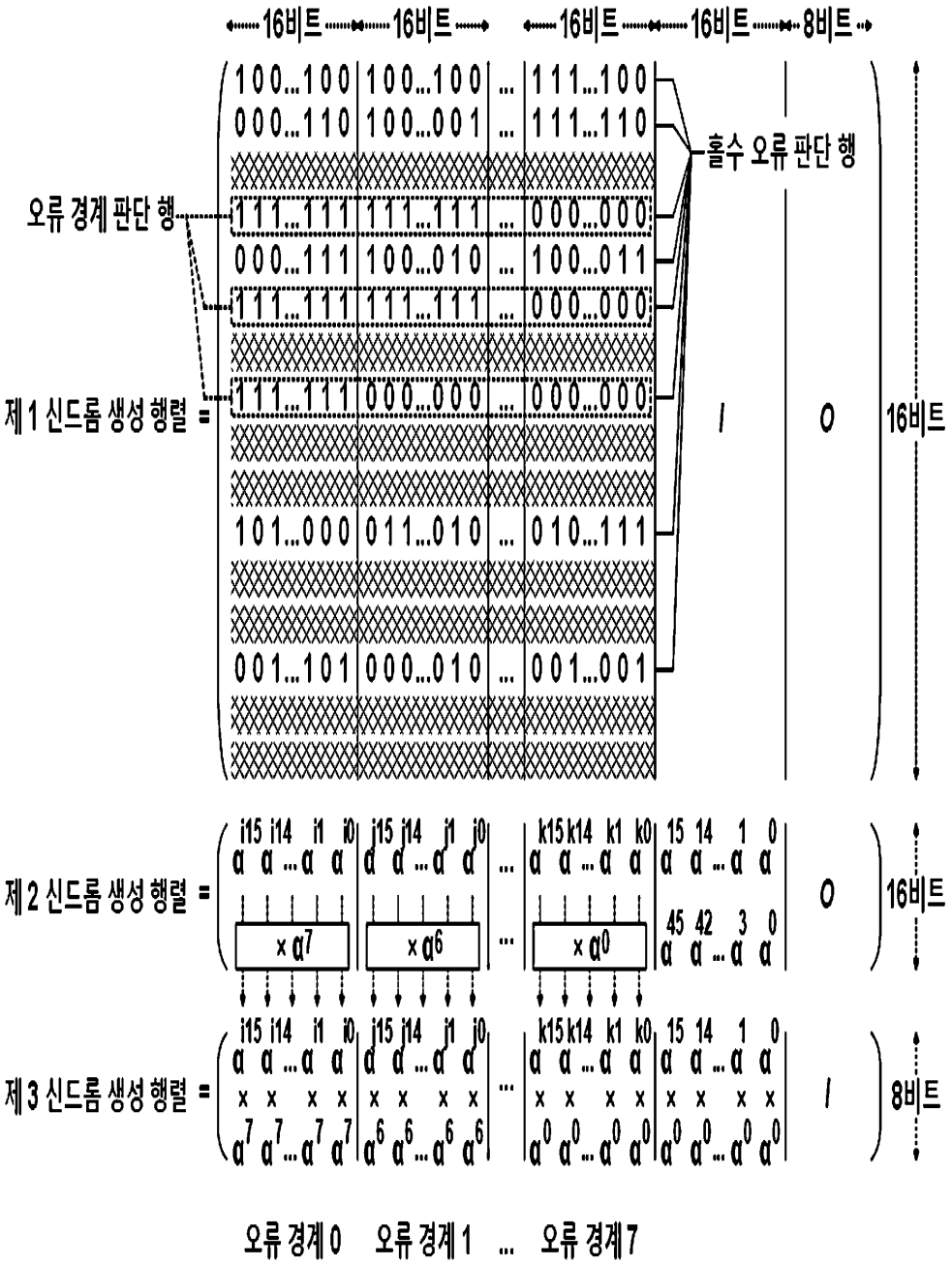
1

도면2

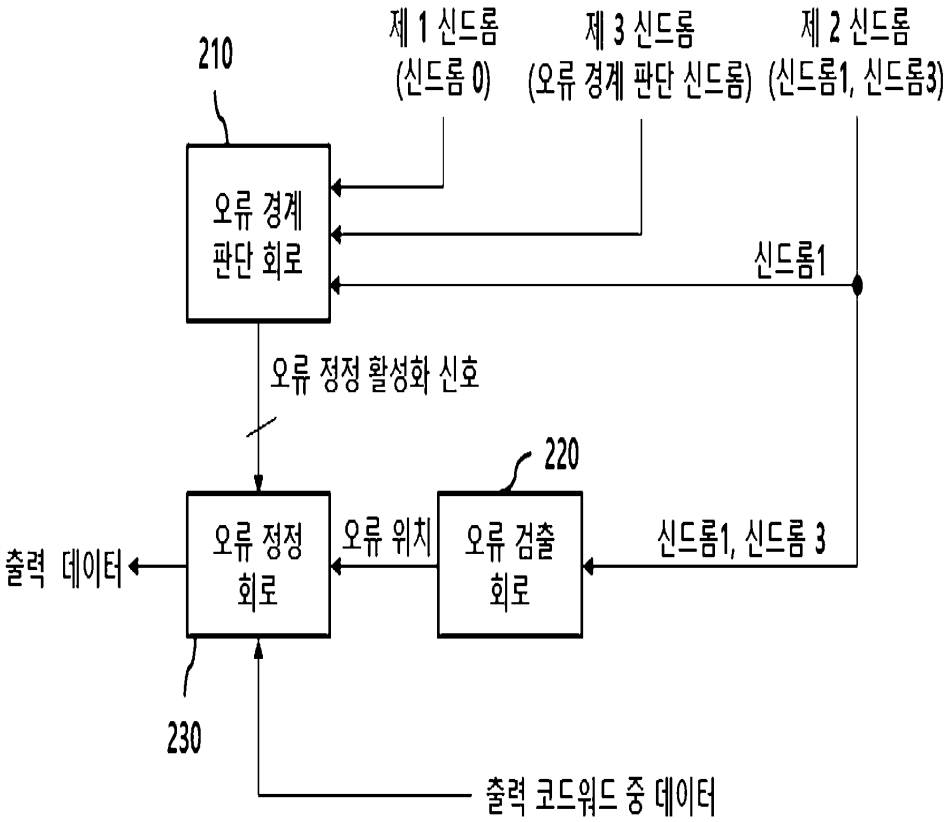

입력 데이터
패딩 데이터
120
130
110
패리티 생성기
패리티
140
입력 코드워드
출력 코드워드
제 1 신드롬, 제 2 신드롬,
제 3 신드롬

100

도면3

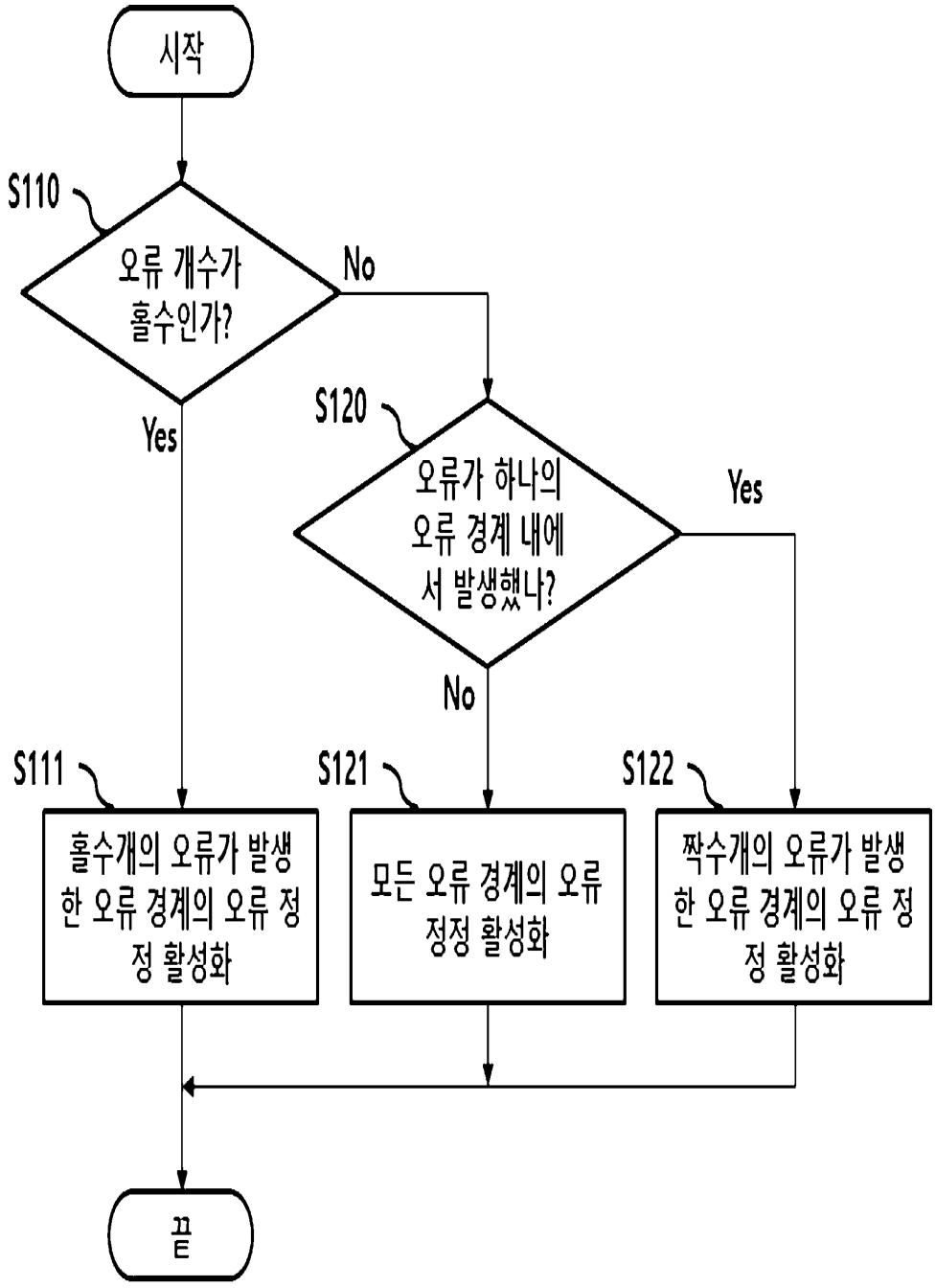

16비트
16비트
16비트
16비트
8비트
오류 경계 판단 행
홀수 오류 판단 행
제 1 신드롬 생성 행렬 =
1
0
16비트
제 2 신드롬 생성 행렬 =
0
16비트
제 3 신드롬 생성 행렬 =
1
8비트
오류 경계 0
오류 경계 1
...
오류 경계 7

도면4

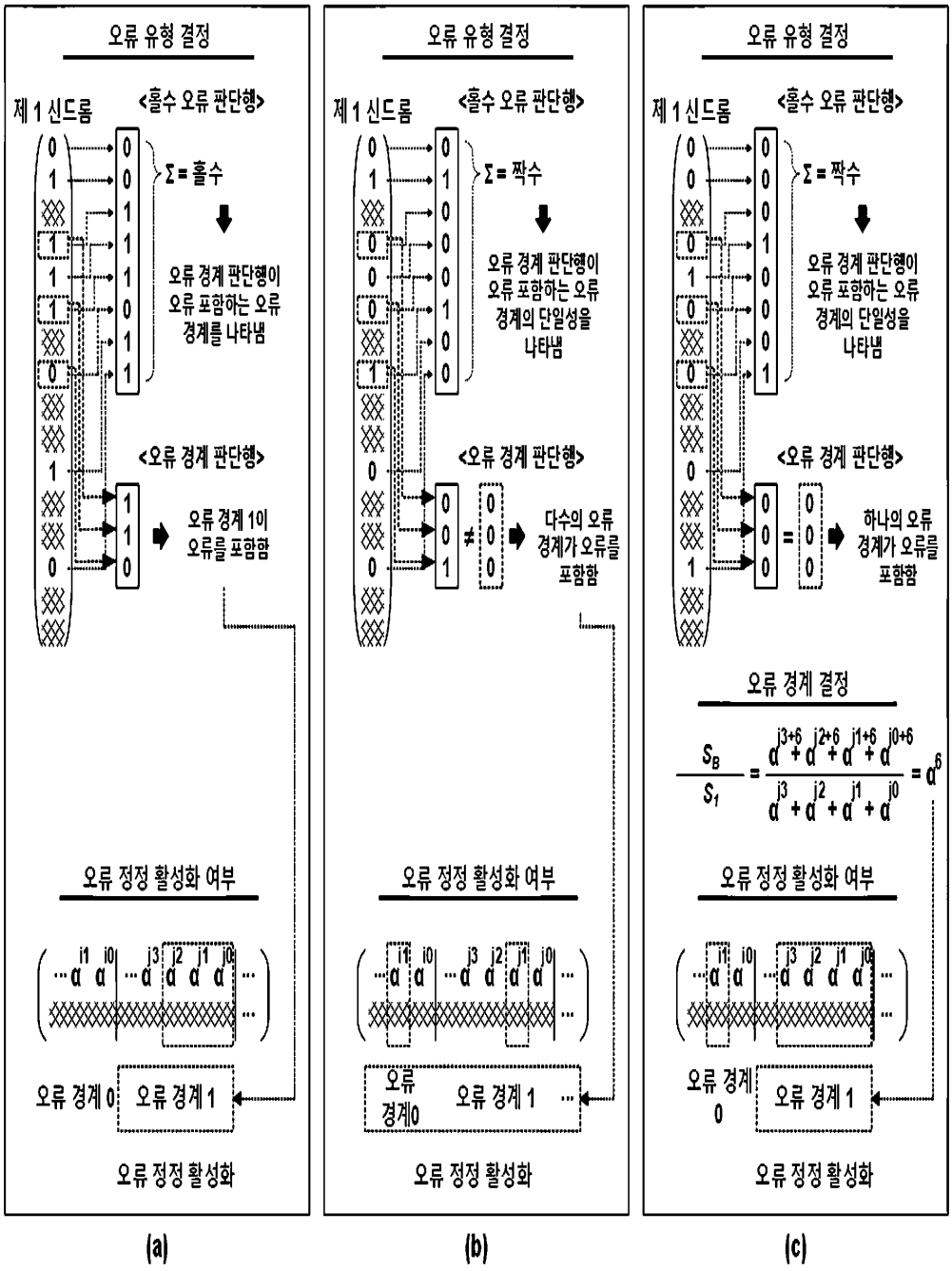

제 1 신드롬
(신드롬 0)
제 3 신드롬
(오류 경계 판단 신드롬)
제 2 신드롬
(신드롬1, 신드롬3)
210
오류 경계
판단 회로
신드롬1
오류 정정 활성화 신호
220
출력 데이터
오류 정정
회로
오류 위치
오류 검출
회로
신드롬1, 신드롬 3
230
출력 코드워드 중 데이터

200

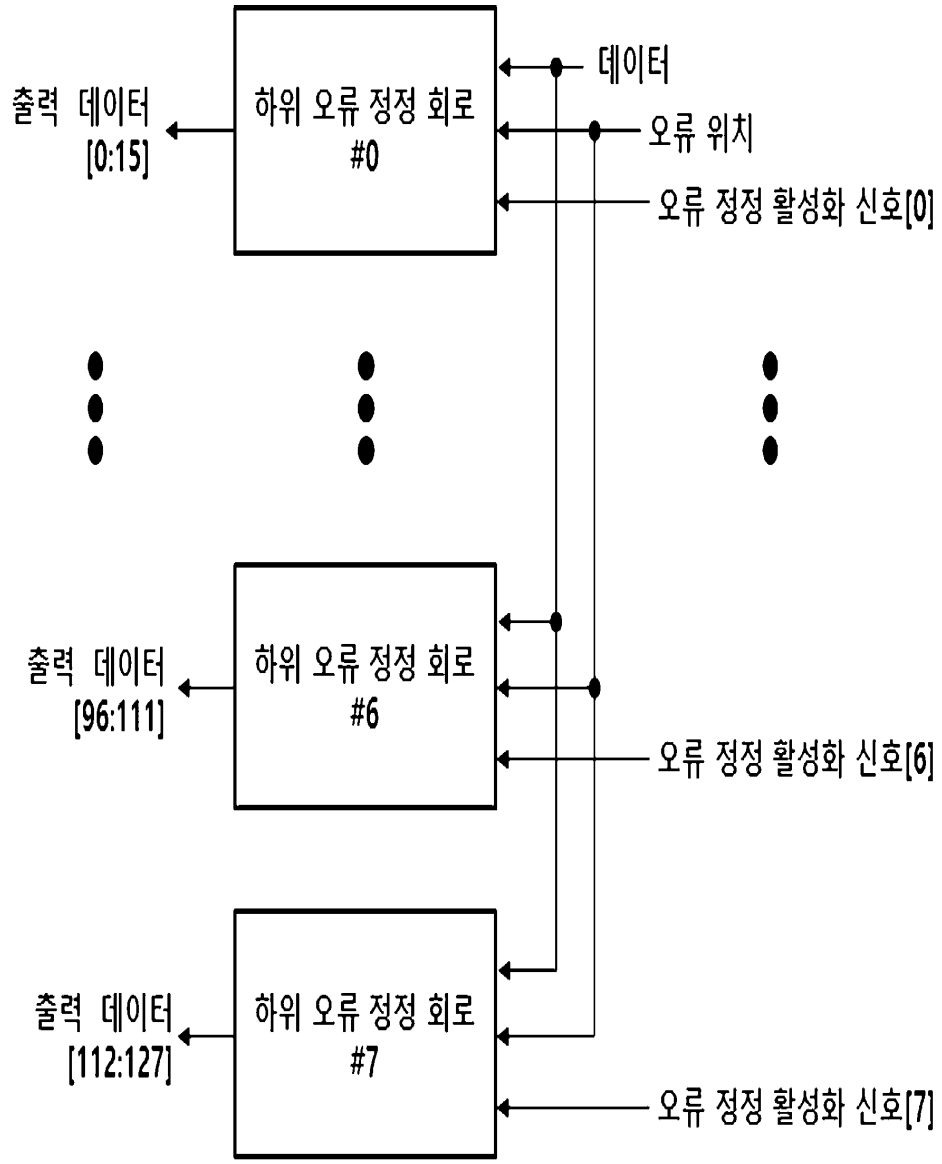
도면5


시작
S110
오류 개수가 홀수인가?
No
Yes
S120
오류가 하나의 오류 경계 내에서 발생했나?
Yes
No
S111
홀수개의 오류가 발생한 오류 경계의 오류 정정 활성화
S121
모든 오류 경계의 오류 정정 활성화
S122
짝수개의 오류가 발생한 오류 경계의 오류 정정 활성화
끝

도면6


오류 유형 결정
제 1 신드롬
<홀수 오류 판단행>
Σ = 홀수
오류 경계 판단행이 오류 포함하는 오류 경계를 나타냄
<오류 경계 판단행>
오류 경계 1이 오류를 포함함
오류 경계 결정
오류 정정 활성화 여부
오류 경계 0
오류 경계 1
오류 정정 활성화
(a)
<홀수 오류 판단행>
Σ = 짝수
오류 경계 판단행이 오류 포함하는 오류 경계의 단일성을 나타냄
<오류 경계 판단행>
다수의 오류 경계가 오류를 포함함
오류 경계0
오류 경계 1
(b)
<홀수 오류 판단행>
Σ = 짝수
오류 경계 판단행이 오류 포함하는 오류 경계의 단일성을 나타냄
<오류 경계 판단행>
하나의 오류 경계가 오류를 포함함
(c)

도면7


데이터
오류 위치
출력 데이터 [0:15]
하위 오류 정정 회로 #0
오류 정정 활성화 신호[0]
출력 데이터 [96:111]
하위 오류 정정 회로 #6
오류 정정 활성화 신호[6]
출력 데이터 [112:127]
하위 오류 정정 회로 #7
오류 정정 활성화 신호[7]

230