

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 3 区分  
【発行日】平成 16 年 11 月 18 日 (2004.11.18)

【公表番号】特表 2000-510660 (P2000-510660A)  
【公表日】平成 12 年 8 月 15 日 (2000.8.15)  
【出願番号】特願 平 9-529098  
【国際特許分類第 7 版】  
H 0 3 K 5/1252  
【F I】  
H 0 3 K 5/01 G

【手続補正書】  
【提出日】平成 16 年 2 月 9 日 (2004.2.9)  
【手続補正 1】  
【補正対象書類名】明細書  
【補正対象項目名】特許請求の範囲  
【補正方法】変更  
【補正の内容】

## 手 続 補 正 書

平成16年2月 9 日

特許庁長官 今 井 康 夫 殿

## 1. 事件の表示

平成9年特許願第529098号

## 2. 補正をする者

名称 ユニバーシティ オブ サリー

## 3. 代 理 人

住所 〒105-8423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル

青和特許法律事務所 電話 03-5470-1900

氏名 弁理士(7751) 石 田 敬



## 4. 補正対象書類名

請求の範囲

## 5. 補正対象項目名

請求の範囲

## 6. 補正の内容

請求の範囲を別紙の通り補正する。

## 7. 添付書類の目録

請求の範囲

1 通



### 請求の範囲

1. 位相ノイズが存在しない公称パルス繰返し周波数  $f$  を有するパルスからなる入力パルス列の位相ノイズを軽減するための位相ノイズ軽減回路において、

前記入力パルス列から全てが同一長さを有するとともに前記入力パルス列を形成するパルスの負から正への転移または正から負への転移によってトリガーされるパルスからなる修正されたパルス列を得るためのパルス発生手段 (10) と、

前記修正パルス列からDCレベルを除去するDC除去手段 (21) と、

積分パルス列 (INT) を生成するため前記DC除去手段 (21) により前記修正パルス列からDCレベルが除去された後に前記修正パルス列を積分する積分手段 (22) と、

前記積分されたパルス列 (INT) を基準レベルと比較し前記公称周波数  $f$  で現れる周期的な転移を含む出力パルス列 (O) を生成する比較回路 (23) と、を備えたことを特徴とする位相ノイズ軽減回路。

2. 前記パルス発生手段 (10) は、前記入力パルス列中の負から正への転移または正から負への転移によってトリガーされる単安定回路 (10) を備える、請求の範囲1に記載の位相ノイズ軽減回路。

3. 前記単安定回路は、調整自在な遅延を有し、プリセットされた長さのパルスを形成する、請求の範囲2に記載の位相ノイズ軽減回路。

4. 前記出力パルス列 (O) から前記公称周波数の  $1/2$  の周波数 ( $f/2$ ) で現れる周期的な出力パルス列 (P) を抽出する出力回路 (30) を備える、請求の範囲1乃至3の何れか一つに記載の位相ノイズ軽減回路。

5. 前記出力回路 (30) は、二等分回路 (30) を備える、請求の範囲4に記載の位相ノイズ軽減回路。

6. 前記周波数  $f/2$  の前記出力パルス列 (P) を前記公称周波数  $f$  の周期的パルス列に変換する周波数二倍器を備える、請求の範囲4または5に記載の位相ノイズ軽減回路。

7. 前記比較回路 (23) は、2進出力を発生し、前記積分されたパルス列 (INT) のレベルが前記基準レベル (REF) と交差する度に、一方の2進状態から反対の2進状態に切替えるよう設けられた、請求の範囲1に記載の位相ノイ

ズ軽減回路。

8. 位相ノイズが存在しない公称パルス繰返し周波数  $f$  を有するパルスからなる入力パルス列の位相ノイズを軽減するための位相ノイズ軽減回路において、

全てが前記入力パルス列の負から正への転移によってトリガーされるパルスからなる前記修正された第1のパルス列から前記第1出力パルス列を得るための請求の範囲1に記載された第1位相ノイズ軽減回路(20')と、

全てが前記入力パルス列の正から負への転移によってトリガーされるパルスからなる前記修正された第2のパルス列から前記第2出力パルス列を得るための請求の範囲1に記載された第2位相ノイズ軽減回路(20'')と、

前記第1および第2出力パルス列からそれぞれ第1および第2周期的パルス列( $P'$ 、 $P''$ )を得る第1および第2出力回路(30'、30'')と、

前記第1および第2の周期的パルス列( $P'$ 、 $P''$ )を合成して前記公称周波数  $f$  の合成出力パルス列( $P' ''$ )を得る合成手段(50)と、  
を備えたことを特徴とする位相ノイズ軽減回路。

9. 前記入力パルス列は、インバータ回路(40)を介して前記第1および第2の位相ノイズ軽減回路(20'、20'')のいずれか一方に供給される、請求の範囲8に記載の位相ノイズ軽減回路。

10. 前記第1位相ノイズ軽減回路(20')のパルス発生手段(10')および前記第2位相ノイズ軽減回路(20'')のパルス発生手段(10'')は、単安定回路である、請求の範囲8または9に記載の位相ノイズ軽減回路。

11. 前記単安定回路(10'、10'')は、調整自在な遅延を有し、プリセットされた長さのパルスを形成する、請求の範囲10に記載の位相ノイズ軽減回路。

12. 前記第1位相ノイズ軽減回路(20')の比較回路は、該第1位相ノイズ軽減回路(20')の前記積分手段により出力された前記積分パルス列が前記基準レベルを交差する度に、第1の2進出力を発生し、一方の2進状態から反対の2進状態に該第1の2進出力を切換えるよう設けられ、

前記第2位相ノイズ軽減回路(20'')の比較回路は、該第2位相ノイズ軽減回路(20'')の前記積分手段により出力された前記積分パルス列が前記基準レ

ベルを交差する度に、第2の2進出力を発生し、一方の2進状態から反対の2進状態に該第2の2進出力を切換えるよう設けられた、請求の範囲8乃至11の何れか一つに記載の位相ノイズ軽減回路。

13. 前記合成手段(50)は、排他論理和素子(50)である、請求の範囲8乃至12の何れか一つに記載の位相ノイズ軽減回路。

14. 前記第1および第2の位相ノイズ軽減回路(20'、20'')のDC除去手段は、前記第1および第2のパルス発生手段(10'、10'')の少なくとも一方から出力されるDC成分にそれぞれ応答し、前記入力パルス列の公称周波数 $f$ の変化に伴って起こるDCレベルのステップ変化の影響を軽減する、請求の範囲8乃至13の何れか一つに記載の位相ノイズ軽減回路。

15. 前記第1および第2の位相ノイズ軽減回路(20'、20'')のDC除去手段は、該第1および第2の位相ノイズ軽減回路(20'、20'')の積分手段からのフィードバック信号にそれぞれ応答して、前記入力パルス列の公称周波数 $f$ が変化するのに伴って起こるDCレベルのステップの変化の影響を軽減する、請求の範囲8乃至14の何れか一つに記載の位相ノイズ軽減回路。

16. 前記プリセットされた長さを切換えることにより、周波数が変化する過程においてマークスペース比をほぼ一定に維持する、請求の範囲3または11に記載の位相ノイズ軽減回路。

17. 複数の位相ノイズ軽減回路がカスケード接続されている、請求の範囲1乃至16の何れか一つに記載の位相ノイズ軽減回路。