(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016 년 1 월 28 일 (28.01.2016)

WIPO | PCT

(10) 국제공개번호
WO 2016/013860 A1

(51) 국제특허분류:
H01M 10/054 (2010.01) *H01M 4/58* (2010.01)
H01M 4/38 (2006.01) *H01M 10/056* (2010.01)

(21) 국제출원번호: PCT/KR2015/007584

(22) 국제출원일: 2015 년 7 월 21 일 (21.07.2015)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2014-0092518 2014 년 7 월 22 일 (22.07.2014) KR

(71) 출원인: **주식회사 이엠따블유에너지 (EMW ENERGY CO.,LTD.)** [KR/KR]; 153-803 서울시 금천구 가산디지털 2 로 169-16 (가산동), Seoul (KR).

(72) 발명자: **류병훈 (RYU, Byung Hoon)**; 137-814 서울시 서초구 사평대로 6 길 74, 501 호(방배동, 라온채), Seoul (KR). **공재경 (KONG, Jae Kyung)**; 137-790 서울시 서초구 신반포로 23 길 5, 103 동 102 호 (잠원동, 우성아파트), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

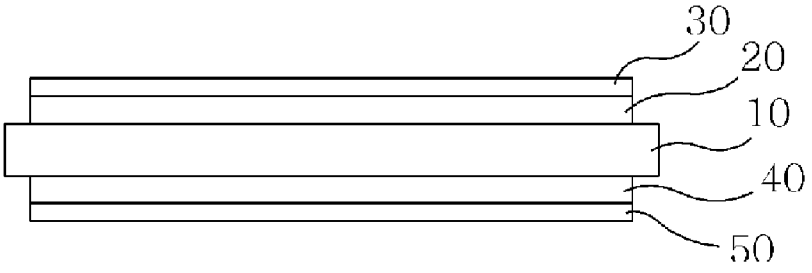
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) **Title**: SILICONE SECONDARY BATTERY UNIT AND BATTERY MODULE FOR ELECTRICAL VEHICLE USING SAME

(54) **발명의 명칭** : 실리콘 이차전지 유닛 및 이를 이용한 전기 자동차용 전지모듈



(57) **Abstract**: The present invention relates to a silicon secondary battery and, more specifically, to a solid silicon secondary battery having a solid electrolyte and a method for preparing same. The present invention, by means of substitution of silicon for lithium of a secondary battery, enables decreasing of preparation cost and minimizing of environmental pollution during discarding of the secondary battery. In addition, by means of laminate pressing multiple times a positive or negative electrode material and preparing a positive or negative electrode active material, the present invention enables increasing of the density of a positive or negative electrode active material, thereby increasing current density and capacity. In addition, by having mesh plates equipped inside the positive electrode active material and the negative electrode active material, the present invention enables effective moving of electrons. Moreover, by enabling common use of an electrode, of a silicon secondary battery, connected during a serial connection of the silicon secondary battery, the present invention enables decreasing of the thickness of a silicon secondary battery assembly and increasing of output voltage. Also, by being integrally formed with a PCB or a chip and supplying a power source, the present invention plays the role of a backup power source for instant discharging.

(57) 요약서:

[다음 쪽 계속]

WO 2016/013860 A1

본 발명은 실리콘 이차전지에 관한 것으로, 더욱 상세하게는 고체 전해질을 갖는 고체형 실리콘 이차전지 및 이의 제조방법에 관한 것이다. 본 발명에 의하면, 이차전지의 리튬을 실리콘으로 대체함으로써, 제조 비용 감소 및 이차전지 폐기 시 환경 오염을 최소화할 수 있는 효과가 있다. 또한, 양극 또는 음극 물질을 다수 회 적층 압착하여 양극 또는 음극 활물질을 제조함으로써, 양극 또는 음극 활물질의 밀도를 증가시켜 전류 밀도 및 용량을 증가시킬 수 있는 효과가 있다. 또한, 양극 활물질 및 음극 활물질의 내부에 메쉬 플레이트를 내장시킴으로써 전자를 효율적으로 이동시킬 수 있는 효과가 있다. 또한, 실리콘 이차전지의 직렬 연결 시 연결되는 실리콘 이차전지의 전극을 공용화함으로써, 실리콘 이차전지 어셈블리의 두께를 감소시키고 출력 전압을 증대시킬 수 있는 효과가 있다. 또한, PCB 또는 칩과 일체로 형성되어 전원을 공급함으로써 순간 방전에 대한 백업 전원의 역할을 할 수 있는 효과가 있다.

명세서

발명의 명칭: 실리콘 이차전지 유닛 및 이를 이용한 전기 자동차용 전지모듈

기술분야

[1] 본 발명은 실리콘 이차전지에 관한 것으로, 더욱 상세하게는 고체 전해질을 갖는 고체형 실리콘 이차전지에 관한 것이다.

[2]

배경기술

[3] 이차전지는 화학적 에너지를 전기적 에너지로 변환시켜 외부의 회로에 전원을 공급하기도 하고, 방전되었을 때 외부의 전원을 공급받아 전기적 에너지를 화학적 에너지로 바꾸어 전기를 저장할 수 있는 전지로서, 일반적으로 축전지라고 부른다.

[4] 이러한 이차전지에는 납 축전지, 니켈-카드뮴 이차전지, 리튬 이차전지 등이 있다. 납 축전지는 전압이 높지만 부피가 크고 무거워 자동차용으로 사용되며, 니켈-카드뮴 이차전지는 건전지의 대용으로 사용하며, 리튬 이차전지는 매우 가벼워 카메라, 휴대폰 등의 전원으로 사용된다. 최근 급증하고 있는 스마트폰 및 태블릿 PC와 같은 개인 휴대 단말장치의 보급에 의해 상기한 이차전지 중 리튬 이차전지가 널리 사용되고 있는 실정이다.

[5] 그러나, 리튬 이차전지는 주 소재인 리튬이 상당히 고가이며, 수명이 다한 리튬 이차전지를 폐기할 경우, 리튬이 폐기장소에서 유출되어 환경 오염이 수반되는 문제점이 있다.

[6] 따라서, 리튬 이차전지를 대체할 수 있는 고출력 이차전지의 개발이 절실한 실정이다.

[7]

발명의 상세한 설명

기술적 과제

[8] 본 발명의 제1 목적은 리튬 이차전지를 대체할 수 있는 고출력 및 고효율의 실리콘 이차전지를 제공하는 것이다.

[9] 본 발명의 제2 목적은 양극 또는 음극 물질을 다수 회 적층 압착하여 양극 또는 음극 활물질을 제조함으로써, 양극 또는 음극 활물질의 밀도를 증가시켜 전류 밀도 및 용량을 증가시킬 수 있는 실리콘 이차전지를 제공하는 것이다.

[10] 본 발명의 제3 목적은 양극 활물질 및 음극 활물질의 내부에 메쉬 플레이트를 내장시킴으로써 전자를 효율적으로 이동시킬 수 있는 실리콘 이차전지를 제공하는 것이다.

[11] 본 발명의 제4 목적은 실리콘 이차전지의 직렬 연결 시 연결되는 실리콘 이차전지의 전극을 공용화함으로써, 실리콘 이차전지 어셈블리의 두께를

감소시키고 출력 전압을 증대시킬 수 있는 실리콘 이차전지 어셈블리를 제공하는 것이다.

[12] 본 발명의 제5 목적은 PCB 또는 칩과 일체로 형성되어 전원을 공급함으로써 순간 방전에 대한 백업 전원의 역할을 할 수 있는 실리콘 이차전지를 제공하는 것이다.

[13]

과제 해결 수단

[14] 상기 목적은 본 발명에 따라, 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 양극 활물질층, 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 음극 활물질층 및 고체전해질층을 포함하는 실리콘 이차전지 단위 셀들이 복수 개 적층되어 하나의 유닛을 형성하는 실리콘 이차전지 유닛에 있어서, 상기 복수의 실리콘 이차 전지 단위 셀들은 직렬로 연결되어 적층되고, 양극 활물질층과 음극활물질층 사이에 하나의 공유 집전층이 구비되어 전하를 집전하는 것에 의해 달성된다.

[15] 여기서, 상기 양극 활물질층은 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층을 복수 개 적층한 제1 실리콘 복수 적층 박막부일 수 있다.

[16] 또한, 상기 음극 활물질층은 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층을 복수 개 적층한 제2 실리콘 복수 적층 박막부일 수 있다.

[17] 또한, 상기 공유 집전층은 다공망 형상 또는 발포 형상일 수 있다.

[18] 또한, 상기 공유 집전층은 표면에 금, 은 및 전도성 폴리머 중 어느 하나가 코팅될 수 있다.

[19] 또한, 상기 전도성 폴리머는 폴리피롤, 폴리아닐린, 폴리티오펜 및 폴리아세틸렌으로 이루어진 군으로부터 선택된 어느 하나일 수 있다.

[20] 또한, 본 발명은 전기 자동차에 전원을 공급하는 전지모듈에 있어서, 내부에 실리콘 이차전지를 수용하는 케이스; 상기 케이스의 개방부를 덮고, 전원을 출력하는 출력단자를 구비한 커버; 및 상기 케이스 내에 복수 개 배치되는 제 1항 내지 제 6항 중 어느 한 항의 실리콘 이차전지 유닛들;을 포함하되, 상기 실리콘 2차전지 유닛들이 직렬로 연결배치될 수 있다.

[21] 또한, 상기 케이스는 외부 공기가 원활하게 통할 수 있는 프레임 구조로 되어 있을 수 있다.

[22] 또한, 상기 커버는 상기 실리콘 이차전지 유닛들의 양극 단자들과 접속하고 출력단자와 전기적으로 연결되는 양극 버스바; 및 상기 상기 실리콘 이차전지 유닛들의 음극 단자들과 접속하고 출력단자와 전기적으로 연결되는 음극

버스바를 포함할 수 있다.

[23] 또한, 상기 케이스 및 커버는 소재가 절연 소재일 수 있다.

[24] 또한, 상기 절연 소재는 플라스틱일 수 있다.

[25]

발명의 효과

[26] 이에 의해, 본 발명은 다음과 같은 효과를 갖는다.

[27] 첫째, 이차전지의 리튬을 실리콘으로 대체함으로써, 제조 비용 감소 및 이차전지 폐기 시 환경 오염을 최소화할 수 있는 효과가 있다.

[28] 둘째, 양극 또는 음극 물질을 다수 회 적층 압착하여 양극 또는 음극 활물질을 제조함으로써, 양극 또는 음극 활물질의 밀도를 증가시켜 전류 밀도 및 용량을 증가시킬 수 있는 효과가 있다.

[29] 셋째, 양극 활물질 및 음극 활물질의 내부에 메쉬 플레이트를 내장시킴으로써 전자를 효율적으로 이동시킬 수 있는 효과가 있다.

[30] 넷째, 실리콘 이차전지의 직렬 연결 시 연결되는 실리콘 이차전지의 전극을 공용화함으로써, 실리콘 이차전지 어셈블리의 두께를 감소시키고 출력 전압을 증대시킬 수 있는 효과가 있다.

[31] 다섯째, PCB 또는 칩과 일체로 형성되어 전원을 공급함으로써 순간 방전에 대한 백업 전원의 역할을 할 수 있는 효과가 있다.

[32]

도면의 간단한 설명

[33] 도 1은 본 발명에 따른 실리콘 이차전지의 구조를 나타낸 것이다.

[34] 도 2는 본 발명의 제1 실시 예에 따른 실리콘 이차전지의 구조를 도시한 것이다.

[35] 도 3은 본 발명의 제2 실시 예에 따른 실리콘 이차전지의 구조를 도시한 것이다.

[36] 도 4는 본 발명의 제3 실시 예에 따른 실리콘 이차전지의 활물질에 포함되는 메쉬 플레이트의 일 예를 도시한 것이다.

[37] 도 5는 본 발명의 제4 실시 예에 따른 실리콘 이차전지 유닛의 구조를 나타낸 것이다.

[38] 도 6은 본 발명의 제4 실시 예에 따른 실리콘 이차전지 유닛이 적용된 전기 자동차용 전지 모듈의 일 예를 도시한 것이다.

[39] 도 7은 본 발명의 제6 실시예에 따른 마이크로 전지의 일 예를 도시한 것이다.

[40]

발명의 실시를 위한 형태

[41] 본 명세서 및 특허청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니 되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여, 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

[42] 따라서 본 명세서에 기재된 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 하나의 실시 예에 불과할 뿐이고, 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있음을 이해하여야 한다. 아울러, 본 발명을 설명함에 있어 관련된 공지 기술 등이 본 발명의 요지를 흐리게 할 수 있다고 판단되는 경우에는 그에 관한 자세한 설명은 생략하기로 한다.

[43]

[44] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 실리콘 이차전지 및 이의 제조방법에 관하여 살펴보기로 한다.

[45]

[46] 본 발명에 따른 실리콘 이차전지는 실리콘 이온을 이용하여 충전 및 방전을 수행하는 이차전지에 관한 것으로, 도 1에 도시된 바와 같이, 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키는 양극 활물질층(20), 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키는 음극 활물질층(40) 및 상기 양극 활물질층(20) 및 음극 활물질층(40) 사이에 위치하며, 양극 활물질층(20)과 음극 활물질층(40)간에 충전 및 방전 시에 실리콘 이온을 전달하기 위한 고체전해질층(10)을 포함한다.

[47] 또한, 도 1에 의하면, 상기 양극 활물질층(20)에는 양극 집전체(30)가 결합되고, 상기 음극 활물질층(40)에는 음극 집전체(50)가 결합된다.

[48] 도 1에서 양극 집전체(30)는 소정 두께를 갖는 금속 플레이트로 마련되며, 그 일 측면에 양극 활물질층(20)이 도포된다. 양극 활물질층(20)은 실리콘 카바이드(SiC)로 마련될 수 있으나, 반드시 이에 한정되는 것은 아니다. 예를 들어 설명하면, 실리콘 카바이드(SiC)에 게르마늄(ge)이 소량 첨가되어 사용될 수도 있다. 이는 도핑에 의해 가능한 것으로, 카본(C)과 원소 주기율표상 같은 족에 위치한 원소를 첨가하여 양극 활물질로 사용할 수 있다.

[49] 음극 집전체(50)는 소정의 두께를 갖는 금속 플레이트로 마련되어 그 일 측면에 음극 활물질층(40)이 도포된다. 음극 활물질층(40)은 실리콘 나이트레이트(Si_3N_4)로 마련될 수 있으나, 반드시 이에 한정되는 것은 아니다. 상기 음극 활물질층(40) 또한 실리콘 나이트레이트(Si_3N_4)에 질소(N)와 원소 주기율표상 같은 족에 위치한 원소를 소량 첨가하여 음극 활물질로 사용할 수 있다.

[50] 상기한 도핑에 대해 다시 한번 설명하면, 전극은 이온화 과정에서 발생하는 전자의 이탈에 의한 전위차로 전압을 발생시키는 역할을 한다. 실리콘은 +4 의 이온화도를 가지는 원소로서 양극성을 가지며, 이 양극성에서 전자의 이탈 용이성과 수용 용이성을 위하여 N와 C로 도핑된 실리콘 전극을 이용한다. 그러나 실리콘 카바이드와 실리콘 나이트레이드는 육방정 결정질의 물질로서 결정상에서의 전자의 이동이 결정 표면에서 발생이 쉽고, 특히 결정의 방향성에 따라서 전자의 이탈 현상이 변화될 수 있다. 실리콘 카바이드와 실리콘 나이트레이트의 원료에 Al, Fe, Mg, Zn, Mn등의 전이 금속을 첨가함으로, 결정의

방향성을 변경하여 전자의 이탈 및 수용을 용이하게 조절할 수 있다. 실리콘에 비하여 이온 지름이 큰 4주기 5주기의 전이 금속을 첨가하여 결정에 방향성을 부여함으로써 전자이동도를 조절할 수 있다. 실리콘과 지름이 비슷한 3주기 원소인 Al, P, S, Mg, Na등의 원소를 조합하여 첨가하였을 때, 결정상의 모양 변화를 최소화하며, 전자의 이탈도를 조절할 수 있다.

[51] 한편, 고체 전해질층(10)은 고정된 상태에 있는 비수 전해질로서, 폴리머에 의한 이온교환 수지 및 금속 산화물 등에 의한 이온 교환 무기 화합물 등으로 마련될 수 있다. 이온교환수지로서는, 양이온성인 술폰산기($-SO_3H$), 카르복실기(-COOH), 음이온성인 4급 암모늄기($-N(CH_3)^2C_2H_4OH$), 치환 아미노기($-NH(CH_3)^2$) 등 중 어느 1종류를 결합기로서 가지고 있는 폴리머의 어느 쪽도 채용 가능하다. 다만, 술폰산기($-SO_3H$)를 가지고 있는 폴리아크릴아미드메틸프로판술폰산(PAMPS)이 원활하게 전자(e-)를 이동시키는 점에 있어서 적합하게 채용할 수 있다.

[52] 상기한 고체 전해질층(10)은 전해질에 폴리머를 첨가하여 겔과 같은 형태의 고정성을 부여함으로써 전지의 활용성을 높이는 것이다. 그러나, 폴리머는 단일 결합으로 이루어진 체인 또는 이중결합으로 이루어진 체인으로 구성되므로, 체인 내 전자 공유만으로는 전자밀도가 매우 낮아 액상 전해질만 이용할 때보다 전자이동도가 감소한다. 이러한 폴리머는 빠른 시간에 전자와 이온을 대량으로 수송하고, 전해질 액체의 고정성을 더욱 높여 안전 및 안정성을 높여야 한다. 액상의 고정을 위한 폴리머는 고점도를 위해 고분자량의 재료가 필요하나, 고분자량으로 갈수록 폴리머의 전도성이 낮아지는 경향이 있어, 전도성이 높은 저분자량의 낮은 중합도를 가지는 폴리머와 고점도를 위한 높은 중합도를 가지는 폴리머를 2종 이상을 혼합하여, 이온 이동도와 전자 이동도를 보상할 수 있다.

[53] 상기와 같이 양극 활물질층(20) 및 음극 활물질층(40)이 도포된 양극집 전체(30) 및 음극 집전체(50)는 고체 전해질층(10)과 결합되어 실리콘 이차전지를 이루게 된다. 이때, 상기 양극 활물질층(20) 및 음극 활물질층(40)이 고체 전해질층(10)의 양면에 맞닿도록 결합된다.

[54] 상기와 같이 구성되는 실리콘 이차전지는 전자의 이동에 의해 충방전되어 전지의 기능을 하게 된다.

[55] 상기의 실리콘 이차전지는 양극 집전체(30)에 전류가 인가되면 음극 집전체(50)를 향하여 전자가 이동한다. 이동한 전자는 첫번째 단계로 고체 전해질층(10) 내부에 쌍극자 형성을 통해 만들어진 전기력장에 의해 전압 평형상태와 비교할 때 과량의 전자가 저장되고, 이 충전 속도는 매우 빠르다. 전자기력에 의해 충전된 전자들은 고체 전해질층(10)의 음극 활물질층(40) 쪽 계면으로 이동하여 음극 활물질층(40) 표면에 존재하는 실리콘 정공에 충진되어 순차적으로 이동하고, 이 과정에서 음극 활물질층(40)에 존재하는 실리콘 카바이드 분자들과 물리적 결합을 하게 된다. 물리적 결합이 일정 시간 진행되어

음극 활물질층(40)이 전자들로 포화되면 전자들은 물리적 결합을 유지하면서 궁극적으로 양극 집전체(30)에 인가된 전류에 의해 전달된 전자들은 음극 활물질층(40)의 실리콘 카바이드와 화학적 결합을 생성하여 전지 내부에 화학적인 충전을 완성하게 된다. 따라서, 실리콘 이차전지는 물리적인 고속 충전 특성과 화학적인 안정 충전 특성을 동시에 보유하게 된다.

[56] 본 발명에서 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)은 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 부피가 비대해져 충·방전 특성이 저하되는 것을 방지하기 위하여 탄성탄소를 포함할 수 있다. 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)은 탄성탄소를 포함함으로써, 충·방전이 반복됨에 따라 실리콘 입자가 비대해지더라도, 비대해지는 만큼 탄성탄소에 의한 부피 상쇄 효과를 볼 수 있으므로, 활물질층 전체적으로 부피 비대화를 억제할 수 있게 된다.

[57] 다만, 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)이 탄성탄소를 포함하게 되면, 실리콘 입자와 탄성탄소간의 간극으로 인해 이온 이동성이나 전자 전도성이 다소 떨어질 수 있으므로, 이를 보완하기 위하여 전도성 탄소를 더 포함하거나, 상기 탄성탄소로 탄성을 가지면서 동시에 이온 이동성이나 전자 전도성이 매우 높은 플러렌(fullerene)을 사용하는 것이 바람직할 수 있다.

[58]

[59] 또 다른 예로, 본 발명에서 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)은 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 부피가 비대해져 충·방전 특성이 저하되는 것을 방지하기 위하여, 활물질층의 부피 비대화 반응에 관여하지 않는 비활물질 입자를 포함할 수 있다. 상기 비활물질 입자는 Mo, Cu, Fe, Co, Ca, Cr, Mg, Mn, Nb, Ni, Ta, Ti 및 V로 이루어진 군으로부터 선택된 어느 1종 이상의 금속입자이다.

[60] 다만, 상기와 같이 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)이 비활물질 입자를 포함하게 되면, 실리콘 이차전지의 전기용량이 다소 감소할 수 있으므로, 전도성 탄소 또는 전도성 고분자를 더 포함하는 것이 바람직할 수 있다.

[61]

[62] 본 발명에서 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)은 층을 이룰 수 있는 형상이라면 어떠한 형상이라도 무방하나, 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 팽창·수축으로 인한 활물질층 파손 위험을 최소화하기 위해 메쉬(mesh)형상인 것이 바람직할 수 있다.

[63]

[64] 본 발명에서 상기 양극 활물질층(20) 및/또는 음극 활물질층(40)은 표면 형상에 있어 특별히 제한적인 것은 아니나, 고체 전해질층(10) 및/또는 양극·음극 집전체(30, 50)과의 계면 접촉면적을 넓혀, 계면저항을 감소시키기 위해 활물질층의 표면 중 어느 한면 또는 양면에 요철이 형성된 것이 바람직할 수

있다.

[65]

[66] 본 발명에서 상기 고체전해질층(10)은 고체전해질층과 양극 활물질층간의 계면저항을 감소시켜 전지용량을 증가시키기 위해 고체전해질층과 양극 활물질층 사이에 양극 활물질층 성분과 고체전해질 성분을 포함하는 제1중간층(도면 미도시)이 형성 되는 것이 바람직할 수 있다.

[67] 상기 제1 중간층은 구성 성분의 함량 비율이 특별히 제한적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 양극 활물질층 성분의 함량이 고체전해질 성분의 함량 보다 많은 것이 바람직하며, 상기 제1 중간층의 두께 역시 특별히 한정적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 상기 고체전해질층 및/또는 양극 활물질층의 두께보다 얇은 것이 바람직하다.

[68] 또한, 상기 제1 중간층은 인접 층과의 계면저항을 보다 더 감소시키기 위해 어느 한면 또는 양면의 표면에 돌기가 형성되어 있는 것이 바람직할 수 있다.

[69]

[70] 또 다른 예로, 본 발명에서 상기 고체전해질층(10)은 고체전해질층과 음극 활물질층간의 계면저항을 감소시켜 전지용량을 증가시키기 위해 고체전해질층과 음극 활물질층 사이에 음극 활물질층 성분과 고체전해질 성분을 포함하는 제2중간층(도면 미도시)이 형성 되는 것이 바람직할 수 있다.

[71] 상기 제2 중간층은 구성 성분의 함량 비율이 특별히 제한적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 음극 활물질층 성분의 함량이 고체전해질 성분의 함량 보다 많은 것이 바람직하며, 상기 제2 중간층의 두께 역시 특별히 한정적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 상기 고체전해질층 및/또는 음극 활물질층의 두께보다 얇은 것이 바람직하다.

[72] 또한, 상기 제2 중간층은 인접 층과의 계면저항을 보다 더 감소시키기 위해 어느 한면 또는 양면의 표면에 돌기가 형성되어 있는 것이 바람직할 수 있다.

[73]

[74] 한편, 상기 고체전해질층(10)은 기계적 강도를 한층 더 높이고, 가공성을 향상시키기 위해 PVDF(polyvinylidene fluoride) 및 PTFE(polytetrafluoroethylene) 중 어느 하나 이상을 포함하는 것이 바람직할 수 있으며, 이 경우 전자 전도성이 다소 감소할 수 있으므로 전도성 폴리머를 더 포함하는 것이 보다 더 바람직할 수 있다.

[75]

[76] 본 발명에서 상기 양극 집전체(30) 및 음극 집전체(50)는 각각 양극 활물질층 및 음극 활물질층에 결합되어 전하를 집전하는 것으로, 소재로는 스테인레스, 니켈 등이 사용될 수 있다.

[77] 상기 양극 집전체 및/또는 음극 집전체는 형상에 있어 특별히 제한적인 것은

아니나, 집전체와 활물질층 간의 계면 접촉면적을 증가시켜 계면저항을 낮추고, 압착시 계면 접착력을 향상시키기 위해 다공망 형상이거나, 발포 형상인 것이 바람직할 수 있다. 상기 다공망 형상은 2차원적인 평면 다공망 형상일 수 있고, 3차원적인 그물형 다공망 형상일 수도 있다.

[78]

[79] 또한, 상기 양극 집전체 및/또는 음극 집전체가 다공망 형상 또는 발포 형상일 경우, 상기 양극 집전체 및/또는 음극 집전체의 표면에 금, 은 및 전도성 폴리머 중 어느 하나를 코팅함으로서, 집전체의 전자 및 이온 전도성을 보다 더 높일 수 있어 계면저항을 한층 더 감소시킬 수 있는 이점이 있다. 특히, 상기 전도성 폴리머를 코팅할 경우에는 전도성 폴리머가 도전제 역할을 함과 동시에 결합제 역할까지 하기 때문에, 계면 접착력도 한층 더 높일 수 있다. 상기 전도성 폴리머는 전도성을 가지는 폴리머라면 어떠한 종류라도 무방하나, 폴리피롤, 폴리아닐린, 폴리티오펜 및 폴리아세틸렌으로 이루어진 군으로부터 선택된 어느 하나를 사용하는 것이 집전체의 도전성 및 계면접착력 향상 측면에서 바람직하다.

[80]

[81] <제1 실시 예>

[82] 이하에서는, 도 2를 참조하여 본 발명의 제1 실시 예에 따른 실리콘 이차전지에 대해 상세하게 설명한다.

[83] 본 발명의 제1 실시 예에 따른 실리콘 이차전지는 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층(210)을 복수 개 적층한 제1 실리콘 복수 적층 박막부(200), 제1 실리콘 복수 적층 박막부(200)와 결합되는 집전체(300), 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층(410)을 복수 개 적층한 제2 실리콘 복수 적층 박막부(400), 제2 실리콘 복수 적층 박막부(400)와 결합되는 집전체(500), 제1 실리콘 복수 적층 박막부(200) 및 제2 실리콘 복수 적층 박막부(400) 사이에 위치하며 제1 실리콘 복수 적층 박막부(200)와 제2 실리콘 복수 적층 박막부(400)간에 충전 및 방전 시에 실리콘 이온을 전달하기 위한 고체전해질층(100)을 포함한다.

[84] 제1 실리콘 복수 적층 박막부(200)는 실리콘 양극화 박막층(210)이 복수 개 적층 압착되어 형성된다. 실리콘 양극화 박막층(210)은 접합 물질과 혼합된 제1 실리콘 화합물을 압착하여 형성시키게 된다. 또는, 접합 물질에 의해 코팅된 제1 실리콘 화합물을 압착하여 형성시킬 수도 있다. 상기와 같이 형성된 실리콘 양극화 박막층(210)은 복수 개 적층된 후, 압력을 가해 압착하여 제1 실리콘 복수 적층 박막부(200)를 형성하게 된다. 여기서, 제1 실리콘 화합물은 실리콘 카바이드(silicon carbide)로 마련될 수 있으며, 접합 물질은 고분자 가교제로 마련될 수 있다.

[85] 이와 같이 형성된 제1 실리콘 복수 적층 박막부(200)는 집전체(300)에 결합되어 양극 집전체를 이루게 된다. 이때, 집전체(300)는 금속 재질의 다공망으로 마련될 수 있으며, 그 단부에는 전류를 공급하기 위한 단자가 형성될 수 있다. 여기서, 제1 실리콘 복수 적층 박막부(200)와 집전체(300)의 결합은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄 또는 압착에 의해 결합될 수도 있다.

[86] 한편, 제2 실리콘 복수 적층 박막부(400)는 실리콘 음극화 박막층(410)이 복수 개 적층 압착되어 형성된다. 실리콘 음극화 박막층(410)은 접합 물질과 혼합된 제2 실리콘 화합물을 압착하여 형성시키게 된다. 또는, 접합 물질에 의해 코팅된 제2 실리콘 화합물을 압착하여 형성시킬 수도 있다. 상기와 같이 형성된 실리콘 음극화 박막층(410)은 복수 개 적층된 후, 압력을 가해 압착하여 제2 실리콘 복수 적층 박막부(400)를 형성하게 된다. 여기서, 제2 실리콘 화합물은 실리콘 나이트레이드로 마련될 수 있으며, 접합 물질은 고분자 가교제로 마련될 수 있다.

[87] 이와 같이 형성된 제2 실리콘 복수 적층 박막부(400)는 집전체(500)에 결합되어 양극 집전체를 이루게 된다. 이때, 집전체(500)는 금속 재질의 다공망으로 마련될 수 있으며, 그 단부에는 전류를 공급하기 위한 단자가 형성될 수 있다. 여기서, 제2 실리콘 복수 적층 박막부(400)와 집전체(500)의 결합은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄 또는 압착에 의해 결합될 수도 있다.

[88] 상기와 같이 형성된 양극 및 음극 집전체는 제1 및 제2 실리콘 복수 적층 박막부(200, 400)가 고체전해질층(100)의 외면과 만나도록 고체전해질층(100)에 결합된다. 이때, 제1 및 제2 실리콘 복수 적층 박막부(200, 400)와 고체 전해질층(100)은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄, 분무 또는 압착에 의해 결합될 수도 있다. 여기서 고체전해질층(100)은 양극과 음극의 단락을 차단하기 위해 제1 및 제2 실리콘 복수 적층 박막부(200, 400)보다 넓은 너비를 갖도록 형성된다.

[89] 상기한 바와 같은 본 발명의 제1 실시 예에 따른 실리콘 이차전지는 제1 실리콘 화합물 또는 제2 실리콘 화합물을 다수 회 적층 압착하여 제1 또는 제2 실리콘 복수 적층 박막부(200, 400)를 제조함으로써, 제1 또는 제2 실리콘 복수 적층 박막부(200, 400)의 밀도를 증가시켜 실리콘 이차전지의 전류 밀도 및 용량을 증가시킬 수 있는 효과가 있다.

[90]

[91] 본 발명의 실시예 1에서, 상기 고체전해질층(100)은 고체전해질층과 제1 실리콘 복수 적층 박막부간의 계면저항을 감소시켜 전지용량을 증가시키기 위해 고체전해질층과 제1 실리콘 복수 적층 박막부 사이에 제1 실리콘 화합물과 고체전해질 성분을 포함하는 제1중간층이 형성 되어 있는 것이 바람직할 수 있다.

[92] 상기 제1 중간층은 구성 성분의 함량 비율이 특별히 제한적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 제1 실리콘 화합물의 함량이 고체전해질 성분의 함량 보다 많은 것이 바람직하며, 상기 제1 중간층의 두께 역시 특별히 한정적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 상기 고체전해질층 및/또는 제1 실리콘 복수 적층 박막부의 두께보다 얇은 것이 바람직하다.

[93] 또한, 상기 제1 중간층은 인접 층과의 계면저항을 보다 더 감소시키기 위해 어느 한면 또는 양면의 표면에 돌기가 형성되어 있는 것이 바람직할 수 있다.

[94]

[95] 또 다른 예로, 본 발명의 실시예 1에서, 상기 고체전해질층(100)은 고체전해질층과 제2 실리콘 복수 적층 박막부간의 계면저항을 감소시켜 전지용량을 증가시키기 위해 고체전해질층과 제2 실리콘 복수 적층 박막부 사이에 제2 실리콘 화합물과 고체전해질 성분을 포함하는 제2중간층이 형성되어 있는 것이 바람직할 수 있다.

[96] 상기 제2 중간층은 구성 성분의 함량 비율이 특별히 제한적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 제2 실리콘 화합물의 함량이 고체전해질 성분의 함량 보다 많은 것이 바람직하며, 상기 제2 중간층의 두께 역시 특별히 한정적인 것은 아니나, 실리콘 이차전지의 전기용량을 보다 더 증가시키기 위해서는 상기 고체전해질층 및/또는 제2 실리콘 복수 적층 박막부의 두께보다 얇은 것이 바람직하다.

[97] 또한, 상기 제2 중간층은 인접 층과의 계면저항을 보다 더 감소시키기 위해 어느 한면 또는 양면의 표면에 돌기가 형성되어 있는 것이 바람직할 수 있다.

[98]

[99] 한편, 상기 고체전해질층(100)은 기계적 강도를 한층 더 높이고, 가공성을 향상시키기 위해 PVDF(polyvinylidene fluoride) 및 PTFE(polytetrafluoroethylene) 중 어느 하나 이상을 포함하는 것이 바람직할 수 있으며, 이 경우 전자 전도성이 다소 감소할 수 있으므로 전도성 폴리머를 더 포함하는 것이 보다 더 바람직할 수 있다.

[100]

[101] <제2 실시 예>

[102] 이하에서는, 도 3을 참조하여 본 발명의 제2 실시 예에 따른 실리콘 이차전지에 대해 설명한다.

[103] 본 발명의 제2 실시 예에 따른 실리콘 이차전지는 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층(210)을 복수 개 적층한 제1 실리콘 복수 적층 박막부(200), 제1 실리콘 복수 적층 박막부(200)와 결합되는 집전체(300), 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층(410)을 복수 개 적층한 제2

실리콘 복수 적층 박막부(400), 제2 실리콘 복수 적층 박막부(400)와 결합되는 집전체(500), 제1 실리콘 복수 적층 박막부(200) 및 제2 실리콘 복수 적층 박막부(400) 사이에 위치하는 분리막(600), 제1 실리콘 복수 적층 박막부(200)와 제2 실리콘 복수 적층 박막부(400)간에 충전 및 방전 시에 실리콘 이온을 전달하기 위한 액체 전해질(100')을 포함한다.

[104] 제1 실리콘 복수 적층 박막부(200)는 실리콘 양극화 박막층(210)이 복수 개 적층 압착되어 형성된다. 실리콘 양극화 박막층(210)은 접합 물질과 혼합된 제1 실리콘 화합물을 압착하여 형성시키게 된다. 또는, 접합 물질에 의해 코팅된 제1 실리콘 화합물을 압착하여 형성시킬 수도 있다. 상기와 같이 형성된 실리콘 양극화 박막층(210)은 복수 개 적층된 후, 압력을 가해 압착하여 제1 실리콘 복수 적층 박막부(200)를 형성하게 된다. 여기서, 제1 실리콘 화합물은 실리콘 카바이드(silicon carbide)로 마련될 수 있으며, 접합 물질은 고분자 가교제로 마련될 수 있다.

[105] 이와 같이 형성된 제1 실리콘 복수 적층 박막부(200)는 집전체(300)에 결합되어 양극 집전체를 이루게 된다. 이때, 집전체(300)는 금속 재질의 다공망으로 마련될 수 있으며, 그 단부에는 전류를 공급하기 위한 단자가 형성될 수 있다. 여기서, 제1 실리콘 복수 적층 박막부(200)와 집전체(300)의 결합은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄 또는 압착에 의해 결합될 수도 있다.

[106] 한편, 제2 실리콘 복수 적층 박막부(400)는 실리콘 음극화 박막층(410)이 복수 개 적층 압착되어 형성된다. 실리콘 음극화 박막층(410)은 접합 물질과 혼합된 제2 실리콘 화합물을 압착하여 형성시키게 된다. 또는, 접합 물질에 의해 코팅된 제2 실리콘 화합물을 압착하여 형성시킬 수도 있다. 상기와 같이 형성된 실리콘 음극화 박막층(410)은 복수 개 적층된 후, 압력을 가해 압착하여 제2 실리콘 복수 적층 박막부(400)를 형성하게 된다. 여기서, 제2 실리콘 화합물은 실리콘 나이트레이드로 마련될 수 있으며, 접합 물질은 고분자 가교제로 마련될 수 있다.

[107] 이와 같이 형성된 제2 실리콘 복수 적층 박막부(400)는 집전체(500)에 결합되어 양극 집전체를 이루게 된다. 이때, 집전체(500)는 금속 재질의 다공망으로 마련될 수 있으며, 그 단부에는 전류를 공급하기 위한 단자가 형성될 수 있다. 여기서, 제2 실리콘 복수 적층 박막부(400)와 집전체(500)의 결합은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄 또는 압착에 의해 결합될 수도 있다.

[108] 상기와 같이 형성된 양극 및 음극 집전체는 제1 및 제2 실리콘 복수 적층 박막부(200, 400)의 사이에 분리막(600)이 개재되어 양극과 음극의 단락을 차단하게 된다. 그리고, 제1 및 제2 실리콘 복수 적층 박막부(200, 400)와 분리막(600)이 액체 전해질(100')에 함침되는 형태로 결합하게 된다.

[109] 상기한 바와 같은 본 발명의 제2 실시 예에 따른 실리콘 이차전지는 제1 실리콘

화합물 또는 제2 실리콘 화합물을 다수 회 적층 압착하여 제1 또는 제2 실리콘 복수 적층 박막부(200, 400)를 제조함으로써, 제1 또는 제2 실리콘 복수 적층 박막부(200, 400)의 밀도를 증가시켜 실리콘 이차전지의 전류 밀도 및 용량을 증가시킬 수 있는 효과가 있다.

[110]

[111] 본 발명의 제1 및 제2 실시 예에 있어서, 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물은 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 부피가 비대해져 충·방전 특성이 저하되는 것을 방지하기 위하여 탄성탄소를 포함할 수 있다. 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물은 탄성탄소를 포함함으로써, 충·방전이 반복됨에 따라 실리콘 입자가 비대해지더라도, 비대해지는 만큼 탄성탄소에 의한 부피 상쇄 효과를 볼 수 있으므로, 활물질층 전체적으로 부피 비대화를 억제할 수 있게 된다.

[112] 다만, 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물이 탄성탄소를 포함하게 되면, 실리콘 입자와 탄성탄소간의 간극으로 인해 이온 이동성이나 전자 전도성이 다소 떨어질 수 있으므로, 이를 보완하기 위하여 전도성 탄소를 더 포함하거나, 상기 탄성탄소로 탄성을 가지면서 동시에 이온 이동성이나 전자 전도성이 매우 높은 플러렌(fullerene)을 사용하는 것이 바람직할 수 있다.

[113]

[114] 또한, 본 발명의 제1 및 제2 실시예에서 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물은 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 부피가 비대해져 충·방전 특성이 저하되는 것을 방지하기 위하여, 활물질층의 부피 비대화 반응에 관여하지 않는 비활물질 입자를 포함할 수 있다. 상기 비활물질 입자는 Mo, Cu, Fe, Co, Ca, Cr, Mg, Mn, Nb, Ni, Ta, Ti 및 V로 이루어진 군으로부터 선택된 어느 1종 이상의 금속입자이다.

[115] 다만, 상기와 같이 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물이 비활물질 입자를 포함하게 되면, 실리콘 이차전지의 전기용량이 다소 감소할 수 있으므로, 전도성 탄소 또는 전도성 고분자를 더 포함하는 것이 바람직할 수 있다.

[116]

[117] 본 발명의 제1 및 제2 실시예에서 상기 양극화 박막층 및/또는 음극화 박막층은 층을 이룰 수 있는 형상이라면 어떠한 형상이라도 무방하나, 실리콘 이차전지의 충·방전이 반복됨에 따라 양극화 박막층 및/또는 음극화 박막층의 팽창·수축으로 인한 박막층 파손 위험을 최소화하기 위해 메쉬(mesh)형상인 것이 바람직할 수 있다.

[118]

[119] 본 발명의 제1 및 제2 실시예에서 상기 양극화 박막층 및/또는 음극화 박막층은 표면 형상에 있어 특별히 제한적인 것은 아니나, 인접 층과의 계면 접촉면적을 넓혀, 계면저항을 감소시키기 위해 박막층의 표면 중 어느 한면 또는 양면에

요철이 형성된 것이 바람직할 수 있다.

[120]

[121] 본 발명의 제1 및 제2 실시예에서 상기 제1 실리콘 복수 적층 박막부 및/또는 제2 실리콘 복수 적층 박막부는 충·방전 특성을 향상시키고, 균일한 이온 전도성을 확보하기 위하여 금속 또는 탄소동소체로 이루어진 중간층을 포함하는 것이 바람직할 수 있다.

[122] 상기 중간층의 두께는 특별히 제한적인 것은 아니나, 제1 실리콘 복수 적층 박막부 및 제2 실리콘 복수 적층 박막부의 두께보다 얇은 것이 전기용량 증가 측면에서 보다 유리할 수 있다.

[123] 상기 중간층을 이루는 금속은 전기 전도성이 높은 금속이라면 어떠한 금속이라도 무방하나, 알루미늄, 금, 은 중 선택된 어느 하나 또는 2이상의 합금을 사용하는 것이 전지의 충·방전 성능을 극대화하는 측면에서 바람직하다.

[124] 또한, 상기 중간층을 이루는 탄소동소체는 그 종류가 특별히 한정적인 것은 아니나, 그래핀(graphene), 탄소나노튜브(carbon nano tube), 플러렌(fullerene) 중 선택된 어느 하나인 것이 전극 내 균일한 이온 전도성 확보 측면에서 바람직하다.

[125]

[126] 이하에서는 본 발명의 제1 및 제2 실시 예에 따른 실리콘 이차전지의 제조방법에 대해 설명하기로 한다.

[127] 본 발명의 제1 및 제2 실시 예에 따른 실리콘 이차전지의 제조방법은 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층을 반복적으로 복수 개 적층하여 제1 실리콘 복수 적층 박막부를 제조하는 단계, 제1 실리콘 복수 적층 박막부를 집전체에 결합하여 양극 집전체를 제조하는 단계, 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층을 반복적으로 복수 개 적층하여 제2 실리콘 복수 적층 박막부를 제조하는 단계, 제2 실리콘 복수 적층 박막부를 집전체에 결합하여 음극 집전체를 제조하는 단계, 제1 및 제2 실리콘 복수 적층 박막부를 전해질부와 결합하는 단계를 포함한다.

[128] 먼저, 제1 실리콘 복수 적층 박막부를 제조하는 단계는 제1 실리콘 화합물과 접합 물질을 혼합하는 단계로부터 시작된다. 여기서, 제1 실리콘 화합물은 실리콘 카바이드(silicon carbide)로 마련될 수 있으며, 접합 물질은 고분자 가교제로 마련될 수 있다.

[129] 상기와 같이 제1 실리콘 화합물과 접합 물질이 혼합되면, 이 혼합 물질을 압착하여 박막 형태의 실리콘 양극화 박막층을 제조하게 된다.

[130] 이와 같이 제조된 실리콘 양극화 박막층을 복수 개 적층한 후, 압착하여 제1 실리콘 복수 적층 박막부를 제조하게 된다.

[131] 상기와 같은 방법에 의해 제1 실리콘 복수 적층 박막부를 제조하게 되면 성형성은 용이하지만, 제1 실리콘 복수 적층 박막부에 다공이 발생하여 전지의 내부 저항이 상승할 수 있다.

[132] 또한, 제1 실리콘 복수 적층 박막부는 아래와 같이 제조될 수도 있다.

[133] 제1 실리콘 화합물의 각 입자를 접합 물질로 코팅한 후, 코팅된 제1 실리콘 화합물을 건조하여 분말 형태로 제조한다.

[134] 그 후, 건조된 분말 형태의 제1 실리콘 화합물을 압착하여 박막 형태의 실리콘 양극화 박막층으로 제조하고, 제조된 실리콘 양극화 박막층을 복수 개 적층한 후 압착하여 제1 실리콘 복수 적층 박막부를 제조하게 된다.

[135] 상기와 같은 방법에 의해 제1 실리콘 복수 적층 박막부를 제조하게 되면 성형이 다소 어렵지만, 제1 실리콘 복수 적층 박막부에 다공이 발생하지 않아 전지의 내부 저항이 감소하게 된다.

[136] 상기와 같이 제1 실리콘 복수 적층 박막부가 제조되면, 이를 집전체에 결합시켜 양극 집전체를 제조하게 된다. 여기서, 제1 실리콘 복수 적층 박막부와 집전체의 결합은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄 또는 압착에 의해 결합될 수도 있다. 이때, 집전체는 금속 재질의 다공망으로 마련될 수 있으며, 그 단부에 전류를 공급하기 위한 단자가 형성될 수 있다.

[137] 그리고, 제2 실리콘 복수 적층 박막부를 제조하는 단계는 제2 실리콘 화합물과 접합 물질을 혼합하는 단계로부터 시작된다. 여기서, 제2 실리콘 화합물은 실리콘 나이트레이드로 마련될 수 있으며, 접합 물질은 고분자 가교제로 마련될 수 있다.

[138] 상기와 같이 제2 실리콘 화합물과 접합 물질이 혼합되면, 이 혼합 물질을 압착하여 박막 형태의 실리콘 음극화 박막층을 제조하게 된다.

[139] 이와 같이 제조된 실리콘 음극화 박막층을 복수 개 적층한 후, 압착하여 제2 실리콘 복수 적층 박막부를 제조하게 된다.

[140] 상기와 같은 방법에 의해 제2 실리콘 복수 적층 박막부를 제조하게 되면 성형성은 용이하지만, 제2 실리콘 복수 적층 박막부에 다공이 발생하여 전지의 내부 저항이 상승할 수 있다.

[141] 또한, 제2 실리콘 복수 적층 박막부는 아래와 같이 제조될 수도 있다.

[142] 제2 실리콘 화합물의 각 입자를 접합 물질로 코팅한 후, 코팅된 제2 실리콘 화합물을 건조하여 분말 형태로 제조한다.

[143] 그 후, 건조된 분말 형태의 제2 실리콘 화합물을 압착하여 박막 형태의 실리콘 음극화 박막층으로 제조하고, 제조된 실리콘 음극화 박막층을 복수 개 적층한 후 압착하여 제2 실리콘 복수 적층 박막부를 제조하게 된다.

[144] 상기와 같은 방법에 의해 제2 실리콘 복수 적층 박막부를 제조하게 되면 성형이 다소 어렵지만, 제2 실리콘 복수 적층 박막부에 다공이 발생하지 않아 전지의 내부 저항이 감소하게 된다.

[145] 상기와 같이 제2 실리콘 복수 적층 박막부가 제조되면, 이를 집전체에 결합시켜 음극 집전체를 제조하게 된다. 여기서, 제2 실리콘 복수 적층 박막부와 집전체의 결합은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착,

인쇄 또는 압착에 의해 결합될 수도 있다. 이때, 집전체는 금속 재질의 다공망으로 마련될 수 있으며, 그 단부에 전류를 공급하기 위한 단자가 형성될 수 있다.

[146] 상기와 같이 양극 집전체 및 음극 집전체가 제조되면, 이를 전해질부와 결합하게 된다.

[147] 상기 전해질부가 고체일 경우에는 양극 집전체 및 음극 집전체의 제1 및 제2 실리콘 복수 적층 박막부가 고체 전해질의 외면과 만나도록 결합시키게 된다. 이때, 제1 및 제2 실리콘 복수 적층 박막부와 고체 전해질은 별도의 결합 물질 또는 결합 부재에 의해 결합될 수 있으며, 단순 부착, 인쇄, 분무 또는 압착에 의해 결합될 수도 있다. 여기서 고체 전해질은 양극과 음극의 단락을 차단하기 위해 제1 및 제2 실리콘 복수 적층 박막부보다 넓은 너비를 갖도록 형성된다.

[148] 또한, 상기 전해질부가 액체일 경우에는 양극 집전체 및 음극 집전체의 제1 및 제2 실리콘 복수 적층 박막부의 사이에 분리막이 개재되고, 제1 및 제2 실리콘 복수 적층 박막부와 분리막이 액체 전해질에 함침되는 형태로 결합하게 된다.

[149] 상기와 같은 방법에 의해 제조되는 실리콘 이차전지는 제1 실리콘 화합물 또는 제2 실리콘 화합물을 다수 회 적층 압착하여 제1 또는 제2 실리콘 복수 적층 박막부를 제조함으로써, 제1 또는 제2 실리콘 복수 적층 박막부의 밀도를 증가시켜 실리콘 이차전지의 전류 밀도 및 용량을 증가시킬 수 있는 효과가 있다.

[150]

[151] <제3 실시 예>

[152] 이하에서는, 본 발명의 제3 실시 예에 따른 실리콘 이차전지에 대해 상세하게 설명한다.

[153] 본 발명의 제3 실시 예에 따른 실리콘 이차전지는 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키는 양극 활물질이 도포된 양극, 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키는 음극 활물질이 도포된 음극 및 상기 양극 및 음극 사이에 위치하며, 양극 활물질과 음극 활물질간에 충전 및 방전 시에 실리콘 이온을 전달하기 위한 고체 전해질층을 포함하되, 상기 양극 활물질 및/또는 음극 활물질의 내부에 메쉬 플레이트(mesh plate)를 포함하는 실리콘 이차전지에 관한 것이다.

[154] 먼저, 양극은 소정 두께를 갖는 금속 플레이트로서, 그 일 측면에 양극 활물질이 도포된다. 양극 활물질은 실리콘 카바이드(SiC)로 마련될 수 있으나, 반드시 이에 한정되는 것은 아니다.

[155] 음극 또한 소정 두께를 갖는 금속 플레이트로 마련되어 그 일 측면에 음극 활물질이 도포된다. 음극 활물질은 실리콘 나이트레이드(Si_3N_4)로 마련될 수 있으나, 반드시 이에 한정되는 것은 아니다.

[156] 상기와 같이 도포된 양극 활물질 및 음극 활물질의 내부에 메쉬 플레이트가 내장된다. 메쉬 플레이트는, 도 4에 나타난 바와 같이 내부에 빈 공간이 형성되는

그물 형태의 망으로 형성되어 양극 활물질 및 음극 활물질의 내부에 삽입되게 된다. 여기서, 메쉬 플레이트는 메탈 페이스트에 의해 형성된다. 상기한 메탈 페이스트는 금속의 분말을 액상 유기물질에 혼합하여 제조된 겔과 같은 형태의 제품으로 실크스크린 또는 잉크젯과 같은 방법으로 금속 패턴을 형성하기 쉬운 금속 재료이다. 메탈 페이스트는 액상 유기물질을 burn out 또는 vaporization함으로써 저온에서도 금속 재료만 남길 수 있는 특성이 있어 쉽게 제조가 가능하고, 인쇄를 위한 패턴을 실크 스크린과 같이 제작할 때, 30um 두께까지 제조가 가능하여 두께 증가도 매우 작게 나타낼 수 있다.

[157] 상기와 같이 양극 활물질 및 음극 활물질이 도포된 양극 및 음극은 고체 전해질층과 결합되어 실리콘 이차전지를 이루게 된다. 이때, 양극 및 음극은 양극 활물질 및 음극 활물질이 고체 전해질층과 맞닿도록 고체 전해질층과 결합된다.

[158] 상기와 같이 구성되는 실리콘 이차전지는 전자의 이동에 의해 충방전되어 전지의 기능을 하게 된다.

[159] 이하에서는 본 발명의 제3 실시 예에 따른 실리콘 이차전지의 제조방법에 대해 상세하게 설명한다.

[160] 먼저, 베이스 필름을 마련한다. 상기 베이스 필름은 합성수지 재질로 제작된 것으로 가용성을 가진다.

[161] 그 후, 베이스 필름의 일 면에 양극 활물질을 도포한다.

[162] 상기와 같이 베이스 필름의 일 면에 양극 활물질이 도포되면, 양극 활물질을 펀칭하여 복수 개의 홀을 형성시킨다.

[163] 그 후, 양극 활물질의 상부에 메탈 페이스트를 도포하여 메쉬 플레이트를 형성시킨다. 이때, 메쉬 플레이트는, 도 4와 같이 그물망의 형태로 형성되며, 실크 스크린에 의해 인쇄되어 형성된다. 여기서, 메쉬 플레이트는 양극 활물질에 펀칭된 홀의 상부에 도포되어 상기 홀에 메탈 페이스트가 인입된다.

[164] 상기와 같이 메쉬 플레이트가 형성되면, 그 상부에 양극 활물질을 재차 도포한다.

[165] 그 후, 열과 압력을 가해 프레스하여 내부에 메쉬 플레이트가 내장된 양극 활물질을 제작하게 된다.

[166] 상기와 같이 양극 활물질이 제작되면, 상술한 방법과 동일한 방법으로 음극 활물질을 제작한다.

[167] 먼저, 베이스 필름을 마련한다. 상기한 베이스 필름은 합성수지 재질로 제작된 것으로 가용성을 가진다.

[168] 그 후, 베이스 필름의 일 면에 음극 활물질을 도포한다.

[169] 상기와 같이 베이스 필름의 일 면에 음극 활물질이 도포되면, 음극 활물질을 펀칭하여 복수 개의 홀을 형성시킨다.

[170] 그 후, 음극 활물질의 상부에 메탈 페이스트를 도포하여 메쉬 플레이트를 형성시킨다. 이때, 메쉬 플레이트는, 도 4에 도시된 바와 같이 그물망의 형태로

형성되며, 실크 스크린에 의해 인쇄되어 형성된다. 여기서, 메쉬 플레이트는 음극 활물질에 펀칭된 홀의 상부에 도포되어 상기 홀에 메탈 페이스트가 인입된다.

[171] 상기와 같이 메쉬 플레이트가 형성되면, 그 상부에 음극 활물질을 재차 도포한다.

[172] 그 후, 열과 압력을 가해 프레스하여 내부에 메쉬 플레이트가 내장된 음극 활물질을 제작하게 된다.

[173] 상기와 같이 양극 활물질 및 음극 활물질이 제작되면 양극 활물질 및 음극 활물질에서 베이스 필름을 제거한 후, 베이스 필름 대신 금속 플레이트를 설치하여 양극 및 음극을 제작한다.

[174] 이와 같이, 양극 및 음극이 제작되면, 양극, 고체 전해질층 및 음극을 순차적으로 적층한다. 이때, 양극 활물질 및 음극 활물질이 고체 전해질층과 맞닿도록 양극, 고체 전해질층 및 음극을 적층시킨다.

[175] 그 후, 열과 압력을 가해 프레스하여 실리콘 이차전지를 제조하게 된다.

[176]

[177] 고체 전해질을 이용한 실리콘 이차전지에서 전극의 내부에 메탈 페이스트를 이용하여 그물망 형태의 메쉬 플레이트를 내장하고, 메쉬 플레이트의 연결부에 홀을 가공하여 홀 내부 공간에 메탈 페이스트를 봉입함으로써 전극과 전해질 간에서 발생된 전자가 전극을 통과함에 있어 더욱 빠른 전자 이송 속도를 부여할 수 있다.

[178] 또한, 평면으로 이루어진 전극과 전해질 간에 반응성이 불균일함을 그물망 형태의 메쉬 플레이트가 평균화하여 줌으로써 전자의 일정한 인출이 가능한 조건을 형성 할 수 있다. 그리고, 전극에 생성한 홀을 통하여 전자의 인출이 빠르게 진행될 수 있으므로, 이차 전지 적층 시에 금속 박 또는 코팅을 통하여 적층이 쉽게 일어날 수 있다.

[179]

[180] <제4 실시 예>

[181] 이하에서는, 본 발명의 제4 실시 예에 따른 실리콘 이차전지 유닛에 대해 상세하게 설명한다.

[182] 본 발명의 제4 실시 예에 따른 실리콘 이차전지 유닛은, 도 5를 참고할 때, 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 양극 활물질층(1100), 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 음극 활물질층(1200) 및 고체전해질층(1000)을 포함하는 실리콘 이차전지 단위 셀들이 복수 개 적층되어 하나의 유닛을 형성하고 있으며, 상기 복수의 실리콘 이차 전지 단위 셀들은 직렬로 연결되어 적층되고, 양극 활물질층(100)과 음극활물질층(200) 사이에 하나의 공유 집전층(1300)이 구비되어 전하를 집전하는 것을 특징으로 한다.

[183]

[184] 상기 제1 실리콘 화합물 및 제2 실리콘 화합물에 대한 상세한 설명은 이미 설명하였으므로, 별도의 설명은 생략한다.

[185]

[186] 본 발명의 제4 실시 예에서, 상기 양극 활물질층(1100)은 단층 구조 이든, 복층 구조이든 모두 가능하나, 실리콘 이차전지 유닛의 체적 대비 전기용량 및 충·방전 특성을 극대화하기 위해 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층을 복수 개 적층한 제1 실리콘 복수 적층 박막부인 것이 바람직할 수 있다.

[187]

[188] 상기 음극 활물질층 역시 단층 구조 이든, 복층 구조이든 모두 가능하나, 실리콘 이차전지 유닛의 체적 대비 전기용량 및 충·방전 특성을 극대화하기 위해 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층을 복수 개 적층한 제2 실리콘 복수 적층 박막부인 것이 바람직할 수 있다.

[189]

[190] 본 발명의 제4 실시 예에서, 상기 공유 집전층(1300)은 본 발명의 실리콘 이차전지 유닛 내의 양극 활물질층 및 음극 활물질층 사이에 적층되어 양극 집전체 및 음극 집전체 역할을 모두 수행하는 것으로, 소재로는 스테인레스, 니켈 등이 사용될 수 있으며, 형상에 있어서는 특별히 제한적인 것은 아니나, 공유 집전체(1300)와 활물질층(1100, 1200) 간의 계면 접촉면적을 증가시켜 계면저항을 낮추고, 압착시 계면 접착력을 향상시키기 위해 다공망 형상이거나, 발포 형상인 것이 바람직할 수 있다. 상기 다공망 형상은 2차원적인 평면 다공망 형상일 수 있고, 3차원적인 그물형 다공망 형상일 수도 있다.

[191]

[192] 또한, 상기 공유 집전층(1300)이 다공망 형상 또는 발포 형상일 경우, 상기 공유 집전층(1300)의 표면에 금, 은 및 전도성 폴리머 중 어느 하나를 코팅함으로서, 공유 집전층(1300)의 전자 및 이온 전도성을 보다 더 높일 수 있어 계면저항을 한층 더 감소시킬 수 있는 이점이 있다.

[193] 특히, 상기 전도성 폴리머를 코팅할 경우에는 전도성 폴리머가 도전제 역할을 함과 동시에 결합제 역할까지 하기 때문에, 계면 접착력도 한층 더 높일 수 있다. 상기 전도성 폴리머는 전도성을 가지는 폴리머라면 어떠한 종류라도 무방하나, 폴리피롤, 폴리아닐린, 폴리티오펜 및 폴리아세틸렌으로 이루어진 군으로부터 선택된 어느 하나를 사용하는 것이 집전체의 도전성 및 계면접착력 향상 측면에서 바람직하다.

[194]

[195] 본 발명의 제4 실시 예에 의하면, 실리콘 이차전지 유닛을 이루는 복수의

실리콘 이차전지 단위 셀들이 직결로 연결 적층되는 구조로 되어 있어, 병렬로 연결되는 구조를 가지고 있는 기존 이차전지 유닛에 비해 보다 고전압·고출력 특성을 가질 수 있는 이점이 있다.

[196] 또한, 복수의 실리콘 이차 전지 단위 셀을 직렬로 연결하여 일체화된 실리콘 이차전지 유닛을 형성함에 있어, 공유 집전층을 적용함으로써 실리콘 이차전지 유닛 당 포함되는 집전체 수를 절반 가까이 줄일 수 있으며, 이로 인해 실리콘 이차전지 유닛 전체 무게에서 차지하는 비중이 상대적으로 큰 집전체 부분의 무게를 현저히 감소시킬 수 있어, 기존의 실리콘 이차전지 유닛 제품 보다 훨씬 더 경량화된 실리콘 이차전지 유닛 제품을 제조할 수 있다.

[197]

[198] 본 발명의 제4 실시예에 따른 실리콘 이차전지 유닛의 응용예로 전기 자동차에 전원을 공급하는 전지모듈에 대해 도 6을 통해 보다 구체적으로 설명하면 다음과 같다.

[199]

[200] 본 발명에 따른 전기 자동차용 전지모듈은 내부에 실리콘 이차전지를 수용하는 케이스(2100), 상기 케이스의 개방부를 덮고, 전원을 출력하는 출력단자(2500)를 구비한 커버(2200) 및 상기 케이스(2100) 내에 복수 개 배치되는 상기 제4 실시예의 실리콘 이차전지 유닛(2000)들을 포함하되, 상기 실리콘 이차전지 유닛(2000)들이 직렬로 연결배치되는 것을 특징으로 한다.

[201]

[202] 상기 케이스(2100)는 내부에 실리콘 이차전지를 수용할 수 있는 구조라면 어떠한 구조라도 가능하나, 전지모듈의 온도 상승 및 열 누적에 따른 충·방전 특성 저하 및 제품 수명 단축 문제를 극복하기 위해, 외부 공기가 원활하게 통할 수 있는 프레임 구조를 취하는 것이 바람직하다. 도 6에 도시된 케이스(2100) 구조는 프레임 구조의 일 예를 도시한 것에 지나지 않으며, 이외에 다양한 형태의 프레임 구조들이 적용될 수 있다.

[203]

[204] 상기 커버(2200)는 상기 실리콘 이차전지 유닛(2000)들의 양극 단자(2010)들과 접속하고 출력단자(2500)와 전기적으로 연결되는 양극 버스바(2300) 및 상기 상기 실리콘 이차전지 유닛(2000)들의 음극 단자(2020)들과 접속하고 출력단자(2500)와 전기적으로 연결되는 음극 버스바(2400)를 포함하는 것이 전지모듈의 구조적 효율성을 고려할 때 바람직할 수 있다.

[205]

[206] 상기 케이스(2100) 및 커버(2200)는 소재에 있어 특별히 한정적인 것은 아니나, 출력 전원이 출력단자 이외의 부분으로 분산되어 전기적으로 쇼트가 발생하는 것 방지하기 위해 절연 소재인 것이 바람직하며, 특히, 케이스 및 커버의 충분한 내구성을 확보하고, 무게 경량화를 위해서는 상기 절연 소재로 플라스틱을 사용하는 것이 가장 바람직할 수 있다.

[207]

[208] 본 발명의 전지모듈을 전기자동차에 적용할 경우, 공유 집전층을 포함하는 실리콘 이차전지 유닛들을 사용함으로써, 기존 전지모듈에 비해 무게 경량화가 가능하며, 이로 인해 전기자동차의 연비를 향상시킬 수 있는 이점이 있다.

[209] 특히, 상기 전지모듈에 포함되는 복수의 실리콘 이차전지 유닛이 복수의 실리콘 이차전지 단위 셀들의 직렬 연결 구조로 이루어져 있어, 고용량·고출력의 전지모듈이 가능하며, 나아가 실리콘 이차전지 유닛을 이루는 실리콘 이차전지 단위 셀의 활물질층을 상기에서 설명한 바와 같이 적층구조로 할 경우에는 동일 체적에서 기존 전기자동차 전지모듈 보다 훨씬 고용량·고출력의 전지모듈 제품을 제조할 수 있다.

[210]

[211] <제5 실시 예>

[212] 이하에서는, 본 발명의 제5 실시 예에 따른 실리콘 이차전지에 대해 상세하게 설명한다.

[213] 본 발명의 제5 실시 예는 실리콘 이온을 이용하여 충전 및 방전을 수행하는 실리콘 이차전지에 관한 것으로, 보다 구체적으로 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층을 복수 개 적층한 제1 실리콘 복수 적층 박막부, 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층을 복수 개 적층한 제2 실리콘 복수 적층 박막부 및 전하를 집전하는 집전체를 포함하되, 상기 집전체는 다공망 형상인 것을 특징으로 한다.

[214]

[215] 본 발명의 제5 실시 예에서 상기 집전체는 제1 실리콘 복수 적층 박막부 및 제2 실리콘 복수 적층 박막부 각각의 일 측 끝단면에 결합되어 전하를 집전하는 것으로, 소재로는 스테인레스, 니켈 등이 사용될 수 있다.

[216]

[217] 상기 집전체는 형상에 있어 특별히 제한적인 것은 아니나, 집전체와 제1 및 제 2 실리콘 복수 적층 박막부 간의 계면 접촉면적을 증가시켜 계면저항을 낮추고, 압착시 계면 접착력을 향상시키기 위해 다공망 형상이거나, 발포 형상인 것이 바람직할 수 있다. 상기 다공망 형상은 2차원적인 평면 다공망 형상일 수 있고, 3차원적인 그물형 다공망 형상일 수도 있다.

[218]

[219] 또한, 상기 집전체가 다공망 형상 또는 발포 형상일 경우, 상기 집전체의 표면에 금, 은 및 전도성 폴리머 중 어느 하나를 코팅함으로서, 집전체의 전자 및 이온 전도성을 보다 더 높일 수 있어 계면저항을 한층 더 감소시킬 수 있는 이점이 있다.

[220] 특히, 상기 전도성 폴리머를 코팅할 경우에는 전도성 폴리머가 도전제 역할을

함과 동시에 결합제 역할까지 하기 때문에, 계면 접착력도 한층 더 높일 수 있다. 상기 전도성 폴리머는 전도성을 가지는 폴리머라면 어떠한 종류라도 무방하나, 폴리피롤, 폴리아닐린, 폴리티오펜 및 폴리아세틸렌으로 이루어진 군으로부터 선택된 어느 하나를 사용하는 것이 집전체의 도전성 및 계면접착력 향상 측면에서 바람직하다.

[221]

[222] <제6 실시 예>

[223] 이하에서는, 본 발명의 제6 실시 예에 따른 실리콘 이차전지를 포함하는 마이크로전지에 대해 상세하게 설명한다.

[224]

[225] 본 발명의 제6 실시 예는 실리콘 이차전지를 포함하는 마이크로전지에 관한 것으로, 상기 마이크로 전지는 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층을 복수 개 적층한 제1 실리콘 복수 적층 박막부, 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층을 복수 개 적층한 제2 실리콘 복수 적층 박막부 및 상기 제1 실리콘 복수 적층 박막부 및 상기 제2 실리콘 복수 적층 박막부 사이에 위치하며, 제1 실리콘 복수 적층 박막부와 제2 실리콘 복수 적층 박막부간에 충전 및 방전 시에 실리콘 이온을 전달하기 위한 고체 전해질층을 포함하는 실리콘 이차전지를 포함하는 것을 특징으로 한다.

[226]

[227] 또한, 본 발명의 제6 실시 예에서 상기 제1 실리콘 복수 적층 박막부는 일측 표면에 전하를 집전하는 양극 집전체가 결합되고, 상기 제2 실리콘 복수 적층 박막부는 일측 표면에 전하를 집전하는 음극 집전체가 결합되며, 기판(substrate)에 전지적으로 연결되어 충·방전을 수행하기 위해 상기 양극 집전체는 일측 끝단이 기판(substrate)에 부착되고, 상기 음극 집전체는 상기 제2 실리콘 복수 적층 박막부와 맞닿는 면 이외의 부분 중 적어도 일부가 기판에 부착되는 것이 바람직할 수 있다.

[228]

[229] 또한, 본 발명의 제6 실시예에 따른 마이크로 전지는 전극 간의 단락을 방지하기 위하여 적어도 상기 제2 실리콘 복수 적층 박막부, 고체 전해질층 및 음극 집전체는 양극 집전체와 절연되는 구조를 취하는 것이 바람직하며, 이를 위해 상기 제2 실리콘 복수 적층 박막부, 고체 전해질층 및 음극 집전체의 측면부와 양극 집전체 사이에 공간부가 형성된 것이 바람직할 수 있다.

[230]

[231] 상기 공간부는 빈 공간일 수도 있으나, 절연성을 보다 높이고, 마이크로 전지의 내구성을 보다 향상시키기 위해 상기 공간부는 절연 물질로 충진된 것이 보다 바람직할 수 있다.

[232]

[233] 본 발명의 제6 실시예에 있어서, 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물은 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 부피가 비대해져 충·방전 특성이 저하되는 것을 방지하기 위하여 탄성탄소를 포함할 수 있다. 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물은 탄성탄소를 포함함으로써, 충·방전이 반복됨에 따라 실리콘 입자가 비대해지더라도, 비대해지는 만큼 탄성탄소에 의한 부피 상쇄 효과를 볼 수 있으므로, 활물질층 전체적으로 부피 비대화를 억제할 수 있게 된다.

[234] 다만, 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물이 탄성탄소를 포함하게 되면, 실리콘 입자와 탄성탄소간의 간극으로 인해 이온 이동성이나 전자 전도성이 다소 떨어질 수 있으므로, 이를 보완하기 위하여 전도성 탄소를 더 포함하거나, 상기 탄성탄소로 탄성을 가지면서 동시에 이온 이동성이나 전자 전도성이 매우 높은 플러렌(fullerene)을 사용하는 것이 바람직할 수 있다.

[235]

[236] 또한, 본 발명의 제6 실시예에서 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물은 실리콘 이차전지의 충·방전이 반복됨에 따라 활물질층의 부피가 비대해져 충·방전 특성이 저하되는 것을 방지하기 위하여, 활물질층의 부피 비대화 반응에 관여하지 않는 비활물질 입자를 포함할 수 있다. 상기 비활물질 입자는 Mo, Cu, Fe, Co, Ca, Cr, Mg, Mn, Nb, Ni, Ta, Ti 및 V로 이루어진 군으로부터 선택된 어느 1종 이상의 금속입자이다.

[237] 다만, 상기와 같이 상기 제1 실리콘 화합물 및/또는 제2 실리콘 화합물이 비활물질 입자를 포함하게 되면, 실리콘 이차전지의 전기용량이 다소 감소할 수 있으므로, 전도성 탄소 또는 전도성 고분자를 더 포함하는 것이 바람직할 수 있다.

[238]

[239] 본 발명의 제6 실시예에서 상기 양극화 박막층 및/또는 음극화 박막층은 층을 이룰 수 있는 형상이라면 어떠한 형상이라도 무방하나, 실리콘 이차전지의 충·방전이 반복됨에 따라 양극화 박막층 및/또는 음극화 박막층의 팽창·수축으로 인한 박막층 파손 위험을 최소화하기 위해 메쉬(mesh)형상인 것이 바람직할 수 있다.

[240]

[241] 본 발명의 제6 실시예에서 상기 양극화 박막층 및/또는 음극화 박막층은 표면 형상에 있어 특별히 제한적인 것은 아니나, 인접 층과의 계면 접촉면적을 넓혀, 계면저항을 감소시키기 위해 박막층의 표면 중 어느 한면 또는 양면에 요철이 형성된 것이 바람직할 수 있다.

[242]

[243] 본 발명의 제6 실시예에서 상기 제1 실리콘 복수 적층 박막부 및/또는 제2 실리콘 복수 적층 박막부는 충·방전 특성을 향상시키고, 균일한 이온 전도성을

확보하기 위하여 금속 또는 탄소동소체로 이루어진 중간층을 포함하는 것이 바람직할 수 있다.

[244] 상기 중간층의 두께는 특별히 제한적인 것은 아니나, 제1 실리콘 복수 적층 박막부 및 제2 실리콘 복수 적층 박막부의 두께보다 얇은 것이 전기용량 증가 측면에서 보다 유리할 수 있다.

[245] 상기 중간층을 이루는 금속은 전기 전도성이 높은 금속이라면 어떠한 금속이라도 무방하나, 알루미늄, 금, 은 중 선택된 어느 하나 또는 2이상의 합금을 사용하는 것이 전지의 충·방전 성능을 극대화하는 측면에서 바람직하다.

[246] 또한, 상기 중간층을 이루는 탄소동소체는 그 종류가 특별히 한정적인 것은 아니나, 그래핀(graphene), 탄소나노튜브(carbon nano tube), 플러렌(fullerene) 중 선택된 어느 하나인 것이 전극 내 균일한 이온 전도성 확보 측면에서 바람직하다.

[247]

[248] 본 발명의 제6 실시예에 따른 마이크로 전지에 대한 이해를 돕기위해 도 7에 도시된 일 예를 들어 설명하면 다음과 같다.

[249] 도 7에 의하면, 본 발명의 마이크로 전지는 양극 활물질층에 해당하며 적층구조인 제1 실리콘 복수 적층 박막부(3200), 고체 전해질층(3100), 음극 활물질층에 해당하며 적층구조인 제2 실리콘 복수 적층 박막부(3300)가 순차적으로 압착 적층되어 있으며, 상기 제1 실리콘 복수 적층 박막부(3200)의 상부 면에는 양극 집전체(3400)가 결합되어 있고, 제2 실리콘 복수 적층 박막부(3300)의 하부 면에는 음극 집전체(3500)가 결합되어 있다.

[250]

[251] 특히, 도 7에 의하면, 상기 양극 집전체(3400)는 일측 끝단이 기판(3000) 표면에 부착되어 있고, 상기 음극 집전체(3500)는 상기 제2 실리콘 복수 적층 박막부(3300)와 맞닿는 면의 반대쪽 면이 기판(3000)에 부착되어 있어, 본 발명의 마이크로 전지가 기판과 전기적으로 연결되고, 충·방전이 가능해진다.

[252]

[253] 또한, 도 7에 의하면, 제1 실리콘 복수 적층 박막부(3200), 고체 전해질층(3100), 제2 실리콘 복수 적층 박막부(3300) 및 음극 집전체(3500)의 오른쪽 측면부와 양극 집전체(3400) 사이에는 공간부(3700)가 존재하며, 도 7에서는 상기 공간부(3700)에 절연물질이 충진되어 있다.

[254]

[255] PCB를 구성하는 전자 부품들 중에는 일정 전류를 소모하여 타이머 동작과 같은 지속적이고 상시적인 기능을 유지하는 소자들이 존재한다. 이와 같은 부속 소자들의 동작을 유지하기 위하여 버튼형 전지를 PCB에 삽입하거나 리튬 계열의 배터리를 부속으로 설치하여 소자의 동작을 보장하고 있다.

[256] 버튼형 전지는 1차 전지로서 운용유지시간이 길다는 장점이 있으나 방전 후에 누액 및 교체에 대한 부담이 있고, 리튬계 충전지의 경우 덩치가 크고 충격

발열에 대한 불안정성이 있다는 단점이 있다.

[257] 그러나, 본 발명의 제6 실시예에 따른 마이크로 전지는 박막의 형태로 제조가 가능하고, 칩 형태의 제조 또한 가능하므로, PCB의 단면 또는 소자 배열이 없는 공간을 이용하여 대용량 전원 구성이 가능하며, 충·방전이 가능한 이차 전지로서 PCB 작동시에는 충전이 가능 하도록 할 수 있다.

[258] 또한, 본 발명의 제6 실시예에 따른 마이크로 전지는 평면에 부착할 때 형상에 제한이 없으며, 칩형으로 제조할 때는 두께가 2mm 가량으로 제조하여 PCB에 실장이 가능하다.

[259] 따라서, 본 발명의 다른 양태는 상기 제6 실시예에 따른 마이크로 전지가 백업전원으로서 일 영역에 실장된 PCB 기판에 관한 것이다.

[260]

[261] 또한, 본 발명에 따른 마이크로 전지는 반도체 칩의 제조 공정상에서 칩의 상단 및 하단부에 증착 공정으로 일체화하여 제조할 수 있어, 외부에 설치하여야 하는 보조 부품의 크기를 소형으로 제작할 수 있고, 순간 방전에 대한 백업 전원으로 단시간 전원을 유지할 수 있다.

[262]

[263] 따라서, 본 발명의 또 다른 양태는 상기 제6 실시예에 따른 마이크로 전지가 백업전원으로서 반도체 칩의 일 영역에 증착되어 일체화된 반도체 칩에 관한 것이다.

[264] 그리고, 본 발명의 제6 실시예에 따른 마이크로 전지는 소자로 마련되어 광대역 반도체 및 슈퍼 커패시터 등으로 활용 가능하다.

[265]

[266] <제7 실시 예>

[267] 이하에서는, 본 발명의 제7 실시 예에 따른 실리콘 이차전지에 대해 상세하게 설명한다.

[268] 본 발명의 제6 실시 예에 따른 실리콘 이차전지의 기본 구성은 양극을 SiC의 화학식을 가지고 있는 탄화규소로 하고, 음극을 Si_3N_4의 화학식을 가지고 있는 질화규소로 하고, 양극과 음극과의 사이에 양이온성인 술폰산기(-SO_3H), 카르복실기(-COOH), 음이온성인 4급 암모늄기(-$N(CH_3)^2C_2H_4OH$), 치환 아미노기(-$NH(CH_3)^2$)를 결합기로서 가지고 있는 폴리머 중 어느 1종류의 이온교환 수지에 의한 비수전해질을 채용하고 있고, 충전시에 양극에 있어서 규소의 양이온 (Si^+)을 발생하고, 음극에 있어서 규소의 음이온(Si^-)을 발생하는 고체형 이차전지이다.

[269] 또한, 상기 실리콘 이차전지의 다른 구성은 양극을 SiC의 화학식을 가지고 있는 탄화규소로 하고, 음극을 Si_3N_4의 화학식을 가지고 있는 질화규소로 할 수 있다.

[270] 이러한 실리콘 이차전지는 양극과 음극과의 사이에 염화주석($SnCl_3$), 산화지르코늄마그네슘의 고용체($ZrMgO_3$), 산화지르코늄칼슘의 고용체($ZrCaO_3$), 산화지르코늄(ZrO_2), 실리콘-β알루미나(Al_2O_3), 일산화질소탄화규소(SiCON),

인산지르코늄화규소(Si_2Zr_2PO) 중 어느 1종류의 이온 교환 무기물에 의한 비수전해질을 채용하고 있고, 충전시에 양극에 있어서 규소의 양이온(Si^+)을 발생하고, 음극에 있어서 규소의 음이온(Si^-)을 발생하는 고체전해질부를 포함한 이차전지이며, 상기 전해질부를 액체형으로 구성할 수 있다.

[271] 상기 실리콘 이차전지의 제조방법은 기반(基盤)에 대한 금속 스퍼터링에 의한 양극 집전층의 형성하는 단계, 양극 집전층에 대한 탄화규소(SiC)의 진공 증착에 의한 양극층의 형성하는 단계, 상기 양극층에 대한 코팅에 의한 비수전해질층의 형성하는 단계, 상기 비수전해질층에 대한 질화규소(Si_3N_4)의 진공 증착에 의한 음극층의 형성하는 단계, 금속 스퍼터링에 의한 음극 집전층을 형성하는 단계로 이루어진다.

[272] 상기 실리콘 이차전지의 기본 원리는 양극에 있어서는 탄화규소 중 가장 안정되어 있는 SiC에 의한 화합물을 채용하고 있고, 음극에 있어서는 질화규소 중 가장 안정되어 있는 Si_3N_4에 의한 화합물을 채용하고 있다.

[273] 양극에 의한 충전시에는, 탄소보다 규소가 산화수로 변화하기 쉽고, 게다가 규소에 있어서 4가 다음으로 안정된 상태는 2가이기 때문에, 이하와 같은 화학반응이 행하여지게 된다.

[274] $2SiC \rightarrow SiC_2 + Si^+ + e^-$

[275] 반대로 방전시에는 이하와 같은 화학반응이 행하여지게 된다.

[276] $Sic_2 + Si^+ + e^- \rightarrow 2SiC$

[277] 음극에 있어서는, 질화규소는 가장 안정되어 있는 Si_3N_4로부터 규소가 4가에서 3가로 변화하고, 질소가 3가에서 2가로 변화하는 것에 의해서, 다음으로 안정되어 있는 Si_2N_3라고 하는 화합물 상태로 변화하여, 이하와 같은 화학식이 성립하게 된다.

[278] $3Si_3N_4 + e^- \rightarrow 4Si_2N_3 + Si^-$

[279] 반대로 방전시에는 이하와 같은 화학반응이 행하여지게 된다.

[280] $4Si_2N_3 + Si^- \rightarrow 3Si_3N_4 + e^-$

[281] 상기 실리콘 이차전지는 충방전을 이하와 같은 화학반응으로 표현할 수 있으나, 추가적인 물질을 포함하여 충방전 효율을 향상시킬 수 있다.

[282]

[283] 통상, SiC에 의한 화합물 및 Si_3N_4에 의한 화합물은 모두 결정 구조를 나타내고 있고, 예를 들면 플라즈마 방전 등의 통상의 제법에 따라 양극 및 음극을 작성한 경우에는, 결정 구조를 수반하는 SiC의 화합물에 의한 탄화규소 및 Si_3N_4의 화합물에 의한 질화규소가 형성되게 된다.

[284] 그러나, 규소 이온(Si^+ 및 Si^-)의 생성을 수반하는 충방전을 용이하고 원활하게 추진하기 위해서는, 상기 각 화합물이 결정 구조가 아니고, 비정질(非晶質)상태, 즉 아몰퍼스 구조인 것이 바람직하다.

[285] 그 때문에 후술하는 바와 같이, 상기 양극 및 음극을 모두 진공 증착에 의해서 적층하는 방법이 적합하게 채용되고 있다.

[286] 게다가, 양극과 음극과의 사이의 공간을 둘로 나누고, 한쪽(예를 들면 위쪽)을 양이온성의 전해질로 하고, 다른쪽(예를 들면 아래쪽)을 음이온성의 전해질로 하도록 양이온성 및 음이온성의 쌍방의 전해질을 채용하는 것도 가능하다.

[287] 실리콘 이차전지의 전해질로서는, 고정된 상태에 있는 비수전해질을 채용하고 있지만, 그 근거는, 이러한 고정 상태인 비수전해질의 경우에는, 양극과 음극을 안정된 상태에서 접합하는 것이 가능한 동시에, 박막상태로 하는 것에 의해서 양극과 음극을 접근시켜, 효율적인 도전을 가능하게 하는 것에 있다.

[288] 비수전해질로서는, 폴리머에 의한 이온교환 수지 및 금속 산화물 등에 의한 이온 교환 무기 화합물의 어느 쪽도 채용할 수 있다.

[289] 이온교환수지로서는, 양이온성인 술폰산기(-SO_3H), 카르복실기(-COOH), 음이온성인 4급 암모늄기(-$N(CH_3)^2C_2H_4OH$), 치환 아미노기(-$NH(CH_3)^2$) 등 중 어느 1종류를 결합기로서 가지고 있는 폴리머의 어느 쪽도 채용 가능하다.

[290] 다만, 술폰산기(-SO_3H)를 가지고 있는 폴리아크릴아미드메틸프로판술폰산(PAMPS)이, 원활하게 전자(e-)를 지장 없이 이동시키는 점에 있어서 적합하게 채용할 수 있다.

[291] 그러나, 폴리머에 의한 이온교환 수지를 채용하는 경우, 단순히 상기 이온교환 수지에만 의해서 양극과 음극 사이를 충전한 경우에는, 전자(e-)가 원활하게 이동하기 위해서 적절한 공극을 형성할 수 없는 경우가 생길 수 있다.

[292] 이러한 상황에 대처하기 위해서는, 이온교환 수지와 다른 결정성 폴리머와의 블렌드에 의해서 형성한 결정 구조를 가지는 폴리머 얼로이를 비수전해질로서 채용하는 것을 특징으로 하는 실시형태를 채용하면 좋다.

[293] 그리고, 이온교환 수지와 다른 결정성 폴리머와의 블렌드가 실현되기 위해서는, 이온교환 수지가 극성을 갖기 때문에, 결정성 폴리머에 의해서 이온교환 수지가 가지고 있는 극성을 감쇄시키지 않도록 대처해야 한다.

[294] 상기 블렌드의 경우에는, 이온 교환수지 및 결정성 폴리머가 각각 가지고 있는 용해도 파라미터(SP치)의 차, 나아가서는 상기 용해도 파라미터의 결합에 기초하는 χ파라미터의 수치를 기준으로 하는 것에 의해서, 블렌드의 가부(可否)를 상당한 확률로 예측할 수 있다.

[295] 상기 판의 결정성 폴리머로서는, 어택틱폴리스티렌(atactic polystyrene(AA), 또는 아크릴니트릴-스티렌 공중 합체(AS), 또는 어택틱폴리스티렌과 아크릴니트릴과 스티렌과의 공중합체(AA-AS)와 같은 이온교환수지와 블렌드하기 쉽고, 또한 결정성을 유지하는데 있어서 바람직하다.

[296] 상호 블렌드된 폴리머 얼로이가 결정 구조를 유지하기 위해서는, 이온교환수지의 양과 다른 결정성 폴리머의 양과의 비율을 감안할 필요가 있고, 구체적인 수치는 이온교환성 수지 및 다른 결정성 폴리머의 종류에 따라서 좌우된다.

[297] 다만, 이온교환수지의 극성이 강한 경우에는, 다른 결정성 폴리머의 중량비를 전체의 1/2보다 많은 상태로 할 수 있다.

[298] 양이온성 이온교환수지로서 상기와 같이, 양이온성의 폴리아크릴아미드메틸프로판술폰산(PAMPS)에 대한 다른 결정성 폴리머로서, 어택틱폴리스티렌(AA), 또는 아크릴니트릴-스티렌공중합체(AS), 또는 어택틱폴리스티렌과 아크릴니트릴과 스티렌과의 공중합체(AA-AS)를 채용한 경우에는, 전자와 후자의 중량비로서는, 2:3~1:2의 정도가 적절하다.

[299] 비수전해질은, 상기와 같은 이온교환수지에 한정되는 것이 아니고, 이온 교환 무기물도 물론 채용 가능하고, 염화주석($SnCl_3$), 산화지르코늄마그네슘의 고용체($ZrMgO_3$), 산화지르코늄칼슘의 고용체($ZrCaO_3$), 산화지르코늄(ZrO_2), 실리콘-β알루미나(Al_2O_3), 일산화질소탄화규소(SiCON), 인산지르코늄화 규소(Si_2Zr_2PO) 등을 전형예로서 예시할 수 있다.

[300] 고체형 이차전지에 있어서는, 양극 및 음극의 형상 및 배치 상태는 특별히 한정되지 것은 아니다.

[301] 다만, 판 형상의 적층체에 의한 배치 상태 및 원통형상의 배치 상태를 채용할 수 있다.

[302] 실제의 고체형 이차전지에 있어서는, 양극 및 음극의 양측에 기반을 형성하고, 양극 및 음극에 대해, 각각 양극 집전층 및 음극 집전층을 사이에 두고 접속하고 있다.

[303] 양극 및 음극 사이의 방전 전압은, 충전 전압의 정도 및 전극이 가지고 있는 내부 저항에 의해서 좌우되지만, 이차전지에 있어서는, 실시예에 있어서 후술하는 바와 같이, 충전 전압을 4~5.5V로 한 경우에는, 방전 전압으로서 4~3.5V를 유지하는 설계는 충분히 가능하다.

[304] 전극 사이를 도통하는 전류량은, 충전시에 미리 고정될 수 있지만, 실시예에 있어서 후술하는 바와 같이, 단위면적 $1cm^2$당의 전류밀도를 1.0A 정도로 설정하는 것에 의해서, 충전 전압을 4~5.5V로 변화시키고, 또한 방전 전압을 4~3.5V로 유지하는 설계는 충분히 가능하다.

[305]

[306] 이상으로 본 발명에 따른 실리콘 이차전지 및 이의 제조방법에 대한 바람직한 실시 예에 관하여 설명하였다.

[307]

[308] 전술된 실시 예는 모든 면에서 예시적인 것이며, 한정적인 것이 아닌 것으로 이해되어야 하며, 본 발명의 범위는 전술된 상세한 설명보다는 후술 될 특허청구범위에 의하여 나타내어질 것이다. 그리고 이 특허청구범위의 의미 및 범위는 물론, 그 등가 개념으로부터 도출되는 모든 변경 및 변형 가능한 형태가 본 발명의 범주에 포함되는 것으로 해석되어야 한다.

[309]

청구범위

[청구항 1] 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 양극 활물질층, 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 음극 활물질층 및 고체전해질층을 포함하는 실리콘 이차전지 단위 셀들이 복수 개 적층되어 하나의 유닛을 형성하는 실리콘 이차전지 유닛에 있어서, 상기 복수의 실리콘 이차 전지 단위 셀들은 직렬로 연결되어 적층되고, 양극 활물질층과 음극활물질층 사이에 하나의 공유 집전층이 구비되어 전하를 집전하는 실리콘 이차전지 유닛.

[청구항 2] 제 1항에 있어서,
상기 양극 활물질층은 충전 시에 실리콘 양이온을 발생시키고 방전 시에 실리콘 음이온을 발생시키기 위한 제1 실리콘 화합물로 이루어진 실리콘 양극화 박막층을 복수 개 적층한 제1 실리콘 복수 적층 박막부인 것을 특징으로 하는 실리콘 이차전지 유닛.

[청구항 3] 제 1항에 있어서,
상기 음극 활물질층은 충전 시에 실리콘 음이온을 발생시키고 방전 시에 실리콘 양이온을 발생시키기 위한 제2 실리콘 화합물로 이루어진 실리콘 음극화 박막층을 복수 개 적층한 제2 실리콘 복수 적층 박막부인 것을 특징으로 하는 실리콘 이차전지 유닛.

[청구항 4] 제 1항에 있어서,
상기 공유 집전층은 다공망 형상 또는 발포 형상인 것을 특징으로 하는 실리콘 이차전지 유닛.

[청구항 5] 제 4항에 있어서,
상기 공유 집전층은 표면에 금, 은 및 전도성 폴리머 중 어느 하나가 코팅된 것을 특징으로 하는 실리콘 이차전지 유닛.

[청구항 6] 제 5항에 있어서,
상기 전도성 폴리머는 폴리피롤, 폴리아닐린, 폴리티오펜 및 폴리아세틸렌으로 이루어진 군으로부터 선택된 어느 하나인 것을 특징으로 하는 실리콘 이차전지 유닛.

[청구항 7] 전기 자동차에 전원을 공급하는 전지모듈에 있어서,
내부에 실리콘 이차전지를 수용하는 케이스;
상기 케이스의 개방부를 덮고, 전원을 출력하는 출력단자를 구비한 커버; 및
상기 케이스 내에 복수 개 배치되는 제 1항 내지 제 6항 중 어느 한 항의 실리콘 이차전지 유닛들;을 포함하되,
상기 실리콘 2차전지 유닛들이 직렬로 연결배치되는 전기 자동차용

전지모듈.

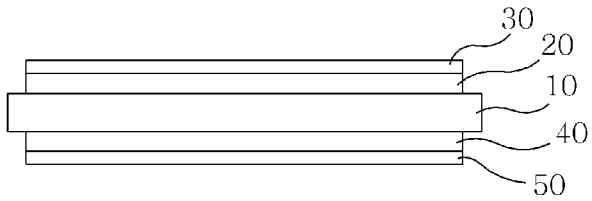
[청구항 8] 제 7항에 있어서,
상기 케이스는 외부 공기가 원활하게 통할 수 있는 프레임 구조로 되어 있는 것을 특징으로 하는 전기 자동차용 전지모듈.

[청구항 9] 제 7항에 있어서,
상기 커버는 상기 실리콘 이차전지 유닛들의 양극 단자들과 접속하고 출력단자와 전기적으로 연결되는 양극 버스바; 및
상기 상기 실리콘 이차전지 유닛들의 음극 단자들과 접속하고 출력단자와 전기적으로 연결되는 음극 버스바를 포함하는 것을 특징으로 하는 전기 자동차용 전지모듈.

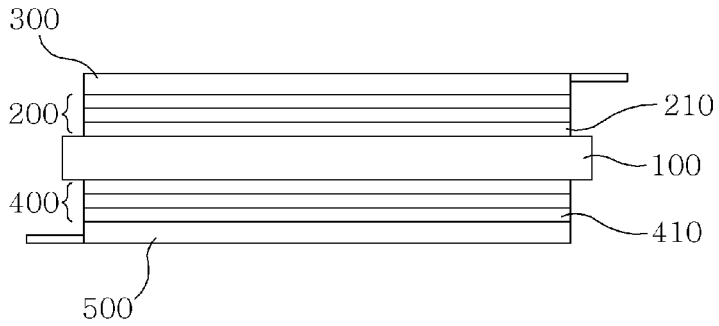
[청구항 10] 제 7항에 있어서,
상기 케이스 및 커버는 소재가 절연 소재인 것을 특징으로 하는 전기 자동차용 전지모듈.

[청구항 11] 제 10항에 있어서,
상기 절연 소재는 플라스틱인 것을 특징으로 하는 전기 자동차용 전지모듈.

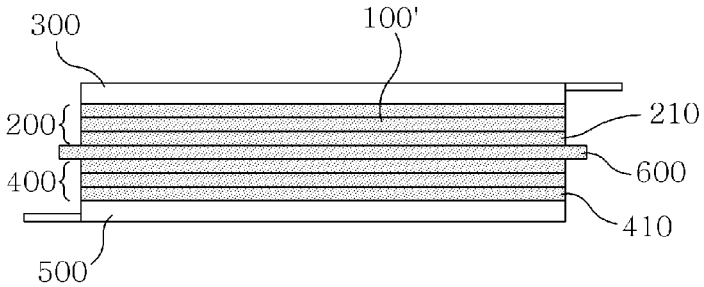
[도1]


30
20
10
40
50

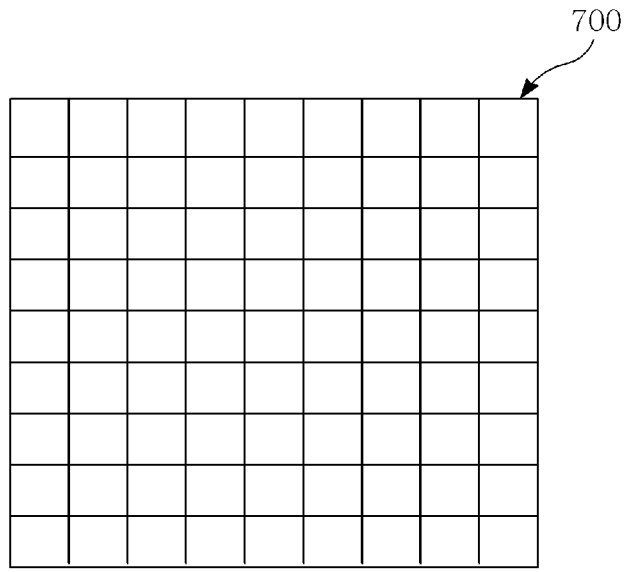
[도2]


300
200
210
100
400
410
500

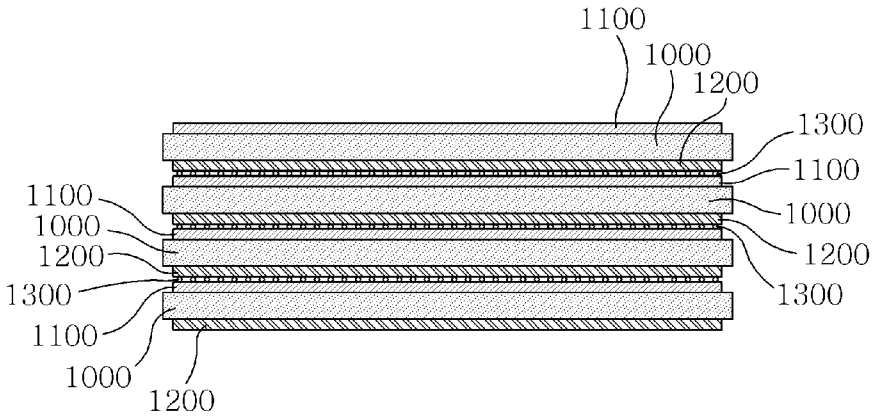
[도3]


300
100'
200
210
600
400
410
500

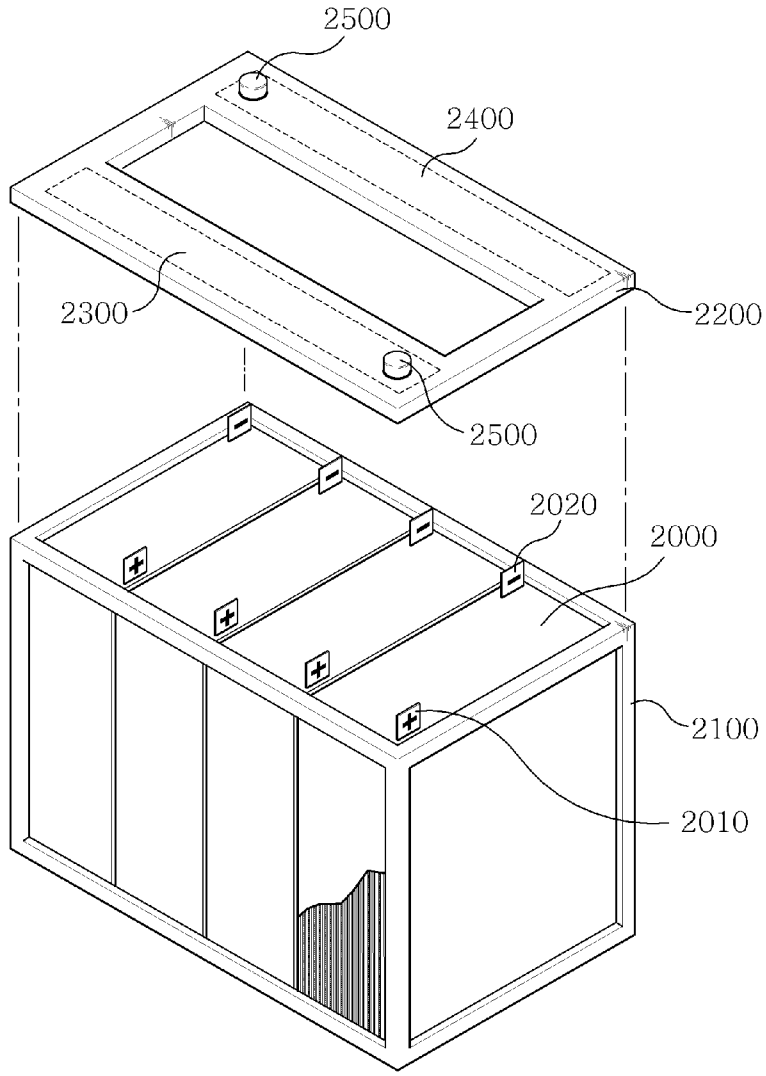
[도4]


700

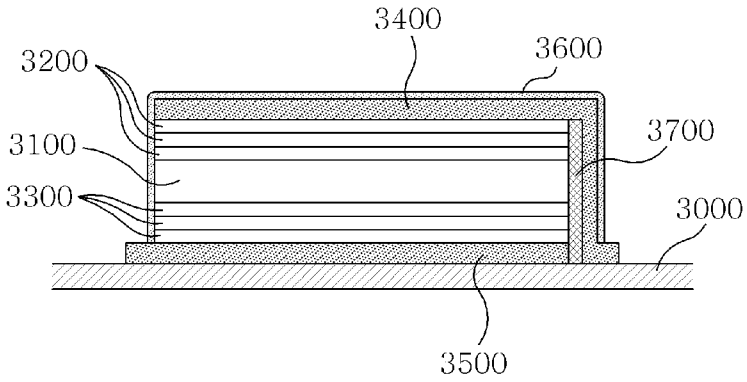
[도5]


1100
1000
1200
1300
1100
1000
1200
1300
1100
1000
1200
1300
1100
1000
1200

[도6]


2500
2400
2300
2200
2500
2020
2000
2100
2010

[도7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2015/007584

A. CLASSIFICATION OF SUBJECT MATTER

H01M 10/054(2010.01)i, H01M 4/38(2006.01)i, H01M 4/58(2010.01)i, H01M 10/056(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01M 10/054; H01M 10/05; H01M 10/0565; H01M 4/62; H01M 2/10; C23C 16/42; H01M 4/58; H01M 4/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: silicon, secondary battery, sharing ground layer, stacked

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-060137 A (NAGAURA, Yoshiaki) 03 April 2014 See paragraphs [0006], [0015]-[0027], [0102] and [0125]; figures 3 and 32.	1-11
A	JP 2013-110004 A (NAGAURA, Yoshiaki) 06 June 2013 See paragraphs [0014]-[0027] and [0041]; figure 3.	1-11
A	JP 2013-065496 A (NAGAURA, Yoshiaki) 11 April 2013 See paragraphs [0021]-[0022].	1-11
A	KR 10-2012-0010957 A (FUKUYO, Ichimura) 06 February 2012 See paragraphs [0027]-[0041] and [0063]-[0076].	1-11
A	KR 10-2012-0071316 A (FUKUYO, Ichimura) 02 July 2012 See paragraphs [0028]-[0049] and [0085].	1-11

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 OCTOBER 2015 (14.10.2015)	**15 OCTOBER 2015 (15.10.2015)**

Name and mailing address of the ISA/**KR**
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

International application No.
PCT/KR2015/007584

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2014-060137 A	03/04/2014	NONE	
JP 2013-110004 A	06/06/2013	NONE	
JP 2013-065496 A	11/04/2013	NONE	
KR 10-2012-0010957 A	06/02/2012	CN 102347492 A	08/02/2012
		CN 102347492 B	21/01/2015
		EP 2600459 A1	05/06/2013
		JP 04685192 B1	18/05/2011
		JP 2012-028266 A	09/02/2012
		KR 10-1167817 B1	25/07/2012
		TW 201238115 A	16/09/2012
		TW I472082 B	01/02/2015
		US 2013-0189573 A1	25/07/2013
		WO 2012-014556 A1	02/02/2012
KR 10-2012-0071316 A	02/07/2012	CN 102610812 A	25/07/2012
		CN 102610812 B	27/08/2014
		JP 04800440 B1	26/10/2011
		JP 2012-134017 A	12/07/2012
		KR 10-1167829 B1	26/07/2012
		US 2013-0280619 A1	24/10/2013
		WO 2012-086258 A1	28/06/2012

국 제 조 사 보 고 서

국제출원번호
PCT/KR2015/007584

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01M 10/054(2010.01)i, H01M 4/38(2006.01)i, H01M 4/58(2010.01)i, H01M 10/056(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01M 10/054; H01M 10/05; H01M 10/0565; H01M 4/62; H01M 2/10; C23C 16/42; H01M 4/58; H01M 4/38

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 실리콘, 이차전지, 공유 접전층, 적층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2014-060137 A (NAGAURA, YOSHIAKI) 2014.04.03 단락 [0006], [0015]-[0027], [0102] 및 [0125]; 도면 3 및 32 참조.	1-11
A	JP 2013-110004 A (NAGAURA, YOSHIAKI) 2013.06.06 단락 [0014]-[0027] 및 [0041]; 도면 3 참조.	1-11
A	JP 2013-065496 A (NAGAURA, YOSHIAKI) 2013.04.11 단락 [0021]-[0022] 참조.	1-11
A	KR 10-2012-0010957 A (이치무라 후쿠요) 2012.02.06 단락 [0027]-[0041] 및 [0063]-[0076] 참조.	1-11
A	KR 10-2012-0071316 A (이치무라 후쿠요) 2012.07.02 단락 [0028]-[0049] 및 [0085] 참조.	1-11

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2015년 10월 14일 (14.10.2015)	2015년 10월 15일 (15.10.2015)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
이동욱
전화번호 +82-42-481-8163

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2015/007584

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2014-060137 A	2014/04/03	없음	
JP 2013-110004 A	2013/06/06	없음	
JP 2013-065496 A	2013/04/11	없음	
KR 10-2012-0010957 A	2012/02/06	CN 102347492 A	2012/02/08
		CN 102347492 B	2015/01/21
		EP 2600459 A1	2013/06/05
		JP 04685192 B1	2011/05/18
		JP 2012-028266 A	2012/02/09
		KR 10-1167817 B1	2012/07/25
		TW 201238115 A	2012/09/16
		TW I472082 B	2015/02/01
		US 2013-0189573 A1	2013/07/25
		WO 2012-014556 A1	2012/02/02
KR 10-2012-0071316 A	2012/07/02	CN 102610812 A	2012/07/25
		CN 102610812 B	2014/08/27
		JP 04800440 B1	2011/10/26
		JP 2012-134017 A	2012/07/12
		KR 10-1167829 B1	2012/07/26
		US 2013-0280619 A1	2013/10/24
		WO 2012-086258 A1	2012/06/28