

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3689645号

(P3689645)

(45) 発行日 平成17年8月31日(2005.8.31)

(24) 登録日 平成17年6月17日(2005.6.17)

(51) Int. Cl.⁷

F I

H03K 5/05

H03K 5/05

H03K 5/19

H03K 5/19

T

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2001-150373 (P2001-150373)	(73) 特許権者	000005821
(22) 出願日	平成13年5月21日(2001.5.21)		松下電器産業株式会社
(65) 公開番号	特開2002-344294 (P2002-344294A)		大阪府門真市大字門真1006番地
(43) 公開日	平成14年11月29日(2002.11.29)	(74) 代理人	100077931
審査請求日	平成14年5月27日(2002.5.27)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 データ幅補正装置

(57) 【特許請求の範囲】

【請求項1】

外部から差動信号を受け、この差動信号を単一の受信データに変換して出力する入力回路と、

前記受信データについて、そのH i期間またはL o期間が適切か否かを判断する判断回路と、

前記判断回路による判断結果に基づいて、前記受信データのデューティを、そのH i期間またはL o期間が適切になるように調整する調整回路とを備え、

前記判断回路は、外部から入力される参照信号と前記受信データとについて、H i期間またはL o期間の平均時間を比較することによって、前記判断を行うものであることを特徴とするデータ幅補正装置。

10

【請求項2】

請求項1において、

前記参照信号は、前記差動信号と周波数が実質的に同一のクロック信号であり、

前記判断回路は、前記差動信号がクロック信号パターンである所定期間内において、前記判断を行うものである

ことを特徴とするデータ幅補正装置。

【請求項3】

請求項1において、

前記参照信号は、前記受信データを、前記差動信号と周波数が実質的に同一のクロック

20

信号によってラッチして得たラッチ信号であることを特徴とするデータ幅補正装置。

【請求項 4】

請求項 2 または 3 において、

前記差動信号と、前記クロック信号との周波数の差を検知する周波数検知回路を備え、前記判断回路は、前記周波数検知回路によって検知された周波数差が所定量を超えると、前記判断を停止するものであることを特徴とするデータ幅補正装置。

【請求項 5】

請求項 1 において、

所定期間内において、前記受信データが遷移する回数を検出する遷移検出回路を備え、前記判断回路は、前記遷移検出回路によって検出された遷移回数が所定数を下回るとき、前記判断を停止するものであることを特徴とするデータ幅補正装置。

10

【請求項 6】

請求項 1 において、

前記判断回路は、

前記参照信号と前記受信データとの、Hi 期間およびLo 期間の平均時間の大小関係をそれぞれ求める第 1 および第 2 の比較部を有し、前記第 1 および第 2 の比較部によって求められた大小関係が互いに一致するとき、前記判断を停止し、前記調整回路の設定を保持

20

することを特徴とするデータ幅補正装置。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項において、

前記判断回路は、その判断結果をデジタル値で出力するように構成されていることを特徴とするデータ幅補正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部からの入力データを受信したとき、その受信データのデータ幅が適切となるよう補正するデータ幅補正装置に関する。

30

【0002】

【従来の技術】

図 10 は従来のデータ幅補正装置の構成の一例を示す図である（特開 2000 - 183731 号公報に開示）。この装置において、データ幅の補正は、デューティ補償回路 51 によって行われる。このデューティ補償回路 51 は、受けた差動のデータをそれぞれ参照電位と比較し、“0” “1” の論理を順次出力するスライス増幅器 SAMP と、この増幅器 SAMP から出力された相補信号の時間平均をそれぞれ求める平均値検出回路 AV D 1 , AV D 2 と、これら平均値検出回路 AV D 1 , AV D 2 からの平均値信号を比較して、スライス増幅器 SAMP の参照電位を変化させる差動アンプ DAMP とを備えている。

40

【0003】

波形の立ち上がりおよび立ち下がり時間を無視できないような高速信号において、デューティずれは図 11 (a) ~ (c) に示すようなクロスポイントずれとして表われる。このような信号に対しては、クロスポイントの電圧を中心にスライス増幅することによって、デューティを 100% に戻すことが可能である。

【0004】

すなわち、デューティ補償回路 51 において、平均値検出回路 AV D 1 , AV D 2 でスライス増幅器 SAMP の正転出力および反転出力の平均値を求め、これら平均値が一致するようにスライスの中心電圧をフィードバック制御することにより、両者からデューティ 100% の信号を出力できる。すなわち、差動アンプ DAMP で正転出力および反転出力

50

の平均値の差を求め、この差をスライスアンプ SAMP のスライス電圧として設定すれば、デューティ補償回路 51 から出力されるデータ信号のデューティを 100% に近づけることができる。

【0005】

【解決しようとする課題】

しかしながら、上述したデューティ補償回路 51 は、参照電位をクロスポイントに合わせることによってデューティ補正を行うものであるため、例えば図 12 に示すような、入力時点でクロスポイントがすでにずれてしまっているようなデータに対しては、デューティ補正、すなわちデータ幅が適正になるような補正はきわめて困難であった。実際には、送信側ドライバの特性や伝送経路でのジッタや、受信側 LSI の内部回路のミスマッチ等に起因して、データ幅の広狭が生じる場合がある。

10

【0006】

前記の問題に鑑み、本発明は、データ幅補正装置として、入力時にクロスポイントがすでにずれているデータに対しても、そのデータ幅を適正に調整可能にすることを課題とする。

【0007】

【課題を解決するための手段】

前記の課題を解決するために、本発明が具体的に講じた解決手段は、データ幅補正装置として、外部から差動信号を受け、この差動信号を単一の受信データに変換して出力する入力回路と、前記受信データについてその Hi 期間または Lo 期間が適切か否かを判断する判断回路と、前記判断回路による判断結果に基づいて、前記受信データのデューティをその Hi 期間または Lo 期間が適切になるように調整する調整回路とを備えているものである。そして、前記判断回路は、外部から入力される参照信号と前記受信データとについて、Hi 期間または Lo 期間の平均時間を比較することによって、前記判断を行うものである。

20

【0008】

この発明によると、入力回路から出力された受信データについて、判断回路によって、その Hi 期間または Lo 期間が適切か否かが判断される。そして、その Hi 期間または Lo 期間が適切になるように、調整回路によって、受信データのデューティすなわちデータ幅が調整される。これにより、調整された受信データのデータ幅は所望のデータ幅に近づくので、受信データをラッチする場合のマージンが広がる。すなわち、入力時にクロスポイントがすでにずれているデータに対しても、そのデータ幅を適切に調整することが可能になる。また、入力データに単発でノイズが乗った場合であっても、時間平均をとることによって、そのノイズの影響は軽減される。したがって、判断回路における判断が、より適切に行われる。

30

【0009】

なお、データはクロックのように“0”“1”の繰り返しパターンとは限らないので、本明細書でいうところの「デューティ」は、所望のデータ幅に対する“0”と“1”の幅のズレのことを指す。

【0010】

そして、前記参照信号は前記差動信号と周波数が実質的に同一のクロック信号であり、前記判断回路は、前記差動信号がクロック信号パターンである所定期間内において前記判断を行うものとするのが好ましい。

40

【0011】

これにより、受信データのラッチのために用いるクロック信号を、参照信号として用いることができる。このため、例えば通信用 LSI では通常、このようなクロック信号は必然的に内部で生成されるので、参照信号を別途生成する必要がなくなり、回路構成上、都合が良い。

【0012】

また、前記参照信号は、前記受信データを、前記差動信号と周波数が実質的に同一のク

50

ロック信号によってラッチして得たラッチ信号であるのが好ましい。

【0013】

これにより、入力される差動信号と周波数が実質的に同一のクロック信号によって受信データをラッチした場合、そのラッチ信号は、そのクロック信号によりデータ幅が規定され、所望のデータ幅を持つ。したがって、このラッチ信号を参照信号として用いれば、受信データのデータ幅を適切に補正することができる。しかもこの場合は、クロック信号パターンを入力させる所定期間を設ける必要がないので、リアルタイムでデータ幅の補正が可能になる。

【0014】

また、前記本発明に係るデータ幅補正装置は、前記差動信号と、前記クロック信号との周波数の差を検知する周波数検知回路を備えたものとし、前記判断回路は、前記周波数検知回路によって検知された周波数差が所定量を超えると、前記判断を停止するものとするのが好ましい。

10

【0015】

これにより、参照信号の周波数が差動信号の周波数に十分近くなったときにデータ幅の調整が行われるので、データ幅調整のエラーが回避される。

【0016】

また、前記本発明に係るデータ幅補正装置は、所定期間内において、前記受信データが遷移する回数を検出する遷移検出回路を備えたものとし、前記判断回路は、前記遷移検出回路によって検出された遷移回数が所定数を下回るとき、前記判断を停止するものとするのが好ましい。

20

【0017】

これにより、受信データの遷移回数が所定数以上のとき、すなわちH i期間またはL o期間の平均時間を比較することに意味があるときにのみ、データ幅の調整が行われるので、データ幅調整のエラーが回避される。

【0018】

また、前記本発明に係るデータ幅補正装置における判断回路は、前記参照信号と前記受信データとのH i期間およびL o期間の平均時間の大小関係をそれぞれ求める第1および第2の比較部を有し、前記第1および第2の比較部によって求められた大小関係が互いに一致するとき、前記判断を停止し、前記調整回路の設定を保持するものとするのが好ましい。

30

【0019】

これにより、H i期間とL o期間の平均時間の大小関係が互いに一致するときは、すなわち参照信号と受信データの周波数が異なっていると考えられるので、受信データのデータ幅の補正を行わないようにすることによって、データ幅調整のエラーが回避される。

【0020】

また、前記本発明に係るデータ幅補正装置における判断回路は、その判断結果をデジタル値で出力するように構成されているのが好ましい。

【0021】

【発明の実施の形態】

40

以下、本発明の実施の形態について、図面を参照して説明する。

【0022】

(第1の実施形態)

図1は本発明の第1の実施形態に係るデータ幅補正装置の構成を示す図である。図1に示すデータ幅補正装置1は、外部から差動信号である入力データRD/NRDを受けるレシーバ11と、このレシーバ11からのデータと内部クロックとの周波数と位相を合わせるクロックリカバリユニット(CRU)12と、CRU12によって周波数と位相が調整されたクロックを受け、データラッチ用の単一のラッチクロックL-CLKを出力するクロックバッファ13と、このクロックバッファ13と基本構成が同一であり、CRU12が出力したデータから単一の受信データR-DATAを出力するデータ調整バッファ14

50

と、受信データ R - D A T A および参照信号としてのラッチクロック L - C L K を受けて、それぞれの H i 期間の平均時間を比較するチャージポンプ 1 5 とを備えている。レシーバ 1 1、C R U 1 2 およびデータ調整バッファ 1 4 によって、入力回路が構成されている。

【 0 0 2 3 】

また、D フリップフロップ (D F F) 1 6、遷移検出回路 1 7 および周波数検知回路 1 8 を備えている。D F F 1 6 は受信データ R - D A T A を D 入力とするとともに、ラッチクロック L - C L K をクロック入力として、ラッチデータ L - D A T A を出力する。遷移検出回路 1 7 および周波数検知回路 1 8 については後述する。

【 0 0 2 4 】

C R U 1 2 は、その内部にクロックを生成するための V C O (図示せず) を有している。そして、V C O によって生成したクロックとレシーバ 1 1 からのデータとを比較し、クロックの立ち上がりエッジがデータのエッジに合うように、V C O を制御してクロックのタイミングを調整する。さらに、生成したクロックをクロックバッファ 1 3 に出力するとともに、レシーバ 1 1 からのデータをクロックの半周期だけ遅らせてデータ調整バッファ 1 4 に出力する。

【 0 0 2 5 】

C R U 1 2 から出力されたクロックとデータは、クロックバッファ 1 3 とデータ調整バッファ 1 4 とにおいて差動から単相にそれぞれ変換され、これにより、受信データ R - D A T A とラッチクロック L - C L K とが生成される。ラッチクロック L - C L K は入力データ R D / N R D と周波数が実質的に同一のクロック信号である。受信データ R - D A T A のエッジとラッチクロック L - C L K の立ち上がりエッジとは位相が 1 8 0 ° 異なるので、D F F 1 6 によってデータラッチが行われ、ラッチデータ L - D A T A が生成される。

【 0 0 2 6 】

チャージポンプ 1 5 は、受信データ R - D A T A およびラッチクロック L - C L K を入力とし、その H i 期間を比較する。そして、比較結果を基にして、ノード O U T / X O U T から受信データ R - D A T A のデューティ比を調整するための調整信号を出力する。この調整信号は、データ調整バッファ 1 4 の調整ノード D C C / X D C C に与えられる。すなわち、判断回路としてのチャージポンプ 1 5 によって、受信データ R - D A T A の H i 期間が適切か否かが判断され、調整回路としてのデータ調整バッファ 1 4 によって、受信データ R - D A T A のデューティが、その H i 期間が適切になるように調整される。

【 0 0 2 7 】

図 2 (a) はデータ調整バッファ 1 4 の回路構成例、図 2 (b) はチャージポンプ 1 5 の回路構成例である。図 2 (a) に示すように、データ調整バッファ 1 4 は、C R U 1 2 から出力されたデータを入力するためのノード I / X I と、受信データ R - D A T A を出力するためのノード O との他に、出力する受信データ R - D A T A のデューティを調整するための調整ノード D C C / X D C C を有する。調整ノード D C C / X D C C はそれぞれ、トランジスタ T r 1、T r 2 のゲートに接続されている。

【 0 0 2 8 】

一方、図 2 (b) に示すように、チャージポンプ 1 5 は、互いに電流量が等しいソース電流源 C P 1、C P 2 と、互いに電流量が等しいシンク電流源 C N 1、C N 2 と、出力ノード O U T / X O U T にそれぞれ接続されたキャパシタ C 1、C 2 とを備えている。そして、ノード R E F I N、D I N にそれぞれ供給されるラッチクロック L - C L K および受信データ R - D A T A が H i の期間に、キャパシタ C 1、C 2 から電荷がそれぞれ引き抜かれ、これによって、受信データ R - D A T A とラッチクロック L - C L K の H i 期間の平均時間が、出力ノード O U T / X O U T の電圧レベルとして出力される。

【 0 0 2 9 】

図 3 は本データ幅補正装置の動作の時間経過を概念的に示す図である。本実施形態における受信データ R - D A T A のデータ幅の補正の動作について、図 3 に従って説明する。

10

20

30

40

50

【 0 0 3 0 】

まず図3に示すように、電源投入後に、CRU12のプリロックが開始される。このプリロックは、リファレンスクロックREFCLKに基づいて、CRU12内のVCOの発振周波数を入力データRD/NRDの周波数に設定する期間である。すなわち、入力データが例えば1Gbpsであるとき、CPUのクロック出力が1GHz±0.5%（例）になった状態をリファレンスクロックに基づいて検知する。ロックディテクタを設けて、このロックディテクタで1GHz±0.5%（例）になったときを検出し、次の期間に移行するトリガーとする。

【 0 0 3 1 】

その後、CRU12のトレーニング期間に移行する。プリロックによって設定されたクロック周波数は、入力データに対して数百ppm～1%の周波数差を有する。このため、このトレーニング期間では、入力データのエッジとクロックの立ち上がりエッジとを比較して、VCOの発振周波数が入力データRD/NRDの周波数とぴったり合致するように、調整を行う。すなわち、このトレーニング期間において、入力データとクロックとの周波数と位相が実質的に同一になる。この調整は通常1ms以内には完了するので、内部のタイマ等によりトレーニング期間を1msと決めて次の期間に移行するトリガ信号を発信するようにする。また、このトレーニング期間には、所定のトレーニングパタンが正しく受信されているか否かが絶えずチェックされている。

【 0 0 3 2 】

そして、データ幅調整期間に移行する。このデータ幅調整期間では、入力データRD/NRDとして、“0”“1”のクロック信号パターンが相手側から送信されるよう予め取り決めがなされている。したがって、このデータ幅調整期間においては、受信データR-DATAとラッチクロックL-CLKとはともに“0”“1”のクロック信号パターンになる。そして、チャージポンプ15は、受信データR-DATAおよびラッチクロックL-CLKのそれぞれのHi期間の平均時間として、キャパシタC1, C2の端子電圧を出力ノードOUT/XOUTに出力する。チャージポンプ15の出力ノードOUT/XOUTの電圧レベルは、データ調整バッファ14の調整端子DCC/XDCCにそれぞれ入力される。

【 0 0 3 3 】

そして、受信データR-DATAのHi期間の方が長い場合、すなわちノードOUTの電圧レベルがノードXOUTの電圧レベルよりも高い場合は、データ調整バッファ14において、トランジスタTr2がトランジスタTr1よりも強くONする。このため、受信データR-DATAの立ち下がりエッジが早まることになり、したがって、受信データR-DATAのHi期間が短くなる。一方、受信データR-DATAのHi期間がラッチクロックL-CLKよりも短い場合、すなわちノードOUTの電圧レベルがノードXOUTの電圧レベルよりも低い場合は、データ調整バッファ14において、トランジスタTr1がトランジスタTr2よりも強くONする。このため、受信データR-DATAの立ち上がりエッジが早まることになり、したがって、受信データR-DATAのHi期間が長くなる。

【 0 0 3 4 】

すなわち、ラッチクロックL-CLKと受信データR-DATAのHi期間が等しくなるようにフィードバックがかかることになり、ラッチクロックL-CLKのデューティ比が良好である場合は、受信データR-DATAのデータ幅はHi, Loともに等しくなり、理想形となる。

【 0 0 3 5 】

その後、実データ・パケットの受信を行うようにする。この実データ・パケットの受信への移行は、LSI内部のタイマで所定時間(ms)の経過を待つて行う。

【 0 0 3 6 】

以上のように本実施形態によると、受信データのHi期間が適切か否かが判断され、この判断結果によって、受信データのデューティが調整される。このため、入力データのク

10

20

30

40

50

ロスポイントの間隔がずれていても、受信データのデータ幅を適正に調整することができる。また、受信データとラッチクロックのHi期間の平均時間を比較することによって、受信データのHi期間が適切か否かの判断を行うので、たとえ入力データに単発でノイズが乗ったとしても、そのノイズは時間平均をとることによって矮小化されるので、より適切な判断が可能になる。さらに、本データ幅補正回路が搭載される通信用LSIでは、通常、ラッチクロックは必ず生成されるものなので、受信データのHi期間が適切か否かの判断のために、わざわざ生成する必要はない。

【0037】

なお、本実施形態では、受信データのHi期間が適切か否かを判断するものとしたが、受信データとラッチクロックのLo期間の平均時間を比較することによって、受信データのLo期間が適切か否かを判断するようにしてもかまわない。また、Hi期間とLo期間の両方について、適切か否かを判断するようにしてもかまわない。

10

【0038】

また、本データ幅補正装置1は、受信データR-DATAが遷移する回数を検出する遷移検出回路17を備えている。ここでは遷移検出回路17は、受信データR-DATAが128サイクル中32回以上遷移した否かを検出するものとする。そして、出力LOSとして、32回以上の遷移があったときは“0”を、遷移回数が32回未満であったときは“1”を出力する。

【0039】

さらに、本データ幅補正装置1は、入力データRD/NRDとラッチクロックL-CLKとの周波数の差を検知する周波数検知回路18を備えている。ここでは周波数検知回路18は、リファレンスクロックREFCLKに基づいて、ラッチクロックL-CLKの周波数と所望周波数との差が1%以内であるか否かを検知する。そして、出力LOCKとして、周波数差が1%以内のときは“1”を、1%を超えるときは“0”を出力する。

20

【0040】

論理ゲート19は、遷移検出回路17の出力LOSの反転信号と周波数検知回路18の出力LOCKとを入力とする。そしてその出力信号によって、チャージポンプ15のシンク電流源CN1, CN2の動作が制御される。すなわち、遷移回数が128サイクル中32回以上であり、かつ、周波数差が1%以内であるとき、シンク電流源CN1, CN2がONになり、受信データR-DATAとラッチクロックL-CLKとのHi期間の比較が行われる。それ以外のときは、シンク電流源CN1, CN2がOFFになり、チャージポンプ15における比較動作は停止される。

30

【0041】

(第2の実施形態)

図4は本発明の第2の実施形態に係るデータ幅補正装置の構成を示す図である。図4の構成は図1とほぼ同様であり、共通する構成要素には図1と同一の符号を付しており、ここではその詳細な説明を省略する。

【0042】

図1の構成と異なるのは、図4のデータ幅補正装置2では、チャージポンプ15が、ラッチクロックL-CLKの代わりにラッチデータL-DATAを参照信号として入力する点である。すなわち本実施形態では、チャージポンプ15によって、受信データR-DATAとラッチ信号としてのラッチデータL-DATAのHi期間の平均時間が比較され、これによって、受信データR-DATAのHi期間が適切か否かが判断される。

40

【0043】

図5は本実施形態に係る各信号の時間変化を示すタイミングチャートである。図5に示すように、CRU12が、ラッチクロックL-CLKについて、立ち上がりエッジを入力データRD/NRDの平均的中央ポイントに合わせるとともに、周波数を受信データR-DATAに一致させた場合、ラッチデータL-DATAの信号波形はHi/Loの幅が同一の理想形に近いものとなる。

【0044】

50

そしてこのような場合には、受信データ R - D A T A の H i 期間が適切か否かの判断は、受信データ R - D A T A とラッチデータ L - D A T A の H i 期間の平均時間を比較することによって、常時、可能になる。言い換えると、第 1 の実施形態のように、入力データ R D / N R D としてクロック信号パターンを送信させるデータ幅調整期間を特別に設けなくとも、データ幅の補正がリアルタイムで可能になる。

【 0 0 4 5 】

(第 3 の実施形態)

図 6 は本発明の第 3 の実施形態に係るデータ幅補正装置の構成を示す図である。図 6 において、図 1 と共通の構成要素には図 1 と同一の符号を付しており、ここではその詳細な説明を省略する。図 1 と対比すると、図 6 に示すデータ幅調整装置 3 は、チャージポンプ 1 5 の代わりに、受信データ R - D A T A とラッチクロック L - C L K の H i 期間を比較し、受信データ R - D A T A のデューティを調整するための信号をデジタル値 N A 1 - 4 , N B 1 - 4 として出力する判断回路としてのコントローラ 3 0 を備えている。また、データ調整バッファ 1 4 の代わりに、2 種類の 4 ビットデータによって受信データ R - D A T A のデューティを調整可能に構成されたデータ調整バッファ 2 4 を備えている。すなわち、受信データ R - D A T A のデータ幅は、データ調整バッファ 2 4 において、コントローラ 3 0 からデジタル値によって制御される。

【 0 0 4 6 】

図 7 は図 6 におけるコントローラ 3 0 の構成を示す図、図 8 は図 6 におけるデータ調整バッファ 2 4 の構成を示す図である。

【 0 0 4 7 】

図 7 に示すコントローラ 3 0 において、チャージポンプ 3 1 は図 1 に示すチャージポンプ 1 5 と同様に、ノード D I N に入力される受信データ R - D A T A とノード R E F I N に入力されるラッチクロック L - C L K の H i 期間の平均時間を比較し、その比較結果を出力ノード O U T / X O U T の電圧レベルとして出力する。オペアンプ 3 2 はチャージポンプ 3 1 の出力ノード O U T / X O U T の電圧を受けて、出力ノード O U T の電圧レベルの方が高いときは “ 1 ” を、出力ノード X O U T の電圧レベルの方が高いときは “ 0 ” を出力する。D フリップフロップ 3 3 は、オペアンプ 3 2 の出力を、クロックジェネレータ 3 6 によって生成された比較的周波数が低いクロックに従ってラッチする。

【 0 0 4 8 】

第 1 および第 2 のバイナリカウンタ 3 4 , 3 5 は、クロックジェネレータ 3 6 によって生成されたクロックをカウントする。第 1 のバイナリカウンタ 3 4 は、D フリップフロップ 3 3 の Q 出力が “ 1 ” のときはカウントアップを、“ 0 ” のときはカウントダウンを行う。一方、第 2 のバイナリカウンタ 3 5 は、D フリップフロップ 3 3 の N Q 出力が “ 1 ” のとき (Q 出力が “ 0 ” のとき) はカウントアップを、“ 0 ” のとき (Q 出力が “ 1 ” のとき) はカウントダウンを行う。

【 0 0 4 9 】

そして、第 1 のバイナリカウンタ 3 4 の出力 Q 1 ~ Q 4 はデジタル値 N A 1 ~ N A 4 として、第 2 のバイナリカウンタ 3 5 の出力 Q 1 ~ Q 4 はデジタル値 N B 1 ~ N B 4 として、それぞれデータ調整バッファ 2 4 に送られる。

【 0 0 5 0 】

図 8 に示すように、データ調整バッファ 2 4 では、デジタル値 N A 1 ~ N A 4 はそれぞれトランジスタ T a 1 ~ T a 4 のゲートに入力され、デジタル値 N B 1 ~ N B 4 はそれぞれトランジスタ T b 1 ~ T b 4 のゲートに入力される。トランジスタ T a 1 ~ T a 4 はそれぞれ電流源 I a 1 ~ I a 4 と直列に接続されており、各電流源 I a 1 ~ I a 4 の電流量は 1 : 2 : 4 : 8 の比率になっている。同様に、トランジスタ T b 1 ~ T b 4 はそれぞれ電流源 I b 1 ~ I b 4 と直列に接続されており、各電流源 I b 1 ~ I b 4 の電流量は 1 : 2 : 4 : 8 の比率になっている。このような構成によって、出力ノード O から出力される受信データ R - D A T A のデューティを、デジタル値 N A 1 ~ N A 4 , N B 1 ~ N B 4 によって制御することができる。

10

20

30

40

50

【 0 0 5 1 】

また、第 1 および第 2 のバイナリカウンタ 3 4 , 3 5 は、4 入力 A N D ゲート 3 8 , 3 9 によって、いずれか一方のみが動作するようになっており、動作中のバイナリカウンタのみがクロックのカウントアップとカウントダウンを行う。これは、データ調整バッファ 2 4 における調整用トランジスタ T a 1 ~ T a 4 , T b 1 ~ T b 4 が、N A 側と N B 側とで同時に O N することを防ぐためである。

【 0 0 5 2 】

なお、クロックジェネレータ 3 6 の動作周波数は、チャージポンプ 3 1 が有するキャパシタの容量や、フィードバックループのバンド幅を考慮して、適切に設定する必要がある。

10

【 0 0 5 3 】

図 9 は図 6 におけるコントローラの他の構成例を示す図である。図 9 に示すコントローラ 3 0 A は、第 1 のチャージポンプ 3 1 の他に、受信データ R - D A T A とラッチクロック L - C L K の L o 期間の平均時間を比較する第 2 のチャージポンプ 4 1 を備えている。すなわち、第 2 のチャージポンプ 4 1 はノード D I N に受信データ R - D A T A の反転信号を受けるとともに、ノード R E F I N にラッチクロック L - C L K の反転信号を受ける。オペアンプ 4 2 はチャージポンプ 4 1 の出力ノード O U T / X O U T の電圧を受けて、出力ノード O U T の電圧レベルの方が高いときは “ 1 ” を、出力ノード X O U T の電圧レベルの方が高いときは “ 0 ” を出力する。

【 0 0 5 4 】

第 1 のチャージポンプ 3 1 およびオペアンプ 3 2 によって第 1 の比較部 4 が構成されており、第 2 のチャージポンプ 4 1 およびオペアンプ 4 2 によって第 2 の比較部 5 が構成されている。すなわち、第 1 および第 2 の比較部 4 , 5 によって、受信データ R - D A T A と参照信号としてのラッチクロック L - C L K との、H i 期間および L o 期間の平均時間の大小関係がそれぞれ求められる。

20

【 0 0 5 5 】

そして、オペアンプ 3 2 , 4 2 の出力は E X N O R ゲート 4 4 に入力され、その出力は D フリップフロップ 4 3 の D 入力に与えられる。D フリップフロップ 4 3 の Q 出力は O R ゲート 4 5 を介して、第 1 および第 2 のバイナリカウンタ 3 4 , 3 5 に H O L D 信号として与えられる。すなわち、第 1 および第 2 の比較部 5 1 , 5 2 によって求められた大小関係が互いに一致するとき、言い換えると、H i 期間および L o 期間の両方について、受信データ R - D A T A の方がラッチクロック L - C L K よりも長い場合または短い場合は、第 1 および第 2 のバイナリカウンタ 3 4 , 3 5 はホールドし、判断が停止される。

30

【 0 0 5 6 】

すなわち、H i 期間および L o 期間の両方について、受信データ R - D A T A の方がラッチクロック L - C L K よりも長いまたは短いということは、入力データとクロックの周波数が異なっているものと考えられる。このような場合は、データ幅 (デューティ) の補正は必要でないので、バイナリカウンタ 3 4 , 3 5 の動作をホールドして、データ幅の調整を行わないようにするのが好ましい。

【 0 0 5 7 】

このような現象は、例えば、ケーブルや光ファイバ等の伝送線路に低周波のジッタが乗ったときに、データ幅が全体的に徐々に広狭するような場合に起こり得る。この場合は C R U 1 2 が、クロックの周波数をその広狭する入力データに合致するよう調整するが、この周波数調整時にデータ幅の補正を行うと、データのエッジを変化させることになり、好ましくない。このような趣旨から、バイナリカウンタ 3 4 , 3 5 をホールドして、判断を停止するのである。

40

【 0 0 5 8 】

なお、本実施形態では、判断のための参照信号としてラッチクロック L - C L K を用いるものとしたが、第 2 の実施形態と同様に、ラッチデータ L - D A T A を参照信号として用いてもかまわない。

50

【 0 0 5 9 】

【 発明の効果 】

以上のように本発明によると、たとえ入力データのクロスポイントがずれている場合であっても、受信データのデータ幅を補正して理想形に近づけることが可能となる。このため、受信データをラッチする場合に、データ幅は理論的に最大値まで広がることになる。したがって、ラッチクロックのジッタトレランスを向上させることができ、入力データに低周波のジッタ等が乗った場合でも、追従性を向上させることができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施形態に係るデータ幅補正装置の構成図である。

【 図 2 】 (a) は図 1 におけるデータ調整バッファの回路構成例、(b) は図 1 におけるチャージポンプの回路構成例である。 10

【 図 3 】 図 1 のデータ幅補正回路の動作の時間経過を概念的に示す図である。

【 図 4 】 本発明の第 2 の実施形態に係るデータ幅補正装置の構成を示す図である。

【 図 5 】 本発明の第 2 の実施形態に係る各信号の時間変化を示すタイミングチャートである。

【 図 6 】 本発明の第 3 の実施形態に係るデータ幅補正装置の構成を示す図である。

【 図 7 】 図 6 におけるコントローラの構成を示す図である。

【 図 8 】 図 6 におけるデータ調整バッファの回路構成を示す図である。

【 図 9 】 図 6 におけるコントローラの他の構成例を示す図である。

【 図 1 0 】 従来例の構成を示すブロック図である。 20

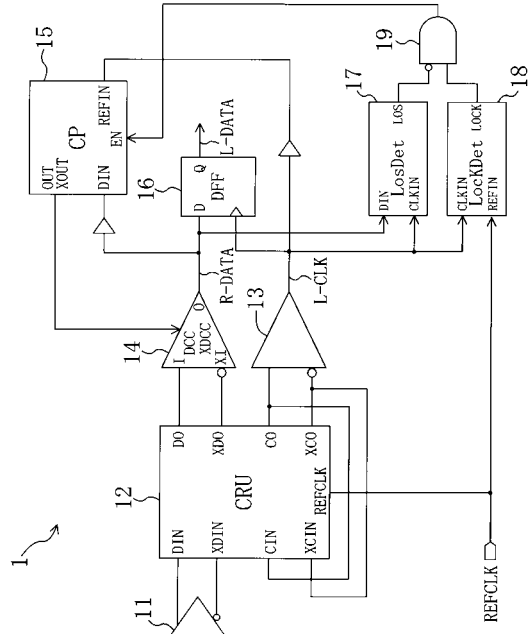
【 図 1 1 】 デューティずれを示す図である。

【 図 1 2 】 クロスポイントがずれた入力データの例を示すタイミングチャートである。

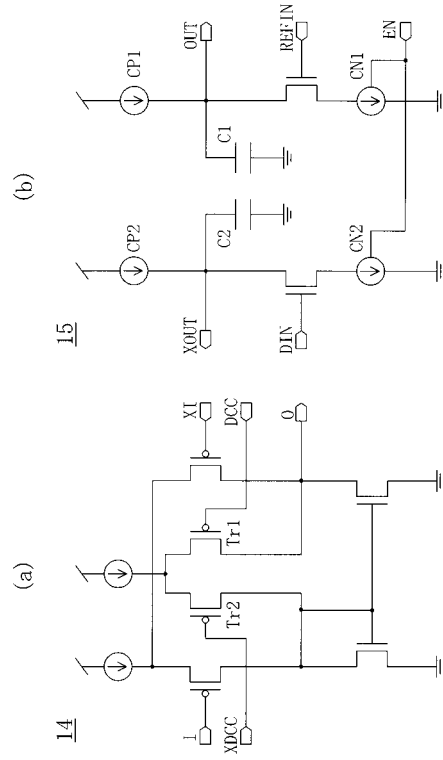
【 符号の説明 】

- 1 , 2 , 3 データ幅補正装置
- 4 第 1 の比較部
- 5 第 2 の比較部
- 1 1 レシーバ
- 1 2 クロックリカバリユニット (C R U)
- 1 3 クロックバッファ
- 1 4 データ調整バッファ (調整回路) 30
- 1 5 チャージポンプ (判断回路)
- 1 7 遷移検出回路
- 1 8 周波数検知回路
- 2 4 データ調整バッファ (調整回路)
- 3 0 , 3 0 A コントローラ (判断回路)
- 3 1 , 4 1 チャージポンプ
- 3 2 , 4 2 オペアンプ
- R D / X R D 入力データ (差動信号)
- R - D A T A 受信データ
- L - C L K ラッチクロック (クロック信号、参照信号) 40
- L - D A T A ラッチデータ (ラッチ信号、参照信号)

【 図 1 】



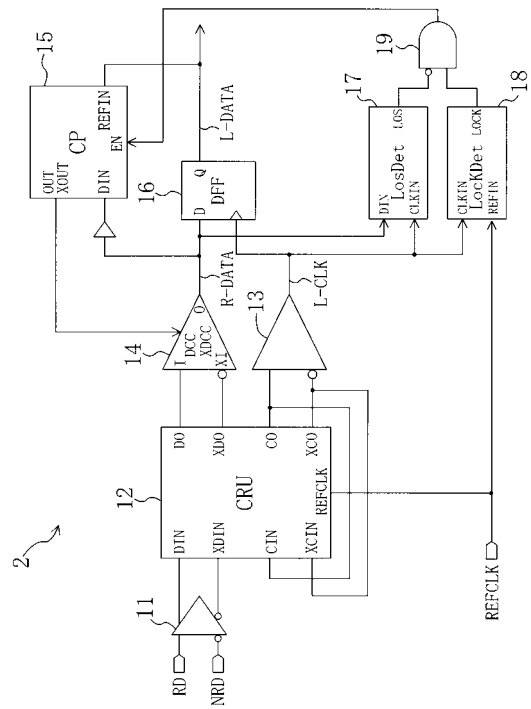
【 図 2 】



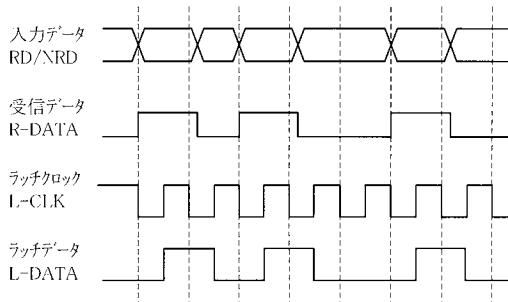
【 図 3 】



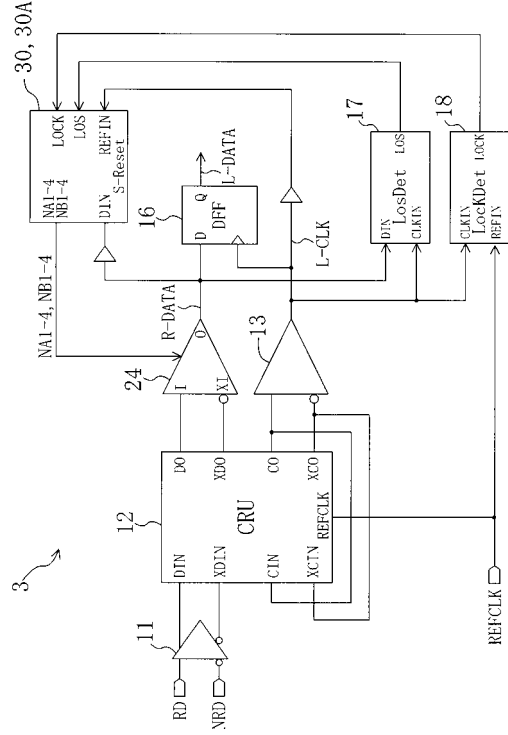
【 図 4 】



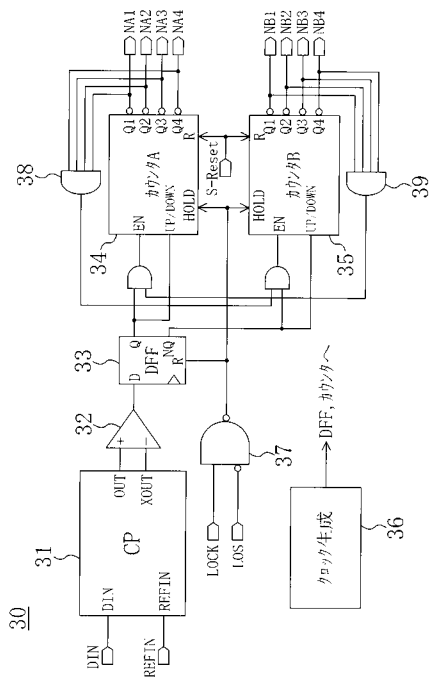
【 図 5 】



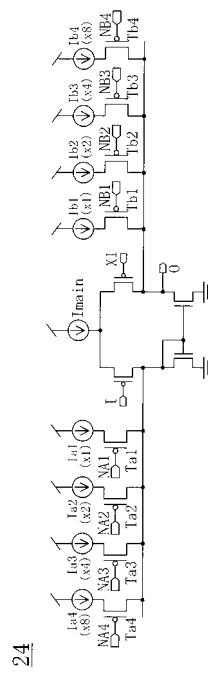
【 図 6 】



【 図 7 】

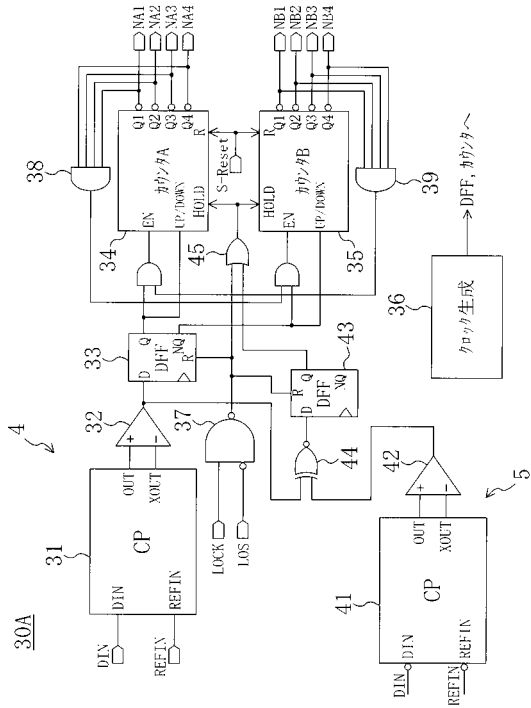


【 図 8 】

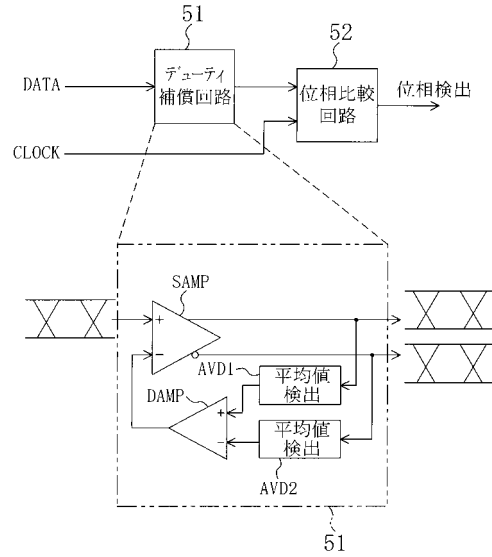


24

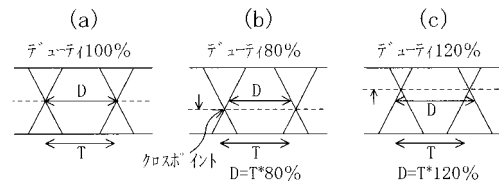
【 図 9 】



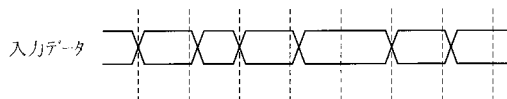
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 吉 河 武文

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 清水 稔

(56)参考文献 特開平11-145796(JP,A)

特開平11-136104(JP,A)

特開平07-086879(JP,A)

特開平07-046100(JP,A)

特開平05-243924(JP,A)

特開平03-014316(JP,A)

特開平02-262714(JP,A)

特開昭63-290046(JP,A)

特開2000-196570(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 5/04-5/07、5/13-5/145

H03K 5/00-5/02、5/08-5/12、5/15-5/26