

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 967 933**

51 Int. Cl.:

**H02M 7/483** (2007.01)

**H02M 7/487** (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **19.04.2021 PCT/EP2021/060011**

87 Fecha y número de publicación internacional: **28.10.2021 WO21213947**

96 Fecha de presentación y número de la solicitud europea: **19.04.2021 E 21718892 (9)**

97 Fecha y número de publicación de la concesión europea: **18.10.2023 EP 4104285**

54 Título: **Método para controlar un inversor multinivel que tiene un enlace de CC dividido**

30 Prioridad:

**20.04.2020 EP 20170373**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**06.05.2024**

73 Titular/es:

**FRONIUS INTERNATIONAL GMBH (100.0%)  
Froniusstraße 1  
4643 Pettenbach, AT**

72 Inventor/es:

**GRASBÖCK, RICHARD;  
ROTHBOECK, MICHAEL;  
PIELER, ROLAND y  
KREUZER, HARALD**

74 Agente/Representante:

**LINAGE GONZÁLEZ, Rafael**

ES 2 967 933 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Método para controlar un inversor multinivel que tiene un enlace de CC dividido

5

La presente invención se refiere a un método para controlar un inversor multinivel que tiene un enlace de CC con al menos dos condensadores de enlace de CC que están conectados a una etapa de conmutación con conmutadores semiconductores para ajustar una tensión de salida o una corriente de salida del inversor según un valor de consigna dado. La invención se refiere también a dicho inversor multinivel con un control de inversor.

10

Un inversor es un convertidor de tensión que convierte tensión de CC (tensión de corriente continua) desde una fuente de alimentación de CC en tensión de CA (tensión de corriente alterna). Un inversor usa una etapa de conmutación para convertir una tensión de CC en la entrada en una tensión de CA en la salida. La tensión de CC en la entrada se proporciona habitualmente mediante un enlace de CC que está conectado a una fuente de alimentación de CC. La fuente de alimentación de CC puede ser, por ejemplo, un módulo fotovoltaico, un almacenamiento de energía de batería, la salida de un convertidor de CA/CC o CC/CC, etc.

15

También se conocen inversores bidireccionales que permiten un flujo de energía en ambas direcciones, es decir desde la entrada hacia la salida y viceversa.

20

Hay muchas topologías diferentes para un inversor muy conocidas, por ejemplo, topologías multifase o topologías multinivel. Un inversor multifase proporciona una tensión de salida multifase, por ejemplo, una tensión de salida trifásica. Un inversor multifase tiene al menos una rama de conmutación en la etapa de conmutación para cada fase. Una rama de conmutación habitualmente comprende elementos de conmutación conectados en serie, como conmutadores semiconductores, como los IGBT (transistor bipolar de puerta aislada), los MOSFET (transistor de efecto de campo metal-óxido-semiconductor) o GaN (nitruro de galio), y un polo de CA entre elementos de conmutación de lado alto y de lado bajo.

25

En una implementación sencilla, hay dos elementos de conmutación en una rama de conmutación que permiten dos niveles de tensión en el polo de CA. En implementaciones más complejas, hay más de dos elementos de conmutación conectados en serie en una rama de conmutación que permite más de dos niveles de tensión en el polo de CA (multinivel).

30

El enlace de CC puede comprender un único condensador, pero, especialmente para un inversor multinivel, también puede comprender varios condensadores conectados en serie (enlace de CC dividido), por ejemplo, dos condensadores conectados en serie. El polo de CC entre los condensadores puede usarse como un punto neutro y puede anclarse en un inversor multinivel a las ramas de conmutación mediante conmutadores semiconductores, como diodos (inversor anclado al punto neutro pasivo) o como transistores (por ejemplo, IGBT o MOSFET) (inversor anclado al punto neutro activo). El enlace de CC dividido proporciona, por ejemplo, una tensión positiva CC que puede ser la mitad de la tensión de CC aplicada al enlace de CC y una tensión negativa CC que puede ser la mitad de tensión de CC aplicada al enlace de CC. El punto neutro del enlace de CC entre los condensadores conectados en serie puede estar conectado también a un punto neutro de una red que se suministra mediante el inversor o a un punto en estrella o a un punto neutro de un filtro de salida del inversor. En el funcionamiento del inversor las tensiones CC en los condensadores de enlace de un enlace de CC dividido deberían equilibrarse. Las tensiones de condensador de enlace de CC no equilibradas provocan un esfuerzo desigual en los componentes eléctricos del inversor, que pueden conducir incluso al fallo de componente y/o inversor, y también a una degradación de la calidad de forma de onda de salida que puede provocar un aumento perjudicial en la distorsión armónica total de tensión de salida (THD). Por tanto, el desequilibrio de tensión entre la tensión de CC en los condensadores de enlace de CC dividido no es deseable. Para mitigar el desequilibrio de tensión en un enlace de CC dividido, ya se han propuesto diferentes estrategias.

40

45

50

Una estrategia conocida se basa en un hardware adicional en el enlace de CC dividido para el equilibrio de tensión. Pero esto aumentaría los costes y pérdidas del inversor. Otras estrategias se basan en técnicas de inyección, por ejemplo, las descritas en K. Kang et al., "A Harmonic Voltage Injection Based CC-Link Imbalance Compensation Technique for Single-Phase Three-Level Neutral-Point-Clamped (NPC) Inverters", MDPI Energies 2018, 11, 1886. En este método una señal de armónico par, por ejemplo, una señal de armónico de segundo orden se añade a la señal de referencia que se genera mediante el controlador de corriente del inversor. El controlador de conmutación usa después la señal de referencia con el armónico para controlar la conmutación de los conmutadores semiconductores en las ramas de conmutación del inversor. La señal de armónico par tiene como objetivo equilibrar los condensadores de enlace de CC, provocando los armónicos una diferencia de tensión entre los condensadores de enlace de CC para reducir el desequilibrio de tensión entre los condensadores. La señal de armónico par se elige para que sea directamente proporcional a la diferencia entre las tensiones de condensador de CC, es decir proporcional al desequilibrio de tensión. Con tal ganancia proporcional el comportamiento de control del equilibrio de tensión control sin embargo es pobre (por ejemplo, error de desplazamiento residual, comportamiento transitorio pobre).

55

60

65

El documento EP 2 876 793 A1 propone un método similar que usa un tercer armónico para modificar la señal de referencia del inversor. La señal de referencia se modifica, sin embargo, no para equilibrar las tensiones de enlace de CC sino para minimizar el esfuerzo de corriente de los condensadores de enlace de CC para incrementar su vida útil. La señal de armónico de tercer orden se añade para ajustar la amplitud y/o la diferencia de fase para minimizar el esfuerzo de corriente en ambos condensadores de enlace de CC.

Otro documento relevante de la técnica anterior para la presente invención es:

10 - AKAGI H ET AL: "*Voltage Balancing Control for a Three-Level Diode-Clamped Converter in a Medium-Voltage Transformerless Hybrid Active Filter*", IEEE TRANSACTIONS ON POWER ELECTRONICS, INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, EE.UU., vol. 24, nº. 3, 1 de marzo de 2009 (01-03-2009), páginas 571-579 y

15 AKAGI H ET AL: "*A 6.6-kV transformerless STATCOM based on a five-level diode-clamped PWM converter: system design and experimentation of a 200-V, 10-kVA laboratory model*", CONFERENCE RECORD OF THE 2005 IEEE INDUSTRY APPLICATIONS CONFERENCE FORTIETH IAS ANNUAL MEETING 2-6 OCT. 2005 KOWLOON, HONG KONG, CHINA, IEEE, IEEE CAT., vol. 1, 2 de octubre de 2005 (02-10-2005), páginas 557-564

20 Es un objeto de la presente invención mejorar el equilibrio de tensión de un inversor multinivel con un enlace de CC dividido.

Esto se logra calculando una señal de modulación con una amplitud de señal de modulación como una señal de armónico par de la tensión de salida o de la corriente de salida del inversor. La señal de modulación se calcula a partir de una diferencia de potencia eléctrica real de las potencias eléctricas reales en los al menos dos condensadores de enlace de CC, y mediante superposición de la señal de modulación al valor de consigna para generar una señal de referencia adaptada que se usa para controlar la conmutación de los conmutadores semiconductores, para equilibrar las tensiones de condensador de enlace de CC en los condensadores de enlace de CC. Este enfoque permite controlar la señal de modulación de tal modo que se compensa la diferencia de potencia real de los condensadores de enlace de CC, lo que a su vez equilibra las tensiones de condensador de enlace de CC. La señal de modulación por tanto se adapta siempre a la diferencia de potencia de corriente que mejora el equilibrio de las tensiones de condensador de enlace de CC. Aparte de eso, al usar la diferencia de potencia para calcular la señal de modulación, es posible reaccionar incluso antes de que las tensiones de enlace de CC de los condensadores de enlace de CC cambien debido a una diferencia de potencia. Al usar la diferencia de potencia, se sabe cómo cambiará la tensión de enlace de CC, lo que permite influir en esta antes de que cambien las tensiones. Por tanto, el comportamiento transitorio del control de equilibrio de tensión puede mejorarse y el error de control puede disminuir. Por último, al usar potencia en lugar de tensión para el control de equilibrio, puede aplicarse la teoría de control lineal, ya que la potencia tiene una influencia lineal en el cambio de energía eléctrica con el paso del tiempo en los condensadores de enlace de CC, es decir, a la larga es responsable del cambio de tensión.

Preferiblemente, la diferencia de potencia real se calcula como una diferencia de potencia de CA de las potencias CA proporcionadas por los condensadores de enlace de CC y opcionalmente como suma de la diferencia de potencia de CA y una diferencia de potencia de CC de los condensadores de enlace de CC. Para entonces, la potencia real proporcionada y consumida por los condensadores de enlace de CC se considera al calcular la señal de modulación.

Es especialmente ventajoso si se proporciona una diferencia de potencia de consigna y si la amplitud de señal de modulación se calcula a partir de un error de diferencia de potencia en forma de la diferencia entre la diferencia de potencia de consigna y la suma de la diferencia de potencia real y la diferencia de potencia en los condensadores de enlace de CC provocada por la señal de modulación. Esto permite controlar la diferencia de potencia y por tanto también el equilibrio basándose en una diferencia de potencia de consigna dada.

La presente invención se describe con mayor detalle a continuación con referencia las figuras 1 a 7 que muestran a modo de ejemplo, de forma esquemática y no restrictiva realizaciones ventajosas de la invención.

En los dibujos:

60 la figura 1 muestra una topología conocida de un inversor con un enlace de CC dividido,

la figura 2 muestra un ejemplo de un inversor multinivel trifásico,

la figura 3 muestra un ejemplo de un inversor multinivel monofásico,

65 la figura 4 muestra el esquema de control del inversor con un control de equilibrio,

la figura 5 muestra el cálculo de una señal de modulación a partir de una diferencia de potencia real,

la figura 6 muestra el cálculo de la diferencia de potencia de consigna, y

5 la figura 7 muestra un ejemplo de una señal de modulación de armónico par de segundo orden.

La figura 1 muestra a modo de ejemplo un diseño típico de un inversor 1 para convertir la tensión de CC  $U_{DC}$ , por ejemplo, desde una fuente de alimentación CC 2 que proporciona la tensión de CC  $U_{DC}$  a la entrada, en una tensión de CA  $u_{AC}$  en la salida. En una realización de la figura 1, la tensión de salida  $u_{AC}$  es una tensión de salida trifásica  $u_{AC}$  con tensiones de fase  $u_{AC1}$ ,  $u_{AC2}$ ,  $u_{AC3}$ . La tensión de salida de CA  $u_{AC}$  se proporciona a una carga eléctrica 3, por ejemplo, una red eléctrica. En caso de una carga equilibrada, se puede suponer que las tensiones de fase de la tensión de salida  $u_{AC}$ , por ejemplo,  $u_{AC1}$ ,  $u_{AC2}$ ,  $u_{AC3}$ , sean iguales (además de un desplazamiento de fase). La fuente de alimentación CC 2 puede ser cualquier fuente CC, por ejemplo, un módulo fotovoltaico PV, como en la figura 1, o un almacenamiento de energía de batería, un convertidor de CC/CC, un convertidor de CA/CC, etc. Aunque en la figura 1 se muestra un inversor trifásico, el inversor 1 puede tener un número de fases cualquiera incluyendo también una única fase. El inversor 1 podría ser también bidireccional, en el que podría transferirse energía eléctrica desde la entrada a salida y viceversa, es decir entrada y salida podrían conmutarse.

El inversor 1 comprende un enlace de CC 4 en el lado de entrada del inversor 1, una etapa de conmutación 5 y un filtro de CA 6 opcional en el lado de salida del inversor 1. En la entrada del inversor 1 puede estar previsto también un filtro de entrada de CC (por ejemplo, un filtro EMC (compatibilidad electromagnética)) y/o un convertidor CC/CC para elevar la tensión de enlace de CC  $U_{DCL}$ . El filtro de CA 6 opcional sirve para alisar la tensión de salida de CA y la corriente de salida de CA  $i_{AC}$  del inversor 1 y puede comprender también un filtro EMC. Entre el inversor 1 y la carga 3, opcionalmente puede estar dispuesto un relé de CA 7 que permite desconectar el inversor 1 de la carga 3. El relé de CA 7, si está presente, puede estar integrado también en el inversor 1.

El enlace de CC 4 se implementa como enlace de CC dividido que tiene al menos dos condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  conectados en serie. Entre dos condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  se proporciona un punto neutro N. El punto neutro N podría conectarse al neutro de la carga eléctrica 3, por ejemplo, el neutro de la red (tal como se indica en la figura 1 en líneas discontinuas) y/o podría enclavarse a las ramas de conmutación de la etapa de conmutación 5 mediante conmutadores semiconductores (por ejemplo, diodos como en la figura 2 o transistores como en la figura 3) en un inversor multinivel.

La tensión de enlace de CC  $U_{DCL}$  en el enlace de CC 4 se divide en una primera tensión de enlace de CC  $U_{DC1}$ , en el condensador de lado alto  $C_{DC1}$  y una segunda tensión de enlace de CC  $U_{DC2}$  en el condensador de lado bajo  $C_{DC2}$ . El punto neutro N está entre el condensador de lado alto  $C_{DC1}$  y condensador de lado bajo  $C_{DC2}$ . Durante el funcionamiento del inversor 1 la primera tensión de enlace de CC  $U_{DC1}$  y segunda tensión de enlace de CC  $U_{DC2}$  pueden desequilibrarse, es decir  $U_{DC1} \neq U_{DC2}$ . Para evitar esto se implementa un control de equilibrio como se describe a continuación.

La etapa de conmutación 5 comprende un número n de ramas de conmutación  $SL_n$ ,  $n \geq 1$ , con al menos una rama de conmutación  $SL_n$  para cada fase, mientras que cada rama de conmutación  $SL_n$  se conecta en paralelo al enlace de CC 4, es decir en paralelo a la tensión de enlace de CC  $U_{DCL}$ . En cada una de las n ramas de conmutación  $SL_n$  al menos dos conmutadores semiconductores  $S_{nm}$ ,  $m \geq 2$ , están conectados en serie. Entre conmutadores semiconductores  $S_{nm}$  de una rama de conmutación  $SL_n$  se forma un polo de CA  $ACP_n$  en el que se proporciona la salida corriente de CA  $i_{Ln}$  y tensión  $u_{Ln}$  de la rama de conmutación  $SL_n$ . El polo de CA  $ACP_n$  está entre los elementos de conmutación de lado alto y de lado bajo  $S_{nm}$ . Los polos de CA  $ACP_n$  de varias ramas de conmutación  $SL_n$  de la etapa de conmutación 5 pueden estar conectados también para formar juntos una fase de la tensión de salida  $u_{AC}$ . En un inversor multinivel, una rama de conmutación  $SL_n$  comprende varios conmutadores semiconductores  $S_{nm}$  conectados en serie en el lado alto y el lado bajo. La figura 2 y la figura 3 muestran ejemplos de realizaciones de inversor multinivel.

En el ejemplo de la figura 2 se muestra un inversor multinivel trifásico pasivo anclado al punto neutro con un enlace de CC dividido 4 y una etapa de conmutación 5 que tiene tres ramas de conmutación  $SL_1$ ,  $SL_2$ ,  $SL_3$  (una por fase). En cada rama de conmutación  $SL_1$ ,  $SL_2$ ,  $SL_3$  dos conmutadores semiconductores de lado alto  $S_{11}$ ,  $S_{12}$ ,  $S_{21}$ ,  $S_{22}$ ,  $S_{31}$ ,  $S_{32}$  y dos conmutadores semiconductores de lado bajo  $S_{13}$ ,  $S_{14}$ ,  $S_{23}$ ,  $S_{24}$ ,  $S_{33}$ ,  $S_{34}$  están conectados en series. Entre los conmutadores semiconductores de lado alto y de lado bajo  $S_{nm}$  se forman los polos de CA  $ACP_1$ ,  $ACP_2$ ,  $ACP_3$ . Los conmutadores semiconductores de lado alto  $S_{n1}$ ,  $S_{n2}$  y conmutadores semiconductores de lado bajo  $S_{n3}$ ,  $S_{n4}$  de cada rama de conmutación  $SL_n$  son diodos anclados al punto neutro N del enlace de CC dividido 4, es decir el punto neutro N está conectado entre los conmutadores semiconductores de lado alto y de lado bajo a través de diodos.

Las tensiones de CA  $u_{Ln}$  en los polos de CA  $ACP_n$  de un inversor multinivel pueden tener más de dos niveles de tensión, por ejemplo, tres niveles de tensión ( $U_{DC+}$ , 0,  $U_{DC-}$ ) en la realización de la figura 2. Las corrientes de rama de CA  $i_{Ln}$  proporcionadas en los polos de CA  $ACP_n$  de las ramas de conmutación  $SL_n$  se filtran habitualmente en

un filtro de CA 6 mediante bobinas L conectados en serie (inductores) para eliminar las componentes de alta frecuencia de las formas de onda de CA. Las bobinas L pueden estar seguidas de condensadores de filtro conectados en estrella  $C_F$  e inductores de filtro  $L_F$  conectados en serie. El punto en estrella de los condensadores de filtro  $C_F$  conectados en estrella puede estar conectado también al punto neutro N del enlace de CC 4 (tal como se indica con línea discontinua en la figura 2). El filtro de CA 6 puede comprender sin embargo también etapas de filtro adicionales o diferentes. El punto neutro N del enlace de CC dividido 4 puede estar conectado también a la línea de neutro de la carga eléctrica 3 (tal como se indica con línea discontinua en la figura 2).

La figura 3 muestra a modo de ejemplo un inversor multinivel de fase única activo anclado al punto neutro 1. La rama de conmutación SL1 comprende cuatro conmutadores semiconductores S11, S12, S13, S14 conectados en series. Los conmutadores semiconductores de lado alto S11, S12 proporcionan la forma de onda de CA positiva y los conmutadores semiconductores de lado bajo S13, S14 la forma de onda de CA negativa. Entre los conmutadores semiconductores superiores S11, S12 y conmutadores semiconductores negativos S13, S14 se proporciona el polo de CA ACP1. Los conmutadores semiconductores de lado alto S11, S12 y conmutadores semiconductores de lado bajo S13, S14 están enclavados al punto neutro N del enlace de CC 4 a través de conmutadores semiconductores (por ejemplo, transistores T1, T2). El punto neutro N del enlace de CC 4 está conectado en este caso a la línea de neutro de la carga eléctrica 3.

Una rama de conmutación SLn de un inversor multinivel 1 puede tener también más de dos conmutadores semiconductores en el lado alto y lado bajo para proporcionar más niveles de tensión de la tensión de CA  $u_{Ln}$  y el polo de CA ACPn. En este caso, el enlace de CC 4 puede tener también más de dos condensadores de enlace de CC conectados en serie.

Un control de inversor 10 se usa para hacer funcionar el inversor 1 (la figura 1). Pueden usarse diferentes valores de medición M, por ejemplo, tensiones y/o corrientes medidas del inversor 1 para controlar el inversor 1, por ejemplo, la tensión de CC  $U_{DC}$ , las tensiones de condensador de enlace de CC  $U_{CD1}$ ,  $U_{CD2}$ , la tensión de salida  $u_{AC}$ , la corriente de salida  $i_{AC}$  o las corrientes de rama de CA  $i_{Ln}$  en los polos de CA ACPn, etc., tal como se indica en la figura 1. Los sensores de tensión y corriente usados para medir los valores de medición M requeridos son suficientemente conocidos y no se muestran en la figura 1 en aras de la simplicidad.

En el control de inversor 10 se implementa un control de conmutación 11 que genera las señales de control SCnm (indicadas en la figura 1) para conmutar los conmutadores semiconductores Snm en la etapa de conmutación 5 a una frecuencia de conmutación dada y/o en un orden dado para generar la tensión de salida y/o la corriente de salida  $i_{AC}$  requeridas del inversor 1. Las señales de control SCnm se proporcionan habitualmente a un controlador de puerta suficientemente conocido (no mostrado) para cada conmutador semiconductor Snm que efectúa la conmutación de los conmutadores semiconductores Snm. Los controladores de puerta podrían estar integrados también en el control de conmutación 11.

El control de inversor 10 puede implementarse en un hardware basado en microprocesador, como un ordenador, microcontrolador, procesador de señal digital, controlador lógico programable (PLC), etc., que se programa con software de control para hacer funcionar el inversor 1. El software de control se almacena en una memoria del control de inversor 10. También son posibles implementaciones con un circuito integrado de aplicación específica (ASIC) o una matriz de puerta programable en campo (FPGA), o similar. El control de inversor 10 puede implementarse también como circuito analógico, ordenador analógico u otra instrumentación analógica.

El control de conmutación 11 y otras funcionalidades del control de inversor 10 pueden implementarse como software que se ejecuta en el control de inversor 10. El control de inversor 10 y el control de conmutación 11 podrían implementarse como hardware independiente. En este caso, el control de conmutación 11 podría ser también un hardware basado en microprocesador, como un microcontrolador, un ordenador, un procesador de señal digital, controlador lógico programable (PLC) etc., o controlador lógico programable (ASIC) o una matriz de puerta programable en campo (FPGA), o similar, y con software. El control de conmutación 11 puede implementarse también como circuito analógico, ordenador analógico u otra instrumentación analógica.

El control de conmutación 11 con frecuencia se implementa como algún tipo de esquema de modulación de tensión, por ejemplo, una PWM (modulación por ancho de pulso) o esquema PWM multinivel que controla los anchos de pulso (ciclos de trabajo) de las tensiones de rama de CA  $u_{Ln}$  en los polos de CA ACPn y/o los niveles de tensión de las tensiones de rama de CA  $u_{Ln}$  en los polos de CA ACPn de las ramas de conmutación SLn. Los promedios con el paso del tiempo de la tensión de rama de CA  $u_{Ln}$  y/o corrientes de rama  $i_{Ln}$  en los polos de CA ACPn forman la tensión de salida y/o la corriente de salida  $i_{AC}$  del inversor multinivel 1. Sin embargo, el control de conmutación 11 puede implementarse de manera diferente.

El objetivo del control de inversor 10 habitualmente es que la tensión de salida y/o la corriente de salida  $i_{AC}$  correspondan a una señal de salida de referencia ajustada (valor de consigna SP) del inversor 1, por ejemplo, una tensión de salida  $u_{ACS}$  o una corriente de salida  $i_{ACS}$ . En el caso de una red eléctrica como carga eléctrica 3 la tensión de salida  $u_{ACS}$  de referencia normalmente es una tensión senoidal con una determinada amplitud y frecuencia de red (por ejemplo, 50Hz), por ejemplo. La señal de salida de referencia, por ejemplo, tensión de

salida  $u_{ACS}$  (es decir, con múltiples tensiones de fase y ángulo de fases), puede proporcionarse al control de inversor 10 y/o control de conmutación 11 como valor de consigna SP del control del inversor 1 (figura 1, figura 4).

- 5 Un control de equilibrio 12 (por ejemplo, software en el control de inversor 10 o hardware de control de conmutación 11), como se muestra en la figura 4, determina una señal de modulación MS que se superpone al valor de consigna SP para generar una señal de referencia adaptada RS para el control de conmutación 11. El control de equilibrio 12 podría implementarse también independientemente del control de inversor 10, por ejemplo, en una pieza independiente de hardware (hardware basado en microprocesador, ASIC, FPGA, etc.) que puede programarse con software de control de equilibrio. El control de equilibrio 12 podría implementarse como circuito analógico, ordenador analógico u otra instrumentación analógica.

El objetivo de control del control de equilibrio 12 es modular el valor de consigna SP con la señal de modulación MS de tal manera que disminuya cualquier diferencia de tensión ( $U_{DC1} - U_{DC2}$ ) entre las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$ . La diferencia de tensión entre las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$  se produce durante el funcionamiento del inversor 1 con el paso del tiempo.

Para las siguientes explicaciones se supone entonces que los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  son los mismos, es decir  $C_{DC1} = C_{DC2} = C_{DC}$ , aunque las ecuaciones siguientes podrían generalizarse fácilmente para diferentes condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ . Se supone también a continuación que solo hay dos condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  en el enlace de CC dividido 4. Sin embargo, las ecuaciones siguientes pueden generalizarse fácilmente para más de dos condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ .

La invención se basa en la consideración de que la diferencia de tensión ( $U_{DC1} - U_{DC2}$ ) se provoca mediante una diferencia de potencia eléctrica en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ . La potencia diferente P en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  conduce a cambios diferentes de energía eléctrica W en los

condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  con el paso del tiempo, como  $\frac{dW}{dt} = P$ . El control de equilibrio 12 de la invención tiene como objetivo compensar la diferencia de potencia eléctrica en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  mediante un control adecuado de la señal de modulación MS con el efecto de equilibrar las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$ .

En primer lugar, se calcula el valor real de la diferencia de potencia  $P_{dif,real}$  en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ . Durante el funcionamiento del inversor 1, hay potencia de CC que fluye hacia los condensadores  $C_{DC1}$ ,  $C_{DC2}$  del enlace de CC 4 y potencia de CA que fluye fuera de los condensadores  $C_{DC1}$ ,  $C_{DC2}$  del enlace de CC 4. La diferencia de potencia real  $P_{dif,real}$  es la suma de la diferencia de potencia de CC  $P_{dif,DC}$  y la diferencia de potencia de CA  $P_{dif,CA}$ , es decir  $P_{dif,real} = P_{dif,DC} + P_{dif,CA}$ . Por tanto, la diferencia de potencia real  $P_{dif,real}$  es el valor de corriente de la diferencia de potencia en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ . Sin embargo, es posible no considerar la diferencia de potencia de CC  $P_{dif,DC}$ . En este caso, la diferencia de potencia real  $P_{dif,real}$  sería igual a la diferencia de potencia de CA  $P_{dif,CA}$ .

La diferencia de CC potencia  $P_{dif,DC}$  de las potencias de CC que fluyen hacia los condensadores  $C_{DC1}$ ,  $C_{DC2}$  puede calcularse como  $P_{dif,DC} = I_{DC} (U_{DC1} - U_{DC2})$ , con la corriente de enlace de CC  $I_{DC}$  (que puede proporcionarse como valor de medición M) siendo la corriente de CC que fluye a través de los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ . La corriente de enlace de CC  $I_{DC}$  fluye solo en el lado de CC del inversor 1.

La diferencia de potencia de CA  $P_{dif,CA}$  de las potencias de CA tomada de los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  es la diferencia entre las potencias de CA proporcionadas por el condensador de lado alto  $C_{DC1}$  y el condensador de lado bajo  $C_{DC2}$ . Del funcionamiento de un inversor 1 se deduce que el condensador de lado alto  $C_{DC1}$  proporciona potencia en una primera media onda (por ejemplo, positiva) de la tensión de salida y la corriente de salida  $i_{AC}$  y el condensador de lado bajo  $C_{DC2}$  proporciona potencia en una segunda media onda (por ejemplo, negativa) de la tensión de salida y la corriente de salida  $i_{AC}$ .

La potencia de CA de una tensión de CA y corriente de CA  $i_{AC}$  dadas se da en general como  $P_{AC} = f_N \int_0^{1/f_N} u_{AC} \cdot i_{AC} dt$ , con la frecuencia  $f_N$  conocida de la señal de CA. Esta es la potencia promediada durante un periodo  $1/f_N$  de un ciclo de tensión de CA y corriente de CA  $i_{AC}$ .

Una tensión de salida de CA  $u_{ACp}$  de una fase p de la tensión de salida de CA puede modelarse como  $u_{ACp}(\varphi_p) = U_A \sin(2\pi f_N t + \varphi_p) + U_B \cos(2\pi f_N t + \varphi_p) + (U_{DC1} - U_{DC2})$  con amplitud de tensión activa  $U_A$  y ángulo de fase  $\varphi_p$ . Del mismo modo, la corriente de salida de CA de una fase p de la corriente de salida activa de CA  $i_{AC}$  puede modelarse como  $i_{ACp}(\varphi_p) = I_A \sin(2\pi f_N t + \varphi_p) + I_B \cos(2\pi f_N t + \varphi_p)$  con amplitud de corriente  $I_A$ . Opcionalmente (se indica con corchete) podría considerarse también una componente ciega (con amplitud de tensión ciega  $U_s$  y amplitud de corriente ciega  $I_s$ ).

Para una tensión y corriente trifásicas, el ángulo de fase  $\varphi_p$  de las tres fases puede enviarse a

$$\varphi_p = \left[ 0, -\frac{120\pi}{180}, -\frac{240\pi}{180} \right],$$

5 que conduce a la tensión de salida

$$u_{AC} = \left[ u_{AC1} \left( 0 \right) \quad u_{AC2} \left( -\frac{120\pi}{180} \right) \quad u_{AC3} \left( -\frac{240\pi}{180} \right) \right]^T$$

y la corriente de salida

$$i_{AC} = \left[ i_{AC1} \left( 0 \right) \quad i_{AC2} \left( -\frac{120\pi}{180} \right) \quad i_{AC3} \left( -\frac{240\pi}{180} \right) \right]^T.$$

Las amplitudes de tensión  $U_A$ ,  $U_B$  y/o las amplitudes de corriente  $I_A$ ,  $I_B$  o se conocen o pueden proporcionarse como valores de medición  $M$ .

15 La diferencia de potencia de CA  $P_{dif,CA}$  de una fase  $p$  de un inversor 1 viene dada por la diferencia de potencia de la primera media onda y la segunda media onda tensión de CA y corriente de CA  $i_{AC}$ . Para una fase  $p$  con ángulo

$$P_{dif, AC} = f_N \left( \int_0^{v/f_N} u_{ACp} \cdot i_{ACp} dt - \int_{v/f_N}^{v/f_N} u_{ACp} \cdot i_{ACp} dt \right)$$

de fase  $\varphi_p = 0$  la diferencia de potencia puede calcularse mediante

20 Para una fase  $p$  con ángulo de fase  $\varphi_p$  los límites de integración necesitan desplazarse mediante el ángulo de fase  $\varphi_p$ , por ejemplo, mediante  $1/3f_N$  para un inversor trifásico 1 para que las medias ondas se integren correctamente. La diferencia de potencia de CA  $P_{dif,CA}$  entonces es la suma de las diferencias de potencia de fase única de CA mientras todas las fases  $p$  extraen potencia de los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ , es

$$P_{dif, AC} = \sum_p P_{dif, ACp}$$

decir

$$P_{dif, AC} = -\frac{6}{\pi} I_A \frac{(U_{DC1} - U_{DC2})}{2}$$

25 Para un inversor trifásico 1 como se muestra en la figura 2,  $P_{dif,CA}$  puede calcularse como por ejemplo.

30 La ventaja de usar la potencia promedio durante un ciclo de tensión de CA y corriente de CA  $i_{AC}$  es que es posible resolver analíticamente la integral y calcular simplemente la diferencia de potencia de CA  $P_{dif, AC}$  con los valores de corriente de tensión de CA y corriente de CA  $i_{AC}$ , o sus amplitudes  $I_A$ ,  $U_A$ , respectivamente.

Sin embargo, también sería posible calcular la diferencia de potencia de CA  $P_{dif, AC}$  a partir de las potencias instantáneas dadas por  $P_{AC} = u_{AC}(t) \cdot i_{AC}(t)$ .

35 También en este caso, la diferencia de potencia de CA  $P_{dif, AC}$  está definida por la diferencia de potencia de CA tomada por los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ , es decir  $P_{dif, AC} = P_{AC,C1} - P_{CA,C2}$ . Si la potencia se toma desde el condensador de enlace de CC  $C_{DC1}$  y no se toma potencia del condensador de enlace de CC  $C_{DC2}$ , entonces  $P_{dif, AC} = P_{AC,C1}$ ,  $-0 = P_{AC,C1}$ . A la inversa, si la potencia se toma del condensador de enlace de CC  $C_{DC2}$  y no se toma potencia del condensador de enlace de CC  $C_{DC1}$ , entonces  $P_{dif, AC} = 0 - P_{CA,C2} = -P_{CA,C2}$ . Si se toma potencia de ambos condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  entonces la diferencia de potencia de CA  $P_{dif, AC}$  comprende componentes de potencia de ambos condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$ .

45 Esto requeriría sin embargo más tiempo de procesamiento y potencia de procesamiento, ya que el producto de tensión y corriente tendría que calcularse en cada punto en el tiempo requerido (por ejemplo, cada milisegundo).

50 La diferencia de potencia real global  $P_{dif,real}$  entre los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  sigue como suma de la diferencia de potencia de CC  $P_{dif,DC}$  y la diferencia de potencia de CA  $P_{dif, AC}$ . Esto representa naturalmente un valor instantáneo de la diferencia de potencia que puede calcularse en paso de tiempo dados, por ejemplo, cada milisegundo. La diferencia de potencia de CC  $P_{dif,DC}$  puede considerarse adicionalmente para el equilibrio de tensión de la inversión lo que conduce a

$P_{dif,real} = P_{dif, AC} [+P_{dif,DC}]$ . Esta diferencia de potencia real  $P_{dif,real}$  debe compensarse para equilibrar las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$ .

Se necesita elegir una señal de modulación MS adecuada que permita la compensación de la diferencia de potencia  $P_{dif,real}$ . La tensión de salida  $u_{ACp}$  de una fase del inversor 1 como señal de salida es habitualmente una señal senoidal (o similar a un seno) con frecuencia  $f_N$  y amplitud  $U_A$ , es decir  $u_{ACp} = U_A \sin(2\pi f_N t + \varphi_p)$ , con tiempo  $t$  (como se muestra en la figura 7). Con tal tensión de salida  $u_{ACp}$  una señal trigonométrica complementaria de armónico de orden par, es decir, una señal cosenoidal en caso de una señal de salida senoidal o una señal senoidal en caso de una señal de salida cosenoidal, cuya fase está sincronizada con la tensión de fase de salida  $u_{ACp}$  es una buena elección como señal de modulación MS (figura 7) ya que tal armónico par eleva la potencia de una primera media onda de la señal de salida y rebaja la potencia de una segunda media onda de la señal de salida. De forma análoga, una señal trigonométrica correspondiente desplazada en fase (que es una señal senoidal en caso de una señal de salida senoidal o una señal cosenoidal en caso de una señal de salida cosenoidal), por ejemplo, desplazada mediante  $-\pi/4$  para un armónico par de segundo orden, también serviría naturalmente. Esta diferencia de potencia en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  introducida por la señal de modulación MS se usa para compensar la diferencia de potencia en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  y, por tanto, es decir, para equilibrar la diferencia de tensión de las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$ .

La corriente de armónicos pares de orden  $n$   $i_{hp}$  para una fase  $p$  con ángulo de fase  $\varphi_p$  se elige, por ejemplo, como  $i_{hp} = I_{nh} \cos(n2\pi f_N t + \varphi_p) [-I_{mh} \cos(m2\pi f_N t + \varphi_p)]$ , siendo  $n$  un entero par y siendo  $I_{nh}$  la amplitud de señal de modulación  $A_{MS}$ . Opcionalmente, tal como se indica en el corchete, también podrían considerarse las componentes de armónico impar, siendo  $m$  un entero impar. Los armónicos impares podrían utilizarse para reducir la tensión de enlace de CC necesaria para generar la señal de modulación MS.

Para un inversor trifásico 1 la corriente de armónicos pares de orden  $n$  se deduciría, por ejemplo, como

$$i_h(\varphi_p) = \left[ i_{h1}(0) \quad i_{h2}\left(-\frac{120\pi}{180}\right) \quad i_{h3}\left(-\frac{240\pi}{180}\right) \right]^T$$

Si las componentes de armónico impar se introdujeron con la señal de modulación MS entonces estos armónicos aparecerían también en la tensión de salida, lo que conduciría a

$$u_{ACp}(\varphi) = U_A \sin(2\pi f_N t + \varphi_p) \left[ +U_{mh} \sin(m2\pi f_N t + \varphi_p) \right] \left[ +U_B \cos(2\pi f_N t + \varphi_p) \right] + (U_{DC1} - U_{DC2})$$

Para la corriente de armónicos pares  $i_h$  de orden  $n$  y la tensión de salida del inversor 1 la diferencia de potencia  $P_{dif,h}$  en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  provocada por la corriente de armónicos pares de orden  $n$  como señal de modulación MS puede calcularse como se ha descrito antes para  $P_{dif,AC}$ . Por lo tanto, la diferencia de potencia  $P_{dif,h}$  provocada por la corriente de armónicos pares  $i_h$  se calcula de nuevo como la suma de las diferencias de potencia entre las medias ondas positiva y negativa de las fases  $p$  como se ha descrito antes.

Para una corriente de armónicos de segundo orden en ( $n=2$ ) la diferencia de potencia  $P_{dif,h}$  para un inversor

$$P_{dif,h} = \frac{2}{5\pi} I_{nh} (-5U_A [+9U_{mh}]), \text{ por ejemplo.}$$

Para permitir controlar la diferencia de potencia instantánea ( $P_{dif,real} + P_{dif,h}$ ) en los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  se requiere una diferencia de potencia de consigna  $P_{dif,consig}$ , como se muestra en la figura 5. El objetivo de control sería  $[P_{dif,consig} - (P_{dif,real} + P_{dif,h})] = 0$ . Con las ecuaciones anteriores la amplitud de señal de modulación  $A_{MS}$ , por ejemplo, la amplitud de corriente  $I_{nh}$  de la corriente de armónicos pares de orden  $n$   $i_h$  como señal de modulación MS, podría calcularse como

$$I_{nh} = \frac{5\pi (P_{dif,consig} - P_{dif,real})}{2(-5U_A [+9U_{mh}])}, \text{ por ejemplo.}$$

Cabe mencionar que análogamente una señal de tensión de armónicos pares  $u_n$  con amplitud de tensión  $U_{nh}$  podría usarse también como señal de modulación MS en lugar de la corriente de armónicos pares  $i_h$ .

En cada etapa de tiempo del control de equilibrio 12 la amplitud de la señal de modulación MS, o  $I_{nh}$  o  $U_{nh}$ , podría calcularse y la señal de modulación MS resultante se inyectaría superponiendo la señal de modulación MS al

valor de consigna SP del control de inversor para generar una señal de referencia adaptada RS para el control de conmutación 11 (figura 4).

5 La etapa de tiempo del control de equilibrio 12 no corresponde habitualmente al tiempo de muestreo del control de conmutación 11. Habitualmente, el tiempo de muestreo del control de conmutación 11 sería mucho más corto que la etapa de tiempo del control de equilibrio 12. La amplitud de la señal de modulación MS se calcula preferiblemente de manera periódica, por ejemplo, cada 1 ms.

10 La superposición del valor de consigna SP y de la señal de modulación MS puede realizarse de diferentes maneras. Sería posible añadir periodos completos (frecuencia fN) de las señales y el control de conmutación 11 podría muestrear la señal resultante con su frecuencia de conmutación. También sería posible que los valores de consigna SP se proporcionen en la frecuencia de conmutación del control de conmutación 11 y la señal de modulación de armónicos pares MS se muestrea con la frecuencia de conmutación para proporcionar la señal de modulación MS con una frecuencia de muestreo correspondiente.

15 Para un inversor multifase 1, el valor de consigna SP naturalmente puede ser un vector con el número p de elementos de vector de fases, es decir un valor de consigna para cada fase p. La señal de modulación MS se superpondría después al valor de consigna de cada fase con el ángulo de fase adecuado  $\varphi_p$ .

20 Como la diferencia de las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$  debe compensarse, la diferencia de potencia de consigna  $P_{dif,consig}$  se elige para que sea una función de las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$ , es decir  $P_{dif,consig} = f(U_{DC1}, U_{DC2})$ .

25 Una manera ventajosa de calcular la diferencia de potencia de consigna  $P_{dif,consig}$  se muestra con referencia a la figura 6.

La diferencia de energía real  $W_{dif}$  entre los condensadores de enlace de CC  $C_{DC1}$ ,  $C_{DC2}$  puede calcularse como

$$W_{dif} = \frac{(U_{DC1}^2 - U_{DC2}^2) C_{DC}}{2}$$

30 Las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$  podría proporcionarse como valores de medición M. También una diferencia de energía de consigna  $W_{dif,consig}$  se calcula con una diferencia de tensión de condensador de enlace de CC de consigna  $U_{dif,consig}$  y la suma real de las tensiones de condensador de enlace de CC  $U_{DC1}$ ,  $U_{DC2}$

$$W_{dif,consig} = \frac{C_{DC}}{2} U_{dif,consig} (U_{DC1} + U_{DC2})$$

35 como  $U_{dif,consig} = 0$  y por consiguiente  $W_{dif,consig} = 0$ . Habitualmente el objetivo del control de equilibrio es  $U_{dif,consig} = 0$  y por consiguiente  $W_{dif,consig} = 0$ . Con el error entre la diferencia de energía real  $W_{dif}$  y la diferencia de energía de consigna  $W_{dif,consig}$  y con una constante de tiempo elegida o dada  $\tau_{bal}$  del control de equilibrio se calcula una diferencia de potencia eléctrica que se usa como diferencia de potencia de consigna  $P_{dif,consig}$ , es

$$P_{dif,consig} = \frac{W_{dif,consig} - W_{dif}}{\tau_{bal}}$$

40 decir  $P_{dif,consig} = \frac{W_{dif,consig} - W_{dif}}{\tau_{bal}}$ . Esto da una característica de controlador PI (de entero proporcional) del control de equilibrio 12, aunque también podrían implementarse igualmente características de control diferentes. La constante de tiempo  $\tau_{bal}$  puede verse como parámetro de control del control de equilibrio 12 que puede ajustarse adecuadamente para obtener el comportamiento de control deseado y estabilidad de control del control de equilibrio 12. Con este enfoque, el control de equilibrio 12 se implementaría como control en cascada como se muestra en la figura 6.

45 El cálculo de la diferencia de potencia de consigna  $P_{dif,consig}$  y de la señal de modulación MS puede repetirse en la etapa de tiempo dada del control de equilibrio 12. Hasta el siguiente cálculo, la señal de modulación MS calculada se superpone al valor de consigna SP del control de inversor 10.

REIVINDICACIONES

1. Método para controlar un inversor multinivel (1) que tiene un enlace de CC (4) con al menos dos condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ) que está conectado a una etapa de conmutación (5) con conmutadores semiconductores ( $S_{nm}$ ) para ajustar una tensión de salida ( $u_{AC}$ ) o una corriente de salida ( $i_{AC}$ ) del inversor (1) según un valor de consigna (SP) dado, que comprende las etapas de
- calcular una señal de modulación (MS) con una amplitud de señal de modulación ( $A_{MS}$ ) como una señal de armónico par de la tensión de salida ( $u_{AC}$ ) o la corriente de salida ( $i_{AC}$ ) del inversor (1), en el que la señal de modulación (MS) se calcula a partir de una diferencia de potencia eléctrica real ( $P_{dif,real}$ ) de las potencias eléctricas reales en los al menos dos condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ) y
  - superponer la señal de modulación (MS) al valor de consigna (SP) para generar una señal de referencia adaptada (RS) que se usa para controlar la conmutación de los conmutadores semiconductores ( $S_{nm}$ ) para equilibrar las tensiones de condensador de enlace de CC ( $U_{DC1}$ ,  $U_{DC2}$ ) en los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ).
2. Método según la reivindicación 1, caracterizado porque la diferencia de potencia real ( $P_{dif,real}$ ) se calcula como una diferencia de potencia de CA ( $P_{dif,AC}$ ) de las potencias CA proporcionadas por los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ).
3. Método según la reivindicación 2, caracterizado porque la diferencia de potencia de CA ( $P_{dif,AC}$ ) se calcula como la diferencia de potencia de una primera media onda de la tensión de salida ( $u_{AC}$ ) y la corriente de salida ( $i_{AC}$ ) y una segunda media onda de la tensión de salida ( $u_{AC}$ ) y la corriente de salida ( $i_{AC}$ ).
4. Método según la reivindicación 2 ó 3, caracterizado porque para un inversor multifase (1) con fases p la diferencia de potencia de CA ( $P_{dif,AC}$ ) se calcula como la suma de las p diferencias de potencia de CA de fase única ( $P_{dif,ACp}$ ).
5. Método según una de las reivindicaciones 2 a 4, caracterizado porque la diferencia de potencia real ( $P_{dif,real}$ ) se calcula como la suma de la diferencia de potencia de CA ( $P_{dif,AC}$ ) y una diferencia de potencia de CC ( $P_{dif,DC}$ ) de los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ).
6. Método según una de las reivindicaciones 2 a 5, caracterizado porque la diferencia de potencia de CA ( $P_{dif,AC}$ ) se calcula a partir del promedio de potencia eléctrica durante un ciclo de la tensión de salida ( $u_{AC}$ ) y la corriente de salida ( $i_{AC}$ ) o como potencia instantánea de la tensión de salida ( $u_{AC}$ ) y la corriente de salida ( $i_{AC}$ ).
7. Método según la reivindicación 6, caracterizado porque la diferencia de potencia de CA ( $P_{dif,AC}$ ) de una fase p del inversor (1) se calcula como

$$P_{dif,ACp} = f_N \left( \int_0^{1/2f_N} u_{ACp} \cdot i_{ACp} dt - \int_{1/2f_N}^{1/f_N} u_{ACp} \cdot i_{ACp} dt \right).$$

8. Método según la reivindicación 5, caracterizado porque la diferencia de potencia de CC ( $P_{dif,DC}$ ) se calcula como  $P_{dif,DC} = I_{DC}(U_{DC1} - U_{DC2})$ , con una corriente de enlace de CC ( $I_{DC}$ ) que fluye a través de los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ).
9. Método según una de las reivindicaciones 1 a 8, caracterizado porque se proporciona una diferencia de potencia de consigna ( $P_{dif,consig}$ ) y la amplitud de señal de modulación (AMS) se calcula a partir de un error de diferencia de potencia en la forma de la diferencia entre la diferencia de potencia de consigna ( $P_{dif,consig}$ ) y la suma de la diferencia de potencia real ( $P_{dif,real}$ ) y una diferencia de potencia ( $P_{dif,h}$ ) en los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ) provocada por la señal de modulación (MS).
10. Método según la reivindicación 9, caracterizado porque la diferencia de potencia de consigna ( $P_{dif,consig}$ ) se elige para que sea una función de las tensiones de condensador de enlace de CC ( $U_{DC1}$ ,  $U_{DC2}$ ).
11. Método según la reivindicación 9 ó 10, caracterizado porque se calcula una diferencia de energía eléctrica real ( $W_{dif}$ ) entre los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ), por ejemplo, como

$$W_{dif} = \frac{(U_{DC1}^2 - U_{DC2}^2) C_{DC}}{2}, \text{ y una diferencia de energía de consigna } (W_{dif,consig}), \text{ por ejemplo, se calcula como } W_{dif,consig} = \frac{C_{DC}}{2} U_{dif,consig} (U_{DC1} + U_{DC2})$$

con una diferencia de tensión de condensador de enlace de CC de consigna ( $U_{dif,consig}$ ) dada, y la diferencia de potencia de consigna ( $P_{dif,consig}$ ) se calcula a partir de un error de

energía entre la diferencia de energía real ( $W_{dif}$ ) y la diferencia de energía de consigna ( $W_{dif,consig}$ ).

12. Método según la reivindicación 11, caracterizado porque la diferencia de potencia de consigna ( $P_{dif,consig}$ ) se

$$P_{dif,consig} = \frac{W_{dif,consig} - W_{dif}}{\tau_{bal}}$$

calcula a partir del error de energía como conocida  $\tau_{bal}$  del control de equilibrio.

5

13. Inversor multinivel que comprende un enlace de CC (4) con al menos dos condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ) y una etapa de conmutación (5) con conmutadores semiconductores ( $S_{nm}$ ) que está conectado al enlace de CC (4), un control de inversor (10) para ajustar una tensión de salida ( $u_{AC}$ ) o una corriente de salida ( $i_{AC}$ ) del inversor (1) según un valor de consigna (SP) dado y un control de conmutación (11), caracterizado porque el inversor multinivel comprende además un control de equilibrio (12) para calcular una señal de modulación (MS) con una amplitud de señal de modulación ( $A_{MS}$ ) como una señal de armónico par de la tensión de salida ( $u_{AC}$ ) o la corriente de salida ( $i_{AC}$ ) del inversor (1), en el que el control de equilibrio (12) está configurado para calcular la señal de modulación (MS) a partir de una diferencia de potencia eléctrica real ( $P_{dif,real}$ ) de las potencias eléctricas reales en los al menos dos condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ) y porque el control de conmutación (11) está configurado para recibir una señal de referencia adaptada (RS) para controlar la conmutación de los conmutadores semiconductores ( $S_{nm}$ ), en el que el control de inversor (10) está configurado además para generar la señal de referencia adaptada (RS) superponiendo la señal de modulación (MS) al valor de consigna (SP) para equilibrar las tensiones de condensador de enlace de CC ( $U_{DC1}$ ,  $U_{DC2}$ ) en los condensadores de enlace de CC ( $C_{DC1}$ ,  $C_{DC2}$ ).

10

15

20

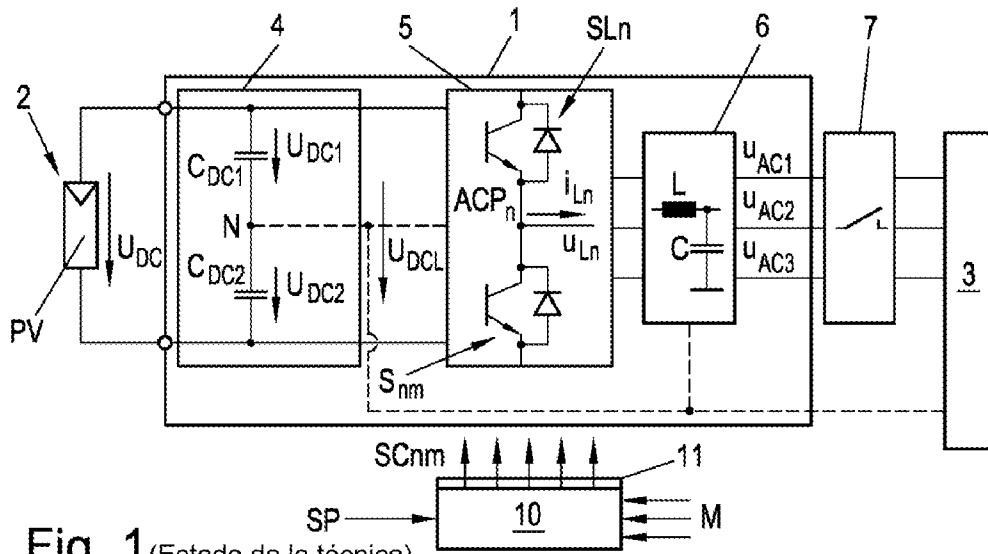


Fig. 1 (Estado de la técnica)

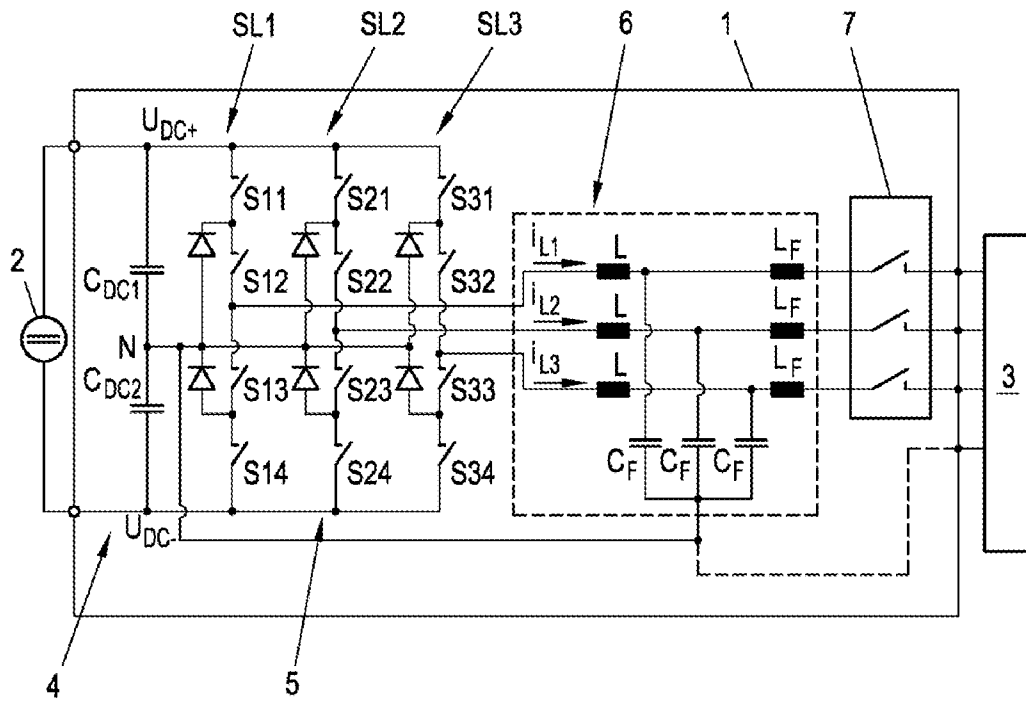


Fig. 2 (Estado de la técnica)

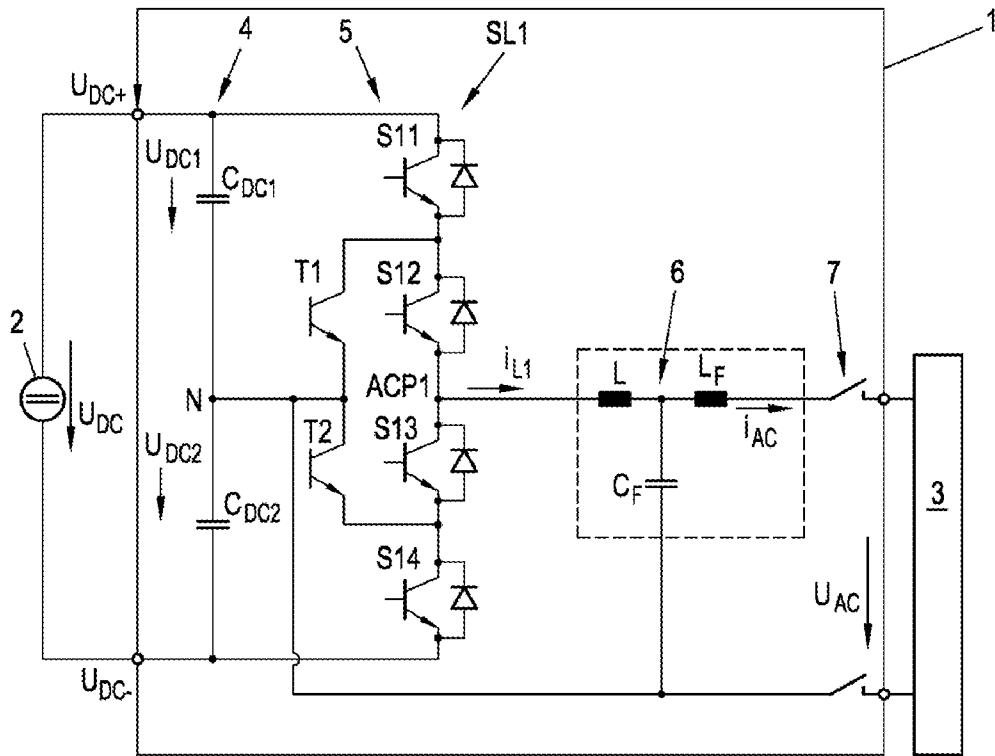


Fig. 3 (Estado de la técnica)

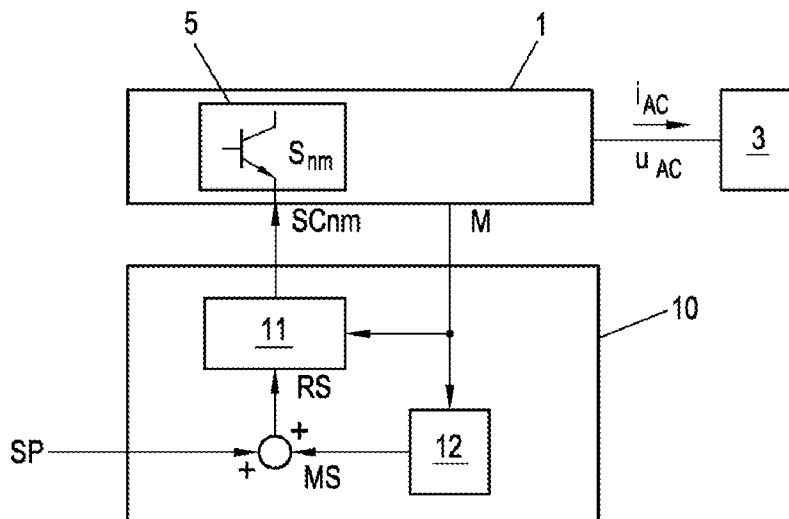


Fig. 4

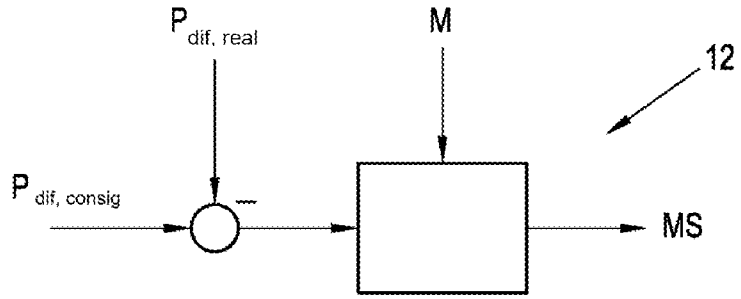


Fig. 5

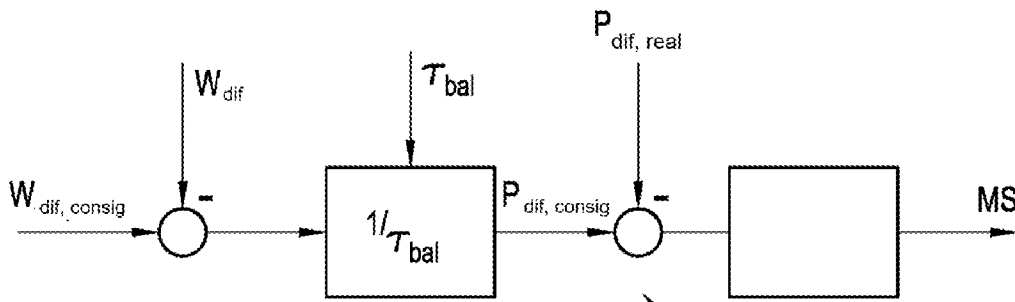


Fig. 6

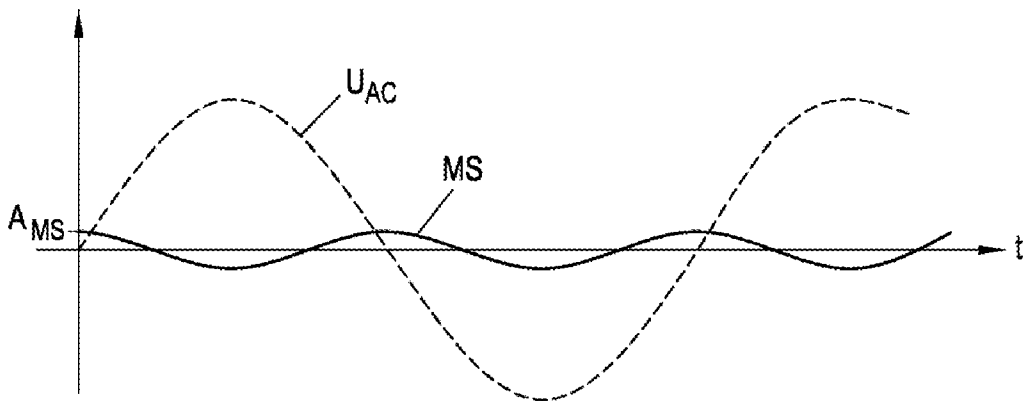


Fig. 7