



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월01일

(11) 등록번호 10-1573209

(24) 등록일자 2015년11월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G02F 1/1343 (2006.01)
G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0129068

(22) 출원일자 2008년12월18일

심사청구일자 2013년12월04일

(65) 공개번호 10-2009-0068143

(43) 공개일자 2009년06월25일

(30) 우선권주장

JP-P-2007-329579 2007년12월21일 일본(JP)

(56) 선행기술조사문헌

JP04030475 A

JP2004226543 A

JP2005024758 A

JP2007304612 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이

코야마 준

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이

(뒷면에 계속)

(74) 대리인

이화의

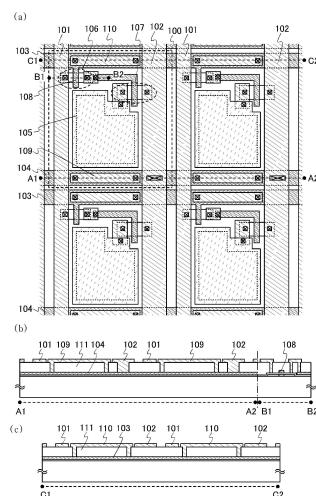
전체 청구항 수 : 총 18 항

심사관 : 김민수

(54) 발명의 명칭 반도체 표시장치

(57) 요약

본 발명은, 배선의 전위의 강하에 기인하는 화소간의 휘도 편차를 억제할 수 있는, 발광 소자를 사용한 반도체 표시장치를 제공한다. 전원 전위가 주어지는 전원선끼리를, 화소가 복수 배열되는 표시 영역 내에 있어서, 전기적으로 접속한다. 또한, 전원선끼리를 표시 영역 내에 있어서 전기적으로 접속하기 위한 배선(보조 전원선)과, 화소가 갖는 트랜지스터의 게이트 전극과의 위에는, 충간 절연막이 형성되고, 전원선은 보조 전원선 및 게이트 전극보다 더 상층에 위치하는, 상기 충간 절연막 위에 형성된다. 또한, 보조 전원선에는 충간 절연막 위에 형성된 배선(보조 배선)이 전기적으로, 혹은 직접 접속된다.

대표도 - 도1

(72) 발명자

타나다 요시푸미

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이

미야케 히로유키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이

타카하시 케이

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오따이에네루기 켄큐쇼 나이

명세서

청구범위

청구항 1

반도체 표시장치에 있어서,
화소로서,
보조 전원선;
상기 보조 전원선 위의 층간 절연막;
상기 층간 절연막 위에, 상기 보조 전원선에 수직하게 배치된 제 1 전원선;
상기 층간 절연막 위에, 상기 보조 전원선에 수직하게 배치된 신호선;
상기 층간 절연막 위에, 상기 보조 전원선에 평행하게 배치된 보조 배선; 및
상기 제 1 전원선과 전기적으로 접속된 화소 전극을 포함하는 상기 화소와,
상기 층간 절연막 위에, 상기 제 1 전원선에 평행하게 배치된 제 2 전원선을 구비하고,
상기 화소전극은 상기 제 2 전원선과 전기적으로 접속되고,
상기 제 1 전원선은 상기 층간 절연막에 형성된 제 1 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,
상기 제 2 전원선은 상기 층간 절연막에 형성된 제 2 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,
상기 보조 배선은 상기 층간 절연막에 형성된 제 3 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,
상기 보조 배선은 상기 제 1 전원선과 상기 신호선 사이에 배치되는, 반도체 표시장치.

청구항 2

제 1 항에 있어서,
단층의 제 1 도전막 또는 적층된 복수의 제 1 도전막은, 상기 제 1 전원선, 상기 제 2 전원선 및 상기 보조 배선으로 사용되고,
단층의 제 2 도전막 또는 적층된 복수의 제 2 도전막은, 상기 보조 전원선으로 사용되고,
상기 단층의 제 1 도전막 또는 상기 적층된 복수의 제 1 도전막 중 적어도 하나의 도전막의 전기 전도율은, 상기 단층의 제 2 도전막 또는 상기 적층된 복수의 제 2 도전막 중 적어도 하나의 도전막의 전기 전도율보다 높은, 반도체 표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,
상기 화소 전극은 트랜지스터를 통하여 상기 제 1 전원선과 전기적으로 접속되는, 반도체 표시장치.

청구항 6

반도체 표시장치에 있어서,
 화소로서,
 트랜지스터;
 보조 전원선;
 상기 트랜지스터 및 상기 보조 전원선 위의 충간 절연막;
 상기 충간 절연막 위에, 상기 보조 전원선에 수직하게 배치된 제 1 전원선;
 상기 충간 절연막 위에, 상기 보조 전원선에 수직하게 배치된 신호선;
 상기 충간 절연막 위에, 상기 보조 전원선에 평행하게 배치된 보조 배선; 및
 상기 트랜지스터를 통하여 상기 제 1 전원선과 전기적으로 접속된 화소 전극을 포함하는 상기 화소와,
 상기 충간 절연막 위에, 상기 제 1 전원선에 평행하게 배치된 제 2 전원선을 구비하고,
 상기 화소 전극은 상기 트랜지스터를 통하여 상기 제 2 전원선과 전기적으로 접속되고,
 상기 제 1 전원선은 상기 충간 절연막에 형성된 제 1 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,
 상기 제 2 전원선은 상기 충간 절연막에 형성된 제 2 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,
 상기 보조 배선은 상기 충간 절연막에 형성된 제 3 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,
 상기 보조 배선은 상기 제 1 전원선과 상기 신호선 사이에 배치되는, 반도체 표시장치.

청구항 7

제 6 항에 있어서,
 단층의 제 1 도전막 또는 적층된 복수의 제 1 도전막은, 상기 제 1 전원선, 상기 제 2 전원선 및 상기 보조 배선으로 사용되고,
 단층의 제 2 도전막 또는 적층된 복수의 제 2 도전막은, 상기 보조 전원선 및 상기 트랜지스터의 게이트 전극으로 사용되고,
 상기 단층의 제 1 도전막 또는 상기 적층된 복수의 제 1 도전막 중 적어도 하나의 도전막의 전기 전도율은, 상기 단층의 제 2 도전막 또는 상기 적층된 복수의 제 2 도전막 중 적어도 하나의 도전막의 전기 전도율보다 높은, 반도체 표시장치.

청구항 8

제 1 항 또는 제 6 항에 있어서,
 상기 보조 배선은, 상기 충간 절연막에 형성된 제 4 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되는, 반도체 표시장치.

청구항 9

제 1 항 또는 제 6 항에 있어서,
 상기 제 1 전원선, 상기 제 2 전원선 및 상기 보조 배선 중 적어도 하나의 두께는, $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하인, 반도체 표시장치.

청구항 10

반도체 표시장치에 있어서,

화소로서,

제 1 트랜지스터;

상기 제 1 트랜지스터의 게이트 전극과 전기적으로 접속되는 주사선;

보조 전원선;

상기 제 1 트랜지스터, 상기 주사선 및 상기 보조 전원선 위의 충간 절연막;

상기 충간 절연막 위에, 상기 보조 전원선에 수직하게 배치된 제 1 전원선;

상기 충간 절연막 위에, 상기 보조 전원선에 수직하게 배치된 신호선;

상기 충간 절연막 위에, 상기 보조 전원선에 평행한 방향으로 배치된 보조 배선;

상기 충간 절연막 위에, 상기 주사선에 평행하게 배치된 주사선용 보조 배선; 및

상기 제 1 전원선과 전기적으로 접속된 화소 전극을 포함하는 상기 화소와,

상기 충간 절연막 위에, 상기 제 1 전원선에 평행하게 배치된 제 2 전원선을 구비하고,

상기 화소전극은 상기 제 2 전원선과 전기적으로 접속되고,

상기 제 1 전원선은 상기 충간 절연막에 형성된 제 1 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,

상기 제 2 전원선은 상기 충간 절연막에 형성된 제 2 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,

상기 보조 배선은 상기 충간 절연막에 형성된 제 3 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되고,

상기 주사선용 보조 배선은, 상기 충간 절연막에 형성된 제 4 콘택트 홀을 통하여 상기 주사선과 전기적으로 접속되고,

상기 보조 배선은 상기 제 1 전원선과 상기 신호선 사이에 배치되는, 반도체 표시장치.

청구항 11

제 10 항에 있어서,

단층의 제 1 도전막 또는 적층된 복수의 제 1 도전막은, 상기 제 1 전원선, 상기 제 2 전원선, 상기 보조 배선 및 상기 주사선용 보조 배선으로 사용되고,

단층의 제 2 도전막 또는 적층된 복수의 제 2 도전막은, 상기 보조 전원선, 상기 게이트 전극 및 상기 주사선으로 사용되고,

상기 단층의 제 1 도전막 또는 상기 적층된 복수의 제 1 도전막 중 적어도 하나의 도전막의 전기 전도율은, 상기 단층의 제 2 도전막 또는 상기 적층된 복수의 제 2 도전막 중 적어도 하나의 도전막의 전기 전도율보다 높은, 반도체 표시장치.

청구항 12

제 10 항에 있어서,

상기 보조 배선은, 상기 충간 절연막에 형성된 제 5 콘택트 홀을 통하여 상기 보조 전원선과 전기적으로 접속되는, 반도체 표시장치.

청구항 13

제 10 항에 있어서,

상기 주사선용 보조 배선은, 상기 충간 절연막에 형성된 제 6 콘택트 홀을 통하여 상기 주사선과 전기적으로 접속되는, 반도체 표시장치.

청구항 14

제 10 항에 있어서,

상기 제 1 전원선, 상기 제 2 전원선, 상기 보조 배선 및 상기 주사선용 보조 배선 중 적어도 하나의 두께는, $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하인, 반도체 표시장치.

청구항 15

제 10 항에 있어서,

상기 화소 전극은 제 2 트랜지스터를 통하여 상기 제 1 전원선과 전기적으로 접속되는, 반도체 표시장치.

청구항 16

반도체 표시장치에 있어서,

화소로서,

제 1 보조 전원선;

상기 제 1 보조 전원선 위의 충간 절연막;

상기 충간 절연막 위에, 상기 제 1 보조 전원선에 수직하게 배치된 제 1 전원선;

상기 충간 절연막 위에, 상기 제 1 보조 전원선에 수직하게 배치된 신호선;

상기 충간 절연막 위에, 상기 제 1 보조 전원선에 평행하게 배치된 제 1 보조 배선; 및

상기 제 1 전원선과 전기적으로 접속된 제 1 화소 전극을 포함하는 상기 화소와,

상기 제 1 보조 전원선에 평행하게 배치된 제 2 보조 전원선과,

상기 충간 절연막 위에, 상기 제 1 전원선에 평행하게 배치된 제 2 전원선과,

상기 충간 절연막 위에, 상기 제 2 보조 전원선에 수직하게 배치된 제 3 전원선과,

상기 충간 절연막 위에, 상기 제 3 전원선에 평행하게 배치된 제 4 전원선과,

상기 충간 절연막 위에, 상기 제 2 보조 전원선에 평행하게 배치된 제 2 보조배선과,

상기 제 3 전원선 및 상기 제 4 전원선과 전기적으로 접속된 제 2 화소 전극을 포함하고,

상기 충간 절연막은 상기 제 2 보조 전원선 위에 배치되고,

상기 제 1 전원선은 상기 충간 절연막에 형성된 제 1 콘택트 홀을 통하여 상기 제 1 보조 전원선과 전기적으로 접속되고,

상기 제 2 전원선은 상기 충간 절연막에 형성된 제 2 콘택트 홀을 통하여 상기 제 1 보조 전원선과 전기적으로 접속되고,

상기 제 3 전원선은 상기 충간 절연막에 형성된 제 3 콘택트 홀을 통하여 상기 제 2 보조 전원선과 전기적으로 접속되고,

상기 제 4 전원선은 상기 충간 절연막에 형성된 제 4 콘택트 홀을 통하여 상기 제 2 보조 전원선과 전기적으로 접속되고,

상기 제 1 보조 배선은 상기 충간 절연막에 형성된 제 5 콘택트 홀을 통하여 상기 제 1 보조 전원선과 전기적으

로 접속되고,

상기 제 2 보조 배선은 상기 충간 절연막에 형성된 제 6 콘택트 홀을 통하여 상기 제 2 보조 전원선과 전기적으로 접속되고,

상기 제 1 보조 배선은 상기 제 1 전원선과 상기 신호선 사이에 배치되는, 반도체 표시장치.

청구항 17

제 16 항에 있어서,

단층의 제 1 도전막 또는 적층된 복수의 제 1 도전막은, 상기 제 1 전원선, 상기 제 2 전원선, 상기 제 3 전원선, 상기 제 4 전원선, 상기 제 1 보조 배선 및 상기 제 2 보조 배선으로 사용되고,

단층의 제 2 도전막 또는 적층된 복수의 제 2 도전막은, 상기 제 1 보조 전원선 및 상기 제 2 보조 전원선으로 사용되고,

상기 단층의 제 1 도전막 또는 상기 적층된 복수의 제 1 도전막 중 적어도 하나의 도전막의 전기 전도율은, 상기 단층의 제 2 도전막 또는 상기 적층된 복수의 제 2 도전막 중 적어도 하나의 도전막의 전기 전도율보다 높은, 반도체 표시장치.

청구항 18

제 16 항에 있어서,

상기 제 1 보조 배선은, 상기 충간 절연막에 형성된 제 7 콘택트 홀을 통하여 상기 제 1 보조 전원선과 전기적으로 접속되고, 상기 제 2 보조 배선은, 상기 충간 절연막에 형성된 제 8 콘택트 홀을 통하여 상기 제 2 보조 전원선과 전기적으로 접속되는, 반도체 표시장치.

청구항 19

제 16 항에 있어서,

상기 제 1 전원선, 상기 제 2 전원선, 상기 제 3 전원선, 상기 제 4 전원선, 상기 제 1 보조 배선 및 상기 제 2 보조 배선 중 적어도 하나의 두께는, $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하인, 반도체 표시장치.

청구항 20

제 16 항에 있어서,

상기 제 1 화소 전극은 제 1 트랜지스터를 통하여 상기 제 1 전원선과 전기적으로 접속되고, 상기 제 2 화소 전극은 제 2 트랜지스터를 통하여 상기 제 3 전원선과 전기적으로 접속되는, 반도체 표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001]

본 발명은, 발광 소자가 각 화소에 형성된 반도체 표시장치에 관한 것이다.

배경 기술

[0002]

액티브 매트릭스 형의 반도체 표시장치는, 매트릭스 형상으로 배열된 수십만개 내지 수백만개의 각 화소에, 스위칭 소자와 표시 소자가 형성된다. 상기 스위칭 소자에 의하여, 비디오 신호를 화소에 입력한 후에도 표시 소자에의 전압의 인가 또는 전류의 공급이 어느 정도 유지되므로, 액티브 매트릭스 형은 반도체 표시장치의 대형화, 고정밀화에 유연하게 대응할 수 있고, 향후의 반도체 표시장치의 주류가 되어 가고 있다.

[0003]

반도체 표시장치의 대형화에 따라, 부상하는 문제 중의 하나에, 저항 값의 증대에 기인하는 배선의 전

위의 강하를 들 수 있다. 예를 들어, 스위칭 소자로서 기능하는 트랜지스터의 게이트 전극에 접속된 배선(주사선)의 전위가 강하되면, 주사선에 입력된 신호의 파형에 흐트러짐이 생겨, 상기 트랜지스터의 스위칭을 적확한 타이밍으로 제어할 수 없게 된다. 특히, 주사선에는, 수평 방향의 모든 화소가 갖는 트랜지스터의 게이트 전극이 접속된다. 반도체 표시장치가 고정밀화됨으로써 화소수가 증가되면, 하나의 주사선에 접속되는 트랜지스터의 개수도 증대된다. 그래서, 주사선의 전위의 강하가 보다 현저하게 되어, 트랜지스터의 스위칭을 적확하게 제어하는 것이 보다 어려워진다.

[0004] 주사선을 보다 저항률이 낮은 재료로 형성할 수 있으면, 전위의 강하를 억제할 수 있다. 그러나, 화소가 갖는 트랜지스터의 게이트 전극과 주사선은, 보통, 하나의 층 위에 형성된 도전막을, 예칭 등에 의하여 원하는 형상으로 가공(패터닝)함으로써 형성된다. 게이트 전극에는, 트랜지스터의 제작 공정에 있어서 실시되는 가열 처리에 견딜 수 있을 정도의 내열성이 요구되므로, 게이트 전극 및 주사선에 사용할 수 있는 재료의 종류에는, 제한이 있다.

[0005] 아래와 같은 특허문현 1에는, 주사선과는 다른 층 위에 있어서 형성된 보조 배선과 주사선을 접속함으로써, 주사선의 전위의 강하를 억제하는 액정 표시장치에 대하여 기재된다.

[0006] [특허문현 1] 특개평 10-198292호 공보

발명의 내용

해결 하고자하는 과제

[0007] 그런데, 발광 소자를 표시 소자로서 사용한 반도체 표시장치는 시인성이 높고, 박형화에 최적이며, 시야각에도 제한이 없으므로, CRT(Cathode Ray Tube)나 액정 표시장치를 대신하는 반도체 표시장치로서 주목을 받고 있다. 발광 소자를 사용한 액티브 매트릭스 형의 반도체 표시장치는, 구체적으로 제안되는 구성이 메이커(maker)에 따라 다르지만, 보통, 적어도 발광 소자와 화소에의 비디오 신호의 입력을 제어하는 트랜지스터(스위칭용 트랜지스터)와, 상기 발광 소자에 공급하는 전류값을 제어하는 트랜지스터(구동용 트랜지스터)가 각 화소에 형성된다.

[0008] 액정 소자는 한 쌍의 전극간에 인가되는 전압의 크기에 따라 계조를 표시하는 표시 소자인데 대하여, 발광 소자는 한 쌍의 전극간에 흐르는 전류의 크기에 따라 계조를 표시하는 표시 소자이다. 그래서, 발광 소자를 사용한 반도체 표시장치는, 액정 표시장치에 비하여 화소에 공급하는 전류가 크다. 따라서, 반도체 표시장치가 대형화됨으로써, 전류를 공급해야 할 표시 소자의 총 면적이 증대하면, 표시하는 계조에 따라서는 화소에 공급하는 전류값이 현저하게 커진다. 그래서, 화소에 전류를 공급하기 위한 배선(전원선)의 전위가 대폭으로 강하하여, 표시 영역 내의 화소간에 있어서 휘도의 높이에 편차가 생긴다.

[0009] 상술한 문제에 감안하여, 배선의 전위의 강하에 기인하는 화소간의 휘도 편차를 억제하는 것을 목적으로 한다.

과제 해결수단

[0010] 상기 문제를 해결하기 위하여, 전원 전위가 주어지는 전원선끼리를, 화소가 복수 배열되는 표시 영역 내에 있어서, 전기적으로 접속한다. 또한, 전원선끼리를 표시 영역 내에 있어서 전기적으로 접속하기 위한 배선(보조 전원선)과, 화소가 갖는 트랜지스터의 게이트 전극과의 위에는 층간 절연막이 형성되고, 전원선은 보조 전원선 및 게이트 전극보다 더 상층에 위치하는, 상기 층간 절연막 위에 형성된다. 또한, 보조 전원선에는, 층간 절연막 위에 형성된 배선(보조 배선)이 전기적으로, 혹은 직접, 접속된다. 또한, 본 명세서에 있어서, 전기적으로 접속할 경우에는, 특별히 언급이 없는 한, 직접 접속되는 상태도 포함하는 것으로 한다.

[0011] 또한, 전원선끼리의 전기적인 접속은, 인접되는 모든 전원선끼리로 행하여도 좋고, 모든 전원선을 몇 개의 그룹으로 나누고, 각 그룹에 속하는 전원선끼리로 행하여도 좋다. 특히, 각 화소로부터 얻어지는 빛의 색마다, 전원선에 주어지는 전원 전위의 높이가 상이한 경우, 공통의 전원 전위가 주어지는 전원선끼리를, 보조 전원선을 통하여 전기적으로 접속한다. 또한, 화소로부터 얻어지는 빛의 색은, 발광 소자에 사용되는 전계 발광층의 종류를 바꿈으로써, 상이하게 할 수 있고, 혹은, 발광 소자로부터 발해지는 빛 중, 특정의 파장의 빛만을 투과할 수 있는 칼라 필터를 사용함으로써, 상이하게 할 수 있다.

[0012] 또한, 스위칭 소자로서 기능하는 트랜지스터의 게이트 전극에 접속된 주사선 위에 층간 절연막을 형성하여, 상기 층간 절연막 위에 형성된 배선(주사선용 보조 배선)을, 상기 주사선과 전기적으로, 혹은 직접 접속

하도록 하여도 좋다.

[0013] 또한, 충간 절연막 위에 형성되는 전원선, 보조 배선, 또는 주사선용 보조 배선은, 그 두께가 $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하인 것이 바람직하다.

[0014] 또한, 충간 절연막 위에 형성되는 전원선, 보조 배선, 또는 주사선용 보조 배선은, 충간 절연막 위에 형성된 단수의 도전막, 또는 적층된 복수의 도전막을 원하는 형상으로 가공(페터닝)함으로써 형성된다. 충간 절연막 밑에 형성되는 게이트 전극, 보조 전원선, 또는 주사선은, 충간 절연막의 형성 전에 형성된 단수의 도전막 또는 적층된 복수의 도전막을, 원하는 형상으로 가공(페터닝)함으로써, 형성된다. 또한, 전원선, 보조 배선, 또는 주사선용 보조 배선에 사용되는 적어도 1개의 도전막의 전기 전도율은, 게이트 전극, 보조 전원선, 또는 주사선에 사용되는 적어도 1개의 도전막의 전기 전도율보다 높은 것이 바람직하다.

효과

[0015] 개시하는 발명에 있어서, 전원선끼리를, 보다 하중에 형성된 보조 전원선을 사용하여 전기적으로 접속함으로써, 전원선의 전위의 강하에 기인하는 표시 영역 내의 휘도 편차를 방지할 수 있다. 또한, 보조 전원선을, 전원선이 형성되는 층과 같은 층 위의 보조 배선과 직접, 혹은 전기적으로 접속함으로써, 보조 전원선의 전위의 강하, 또한 전원선의 전위의 강하를, 보다 효과적으로 방지할 수 있다. 따라서, 배선의 전위의 강하에 기인하는 화소간의 휘도 편차를 억제할 수 있으므로, 대형의 표시 영역을 갖는 고화질의 반도체 표시장치를 제공할 수 있다.

[0016] 또한, 주사선보다 상층에 형성된 주사선용 보조 배선과, 주사선을 전기적으로, 혹은 직접 접속함으로써, 주사선의 전위의 강하에 의하여, 스위칭용 트랜ジ스터의 스위칭을, 적확한 타이밍으로 제어할 수 있게 되는 것을, 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 실시형태 및 실시예에 대하여 도면을 참조하면서 설명한다. 다만, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태 및 실시 예의 기재 내용에 한정하여 해석되는 것은 아니다.

[0018] 또한, 본 발명의 반도체 표시장치는, 발광 소자가 형성된 패널과 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명의 반도체 표시장치는, 상기 반도체 표시장치를 제작하는 과정에 있어서의, 발광 소자가 완성되기 전의 일 형태에 상당하는 소자 기판도, 그 범주에 포함한다. 구체적으로 소자 기판은, 발광 소자가 갖는 한 쌍의 전극 중, 한 쪽의 전극만이 형성된 상태라도 좋고, 상기 한 쪽의 전극이 되는 도전막을 형성한 후이며, 패터닝하여 상기 한 쪽의 전극을 형성하기 전의 상태라도 좋다.

[0019] (실시형태 1)

[0020] 도 1a 내지 도 1c를 사용하고, 반도체 표시장치가 갖는 화소의 구성에 대하여 설명한다. 도 1a는, 본 실시형태에서 나타내는 반도체 표시장치가 갖는, 표시 영역의 일부를 확대한 상면도의 일례이다. 또한, 도 1a의 파선 A1–A2에 있어서의 단면도, 및 파선 B1–B2에 있어서의 단면도를 도 1b에 도시된다. 또한, 도 1a의 파선 C1–C2에 있어서의 단면도를 도 1c에 도시한다.

[0021] 도 1a 내지 도 1c에 도시하는 반도체 표시장치는, 표시 영역 내에 복수의 신호선(101), 복수의 전원선(102), 복수의 주사선(103), 복수의 보조 전원선(104)을 가진다. 표시 영역 내에 형성된 복수의 각 화소(100)는, 신호선(101)의 하나와 전원선(102)의 하나와 주사선(103)의 하나를, 적어도 가진다.

[0022] 그리고, 임의의 화소(100)가 갖는 전원선(102)은, 보조 전원선(104)을 통하여, 상기 전원선(102)과는 다른 전원선(102)과 전기적으로 접속된다. 도 1a 내지 도 1c에서는, 2개의 전원선(102)과 보조 전원선(104)이 직접 접속됨으로써, 전원선(102)끼리를 전기적으로 접속하는 예를 나타내지만, 전원선(102)의 하나와 보조 전원선(104)이, 다른 배선을 통하여 전기적으로 접속되어도 좋다. 또한, 도 1a 내지 도 1c에서는, 인접하는 전원선(102)끼리를 전기적으로 접속하지만, 표시 영역 내의 전원선(102)이 모두 전기적으로 접속될 필요는 없다.

[0023] 개시하는 발명에 있어서, 적어도 2개의 전원선(102)을, 보조 전원선(104)을 통하여 전기적으로 접속함으로써, 화소에 공급해야 할 전류의 크기가 전원선(102)마다 대폭으로 상이한 경우에서도, 전위가 강하됨으로써 전원선(102) 내에 생기는 전위 차이가, 전원선(102)끼리에서 상이한 것을 방지할 수 있다. 따라서, 전위의 강

하에 기인하는 표시 영역 내의 휘도 편차를 방지할 수 있다.

[0024] 또한, 각 화소(100)는, 발광 소자(105)와 화소(100)로의 비디오 신호의 입력을 제어하는 스위칭용 트랜지스터(106)와 발광 소자(105)에 공급하는 전류값을 제어하는 구동용 트랜지스터(107)를, 적어도 가진다. 또한, 도 1a에서는, 발광 소자(105)가 되는 영역을 파선으로 도시한다. 또한, 도 1a 내지 도 1c에서는, 각 화소에 트랜지스터가 2개 형성된 화소(100)를 예로 들어 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 본 발명의 반도체 표시장치는, 각 화소(100)에 적어도, 화소(100)에의 비디오 신호의 입력을 제어하는 트랜지스터와 발광 소자에 공급하는 전류값을 제어하는 트랜지스터를 가지면 좋다.

[0025] 스위칭용 트랜지스터(106)가 갖는 게이트 전극(108)은, 주사선(103)과 직접, 혹은 전기적으로 접속된다. 또한, 본 명세서에 있어서 게이트 전극이란, 게이트 절연막에 접하는 단수의 도전막 또는 복수의 적층된 도전막 중, 게이트 절연막을 사이에 끼워 활성층인 반도체 막과 겹치는 부분을 의미한다. 도 1a에서는, 일련의 도전막이 주사선(103) 및 게이트 전극(108)으로서 기능하고, 주사선(103)과 게이트 전극(108)이 직접 접속되는 상태이다. 그러나, 주사선(103)과 게이트 전극(108)이, 서로 분리한 도전막으로 형성되고, 주사선(103)과 게이트 전극(108)이 다른 배선을 통하여 전기적으로 접속되어도 좋다. 또는, 주사선(103)과 게이트 전극(108)이, 서로 상이한 도전막으로 형성되고, 주사선(103)과 게이트 전극(108)이 직접, 혹은 다른 배선을 통하여 전기적으로 접속되어도 좋다.

[0026] 또한, 각 화소(100)는, 보조 전원선(104)에 직접 접속된 보조 배선(109)과 주사선(103)에 직접 접속된 주사선용 보조 배선(110)을 가진다. 또한, 도 1a 내지 도 1c에서는, 보조 전원선(104)이 직접 보조 배선(109)에 접속되지만, 보조 전원선(104)이 다른 상이한 배선을 통하여, 보조 배선(109)과 전기적으로 접속되어도 좋다. 또한, 도 1a 내지 도 1c에서는, 주사선(103)이 직접 주사선용 보조 배선(110)에 접속되지만, 주사선(103)이 다른 상이한 배선을 통하여, 주사선용 보조 배선(110)과 전기적으로 접속되어도 좋다.

[0027] 본 실시형태에서 나타내는 반도체 표시장치에서는, 보조 전원선(104)에 직접, 혹은 전기적으로 접속된 보조 배선(109)을 형성함으로써, 보조 전원선(104)과 보조 배선(109)과의 합성 저항을 내릴 수 있다. 따라서, 보조 전원선(104)의 전위의 강하를 방지하고, 또한 전원선(102)의 전위의 강하를 방지할 수 있다.

[0028] 또한, 도 1a 내지 도 1c에 도시하는 반도체 표시장치에서는, 주사선용 보조 배선(110)을 갖는 구성을 도시하지만, 본 실시형태에서 나타내는 반도체 표시장치에서는 적어도 보조 배선(109)을 갖고 있으면 좋고, 반드시 주사선용 보조 배선(110)을 갖지 않아도 좋다. 다만, 주사선용 보조 배선(110)을 형성함으로써, 주사선(103)과 주사선용 보조 배선(110)과의 합성 저항을 저하시킬 수 있다. 따라서, 주사선(103)의 전위의 강하에 의하여, 스위칭용 트랜지스터(106)의 스위칭을, 적확한 타이밍으로 제어할 수 없게 되는 것을 방지할 수 있다.

[0029] 또한, 실시형태에서는, 적어도 전원선(102), 보조 배선(109), 주사선용 보조 배선(110)을 층간 절연막(111) 위에 형성한다. 도 1a 내지 도 1c에서는, 전원선(102), 보조 배선(109), 주사선용 보조 배선(110)에 더하고, 신호선(101)도 층간 절연막(111) 위에 형성하는 예를 나타낸다. 따라서 본 실시형태에서는, 전원선(102), 보조 배선(109), 주사선용 보조 배선(110), 신호선(101)을, 층간 절연막 위에 형성된 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공(페터닝)함으로써 형성할 수 있다. 따라서, 전원선(102), 보조 배선(109), 주사선용 보조 배선(110) 및 신호선(101)은, 1개의 마스크로 형성할 수 있다. 또한, 본 실시형태에서는, 적어도 게이트 전극(108), 보조 전원선(104), 주사선(103)을, 층간 절연막(111) 아래에 형성한다. 따라서 본 발명에서는, 게이트 전극(108), 보조 전원선(104), 주사선(103)을, 층간 절연막을 형성하기 전에, 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다. 따라서, 게이트 전극(108), 보조 전원선(104), 주사선(103)은, 1개의 마스크로 형성할 수 있다. 그래서, 본 실시형태의 반도체 표시장치는, 마스크 수를 종래보다 증가시키지 않으며 제작할 수 있다.

[0030] 또한, 게이트 전극(108)에는, 스위칭용 트랜지스터(106)의 제작 공정에 있어서 실시되는 가열 처리에 견딜 수 있는 정도의 내열성이 요구된다. 따라서, 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공(페터닝)함으로써 게이트 전극(108)과 함께 주사선(103) 및 보조 전원선(104)을 형성하는 경우, 게이트 전극(108), 주사선(103) 및 보조 전원선(104)에 사용할 수 있는 재료의 종류에는, 제한이 생긴다. 그래서, 게이트 전극(108), 주사선(103) 및 보조 전원선(104)을 보다 저항률이 낮은 재료로 형성하는 것이 어렵다. 그러나, 본 실시형태에서는, 스위칭용 트랜지스터(106) 및 구동용 트랜지스터(107) 위에 형성된 층간 절연막(111)으로부터 더욱 위에 있어서, 전원선(102), 보조 배선(109), 주사선용 보조 배선(110)을 형성한다. 따라서, 전원선(102), 보조 배선(109), 주사선용 보조 배선(110)은, 스위칭용 트랜지스터(106)를 제작한 후에 형성되므로, 게이트 전극(108), 주사선(103) 및 보조 전원선(104)만큼 높은 내열성을 요구되지 않는다. 그래서, 전원선

(102), 보조 배선(109), 주사선용 보조 배선(110)에 사용할 수 있는 재료는 비교적으로 자유도가 높고, 케이트 전극(108), 주사선(103) 및 보조 전원선(104)보다 저항률이 낮은 재료를 선택할 수 있다. 저항률이 낮은 재료로 보조 배선(109), 주사선용 보조 배선(110)을 제작함으로써, 보조 전원선(104)과 보조 배선(109)의 합성 저항, 주사선(103)과 주사선용 보조 배선(110)의 합성 저항을 보다 저하시킬 수 있다. 따라서, 전원선(102)의 전위의 강하, 주사선(103)의 전위의 강하를 방지할 수 있다.

[0031] 또한, 도 1a 내지 도 1c에 도시한 반도체 표시장치에서는, 충간 절연막(111) 아래에 형성된 보조 전원선(104), 주사선(103) 등의 배선에, 충간 절연막(111) 위에 형성된 보조 배선(109), 주사선용 보조 배선(110) 등의 합성 저항을 저하시키기 위한 배선을 접속한다. 그러나, 본 실시형태에서는, 충간 절연막(111) 위에 형성된 신호선(101) 등의 배선에, 충간 절연막(111) 아래에서 형성된 합성 저항을 저하시키기 위한 배선을 접속하도록 하여도 좋다

[0032] 다음에, 각 화소로부터 얻어지는 빛의 색마다, 전원선으로 주어지는 전원 전위의 높이가 상이한 경우에 있어서, 공통의 전원 전위가 주어지는 전원선끼리를, 보조 전원선을 통하여 전기적으로 접속하는 경우에 대하여 설명한다.

[0033] 우선, 도 2에 인접하는 전원선끼리를 모두 전기적으로 접속한 경우의, 표시 영역의 회로도를 도시한다. 도 2에 도시하는 표시 영역에서는, 신호선 S1 내지 신호선 S6와, 전원선 V1 내지 전원선 V6와, 주사선 G1 내지 주사선 G3가 형성된다. 또한, 표시 영역에 형성되는 신호선, 전원선, 주사선의 수는, 도 2에 도시한 구성으로 한정되지 않는다. 표시 영역에 형성된 각 화소(200)는, 신호선 S1 내지 신호선 S6의 1개와, 전원선 V1 내지 전원선 V6의 1개와, 주사선 G1 내지 주사선 G3의 1개를 적어도 가진다.

[0034] 또한, 각 화소(200)는, 적어도 1개의 스위칭용 트랜지스터(201)와, 적어도 1개의 구동용 트랜지스터(202)와 발광 소자(203)를 가진다. 스위칭용 트랜지스터(201)의 케이트 전극은, 주사선 G1 내지 주사선 G3의 1개로 접속되고, 스위칭용 트랜지스터(201)의 소스 영역과 드레인 영역은, 한 쪽이 신호선 S1 내지 신호선 S6의 1개에 접속되고, 다른 쪽이 구동용 트랜지스터(202)의 케이트 전극에 접속된다. 구동용 트랜지스터(202)의 소스 영역과 드레인 영역은, 한 쪽이 전원선 V1 내지 전원선 V6의 1개에 접속되고, 다른 쪽이 발광 소자(203)의 화소전극에 접속된다. 또한, 화소(200)는 유지 용량(204)을 갖고, 상기 유지 용량(204)은, 한 쪽의 전극이 전원선 V1 내지 전원선 V6의 1개에 접속되고, 다른 쪽의 전극이 구동용 트랜지스터(202)의 케이트 전극에 접속된다. 또한, 도 2에 도시하는 화소(200)의 구성은, 본 발명의 반도체 표시장치가 갖는 화소의 그저 일례이며, 본 발명은 도 2에 도시하는 화소의 구성으로 한정되지 않는다.

[0035] 도 2에 도시하는 표시 영역에서는, 모든 전원선 V1 내지 전원선 V6가, 보조 전원선(205)을 통하여 전기적으로 접속된다. 또한, 도 2에 도시하는 표시 영역에서는, 보조 전원선(205)이, 인접하는 전원선끼리를 복수 개소에 있어서 전기적으로 접속하는 예를 도시한다. 인접되는 전원선끼리를 1개소에 있어서만 전기적으로 접속하는 것보다도, 도 2에 도시하는 바와 같이, 복수 개소에 있어서 전기적으로 접속하는 것이, 화소(200)에 공급해야 할 전류의 크기가 전원선마다 대폭으로 상이한 경우에도, 전위가 강하됨으로써 전원선 내에 생기는 전위차이가, 전원선끼리 상이하게 되는 것을 보다 방지할 수 있다. 따라서, 전위의 강하에 기인하는 표시 영역 내의 휘도 편차를 방지할 수 있다.

[0036] 다음에, 도 3에 R(적), G(녹), B(청)의 각 색에 대응하는 전원선끼리를 전기적으로 접속한 경우의 표시 영역의 회로도를 도시한다. 도 3에 도시하는 표시 영역의 구성은, 보조 전원선(205) 이외, 모두 도 2에 도시하는 구성과 같은 것으로 한다. 도 3에 도시하는 표시 영역에서는, 전원선 V1과 전원선 V4가, R(적)에 대응하는 화소(200)에 전류를 공급한다. 또한, 전원선 V2와 전원선 V5가, G(녹)에 대응하는 화소(200)에 전류를 공급한다. 또한, 전원선 V3와 전원선 V6가, B(청)에 대응하는 화소(200)에 전류를 공급한다.

[0037] 그리고, R(적)에 대응하는 전원선 V1와 전원선 V4가, 보조 전원선(205)에 의하여 전기적으로 접속된다. 또한, G(녹)에 대응하는 전원선 V2와 전원선 V5가, 보조 전원선(205)에 의하여 전기적으로 접속된다. 또한, B(청)에 대응하는 전원선 V3와 전원선 V6가, 보조 전원선(205)에 의하여 전기적으로 접속된다.

[0038] 도 3에 도시하는 표시 영역을 갖는 반도체 표시장치에서는, 각 색에 대응하는 전원선마다 주어지는 전원 전위가 상이한 경우에도, 전위가 강하됨으로써 전원선 내에 생기는 전위차이가, 각 색에 대응하는 전원선끼리에서 상이하게 되는 것을 보다 방지할 수 있다. 따라서, 전위의 강하에 기인하는 표시 영역 내의 휘도 편차를 색마다 방지할 수 있다.

[0039] 또한, 화소로부터 얻어지는 빛의 색은, 발광 소자(203)에 사용되는 전자 발광 층의 종류를 바꾸는 것으로

로, 다르게 할 수 있다. 이 경우, 발광 소자(203)로부터 발해지는 빛의 파장의 범위 자체가, 각 색에 대응하는 화소(200)마다 다르다. 또는, 발광 소자(203)로부터 발해지는 빛 중, 특정의 범위 내의 파장의 빛을 우선적으로 투과시킬 수 있는 칼러 필터를 이용하는 것으로, 화소(200)로부터 얻을 수 있는 빛의 색을 상이하게 할 수도 있다. 이 경우, 발광 소자(203)로부터 발해지는 빛의 파장의 범위는, 모든 화소(200)에 있어서 같은 범위라도 좋고, 복수의 색에 대응하는 화소(200)에 있어서 같은 범위라도 좋다. 또는, 발광 소자(203)로부터 발해지는 빛의 파장의 범위가, 각 색에 대응하는 화소(200)마다 달라도, 칼러 필터를 사용하여도 좋다. 발광 소자(203)로부터 발해지는 빛의 파장의 범위가, 각 색에 대응하는 화소(200)마다 달라도, 칼러 필터를 병용함으로써, 화소(200)로부터 얻어지는 빛의 색 순도를 높일 수 있다.

[0040] 또한, 도 3에서는, R(적), G(녹), B(청)의 빛이 얻어지는 화소(200)를 갖는 반도체 표시장치를 예로 들어 설명하지만, 본 발명은 이 구성으로 한정되지 않는다. 시안(청록), 진홍색(적자), 엘로우(황)의 빛이 얻어지는 화소(200)를 갖는 반도체 표시장치이어도 좋다. 또는, R(적), G(녹), B(청)에 더하여 W(백)의 빛이 얻어지는 화소(200)를 갖는 반도체 표시장치이어도 좋다.

[0041] 또한, 도 3에 도시하는 표시 영역에서는, 보조 전원선(205)이, 각 색에 대응하는 전원선끼리를 복수 개소에 있어서 전기적으로 접속하는 예를 도시한다. 인접하는 전원선끼리를 1개소에 있어서만 전기적으로 접속하는 것보다도, 도 3에 도시하는 바와 같이, 복수 개소에 있어서 전기적으로 접속하는 것이, 화소(200)에 공급해야 할 전류의 크기가 전원선마다 대폭 상이한 경우에도, 전위가 강하됨으로써 전원선 내에 생기는 전위차이가, 각 색에 대응하는 전원선끼리로 상이하게 되는 것을 보다 방지할 수 있다. 따라서, 전위의 강하에 기인하는 표시 영역 내의 휘도 편차를 색마다 방지할 수 있다.

[0042] 도 3에 회로도로 도시한 표시 영역의 상면도를, 도 4에 일례로서 도시한다.

[0043] 도 4에 도시하는 본 실시형태의 반도체 표시장치는, 표시 영역 내에 복수의 신호선(301), 전원선(302a), 전원선(302b), 전원선(302c), 복수의 주사선(303), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)을 가진다. 표시 영역 내에 형성된 복수의 각 화소(300)는, 신호선(301)의 1개와, 전원선(302a), 전원선(302b), 전원선(302c)의 어느 1개와 주사선(303)의 1개를, 적어도 가진다.

[0044] 또한, 도 4에서는, 전원선(302a), 전원선(302b), 전원선(302c)에 주어지는 전원 전위가, 서로 상이하다. 또한, 전원선(302a)은, 보조 전원선(304a)을 통하여 인접하는 다른 전원선(302a)에 전기적으로 접속된다. 또한, 전원선(302b)은, 보조 전원선(304b)을 통하여, 인접하는 다른 전원선(302b)에 전기적으로 접속된다. 또한, 전원선(302c)은, 보조 전원선(304c)을 통하여, 인접하는 다른 전원선(302c)에 전기적으로 접속된다.

[0045] 또한, 도 4에서는, 전원선(302a)과 보조 전원선(304a), 전원선(302b)과 보조 전원선(304b), 전원선(302c)과 보조 전원선(304c)이, 각각 직접 접속됨으로써, 인접하는 전원선(302a)끼리, 또는 인접하는 전원선(302b)끼리, 또는 인접하는 전원선(302c)끼리를 전기적으로 접속하는 예를 나타낸다. 그러나, 전원선(302a), 전원선(302b), 전원선(302c)과, 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)이 각각 다른 배선을 통하여 전기적으로 접속되어도 좋다.

[0046] 또한, 각 화소(300)는, 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)에 각각 직접 접속된 보조 배선(309a), 보조 배선(309b), 보조 배선(309c)과, 주사선(303)에 직접 접속된 주사선용 보조 배선(310)을 가진다. 또한, 도 4에서는, 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)이 직접 보조 배선(309a), 보조 배선(309b), 보조 배선(309c)에 각각 접속되지만, 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)이 다른 배선을 통하여, 보조 배선(309a), 보조 배선(309b), 보조 배선(309c)과 각각 전기적으로 접속되어도 좋다. 또한 도 4에서는, 주사선(303)이 직접 주사선용 보조 배선(310)에 접속되지만, 주사선(303)이 다른 배선을 통하여, 주사선용 보조 배선(310)에 전기적으로 접속되어도 좋다.

[0047] 본 실시형태의 반도체 표시장치에서는, 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)에 직접, 혹은 전기적으로 각각 접속된 보조 배선(309a), 보조 배선(309b), 보조 배선(309c)을 형성함으로써, 보조 전원선(304a)과 보조 배선(309a)의 합성 저항, 보조 전원선(304b)과 보조 배선(309b)의 합성 저항, 보조 전원선(304c)과 보조 배선(309c)의 합성 저항을, 각각 저하시킬 수 있다. 따라서, 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)의 전위의 강하를 방지하여, 나아가서는 전원선(302a), 전원선(302b), 전원선(302c)의 전위의 강하를 방지할 수 있다.

[0048] 또한, 도 4에 도시하는 반도체 표시장치에서는, 주사선용 보조 배선(310)을 갖는 구성을 나타내지만, 본 실시형태의 반도체 표시장치에서는 적어도 보조 배선(309a), 보조 배선(309b), 보조 배선(309c)을 가지면 좋

고, 반드시 주사선용 보조 배선(310)을 갖지 않아도 좋다. 다만, 주사선용 보조 배선(310)을 형성함으로써, 주사선(303)과 주사선용 보조 배선(310)과의 합성 저항을 저하시킬 수 있다. 따라서, 주사선(303)의 전위의 강하에 의하여, 트랜ジ스터의 스위칭을, 적확한 타이밍으로 제어할 수 없게 되는 것을 방지할 수 있다.

[0049] 또한 본 실시형태에서는, 적어도 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)을, 충간 절연막 위에 형성한다. 도 4에서는, 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)에 더하여, 신호선(301)도 충간 절연막 위에 형성하는 예를 나타낸다. 따라서 본 실시형태에서는, 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310), 신호선(301)을, 충간 절연막 위에 형성된 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공(패터닝)함으로써 형성할 수 있다. 따라서, 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)은, 1개의 마스크로 형성할 수 있다.

[0050] 또한, 본 실시형태에서는, 적어도 게이트 전극(308), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c), 주사선(303)을, 충간 절연막 아래에 형성한다. 따라서 본 실시형태에서는, 게이트 전극(308), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c), 주사선(303)을, 충간 절연막을 형성하기 전에, 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다. 따라서, 게이트 전극(308), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c), 주사선(303)은, 1개의 마스크로 형성할 수 있다. 그래서, 본 실시형태의 반도체 표시장치는, 마스크 수를 종래보다 증가하지 않으며 제작할 수 있다.

[0051] 또한, 게이트 전극(308)에는, 트랜ジ스터의 제작 공정에 있어서 실시되는 가열 처리에 견딜 수 있는 정도의 내열성이 요구된다. 따라서, 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공(패터닝)함으로써 게이트 전극(308)과 함께 주사선(303) 및 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)을 형성하는 경우, 게이트 전극(308), 주사선(303), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)에 사용할 수 있는 재료의 종류에는, 제한이 생긴다. 그래서, 게이트 전극(308), 주사선(303), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)을 보다 저항률이 낮은 재료로 형성하는 것이 어렵다. 그러나, 본 실시형태에서는, 트랜지스터 위에 형성된 충간 절연막으로부터, 더욱 위에 있어서 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)을 형성한다. 따라서, 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)은, 트랜지스터를 제작한 후에 형성되므로, 게이트 전극(308), 주사선(303), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c) 정도 높은 내열성은 요구되지 않는다. 그래서, 전원선(302a), 전원선(302b), 전원선(302c), 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)에 사용할 수 있는 재료는 비교적으로 자유도가 높고, 게이트 전극(308), 주사선(303), 보조 전원선(304a), 보조 전원선(304b), 보조 전원선(304c)보다 저항률이 낮은 재료를 선택할 수 있다. 저항률이 낮은 재료로 보조 배선(309a), 보조 배선(309b), 보조 배선(309c), 주사선용 보조 배선(310)을 제작함으로써, 보조 전원선(304a)과 보조 배선(309a)의 합성 저항, 보조 전원선(304b)과 보조 배선(309b)의 합성 저항, 보조 전원선(304c)과 보조 배선(309c)의 합성 저항, 주사선(303)과 주사선용 보조 배선(310)의 합성 저항을 보다 저하시킬 수 있다. 따라서, 전원선(302a), 전원선(302b), 전원선(302c)의 전위의 강하, 주사선(303)의 전위의 강하를 방지할 수 있다.

[0052] (실시형태 2)

[0053] 다음에, 반도체 장치의 제작 방법에 대하여 자세히 설명한다. 또한, 본 실시형태에서는 박막 트랜지스터(TFT)를 반도체 소자의 일례로서 나타내지만, 본 발명의 반도체 표시장치에 사용되는 반도체 소자는 이것에 한정되지 않는다. 예를 들어, TFT 이외에, 기억 소자, 다이오드, 저항, 용량, 인덕터 등을 사용할 수 있다.

[0054] 우선, 도 5a에 도시하는 바와 같이, 내열성을 갖는 기판(400) 위에 절연막(401), 반도체 막(402)을 순차적으로 형성한다. 절연막(401) 및 반도체 막(402)은 연속적으로 형성할 수 있다.

[0055] 기판(400)으로서, 예를 들어 바륨 보로실리케이트 유리나 알루미노 보로실리케이트 유리 등의 유리 기판, 석영 기판, 세라믹스 기판 등을 사용할 수 있다. 또한, 스테인리스 기판을 포함하는 금속 기판의 표면에 절연막을 형성한 것, 또는 실리콘 기판의 표면에 절연막을 형성한 것을 사용하여도 좋다. 플라스틱 등의 합성수지를 포함하는, 가요성을 갖는 기판은, 일반적으로 상기 기판과 비교하여 내열 온도가 낮은 경향이 있지만, 제작 공정에 있어서의 처리 온도를 견디어 낼 수 있는 기판이라면 사용할 수 있다.

[0056]

플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르설폰(PES), 폴리에틸렌 나프타레이트(PEN), 폴리카보네이트(PC), 나이론, 폴리에테르에테르케톤(PEEK), 폴리설퐧(PSF), 폴리에테르아미드(PEI), 폴리아릴레이트(PAR), 폴리브틸렌 테레푸탈레이트(PBT), 폴리이미드, 아크리로니트릴-부타디엔-스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리초산비닐, 아크릴 수지 등을 들 수 있다.

[0057]

절연막(401)은 기판(400) 중에 포함되는 Na 등의 알칼리 금속 또는 알칼리 토류금속이 반도체 막(402) 중으로 확산되어, 트랜지스터 등의 반도체 소자의 특성에 악영향을 끼치는 것을 방지하기 위하여 형성한다. 따라서, 알칼리 금속이나 알칼리 토류금속의 반도체 막(402)으로의 확산을 억제할 수 있는 질화실리콘이나 질화산화실리콘 등을 사용하여 절연막(401)을 형성한다. 또한, 유리 기판, 스테인리스 기판, 또는 플라스틱 기판과 같이, 알칼리 금속이나 알칼리 토류금속이 어느 정도 포함되는 기판을 사용하는 경우, 불순물의 확산을 방지한다는 관점에서 기판(400)과 반도체 막(402) 사이에 형성하는 것은 유효하다. 그렇지만, 석영 기판 등을 불순물의 확산이 그다지 문제가 되지 않는 기판(400)을 사용하는 경우에는, 반드시 형성할 필요는 없다.

[0058]

절연막(401)은, 단수의 절연막을 사용한 것이라도 좋고, 복수의 절연막을 적층하여 사용한 것이라도 좋다. 절연막(401)은 CVD법이나 스퍼터링법 등을 사용하고, 산화실리콘, 질화실리콘(SiN_x , Si_3N_4 등), 산화질화실리콘(SiO_xN_y)($x>y>0$), 질화산화실리콘(SiN_xO_y)($x>y>0$) 등의 절연성을 갖는 재료를 사용하여 형성한다.

[0059]

본 실시형태에서는 막 두께 100nm의 산화질소실리콘막, 막 두께 50nm의 질화산화실리콘막, 막 두께 100nm의 산화질화실리콘막을 순차로 적층하여 절연막(401)을 형성하지만, 각 막의 재질, 막 두께, 적층 수는 이 것에 한정되지 않는다. 예를 들어, 하층의 산화질화실리콘막 대신에, 막 두께 0.5 μm 내지 3 μm 의 실록산계 수지를 스핀 코팅법, 슬릿코팅법, 액적토출법, 인쇄법 등에 의하여 형성하여도 좋다. 또한, 중층(中層)의 질화산화실리콘막 대신에, 질화실리콘막(SiN_x , Si_3N_4 등)을 사용하여도 좋다. 또한, 상층의 산화질화실리콘막 대신에, 산화실리콘막을 사용하여도 좋다. 또한, 각각의 막 두께는 0.05 μm 내지 3 μm 로 하는 것이 바람직하고, 그 범위에서 자유롭게 선택할 수 있다.

[0060]

산화실리콘막은 실란과 산소, TEOS(테트라에톡시실란)와 산소 등을 조합한 혼합 가스를 사용하고, 열CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 방법에 의하여 형성할 수 있다. 또한, 질화실리콘막은 대표적으로 실란과 암모니아의 혼합 가스를 사용하고, 플라즈마 CVD에 의하여 형성할 수 있다. 또한 산화질화실리콘막, 질화산화실리콘막은 대표적으로 실란과 일산화이질소의 혼합 가스를 사용하고, 플라즈마 CVD에 의하여 형성할 수 있다.

[0061]

반도체 막(402)은 절연막(401)을 형성한 후, 대기애 노출시키지 않으며 형성하는 것이 바람직하다. 반도체 막(402)의 막 두께는 20nm 내지 200nm(바람직하게는, 40nm 내지 170nm, 더 바람직하게는, 50nm 내지 150nm)로 한다. 또한, 반도체 막(402)은 비정질 반도체라도 좋고, 다결정 반도체라도 좋다. 또한, 반도체는 실리콘뿐만 아니라 실리콘게르마늄도 사용할 수 있다. 실리콘게르마늄을 사용할 경우, 게르마늄의 농도는 0.01atomic% 내지 4.5atomic% 정도인 것이 바람직하다.

[0062]

또한, 반도체 막(402)은, 공자의 기술에 의하여 결정화하여도 좋다. 공자의 결정화 방법으로서는 레이저 광을 사용한 레이저 결정화법, 촉매원소를 사용하는 결정화법이 있다. 또는, 촉매원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기판(400)으로서 석영과 같은 내열성이 우수한 기판을 사용할 경우, 전열로를 사용한 열 결정화방법, 적외광을 사용한 램프 어닐링 결정화법, 촉매원소를 사용하는 결정화 방법, 950°C 정도의 고온 어닐링을 조합한 결정법을 사용하여도 좋다.

[0063]

예를 들어, 레이저 결정화를 사용하는 경우, 레이저 결정화 전에, 레이저에 대한 반도체 막(402)의 내성을 높이기 위하여, 550°C, 4시간의 가열 처리를 상기 반도체 막(402)에 대하여 행한다. 또한, 연속발진이 가능한 고체 레이저를 사용하고, 기본파의 제 2 고조파 내지 제 4 고조파의 레이저 광을 조사함으로써 대입경의 결정을 얻을 수 있다. 예를 들어, 대표적으로, Nd:YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm) 또는 제 3 고조파(355nm)를 사용하는 것이 바람직하다. 구체적으로, 연속발진의 YVO₄ 레이저로부터 사출된 레이저 광을 비선형 광학소자에 의하여 고조파로 변환시키고, 출력 10W의 레이저 광을 얻는다. 그리고, 바람직하게는 광학계에 의하여 조사면에서 직사각형 또는 타원형의 레이저 광으로 형성하고, 반도체 막(402)에 조사된다. 이때의 에너지 밀도는 0.01MW/cm² 내지 100MW/cm² 정도(바람직하게는, 0.1MW/cm² 내지 10MW/cm²)가 필요하다. 그리고, 주사 속도를 10cm/sec 내지 2000cm/sec 정도로 하여 조사한다.

[0064]

연속발진의 기체 레이저로서, Ar 레이저, Kr 레이저 등을 사용할 수 있다. 또한, 연속발진의 고체 레

이저로서, YAG 레이저, YVO_4 레이저, YLF 레이저, YAlO_3 레이저, 포스터라이트(forsterite)(Mg_2SiO_4) 레이저, GdVO_4 레이저, Y_2O_3 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저 등을 사용할 수 있다.

[0065] 또한, 펄스 발진의 레이저로서, 예를 들어 Ar 레이저, Kr 레이저, 엑시머 레이저, CO_2 레이저, YAG 레이저, Y_2O_3 레이저, YVO_4 레이저, YLF 레이저, YAlO_3 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 또는 금 증기 레이저를 사용할 수 있다.

[0066] 또한, 펄스 발진의 레이저 광의 발진 주파수를 10MHz 이상으로 하여, 일반적으로 사용되는 수십Hz 내지 수백Hz의 주파수 대역보다도 현저하게 높은 주파수 대역을 사용하여 레이저 결정화를 행하여도 좋다. 펄스 발진에서 레이저 광을 반도체 막(402)에 조사하고, 그 다음에 반도체 막(402)이 완전히 고화할 때까지의 시간은 수십nsec 내지 수백nsec라고 알려져 있다. 따라서, 상기 주파수를 사용함으로써 반도체 막(402)이 레이저 광에 의하여 용융하고, 그 다음에 고화할 때까지, 다음 펄스의 레이저 광을 조사할 수 있다. 따라서, 반도체 막(402) 중에 있어서, 고액 계면을 연속적으로 이동시킬 수 있으므로, 주사 방향을 향하여 연속적으로 성장한 결정립을 갖는 반도체 막(402)이 형성된다. 구체적으로는, 포함되는 결정립의 주사 방향에 있어서의 폭이 $1\mu\text{m}$ 내지 $30\mu\text{m}$, 주사 방향에 대하여 수직한 방향에 있어서의 폭이 $1\mu\text{m}$ 내지 $5\mu\text{m}$ 정도의 결정립의 집합을 형성할 수 있다. 상기 주사 방향을 따라 연속적으로 성장한 단결정의 결정립을 형성함으로써 적어도 TFT의 채널 방향에는 결정립계가 거의 존재하지 않는 반도체 막(402)의 형성이 가능해진다.

[0067] 또한, 레이저 결정화는 연속발진의 기본파의 레이저 광과 연속발진의 고조파의 레이저 광을 병행하여 조사하도록 하여도 좋고, 연속발진의 기본파의 레이저 광과 펄스 발진의 고조파의 레이저 광을 병행하여 조사하도록 하여도 좋다.

[0068] 또한, 희소 가스나 질소 등의 불활성 가스 분위기 중에서 레이저 광을 조사하도록 하여도 좋다. 이에 따라, 레이저 광 조사에 의한 반도체 표면의 거칠기를 억제할 수 있고, 계면 준위 밀도의 편차에 의하여 생기는 임계 간의 편차를 억제할 수 있다.

[0069] 상술한 레이저 광의 조사에 의하여, 결정성이 보다 높인 반도체 막(402)이 형성된다. 또한, 미리 반도체 막(402)에 스퍼터링법, 플라즈마 CVD법, 열CVD법 등으로 형성한 다결정 반도체를 사용하여도 좋다.

[0070] 또한, 본 실시형태에서는 반도체 막(402)을 결정화하지만, 결정화하지 않고 비정질 실리콘막 또는 미결정 반도체 막인 채로, 후술의 프로세스로 진행되어도 좋다. 비정질 반도체, 미결정 반도체를 사용한 TFT는 다결정 반도체를 사용한 트랜지스터보다도 제조 공정이 적은 만큼, 비용을 억제하고, 제품 비율을 높게 할 수 있는 장점을 가진다.

[0071] 비정질 반도체는 실리콘을 포함하는 기체를 글로우 방전 분해(Glow Discharge)함으로써 얻을 수 있다. 실리콘을 포함하는 기체로서는 SiH_4 , Si_2H_6 을 들 수 있다. 이 실리콘을 포함하는 기체를, 수소, 수소 및 헬륨으로 희석하여 사용하여도 좋다.

[0072] 다음에, 반도체 막(402)에 대하여, p형을 부여하는 불순물 원소 또는 n형을 부여하는 불순물 원소를 저농도로 첨가하는 채널 도프를 행한다. 채널 도프는 반도체 막(402) 전체에 대하여 행하여도 좋고, 반도체 막(402)의 일부에 대하여 선택적으로 행하여도 좋다. p형을 부여하는 불순물 원소로서는 봉소(B), 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. 여기에서는, 불순물 원소로서 봉소(B)를 사용하고, 상기 봉소가 $1 \times 10^{16}/\text{cm}^3$ 내지 $5 \times 10^{17}/\text{cm}^3$ 의 농도로 포함되도록 첨가한다.

[0073] 다음에, 도 5b에 도시한 바와 같이, 반도체 막(402)을 소정의 형상으로 가공(패터닝)하고, 섬 형상의 반도체 막(403), 반도체 막(404)을 형성한다. 도 8은 반도체 막(403), 반도체 막(404)이 형성된 화소의 상면도에 상당하고, 도 8의 파선 A1-A2에 있어서의 단면도, 파선 B1-B2에 있어서의 단면도, 파선 C1-C2에 있어서의 단면도가 도 5b에 도시된다. 도 8b에 있어서, 반도체 막(450)은 유지 용량의 한쪽의 전극으로서 기능한다.

[0074] 또한, 도 5c에 도시하는 바와 같이, 반도체 막(403), 반도체 막(404)을 사용하여 트랜지스터(405), 트랜지스터(406)를 형성한다. 또한, 트랜지스터(405), 트랜지스터(406)와 함께, 보조 전원선(407)도 형성한다.

[0075] 구체적으로는, 반도체 막(403), 반도체 막(404)을 덮도록 게이트 절연막(408)을 형성한다. 또한, 게이

트 절연막(408) 위에 원하는 형성으로 가공(페터닝)된 복수의 도전막(409) 및 도전막(410)을 형성한다. 반도체 막(403)과 중첩하는 도전막(409) 및 도전막(410)이 트랜지스터(405)의 게이트 전극(411)으로서 기능한다. 반도체 막(404)과 중첩하는 도전막(409) 및 도전막(410)이 트랜지스터(406)의 게이트 전극(412)으로서 기능한다. 또한, 반도체 막(403), 반도체 막(404)과는 상이한 영역에 형성된 도전막(409) 및 도전막(410)이 보조 전원선(407)으로서 기능한다.

[0076] 또한, 도전막(409), 도전막(410), 또는 레지스트를 형성하여 페터닝한 것을 마스크로서 사용하여, 반도체 막(403), 반도체 막(404)에 n형 또는 p형을 부여한 불순물을 첨가하여, 소스 영역, 드레인 영역, 또한 LDD영역으로서 기능하는 불순물 영역 등을 형성한다. 또한, 여기서는 트랜지스터(405)를 n형, 트랜지스터(406)를 p형으로 한다.

[0077] 도 9는, 트랜지스터(405), 트랜지스터(406), 보조 전원선(407)이 형성된 화소의 상면도에 상당하고, 도 9의 파선 A1-A2에 있어서의 단면도, 파선 B1-B2에 있어서의 단면도, 파선 C1-C2에 있어서의 단면도가 도 5c에 도시된다. 도 9에 있어서, 도전막(409) 및 도전막(410) 중, 반도체 막(450)과 중첩하는 부분이, 유지 용량의 다른 쪽의 전극(451)에 상당한다. 또한, 도 9에 있어서, 전극(451)과 트랜지스터(406)의 게이트 전극(412)과는 일련된 도전막(409) 및 도전막(410)으로 형성된다. 반도체 막(450)과 전극(451) 사이에 게이트 절연막(408)이 끼워진 영역이 유지 용량으로서 기능한다. 또한, 도 9에 도시하는 주사선(452)은 보조 전원선(407)과 마찬가지로 도전막(409) 및 도전막(410)으로 형성된다. 또한, 도 9에 있어서 주사선(452)과 트랜지스터(405)의 게이트 전극(411)과는 연속된 도전막(409) 및 도전막(410)으로 형성된다.

[0078] 또한, 게이트 절연막(408)에는, 예를 들어, 산화실리콘, 질화실리콘, 질화산화실리콘 또는 산화질화실리콘 등을 단층으로, 또는 적층시켜 사용한다. 적층할 경우에는 예를 들어, 기판(400) 측으로부터 산화실리콘 막, 질화실리콘막, 산화실리콘막의 3층 구조로 하는 것이 바람직하다. 또한, 형성 방법은 플라즈마 CVD법, 스퍼터링법 등을 사용할 수 있다. 예를 들어, 산화실리콘을 사용한 게이트 절연막을 플라즈마 CVD법으로 형성하는 경우, TEOS(Tetra Ethyl Ortho Silicate)와 O₂를 혼합 가스를 사용하고, 반응 압력 40Pa, 기판 온도 300°C 내지 400°C, 고주파(13.56MHz) 및 전력 밀도 0.5W/cm² 내지 0.8W/cm²로 하여 형성한다.

[0079] 게이트 절연막(408)은 고밀도 플라즈마 처리를 행함으로써 반도체 막(403), 반도체 막(404)의 표면을 산화 또는 질화시킴으로써 형성하여도 좋다. 고밀도 플라즈마 처리는 예를 들어, He, Ar, Kr, Xe 등의 희소 가스와 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행한다. 이 경우, 플라즈마의 여기를 마이크로파의 도입에 의하여 행함으로써, 저전자 온도에서 고밀도의 플라즈마를 생성할 수 있다. 이러한 고밀도의 플라즈마에서 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체 막(403), 반도체 막(404)의 표면을 산화 또는 질화시킴으로써, 1nm 내지 20nm, 대표적으로는 5nm 내지 10nm의 절연막이 반도체 막(403), 반도체 막(404)에 접하도록 형성된다. 이런 5nm 내지 10nm의 절연막을 게이트 절연막(408)으로서 사용된다.

[0080] 상술한 고밀도 플라즈마 처리에 의한 반도체 막의 산화 또는 질화는 고상(固相) 반응에 의하여 진행되며 때문에, 게이트 절연막과 반도체 막의 계면준위 밀도를 극히 낮게 할 수 있다. 또한, 고밀도 플라즈마 처리에 의하여 반도체 막을 직접 산화 또는 질화시킴으로써, 형성되는 절연막의 두께의 편차를 억제할 수 있다. 또한, 반도체 막이 결정성을 갖는 경우, 고밀도 플라즈마 처리를 사용하여 반도체 막의 표면을 고상 반응에 의하여 산화시킴으로써, 결정입자에서만 산화가 빠르게 진행되는 것을 억제하고, 균일성이 좋고, 계면 준위 밀도가 낮은 게이트 절연막을 형성할 수 있다. 고밀도 플라즈마 처리에 의하여 형성된 절연막을, 게이트 절연막의 일부 또는 전부에 포함하여 형성되는 트랜지스터는, 특성의 편차를 억제할 수 있다.

[0081] 질화알루미늄을 게이트 절연막(408)으로서 사용할 수 있다. 질화알루미늄은, 열 전도율이 비교적으로 높고, 트랜지스터에서 발생한 열을 효율적으로 발산시킬 수 있다. 또한, 알루미늄을 포함하지 않는 산화실리콘이나 산화질화실리콘 등을 형성한 후, 질화알루미늄을 적층한 것을 게이트 절연층으로서 사용하여도 좋다.

[0082] 또한, 본 실시형태에서는, 적층된 2개의 도전막(409), 도전막(410)을 사용하여, 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451), 주사선(452)을 형성하지만, 본 발명은 이 구성으로 한정되지 않는다. 도전막(409), 도전막(410) 대신에 단층의 도전막을 사용하여도 좋고, 3개 이상의 도전막을 적층하여 사용하여도 좋다. 3개 이상의 도전막을 적층하는 3층 구조의 경우는, 몰리브덴막과 알루미늄막과 몰리브텐막의 적층 구조를 채용하면 좋다.

[0083] 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451), 주사선(452)을 형성하기 위한 도

전막은, 탄탈(Ta), 텉스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는 합금을 사용하여도 좋고, 상기 금속을 포함하는 화합물을 사용하여도 좋다. 또한, 반도체 막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한, 다결정 실리콘 등의 반도체를 사용하여 형성하여도 좋다.

[0084] 본 실시형태에서는, 1층째의 도전막(409)으로서 질화탄탈 혹은 탄탈(Ta)을, 2층째의 도전막(410)으로서 텉스텐(W)을 사용한다. 2개의 도전막의 조합으로서, 본 실시형태에서 나타낸 예 이외에 질화텅스텐과 텉스텐, 질화몰리브덴과 몰리브덴, 알루미늄과 탄탈, 알루미늄과 티타늄 등을 들 수 있다. 텉스텐이나 질화탄탈은 내열성이 높기 때문에, 2층의 도전막을 형성한 후의 공정에 있어서, 열 활성화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 2층의 도전막의 조합으로서, 예를 들어, n형을 부여하는 불순물이 도핑된 실리콘과 니켈실리사이드, n형을 부여하는 불순물이 도핑된 실리콘과 텉스텐실리사이드 등도 사용할 수 있다.

[0085] 도전막(409), 도전막(410)의 형성에는, CVD법, 스퍼터링법 등을 사용할 수 있다. 본 실시형태에서는, 1층째의 도전막(409)을 20nm 내지 100nm의 두께로 형성하고, 2층째의 도전막(410)을 100nm 내지 400nm의 두께로 형성한다.

[0086] 또한, 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451), 주사선(452)을 형성할 때 사용하는 마스크로서, 레지스트 대신에 산화실리콘, 산화질화실리콘 등을 마스크로서 사용하여도 좋다. 이 경우, 패터닝하여 산화실리콘, 산화질화실리콘 등의 마스크를 형성하는 공정이 가해지지만, 에칭할 때에 있어서의 마스크의 막 감소가 레지스트보다 적기 때문에, 원하는 형상을 갖는 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451), 주사선(452)을 형성할 수 있다. 또한, 마스크를 사용하지 않고, 액적 토출법을 사용하여 선택적으로 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451), 주사선(452)을 형성하여도 좋다. 또한, 액적 토출법이란, 소정의 조성물을 포함하는 액적을 세공으로부터 토출, 또는 분출함으로써 원하는 패턴을 형성하는 방법을 의미하여, 잉크젯법 등이 그 범주로 포함된다.

[0087] 또한, 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451), 주사선(452)을 형성할 때, 사용하는 도전막의 재료에 따라, 최적인 에칭 방법, 에칠프로세스의 종류를 적절히 선택하면 좋다. 이하, 1층째의 도전막(409)으로서 질화탄탈을, 2층째의 도전막(410)으로서 텉스텐을 사용하는 경우의 에칭의 방법의 일례에 대하여 구체적으로 설명한다.

[0088] 우선, 질화탄탈막을 형성한 후, 질화탄탈막 위에 텉스텐막을 형성한다. 그리고, 텉스텐막 위에 마스크를 형성하고, 제 1 에칭을 행한다. 제 1 에칭에서는, 우선 제 1 에칭 조건을 사용한 후에 제 2 에칭 조건을 사용한다. 제 1 에칭 조건으로서, ICP(Inductively Coupled Plasma: 유도결합형 플라즈마) 에칭법을 사용하고, 에칭용 가스에 CF₄와 Cl₂와 O₂를 사용하여, 각각의 가스 유량비율을 25: 25: 10(sccm)로 하고, 1Pa의 압력으로 코일형의 전극에 500W의 RF(13.56MHz) 전력을 투입하여 플라즈마를 생성하여 에칭을 행한다. 그리고 기판 측(시료 스테이지)에도 150W의 RF(13.56MHz) 전력을 투입하여, 실질적으로 부(負)의 자기 바이어스 전압을 인가한다. 이 제 1 에칭 조건을 사용함으로써, 텉스텐막을, 그 단부가 테이퍼 형상으로 되도록 에칭할 수 있다.

[0089] 다음에, 제 2 에칭 조건을 사용하여 에칭을 행한다. 제 2 에칭 조건은, 에칭용 가스에 CF₄와 Cl₂를 사용하여, 각각의 가스 유량비율을 30: 30(sccm)로 하고, 1Pa의 압력으로 코일형의 전극에 500W의 RF(13.56MHz) 전력을 투입하여 플라즈마를 생성하여 약 30초 정도의 에칭을 행한다. 기판 측(시료 스테이지)에도 20W의 RF(13.56MHz) 전력을 투입하여, 실질적으로 부의 자기 바이어스 전압을 인가한다. CF₄와 Cl₂를 혼합한 제 2 에칭 조건에서는 텉스텐막, 및 질화탄탈막과도 같은 정도로 에칭된다.

[0090] 상기 제 1 에칭에서는, 마스크의 형상을 적합한 것으로 함으로써, 기판 측에 인가하는 바이어스 전압의 효과에 의하여 질화탄탈막 및 텉스텐막의 단부가 각도 15° 내지 45° 정도의 테이퍼 형상이 된다. 또한, 게이트 절연막(408) 중, 제 1 에칭 처리에 의하여 노출한 부분은, 그 이외의 질화탄탈막 및 텉스텐막으로 덮이는 부분보다, 20nm 내지 50nm 정도 에칭되어 얇아진다.

[0091] 다음에, 마스크를 제거하지 않고, 제 2 에칭을 행한다. 제 2 에칭에서는, 에칭 가스에 CF₄와 Cl₂와 O₂를 사용하여, 텉스텐막을 선택적으로 에칭한다. 이 때, 제 2 에칭에 의하여 텉스텐막이 우선적으로 에칭되지만, 질화탄탈막은 대부분 에칭되지 않는다.

[0092] 상술한 제 1 에칭 및 제 2 에칭에 의하여, 질화탄탈을 사용한 도전막(409)과, 도전막(409)보다 푹이 좁은, 텉스텐을 사용한 도전막(410)을 형성할 수 있다.

- [0093] 또한, 상술한 제 1 에칭 및 제 2 에칭에 의하여 형성되는 도전막(409) 및 도전막(410)을 마스크로서 사용함으로써, 마스크를 새로 형성하지 않아도, 소스 영역, 드레인 영역, LDD 영역으로서 기능하는 불순물 영역을 반도체 막(403), 반도체 막(404) 내에 나누어 제작할 수 있다.
- [0094] 불순물 영역을 형성한 후, 불순물 영역의 가열 처리에 의한 활성화를 행하여도 좋다. 예를 들어, 50nm의 산화질화실리콘막을 형성한 후, 550°C, 4시간, 질소 분위기 중에 있어서, 가열 처리를 행하여도 좋다.
- [0095] 또한, 수소를 포함하는 질화실리콘막을, 100nm의 막 두께로 형성한 후, 410°C, 1시간, 질소 분위기 중에 있어서 가열 처리를 행하고, 반도체 막(403), 반도체(404)를 수소화하여도 좋다. 혹은, 산소 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하의 질소 분위기 중에서 400°C 내지 700°C(바람직하게는 400°C 내지 600°C)로 가열 처리를 행하고, 또한 3% 내지 100%의 수소를 포함하는 분위기 중에서, 300°C 내지 450°C로, 1시간 내지 12시간의 가열 처리를 행함으로써, 반도체 막(403), 반도체(404)를 수소화하여도 좋다. 이 공정에 의하여, 열적으로 여기된 수소에 의하여 맹글링 본드를 종단(終端)시킬 수 있다. 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의하여 여기된 수소를 사용한다)를 행하여도 좋다. 또한, 활성화 처리는, 그 후의 절연막(413)이 형성된 후에 행하여도 좋다.
- [0096] 가열 처리에는, 퍼니스 어닐로를 사용하는 열 어닐법, 레이저 어닐법, 또는 급속 열 어닐법(RTA법) 등을 사용할 수 있다. 가열 처리에 의하여, 수소화뿐만 아니라, 반도체 막(403), 반도체(404)에 침가된 불순물 원소의 활성화도 행할 수 있다.
- [0097] 상기 일련의 공정에 의하여, n채널형 트랜지스터(405)와, 발광 소자에 공급되는 전류를 제어하는 p채널형 트랜지스터(406)를 형성할 수 있다. 또한, 트랜지스터의 제작 방법은 상술한 공정에 한정되지 않는다.
- [0098] 다음에, 도 6a에 도시하는 바와 같이, 트랜지스터(405), 트랜지스터(406), 보조 전원선(407)을 덮도록, 또한, 도 6a에는 도시되지 않지만, 또한, 전극(451), 주사선(452)을 덮도록 절연막(413)을 형성한다. 절연막(413)은, 반드시 형성할 필요는 없지만, 절연막(413)을 형성함으로써, 알칼리 금속이나 알칼리 토류 금속 등의 불순물이 트랜지스터(405), 트랜지스터(406)에 침입하는 것을 방지할 수 있다. 구체적으로는, 절연막(413)으로서, 질화실리콘, 질화산화실리콘, 질화알루미늄, 산화알루미늄, 산화실리콘, 산화질화실리콘 등을 사용하는 것이 바람직하다. 본 실시형태에서는, 막 두께가 600nm 정도의 산화질화실리콘막을 절연막(413)으로서 사용한다. 이 경우, 상기 수소화의 공정은, 상기 산화질화실리콘막을 형성한 후에 행하여도 좋다.
- [0099] 다음에, 트랜지스터(405), 트랜지스터(406), 보조 전원선(407)을 덮도록, 또한, 도 6a에는 도시되지 않지만, 또한, 전극(451), 주사선(452)을 덮도록 절연막(413) 위에 절연막(414)을 형성한다. 절연막(414)은, 아크릴, 폴리이미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, PSG(인 유리), BPSG(붕소 인 유리), 알루미나 등을 사용할 수 있다. 실록산계 수지는, 실리콘(Si)과 산소(O)와의 결합으로 골격 구조가 구성되는 재료이다. 치환기에 수소 외에, 불소, 플루오로기, 유기기(예를 들어, 알킬기, 방향족 탄화 수소기) 중, 적어도 1종을 가져도 좋다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막(414)을 형성하여도 좋다.
- [0100] 절연막(414)의 형성에는, 그 재료에 따라, CVD법, 스퍼터링법, SOG법, 스픬코팅법, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닉터 나이프, 룰 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.
- [0101] 본 실시형태에서는, 절연막(413) 및 절연막(414)이 충간 절연막으로서 기능하지만, 단층의 절연막을 충간 절연막으로서 사용하여도 좋고, 적층시킨 3층 이상의 절연막을 충간 절연막으로서 사용하여도 좋다.
- [0102] 다음에, 절연막(403), 절연막(404)이 각각 일부 노출되도록 절연막(413) 및 절연막(414)에 콘택트 홀을 형성한다. 콘택트 홀 개구시의 에칭에 사용되는 가스는 CHF₃와 He의 혼합 가스를 사용하는 것이 바람직하지만, 이것에 한정되지 않는다. 또한, 도 6b에 도시하는 바와 같이, 상기 콘택트 홀을 통하여 반도체 막(403)에 접하는 도전막(415) 및 도전막(416)과, 상기 콘택트 홀을 통하여 보조 전원선(407)에 접하는 도전막(417) 및 도전막(418)과, 상기 콘택트 홀을 통하여 반도체 막(404)에 접하는 도전막(419) 및 도전막(418)을 형성한다.
- [0103] 도 10은, 도전막(415) 내지 도전막(419)이 형성된 화소의 상면도에 상당하고, 도 10의 파선 A1-A2에 있어서의 단면도, 파선 B1-B2에 있어서의 단면도, 파선 C1-C2에 있어서의 단면도가 도 6b에 도시된다. 도 10에 도시하는 바와 같이, 도전막(416)은, 그 일부가 게이트 전극(412)으로서 기능하는 도전막(409) 및 도전막(410)

에 접속된다. 도전막(415)은 신호선으로서 기능한다. 또한, 도전막(417)은 보조 배선으로서 기능한다. 또한, 도전막(418)은 전원선으로서 기능하고, 다른 전원선으로서 기능하는 도전막(418)에, 보조 전원선(407)을 통하여 전기적으로 접속된다. 또한, 도 10에 도시하는 바와 같이, 도전막(415) 내지 도전막(419)과 함께 도전막(420)이 콘택트 홀을 통하여 주사선(452)에 접속하도록 형성된다. 도전막(420)은 주사선용 보조 배선으로서 기능한다.

[0104] 도전막(415) 내지 도전막(420)은 CVD법이나 스퍼터링법 등에 의하여 형성할 수 있다. 구체적으로 도전막(415) 내지 도전막(420)으로서 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 실리콘(Si) 등을 사용할 수 있다. 또한 상기 원소를 주성분으로 하는 합금을 사용하여도 좋고, 상기 원소를 포함하는 화합물을 사용하여도 좋다. 도전막(415) 내지 도전막(420)은 상기 원소를 갖는 단수의 막, 또는 상기 원소를 갖는 적층된 복수의 막을 사용할 수 있다.

[0105] 알루미늄을 주성분으로 하는 합금의 예로서, 알루미늄을 주성분으로 하고 니켈을 포함하는 합금을 들 수 있다. 또한, 알루미늄을 주성분으로 하고, 니켈과, 탄소 혹은 실리콘의 한쪽 혹은 양쪽 모두를 포함하는 합금도 예로 들 수 있다. 알루미늄이나 알루미늄실리콘은 저항 값이 낮고, 가격이 저렴하기 때문에, 도전막(415) 내지 도전막(420)을 형성하는 재료로서 최적이다. 특히, 알루미늄실리콘은 도전막(415) 내지 도전막(420)을 패터닝할 때, 레지스트 베이크에 있어서의 힐록(hilllock)의 발생을 알루미늄막과 비교하여 방지할 수 있다. 또한, 실리콘(Si) 대신에, 알루미늄막에 0.5% 정도의 Cu를 혼입시켜도 좋다

[0106] 도전막(415) 내지 도전막(420)은 예를 들어, 배리어막과 알루미늄실리콘막과 배리어막의 적층 구조, 배리어막과 알루미늄실리콘막과 질화티타늄막과 배리어막의 적층 구조를 채용하면 좋다. 또한, 배리어막은, 티타늄, 티타늄의 질화물, 몰리브덴 혹은 몰리브덴의 질화물을 사용하여 형성된 막이다. 알루미늄실리콘막을 사이에 끼우도록 배리어막을 형성하면, 알루미늄이나 알루미늄실리콘의 힐록의 발생을 더 방지할 수 있다. 또한, 환원성이 높은 원소인 티타늄을 사용하여 배리어막을 형성하면, 반도체 막(403), 반도체 막(404) 위에 얇은 산화막이 형성된다고 하여도, 배리어막에 포함되는 티타늄이 이 산화막을 환원하여, 도전막(415), 도전막(416), 도전막(418), 도전막(419)과, 반도체 막(403), 반도체 막(404)이 양호한 콘택트를 취할 수 있다. 또한 배리어막을 복수 적층되도록 하여 사용하여도 좋다. 이 경우, 예를 들어, 도전막(415) 내지 도전막(420)을 하층에서 티타늄, 질화티타늄, 알루미늄실리콘, 티타늄, 질화티타늄의 순서로 적층된 5층 구조로 할 수 있다

[0107] 도전막(415) 내지 도전막(420)에 사용되는 적어도 1개의 도전막의 전기 도전율은, 도전막(413) 및 도전막(414)의 하층에 형성되는, 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451) 및 주사선(452)에 사용되는 적어도 1개의 도전막의 전기 전도율보다 높은 것이 바람직하다. 혹은, 도전막(415) 내지 도전막(420) 중, 어느 부분의 막 두께는, 그 두께가 게이트 전극(411), 게이트 전극(412), 보조 전원선(407), 전극(451) 및 주사선(452) 중, 어느 부분의 막 두께보다 두꺼운 것이 바람직하다. 구체적으로는, 도전막(415) 내지 도전막(420) 중, 어느 부분의 막 두께는, $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하인 것이 바람직하다. 이와 같이, 도전막(415) 내지 도전막(420)의 막 두께를 취함으로써, 전기 전도율을 높이며, 보조 전원선과 보조 배선의 형성 저항 및 주사선과 주사선용 보조 배선의 형성 저항을 저하시킬 수 있다.

[0108] 본 실시형태에서는, 절연막(414)에 가까운 측으로부터, 막 두께 100nm 정도의 티타늄막, 막 두께 700nm 내지 1000nm 정도의 알루미늄막, 막 두께 100nm 정도의 티타늄막을 적층하고, 이를 적층된 막을 패터닝함으로써, 도전막(415) 내지 도전막(420)을 형성한다.

[0109] 다음에, 도 7a에 도시하는 바와 같이, 도전막(415) 내지 도전막(419)을 덮도록, 또한 도시하지 않지만, 도전막(420)을 덮도록 절연막(421)을 형성하고, 그 후, 도전막(419)의 일부가 노출되도록 상기 절연막(421)에 콘택트 홀을 형성한다. 또한, 상기 콘택트 홀에 있어서, 도전막(419)과 접하도록 화소전극(422)을 형성한다.

[0110] 절연막(421)은, 유기 수지막, 무기 절연막, 또는 실록산계 절연막을 사용하여 형성할 수 있다. 유기 수지막이라면, 예를 들어, 아크릴, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐 등을 사용할 수 있다. 무기 절연막이라면, 산화실리콘, 산화질화실리콘, 질화산화실리콘, DLC(Diamond Like Carbon)로 대표되는 탄소를 포함하는 막 등을 사용할 수 있다. 또한, 절연막(421)은 그 재료에 따라, CVD법, 스퍼터링법, 액적토출법, 또는 인쇄법 등으로 형성할 수 있다. 또한, 절연막(421)은, 수분이나 산소 등의 발광 소자의 열화를 촉진시키는 원인이 되는 물질을, 다른 절연막과 비교하여 특과시키기 어려운 막을 사용하는 것이 보다 바람직하다. 이 경우, RF스퍼터링법으로 형성된 질화실리콘, 다이아몬드 라이크 카본(DLC), 질화알루미늄 등을 절연막(421)으로서 사용하는 것이 바람직하다.

[0111]

또한, 본 실시형태에서는 스퍼터링법을 사용하여, 산화실리콘을 포함하는 인듐주석산화물(ITSO)을 사용하여 투과성을 갖는 도전막을 형성한 후, 상기 도전막을 패터닝함으로써 화소전극(422)을 형성한다. 또한, ITSO 이외에 인듐주석산화물(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등, ITSO 이외의 투광성 산화물 도전 재료를 화소전극(422)에 사용하여도 좋다. 또한, 화소전극(422)으로서, 투광성 산화물 도전 재료 이외에, 예를 들어, 질화티타늄, 질화지르코늄, Ti, W, Ni, Pt, Cr, Ag, Al 등의 1개 또는 복수로 이루어지는 단층막 이외에, 질화티타늄과 알루미늄을 주성분으로 하는 막의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막의 3층 구조 등을 사용할 수 있다. 다만, 투광성 산화물 도전 재료 이외의 재료로 화소전극(422) 측으로부터 빛을 추출하는 경우, 빛이 투과하는 정도의 막 두께(바람직하게는, 5nm 내지 30nm정도)로 형성한다.

[0112]

ITSO를 화소전극(422)에 사용하는 경우, 타깃으로서 ITO에 산화실리콘이 2 중량% 내지 10 중량% 포함된 것을 사용할 수 있다. 본 실시형태에서는, In_2O_3 와, SnO_2 와, SiO_2 가 85: 10: 5의 중량%의 비율로 포함하는 타깃을 사용하여, Ar의 유량을 50sccm, O_2 의 유량을 3sccm, 스퍼터링 압력을 0.4Pa, 스퍼터링 전력을 1kW, 성막 속도를 30nm/min로 하여, 105nm의 막 두께로 화소전극(422)이 되는 도전막을 형성할 수 있다.

[0113]

또한, 도전막(419) 중, 화소전극(422)에 접하는 부분에, 알루미늄 등의 이온화 경향이 비교적으로 큰 금속을 사용하는 경우, 투광성 산화물 도전 재료를 화소전극(422)에 사용하면, 도전막(419)이 전식(電蝕)을 일으키기 쉽다. 그러나, 본 실시형태에서는, 절연막(414)에 가까운 측으로부터 티타늄막, 알루미늄막, 티타늄막을 순차적으로 적층한 도전막으로 도전막(419)을 형성하고, 또한, 도전막(419)을 절연막(421)으로 덮어, 도전막(419) 중 최상부의 티타늄막과 화소전극(422)이, 절연막(421)에 형성된 콘택트 홀을 통하여 접한다. 따라서, 이온화 경향이 비교적으로 작은 금속인 티타늄막 등의 금속막으로, 이온화 경향이 비교적으로 큰 금속인 알루미늄막 등의 금속막을 사이에 끼고, 한층 더 절연막(421)으로 도전막(419)을 덮음으로써, 도전막(419)이 화소전극(422)이나 그 외의 도전체와 접촉함으로써 전식을 일으키는 것을 방지할 수 있다. 또한, 도전율이 비교적으로 높은 알루미늄막 등의 금속막을 도전막(419)에 사용함으로써, 도전막(419)의 저항 값을 저하시킬 수 있다.

[0114]

또한, 화소전극(422)이 되는 도전막에, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용할 수도 있다. 도전성 조성물은, 화소전극(422)이 되는 도전막의 시트 저항(sheet resistance)이 $10000\Omega/\square$ 이하, 과장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 시트 저항은, 보다 낮은 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot cm$ 이하인 것이 바람직하다.

[0115]

도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들어, π 전자 공역계 도전성 고분자로서, 폴리아닐린 및/혹은 그 유도체, 폴리피롤 및/혹은 그 유도체, 폴리티오펜 및/혹은 그 유도체, 이들 2종 이상의 공중합체 등을 들 수 있다.

[0116]

π 공역계 도전성 고분자의 구체적인 예로서는, 폴리피롤, 폴리(3-메틸피롤), 폴리(3-부틸피롤), 폴리(3-옥틸피롤), 폴리(3-데실피롤), 폴리(3,4-디메틸피롤), 폴리(3,4-디부틸피롤), 폴리(3-하이드록시피롤), 폴리(3-메틸-4-하이드록시피롤), 폴리(3-메톡시피롤), 폴리(3-에톡시피롤), 폴리(3-옥토시피롤), 폴리(3-카르복실피롤), 폴리(3-메틸-4-카복실피롤), 폴리(N-메틸피롤), 폴리티오펜, 폴리(3-메틸티오펜), 폴리(3-부틸티오펜), 폴리(3-옥틸티오펜), 폴리(3-데실티오펜), 폴리(3-도데실티오펜), 폴리(3-메톡시티오펜), 폴리(3-에톡시티오펜), 폴리(3-옥토시티오펜), 폴리(3-카복실티오펜), 폴리(3-메틸-4-카복실티오펜), 폴리(3,4-에틸렌디옥시티오펜), 폴리아닐린, 폴리(2-메틸아닐린), 폴리(2-옥틸아닐린), 폴리(2-이소부틸아닐린), 폴리(3-이소부틸아닐린), 폴리(2-아닐린셀론), 폴리(3-아닐린셀론) 등을 들 수 있다.

[0117]

상기 π 공역계 도전성 고분자를, 단독으로 도전성 조성물로서 화소전극(422)에 사용하여도 좋고, 도전성 조성물의 막 두께의 균일성, 막 강도 등의 막 특성을 조정하기 위하여, 유기 수지를 첨가하여 사용할 수 있다.

[0118]

유기 수지로서는 도전성 고분자와 상용(相溶) 또는 혼합 분산이 가능하면, 열 경화성 수지, 열 가소성 수지, 광 경화성 수지 중의 어느 수지라도 좋다. 예를 들어, 폴리에틸렌테레프탈레이트, 폴리부틸렌테레프탈레이트, 폴리에틸렌나프탈레이트 등의 폴리에스테르계 수지, 폴리이미드, 폴리아미드이미드 등의 폴리이미드계 수지, 폴리아미드6, 폴리아미드6,6, 폴리아미드12, 폴리아미드11 등의 폴리아미드 수지, 폴리플루오르화비닐리덴, 폴리플루오르화비닐, 폴리테트라플루오로에틸렌, 에틸렌테트라플루오로에틸렌 공중합체, 폴리클로로트리플루오로에틸렌 등의 불소 수지, 폴리비닐알코올, 폴리비닐에테르, 폴리비닐부티랄, 폴리아세트산비닐, 폴리염화비닐 등의 비닐 수지, 에폭시 수지, 크실렌 수지, 아라미드 수지, 폴리우레тан계 수지, 폴리우레아계 수지, 멜라민

수지, 폐놀계 수지, 폴리에테르, 아크릴계 수지, 및 이들 수지의 공중합체 등을 들 수 있다.

[0119] 또한, 도전성 조성물의 전기 전도도를 조정하기 위하여, 도전성 조성물에 억셉터성 또는 도너성 도편트를 도핑함으로써, π 공역계 도전성 고분자의 공역 전자의 산화 환원 전위를 변화시켜도 좋다.

[0120] 억셉터성 도편트로서는, 할로겐 화합물, 루이스산, 프로톤산, 유기시아노 화합물, 유기금속 화합물 등을 사용할 수 있다. 할로겐 화합물로서는 염소, 브롬, 요오드, 염화요오드, 브롬화요오드, 플루오르화요오드 등을 들 수 있다. 루이스산으로서는 오플루오르화인, 오플루오르화비소, 오플루오르화안티몬, 삼플루오르화붕소, 삼염화붕소, 삼브롬화붕소 등을 들 수 있다. 프로톤산으로서는, 염산, 황산, 질산, 인산, 봉불화수소산, 플루오르화수소산, 과염소산 등의 무기산과, 유기카르복실산, 유기설휠산 등의 유기산을 들 수 있다. 유기카르복실산 및 유기설휠산으로서는 상기 카르복실산화합물 및 설휠산화합물을 사용할 수 있다. 유기시아노화합물로서는 공액 결합에 2개 이상의 시아노기를 포함하는 화합물을 사용할 수 있다. 예를 들어, 테트라시아노에틸렌, 테트라시아노에틸렌옥사이드, 테트라시아노벤젠, 테트라시아노퀴노디메탄, 테트라시아노아자나프탈렌 등을 들 수 있다.

[0121] 도너성 도편트로서는, 알칼리 금속, 알칼리 토류금속, 4급 아민 화합물 등을 들 수 있다.

[0122] 도전성 조성물을, 물 또는 유기 용제(알코올계 용제, 케톤계 용제, 에스테르계 용제, 탄화 수소계 용제, 방향족계 용제 등)에 용해시켜, 습식법에 의하여 화소전극(422)이 되는 도전막을 형성할 수 있다.

[0123] 도전성 조성물을 용해하는 용매로서는, 특히 한정하지 않고, 상술한 도전성 고분자 및 유기 수지 등의 고분자 수지 화합물을 용해하는 것을 사용하면 좋다. 예를 들어, 물, 메탄올, 에탄올, 프로필렌카보네이트, N-메틸피롤리돈, 디메틸포름아미드, 디메틸아세토아미드, 사이클로헥사논, 아세톤, 메틸에틸케톤, 메틸이소부틸케톤, 톨루엔 등의 단독 또는 혼합 용제에 도전성 조성물을 용해하면 좋다.

[0124] 도전성 조성물의 성막은, 상술한 바와 같이, 용매에 용해한 후, 도포법, 코팅법, 액적토출법(잉크젯법이라고도 한다), 인쇄법 등의 습식법을 사용하여 성막할 수 있다. 용매의 건조는 열 처리를 행하여도 좋고, 감압하에서 행하여도 좋다. 또한, 유기 수지가 열 경화성인 경우는, 또 가열 처리를 행하고, 광 경화성의 경우는 광 조사 처리를 행하면 좋다.

[0125] 화소전극(422)이 되는 도전막을 형성한 후, 그 표면이 평탄화되도록 CMP법, 폴리비닐알코올계의 다공질체에 의한 식정(拭淨) 등으로 연마하여도 좋다.

[0126] 다음에, 도 7a에 도시하는 바와 같이, 화소전극(422)의 일부를 덮도록, 절연막(421) 위에 개구부를 갖는 격벽(423)을 형성한다. 격벽(423)의 개구부에 있어서 화소전극(422)은 그 일부가 노출된다. 격벽(423)은, 유기 수지막, 무기 절연막 또는 실록산계 절연막을 사용하여 형성할 수 있다. 유기 수지막이라면, 예를 들어, 아크릴, 폴리아미드, 폴리아미드 등, 무기 절연막이라면, 산화실리콘, 질화산화실리콘 등을 사용할 수 있다. 특히, 감광성의 유기 수지막을 격벽(423)에 사용하여, 화소전극(422) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성함으로써, 화소전극(422)과 후에 형성되는 공통 전극(425)이 접속되는 것을 방지할 수 있다. 이 때, 마스크를 액적 토출법 또는 인쇄법에 의하여 형성할 수 있다. 또한, 격벽(423) 자체를 액적토출법 또는 인쇄법에 의하여 형성할 수도 있다.

[0127] 도 11은, 화소전극(422) 및 격벽(423)이 형성된 화소의 상면도에 상당하고, 도 11의 파선 A1-A2에 있어서의 단면도, 파선 B1-B2에 있어서의 단면도, 파선 C1-C2에 있어서의 단면도가 도 7a에 도시된다. 도 11에서는, 격벽(423)이 갖는 개구부의 위치를, 파선으로 도시한다. 도 11에 도시하는 바와 같이, 격벽(423)은 절연막(414) 위에 형성된 도전막(415) 내지 도전막(420)을 모두 덮도록 형성된다. 상기 구성에 의하여 저항 값을 저하시키기 위하여 도전막(415) 내지 도전막(420)의 막 두께를 $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하 정도로 크게 한 경우에 있어서도, 후에 형성되는 전계 발광층(424)이 도전막(415) 내지 도전막(420)과, 절연막(414) 사이에 형성되는 단차(段差)에 의하여 막 두께가 극히 얇아지는, 또는 단절을 일으키는 것을 방지할 수 있다.

[0128] 다음에, 전계 발광층(424)을 형성하기 전에, 격벽(423) 및 화소전극(422)에 흡착한 수분이나 산소 등을 제거하기 위하여, 대기 분위기 하에서 가열 처리 또는 진공 분위기 하에서 가열 처리(진공 베이킹)를 행하여도 좋다. 구체적으로는, 기판의 온도를 200°C 내지 450°C , 바람직하게는, 250°C 내지 300°C 에서, 0.5시간 내지 20시간 정도, 진공 분위기 하에서 가열 처리를 행한다. 바람직하게는, $3 \times 10^{-7}\text{Torr}$ 이하, 가능하면 $3 \times 10^{-8}\text{Torr}$ 이하로 하는 것이 가장 바람직하다. 그리고, 진공 분위기 하에서 가열 처리를 행한 후에 전계 발광층(424)을 형성하는 경우, 전계 발광층(424)을 형성하는 직전까지 상기 기판을 진공분위기 하에 놓아둠으로써 신뢰성을 보

다 높일 수 있다. 또한 진공 베이킹 이전 또는 이후에, 화소전극(422)에 자외선을 조사하여도 좋다.

[0129] 그리고, 도 7b에 있어서, 격벽(423)의 개구부에 있어서, 화소전극(422)과 접하도록, 전계 발광층(424)을 형성한다. 전계 발광층(424)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋고, 각 층에는 유기 재료뿐만 아니라, 무기 재료가 포함되어도 좋다. 전계 발광층(424)에 있어서의 루미네센스에는, 1중향 여기 상태로부터 기저 상태에 되돌아갈 때의 발광(형광)과 3중향 여기 상태로부터 기저 상태에 되돌아갈 때의 발광(인광)이 포함된다. 복수 층으로 구성되는 경우, 음극에 상당하는 화소전극(422) 위에 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층의 순서로 적층한다. 또한, 화소전극(422)이 양극에 상당하는 경우는, 전계 발광층(424)을, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층의 순서로 적층하여 형성한다.

[0130] 또한, 전계 발광층(424)은, 고분자계 유기 화합물, 중분자계 유기 화합물(승화성을 갖지 않고, 연쇄하는 분자의 길이가 10 μm 이하의 유기 화합물), 저분자계 유기 화합물, 무기 화합물의 어느 것을 사용하여도, 액적 토출법으로 형성할 수 있다. 또한, 중분자계 유기 화합물, 저분자계 유기 화합물, 무기 화합물은 증착법으로 형성하여도 좋다.

[0131] 그리고, 도 7b에 도시하는 바와 같이, 전계 발광층(424)을 덮도록, 공통 전극(425)을 형성한다. 공통 전극(425)은, 일반적으로 일 함수가 작은 금속, 합금, 전기전도성 화합물, 및 이것들의 혼합물 등을 사용할 수 있다. 구체적으로는, Li나 Cs등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류금속, 및 이것들을 포함하는 합금(Mg: Ag, Al: Li 등) 이외에, Yb나 Er 등의 희토류 금속을 사용하여 형성할 수도 있다. 또한, 전자 주입성이 높은 재료를 포함하는 층을 공통 전극(425)에 접하도록 형성함으로써, 알루미늄이나 투광성 산화물 도전 재료 등을 사용한, 일반적인 도전막도 사용할 수 있다.

[0132] 격벽(423)의 개구부에 있어서, 화소전극(422)과 전계 발광층(424)과 공통 전극(425)이 겹침으로써, 발광 소자(426)가 형성된다.

[0133] 또한, 발광 소자(426)로부터의 빛의 추출은, 화소전극(422) 층으로부터라도 좋고, 공통 전극(425) 층으로부터라도 좋고, 양쪽 모두로부터라도 좋다. 상기 3개의 구성 중에서 목적으로 하는 구성에 맞추어, 화소전극(422), 공통 전극(425) 각각의 재료 및 막 두께를 선택하도록 한다.

[0134] 또한, 발광 소자(426)를 형성하면, 공통 전극(425) 위에 절연막을 형성하여도 좋다. 상기 절연막은 수분이나 산소 등의 발광 소자의 열화를 촉진시키는 원인이 되는 물질을, 다른 절연막과 비교하여 투과시키기 어려운 막을 사용한다. 대표적으로는, 예를 들어 DLC막, 질화탄소막, RF스퍼터링법에 의하여 형성된 질화실리콘막 등을 사용하는 것이 바람직하다. 또한, 상술한 수분이나 산소 등의 물질을 투과시키기 어려운 막과, 상기 막에 비교하여 수분이나 산소 등의 물질을 투과시키기 쉬운 막을 적층시켜, 상기 절연막으로서 사용할 수도 있다.

[0135] 또한, 실제로는, 도 7b에 도시하는 상태까지 완성하면, 또 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0136] 상기 프로세스를 거쳐, 반도체 표시장치가 제작된다.

[0137] 또한, 본 실시형태에서는, 표시 영역 내의 트랜지스터(405), 트랜지스터(406)의 제작 방법에 대하여 설명하지만, 상기 표시 영역 내의 트랜지스터에 더하여, 구동 회로나 그 이외의 집적 회로에 사용되는 트랜지스터도, 함께 형성할 수 있다. 이 경우, 표시 영역 내의 트랜지스터와, 구동 회로나 그 이외의 집적회로에 사용되는 트랜지스터에 있어서, 게이트 절연막(408)의 막 두께를 모두 다 같은 두께로 할 필요는 없다. 예를 들어, 고속 동작이 요구되는 구동 회로나 그 이외의 집적 회로에 사용되는 트랜지스터에 있어서, 표시 영역 내의 트랜지스터보다 게이트 절연막(408)의 막 두께가 작게 되도록 하여도 좋다.

[0138] 또한, SOI(Silicon On Insulator) 기판을 이용함으로써, 단결정 반도체를 반도체 막(402), 반도체 막(403)으로서 사용할 수도 있다. SOI기판은, 예를 들어, 스마트 컷으로 대표되는 UNIBOND, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의 접합 방법이나, SIMOX(Separation by IMplanted OXygen)법 등을 사용하여 제작할 수 있다.

[0139] 또한, 상기 방법을 사용하여 제작되는 반도체 소자를 플라스틱 등의 가요성을 갖는 기판 위에 전사함으로써, 반도체 표시장치를 형성하여도 좋다. 전사 방법으로서, 다음과 같은 것이 있다. 기판과 반도체 소자 사

이에 금속산화물을 형성하고, 상기 금속산화막을 결정화에 의하여 취약화하고, 반도체 소자를 박리함으로써 전사하는 방법이다. 기판과 반도체 소자 사이에 수소를 포함하는 비정질 실리콘막을 형성하고, 레이저 광의 조사 또는 에칭에 의하여 상기 비정질 실리콘막을 제거함으로써, 반도체 소자를 기판으로부터 절단하여 전사하는 방법 등, 다양한 방법을 사용할 수 있다. 또한, 전사는 발광 소자를 제작하기 전에 행하는 것이 바람직하다.

[0140] 본 실시형태는 상기 실시 형태와 적절히 조합하여 실시할 수 있다.

[0141] (실시형태 3)

[0142] 본 실시형태에서는, 화소가 갖는 트랜지스터의 개수, 및 그 접속관계가 실시형태 1과 상이한 경우의, 반도체 표시장치의 구성에 대하여 설명한다.

[0143] 도 12에 본 실시형태의 반도체 표시장치가 갖는, 화소의 회로도를 도시한다. 도 12에 도시하는 화소는, 신호선 Si(i=1 내지 x)와, 제 1 전원선 Vai(i=1 내지 x)와, 제 2 전원선 Vbi(i=1 내지 x)와, 제 1 주사선 Gaj(j=1 내지 y)와, 제 2 주사선 Gbj(j=1 내지 y)를 적어도 가진다. 또한, 도 12에 도시하는 화소는, 트랜지스터(501) 내지 트랜지스터(505)와 발광 소자(506)를 적어도 가진다. 또한, 도 12에 도시하는 화소는, 트랜지스터(505)의 게이트 전극과 제 2 전원선 Vbi 사이에 유지 용량(507)을 갖지만, 유지 용량은 반드시 형성할 필요는 없다.

[0144] 트랜지스터(501)의 게이트 전극은, 트랜지스터(501)의 게이트 전극은, 신호선 Si에 접속된다. 또한, 트랜지스터(501)의 소스 영역과 드레인 영역은, 한 쪽이 제 1 전원선 Vai에 접속되고, 다른 쪽이 트랜지스터(502)의 소스 영역과 드레인 영역의 한 쪽에 접속된다. 트랜지스터(502)의 게이트 전극은, 제 1 주사선 Gaj에 접속된다. 또한, 트랜지스터(502)의 소스 영역과 드레인 영역의 다른 쪽은, 트랜지스터(503)의 소스 영역과 드레인 영역의 한 쪽 및 트랜지스터(504)의 소스 영역과 드레인 영역의 한 쪽에, 접속된다. 트랜지스터(503)의 게이트 전극은, 제 1 주사선 Gaj에 접속된다. 또한, 트랜지스터(503)의 소스 영역과 드레인 영역의 다른 쪽은, 제 2 전원선 Vbi에 접속된다. 트랜지스터(504)의 게이트 전극은, 제 2 주사선 Gbj에 접속된다. 또한, 트랜지스터(504)의 소스 영역과 드레인 영역의 다른 쪽은, 트랜지스터(505)의 게이트 전극에 접속된다. 트랜지스터(505)의 소스 영역과 드레인 영역은, 한편이 제 2 전원선 Vbi에 접속되고, 다른 쪽이 발광 소자(506)의 화소전극에 접속된다.

[0145] 또한, 트랜지스터(502)와 트랜지스터(503)는, 서로 반대 극성을 갖고, 한 쪽이 온 상태일 때, 다른 쪽은 오프 상태가 된다.

[0146] 다음에, 도 12에 회로도로 도시한 표시 영역의 상면도를, 도 13에 일례로서 도시한다. 또한, 도 13의 파선 A1-A2에 있어서의 단면도를 도 14a에, 파선 B1-B2에 있어서의 단면도를 도 14b에, 파선 C1-C2에 있어서의 단면도를 도 14c에 도시한다. 또한, 발광 소자(506)는 화소전극과, 공통 전극과, 화소전극 및 공통 전극에 의하여 전류가 공급되는 전계 발광층을 가진다. 다만, 도 13과 도 14a 내지 도 14c에서는, 각종 배선이나 트랜지스터의 배치를 명확하게 하기 위하여, 발광 소자(506) 중, 화소전극(522)의 레이아웃만을 가진다.

[0147] 도 13 및 도 14a 내지 도 14c에 도시하는 본 실시형태의 반도체 표시장치에서는, 발광 소자(506)에 전류를 공급하기 위한 제 2 전원선 Vbi가, 보조 전원선(508)에 직접 접속된다. 또한, 도 13 및 도 14a 내지 도 14c에서는 도시하지 않지만, 상기 보조 전원선(508)은, 도 13 및 도 14a 내지 도 14c에 도시되는 제 2 전원선 Vbi와는 다른 제 2 전원선 Vbi에 접속되고, 이를 2개의 제 2 전원선 Vbi끼리는, 보조 전원선(508)을 통하여 전기적으로 접속된다. 또한, 도 13 및 도 14a 내지 도 14c에서는, 제 2 전원선 Vbi와 보조 전원선(508)이 직접 접속됨으로써, 제 2 전원선 Vbi끼리를 전기적으로 접속하는 예를 도시하지만, 제 2 전원선 Vbi의 1개와 보조 전원선(508)이, 다른 배선을 통하여 전기적으로 접속되어도 좋다.

[0148] 본 실시형태에서는, 적어도 2개의 제 2 전원선 Vbi를, 보조 전원선(508)을 통하여 전기적으로 접속함으로써, 화소에 공급해야 할 전류의 크기가 제 2 전원선 Vbi마다 대폭으로 상이한 경우에서도, 전위가 강하함으로써 제 2 전원선 Vbi 내에 생기는 전위차가, 제 2 전원선 Vbi끼리로 상이하게 되는 것을 방지할 수 있다. 따라서, 전위의 강하에 기인하는 표시 영역 내의 희도 편차를 방지할 수 있다.

[0149] 또한, 도 13 및 도 14a 내지 도 14c에 도시하는 본 실시형태의 반도체 표시장치에서는, 보조 전원선(508)에 직접 접속된 보조 배선(509)과, 제 1 주사선 Gaj에 직접 접속된 주사선용 보조 배선(510)과, 제 2 주사선 Gbj에 직접 접속된 주사선용 보조 배선(511)을 가진다. 또한, 도 13 및 도 14a 내지 도 14c에서는, 보조 전원선(508)이 직접 보조 배선(509)에 접속되지만, 보조 전원선(508)이 다른 배선을 통하여, 보조 배선(509)과 전기적으로 접속되어도 좋다. 또한, 도 13 및 도 14a 내지 도 14c에서는, 제 1 주사선 Gaj가 직접 주사선용 보조

배선(510)에 접속되지만, 제 1 주사선 Gaj가 다른 배선을 통하여, 주사선용 보조 배선(510)과 전기적으로 접속되어도 좋다. 또한, 도 13 및 도 14a 내지 도 14c에서는, 제 2 주사선 Gbj가 직접 주사선용 보조 배선(511)에 접속되지만, 제 2 주사선 Gbj가 다른 배선을 통하여, 주사선용 보조 배선(511)과 전기적으로 접속되어도 좋다.

[0150] 본 실시형태의 반도체 표시장치에서는, 보조 전원선(508)에 직접, 또는 전기적으로 접속된 보조 배선(509)을 형성함으로써, 보조 전원선(508)과 보조 배선(509)과의 합성 저항을 저하시킬 수 있다. 따라서, 보조 전원선(508)의 전위의 강하를 방지하고, 나아가서는 제 2 전원선 Vbi의 전위의 강하를 방지할 수 있다.

[0151] 또한, 도 13 및 도 14a 내지 도 14c에 도시하는 반도체 표시장치에서는, 주사선용 보조 배선(510) 및 주사선용 보조 배선(511)을 갖는 구성을 도시하지만, 본 실시형태의 반도체 표시장치에서는 적어도 보조 배선(509)를 가지면 좋고, 반드시 주사선용 보조 배선(510) 및 주사선용 보조 배선(511)을 갖지 않아도 좋다. 다만, 주사선용 보조 배선(510) 또는 주사선용 보조 배선(511)을 형성함으로써, 제 1 주사선 Gaj와 주사선용 보조 배선(510)과의 합성 저항을 저하, 또는 제 2 주사선 Gbj와 주사선용 보조 배선(511)과의 합성 저항을 저하시킬 수 있다. 따라서, 제 1 주사선 Gaj의 전위의 강하에 의하여, 트랜지스터(502)의 스위칭 또는 트랜지스터(503)의 스위칭을, 적확한 타이밍으로 제어할 수 없게 되는 것을, 방지할 수 있다. 또한, 제 2 주사선 Gbj의 전위의 강하에 의하여, 트랜지스터(504)의 스위칭을, 적확한 타이밍으로 제어할 수 없게 되는 것을, 방지할 수 있다.

[0152] 또한 본 실시형태에서는, 적어도 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선 용 보조 배선(511)을, 충간 절연막(512)의 위에 형성한다. 도 13 및 도 14a 내지 도 14c에서는, 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511)에 더하고, 제 1 전원선 Vai의 일부(520)와 신호선 Si도, 충간 절연막(512)의 위에 형성하는 예를 도시한다. 따라서, 본 실시형태에서는, 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511), 신호선 Si, 제 1 전원선 Vai의 일부(520)를, 충간 절연막(512) 위에 형성된 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공(페터닝)함으로써 형성할 수 있다. 따라서, 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511), 신호선 Si 및 제 1 전원선 Vai의 일부(520)는, 1개의 마스크로 형성할 수 있다.

[0153] 또한, 본 실시형태에서는, 트랜지스터(501)가 갖는 게이트 전극(513), 트랜지스터(502)가 갖는 게이트 전극(514), 트랜지스터(503)가 갖는 게이트 전극(515), 트랜지스터(504)가 갖는 2개의 게이트 전극(516), 트랜지스터(505)가 갖는 게이트 전극(517), 유지 용량(507)이 갖는 한 쪽의 전극(518), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj, 제 1 전원선 Vai의 일부(521)를, 충간 절연막(512) 아래에 형성한다. 따라서, 본 실시형태에서는, 게이트 전극(513) 내지 게이트 전극(517), 전극(518), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj, 제 1 전원선 Vai의 일부(521)를, 충간 절연막(512)을 형성하기 전에, 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다. 따라서, 게이트 전극(513) 내지 게이트 전극(517), 전극(518), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj, 제 1 전원선 Vai의 일부(521)는, 1개의 마스크로 형성할 수 있다. 그래서, 본 실시형태의 반도체 표시장치는, 마스크 수를 종래보다 증가시키지 않으며 제작할 수 있다

[0154] 또한, 제 2 전원선 Vbi의 일부는 유지 용량(507)이 갖는 다른 쪽의 전극으로서 기능하고, 제 2 전원선 Vbi와 게이트 절연막(519)과 전극(518)이 중첩하는 영역이, 유지 용량(507)으로서 기능한다. 전극(518)과 트랜지스터(505)의 게이트 전극(517)이란, 일련의 도전막으로 형성된다.

[0155] 또한, 게이트 전극(513) 내지 게이트 전극(517)에는, 트랜지스터(501) 내지 트랜지스터(505)의 제작 공정에 있어서 실시되는 가열 처리에 견딜 수 있는 정도의 내열성이 요구된다. 따라서, 단수의 도전막 또는 적층된 복수의 도전막을 원하는 형상으로 가공(페터닝)함으로써, 게이트 전극(513) 내지 게이트 전극(517)과 함께 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj를 형성하는 경우, 게이트 전극(513) 내지 게이트 전극(517), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj에 사용할 수 있는 재료의 종류에는 제한이 생긴다. 그래서, 게이트 전극(513) 내지 게이트 전극(517), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj를 보다 저항율이 낮은 재료로 형성하는 것이 어렵다. 그러나 본 실시형태에서는, 트랜지스터(501) 내지 트랜지스터(505) 위에 형성된 충간 절연막(512)의, 더욱 위에 있어서, 제 2 전원선 Vbi, 보조 배선(509), 주사선 용 보조 배선(510), 주사선용 보조 배선(511)을 형성한다. 따라서, 제 2 전원선 Vbi, 보조 배선(509), 주사선 용 보조 배선(510), 주사선용 보조 배선(511)은 트랜지스터(501) 내지 트랜지스터(505)를 제작한 후에 형성되므로, 게이트 전극(513) 내지 게이트 전극(517), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj만큼 높은 내열성은 요구되지 않는다. 그래서, 제 2 전원선 Vbi, 보조 배선(509), 주사선 용 보조 배선(510), 주사선 용

조 배선(511)에 사용할 수 있는 재료는 비교적으로 자유도가 높고, 게이트 전극(513) 내지 게이트 전극(517), 보조 전원선(508), 제 1 주사선 Gaj, 제 2 주사선 Gbj보다 저항율이 낮은 재료를 선택할 수 있다. 저항율이 낮은 재료로 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511)을 제작함으로써, 보조 전원선(508)과 보조 배선(509)의 합성 저항, 제 1 주사선 Gaj와 주사선용 보조 배선(510)의 합성 저항, 제 2 주사선 Gbj와 주사선용 보조 배선(510)의 합성 저항을, 보다 저하시킬 수 있다. 따라서, 제 2 전원선 Vbi의 전위의 강하, 제 1 주사선 Gaj의 전위의 강하, 제 2 주사선 Gbj의 전위의 강하를 방지할 수 있다.

[0156] 또한, 도 13 및 도 14a 내지 도 14c에서는, 화소전극(522)의 일부, 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511), 제 1 전원선 Vai의 일부(520), 신호선 Si가, 격벽(523)에 의하여 덮인다. 그리고, 화소전극(522)이 형성되는 영역 중, 화소전극(522)이 격벽(523)에 의하여 덮이지 않고 일부 노출하는 영역(524)에 있어서, 격벽(523) 뒤에 형성되는 전계 발광층 및 공통 전극이, 화소전극(522) 위에 직접 적층된다. 따라서, 화소전극(522)과 전계 발광층 및 공통 전극이 직접 중첩하는 영역(524)에 있어서, 발광 소자(506)가 형성된다.

[0157] 도 13 및 도 14a 내지 도 14c에 도시하는 바와 같이, 격벽(523)은, 층간 절연막(512) 위에 형성된 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511), 제 1 전원선 Vai의 일부(520), 신호선 Si를 모두 덮도록 형성된다. 상기 구성에 의하여, 저항 값을 저하시키기 위하여, 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511), 제 1 전원선 Vai의 일부(520), 신호선 Si의 막 두께를 $0.8\mu m$ 이상 $1.5\mu m$ 이하 정도로 크게 한 경우에 있어서도, 후에 형성되는 전계 발광층이, 제 2 전원선 Vbi, 보조 배선(509), 주사선용 보조 배선(510), 주사선용 보조 배선(511), 제 1 전원선 Vai의 일부(520), 신호선 Si와 층간 절연막(512)과의 사이에 형성되는 단차에 의하여, 막 두께가 극단적으로 얇아지는, 또는 절단을 일으키는 것을 방지할 수 있다.

[0158] 또한, 도 13에서는, 보조 전원선(508)이 복수 나란히 배치되는 예를 도시한다. 제 2 전원선 Vbi에 주어지는 전원 전위의 높이가, 다른 제 2 전원선 Vbi에 주어지는 전원 전위와 상이한 경우에 있어서, 공통의 전원 전위가 주어지는 제 2 전원선 Vbi끼리를, 보조 전원선을 통하여 전기적으로 접속한다. 도 13에 도시하는 제 2 전원선 Vbi와 접속되는 보조 전원선(508) 이외의 다른 보조 전원선(508)은, 다른 공통의 전원 전위가 주어지는 제 2 전원선 Vbi끼리를 전기적으로 접속하는데 사용할 수 있다.

[0159] 도 15에, R(적), G(녹), B(청)의 각 색에 대응하는 제 2 전원선 Vbi끼리를 전기적으로 접속한 경우의, 표시 영역의 상면도를 일례로서 도시한다. 도 15에서는, R(적)에 대응하는 제 2 전원선 Vb(R), G(녹)에 대응하는 제 2 전원선 Vb(G), B(청)에 대응하는 제 2 전원선 Vb(B)에, 각각 주어지는 전원 전위가, 서로 상이하다. 또한, 제 2 전원선 Vb(R)는, 보조 전원선(508r)을 통하여, 인접하는 다른 R(적)에 대응하는 제 2 전원선 Vb(R)에 전기적으로 접속된다. 또한, 제 2 전원선 Vb(G)는, 보조 전원선(508g)을 통하고, 인접하는 다른 G(녹)에 대응하는 제 2 전원선 Vb(G)에 전기적으로 접속된다. 또한, 제 2 전원선 Vb(B)는, 보조 전원선(508b)을 통하고, 인접하는 다른 B(청)에 대응하는 제 2 전원선 Vb(B)에 전기적으로 접속된다.

[0160] 또한, 도 15에서는, 제 2 전원선 Vb(R), 제 2 전원선 Vb(G), 제 2 전원선 Vb(B)와 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)이, 각각 직접 접속됨으로써, 인접하는 제 2 전원선 Vb(R)끼리, 또는 인접하는 제 2 전원선 Vb(G)끼리, 또는 인접하는 제 2 전원선 Vb(B)끼리를 전기적으로 접속하는 예를 도시한다. 그러나, 제 2 전원선 Vb(R), 제 2 전원선 Vb(G), 제 2 전원선 Vb(B)와 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)이, 각각 다른 배선을 통하여 전기적으로 접속되어도 좋다.

[0161] 또한, 도 15에서는, 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)에 각각 직접 접속된 보조 배선(509r), 보조 배선(509g), 보조 배선(509b)를 도시한다. 또한, 도 15에서는, 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)이 직접 보조 배선(509r), 보조 배선(509g), 보조 배선(509b)에 각각 접속되지만, 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)이 다른 배선을 통하고, 보조 배선(509r), 보조 배선(509g), 보조 배선(509b)과 각각 전기적으로 접속되어도 좋다.

[0162] 본 실시형태의 반도체 표시장치에서는, 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)에 직접, 또는 전기적으로 각각 접속된 보조 배선(509r), 보조 배선(509g), 보조 배선(509b)을 형성함으로써, 보조 전원선(508r)과 보조 배선(509r)의 합성 저항, 보조 전원선(508g)과 보조 배선(509g)의 합성 저항, 보조 전원선(508b)과 보조 배선(509b)의 합성 저항을, 각각 저하시킬 수 있다. 따라서, 보조 전원선(508r), 보조 전원선(508g), 보조 전원선(508b)의 전위의 강하를 방지하여, 나아가서는 제 2 전원선 Vb(R), 제 2 전원선 Vb(G), 제 2 전원선 Vb(B)의 전위의 강하를 방지할 수 있다.

- [0163] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.
- [0164] (실시형태 4)
- [0165] 본 실시형태에서는, 충간 절연막 위에 형성되는 각종 배선의 막 두께를, 부분적으로 상이하게 할 수 있는, 반도체 표시장치의 제작 방법에 대하여 설명한다.
- [0166] 우선 도 16a에 도시하는 바와 같이, 트랜지스터(1601)와 트랜지스터(1601)를 덮는 충간 절연막(1602)과 충간 절연막(1602)을 덮는 도전막(1603)을 형성한다. 도전막(1603)은, 충간 절연막(1602)에 형성된 콘택트 홀을 통하여, 트랜지스터(1601)가 갖는 반도체 막(1604)에 접속된다. 트랜지스터(1601), 충간 절연막(1602), 도전막(1603)은, 예를 들어, 실시형태 2에 나타낸 제작 방법을 사용하여 형성할 수 있다.
- [0167] 또한, 도 16a 내지 도 16d에서는, 도전막(1603)은, 3개의 적층된 도전막으로 형성되는 예를 도시한다. 다만, 본 실시형태에서는, 도전막(1603)이 1개의 도전막으로 형성되어도 좋고, 2개의 적층된 도전막 또는 4개 이상의 적층된 도전막을 사용하고 형성되어도 좋다. 도전막(1603)에 사용되는 적어도 1개의 도전막의 전기 전도율은, 충간 절연막(1602)의 하층에 형성되는, 트랜지스터(1601)의 게이트 전극(1605)에 사용되는 적어도 1개의 도전막의 전기 전도율보다 높은 것이 바람직하다. 또는, 도전막(1603)의 어느 부분의 막 두께는, 그 두께가 게이트 전극(1605)의 어느 부분의 막 두께보다 두꺼운 것이 바람직하다. 구체적으로 도전막(1603)의 어느 부분의 막 두께는, $0.8\mu\text{m}$ 이상 $1.5\mu\text{m}$ 이하인 것이 바람직하다. 이와 같이, 도전막(1603)의 막 두께를 취함으로써, 전기 전도율을 높일 수 있다.
- [0168] 본 실시형태에서는, 충간 절연막(1602)에 가까운 측으로부터, 막 두께 100nm 정도의 티타늄막, 막 두께 700nm 내지 1000nm 정도의 알루미늄막, 막 두께 100nm 정도의 티타늄막을 적층한 것을, 도전막(1603)으로서 사용한다.
- [0169] 다음에, 도 16a에 도시하는 바와 같이, 도전막(1603) 위에 레지스트(1606)를 도포한다. 레지스트(1606)는, 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 본 실시형태에서는, 포지티브형 레지스트를 사용하여 나타낸다.
- [0170] 그리고, 다계조 마스크(1607)를 사용하여, 레지스트(1606)를 부분적으로 노광한다.
- [0171] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광(未露光) 부분에 3개의 노광 레벨을 행할 수 있는 마스크이고, 한 번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수를 삭감할 수 있다.
- [0172] 다계조 마스크의 대표적인 예로서는, 그레이 톤(gray tone) 마스크, 하프 톤(half tone) 마스크가 있다. 그레이 톤 마스크는, 투광성을 갖는 기판 및 그 위에 형성되는 차광부 및 회절격자로 구성된다. 차광부에 있어서는, 빛의 투과율이 0%이다. 한편, 회절격자는 슬릿, 도트, 메쉬 등의 광 투과부의 간격을, 노광에 사용하는 빛의 해상도 한계 이하의 간격으로 함으로써, 빛의 투과율을 제어 할 수 있다. 또, 회절격자(165)는, 주기적인 슬릿, 도트, 메쉬, 또는 비주기적인 슬릿, 도트, 메쉬의 어느 것이라도 사용할 수 있다. 투광성을 갖는 기판은, 석영 등의 투광성을 갖는 기판을 사용할 수 있다. 차광부 및 회절격자는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다. 그레이 톤 마스크에 노광 광을 조사한 경우, 차광부에 있어서는, 광 투과율은 0%이고, 차광부 및 회절격자가 형성되지 않는 영역에서는 광의 투과율은 100%이다. 또한, 회절격자에 있어서는, 10% 내지 70%의 범위에서 광의 투과율을 조정할 수 있다. 회절격자에 있어서의 빛의 투과율의 조정은 회절격자의 슬릿, 도트, 또는 메쉬의 간격 및 피치의 조정에 의하여 가능하다.
- [0173] 한편으로, 하프 톤 마스크는, 투광성을 갖는 기판 및 그 위에 형성되는 반투과부 및 차광부로 구성된다. 반투과부는 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다. 차광부는 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다. 하프 톤 마스크에 노광 광을 조사한 경우, 차광부에 있어서는, 빛의 투과율은 0%이고, 차광부 및 반투과부가 형성되지 않는 영역에서는 빛의 투과율은 100%이다. 또한, 반투과부에 있어서는, 10% 내지 70%의 범위에서 빛의 투과율을 조정할 수 있다. 반투과부에 있어서는 빛의 투과율의 조정은, 반투과부의 재료의 조정에 의하여 가능하다.
- [0174] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 16b에 도시하는 바와 같이, 막 두께가 상이한 영역을 갖는 레지스트 마스크(1608)를 형성할 수 있다. 그리고, 레지스트 마스크(1608)를 사용하여, 도전막(1603)을 에칭함으로써, 도전막(1609)과 도전막(1610)을 형성한다. 도전막(1609)과 도전막(1610)은 각각 콘택트

트 홀을 통하여 반도체 막(1604)에 접속된다.

[0175] 다음에, 레지스트 마스크(1608)를 애싱(ashing)한다. 이 결과, 레지스트의 면적이 축소되어, 두께가 얇아진다. 그리고, 레지스트 마스크(1608) 중, 도전막(1609) 위의 막 두께가 얇은 영역의 레지스트가 부분적으로 제거됨으로써, 도 16c에 도시하는 바와 같이, 레지스트 마스크(1611)가 형성된다.

[0176] 다음에, 레지스트 마스크(1611)를 사용하여, 도전막(1609)을 더 에칭 한다. 이 결과, 도 16c에 도시하는 바와 같이, 막 두께가 부분적으로 얇은 도전막(1612)을 도전막(1609)으로부터 형성할 수 있다. 또한, 레지스트 마스크(1608)의 애싱의 양이 많으면 도전막(1610) 위의 레지스트 마스크(1611)의 면적이 도전막(1610)의 면적보다 작아지므로, 레지스트 마스크(1611)를 사용한 상기 에칭에 있어서, 도전막(1610)의 단부도 에칭될 경우가 있다.

[0177] 또한, 도 16c에서는 도전막(1609)을 에칭할 때, 가장 층간 절연막(1602)에 가까운 도전막만이 부분적으로 잔존하는 예를 도시하지만, 본 발명은 이 구성에 한정되지 않는다. 상층의 2개의 도전막도, 부분적으로 잔존하여도 좋다.

[0178] 또한, 도 16d에 도시하는 바와 같이, 레지스트 마스크(1611)를 제거한 후, 도전막(1612) 및 도전막(1610)을 덮도록, 층간 절연막(1602) 위에 절연막(1613)을 형성한다. 또한, 절연막(1613)에 콘택트 홀을 형성하여, 상기 콘택트 홀에 있어서 도전막(1612)의 막 두께의 얇은 부분과 접속하는 화소전극(1614)을, 절연막(1613) 위에 형성한다.

[0179] 또한, 화소전극(1614)의 일부를 덮도록, 절연막(1613) 위에 격벽(1615)을 형성한다. 격벽(1615)은 개구부를 갖고, 상기 개구부에 있어서 화소전극(1614)이 일부 노출한다. 또한, 격벽(1615)은, 적어도 도전막(1612)의 막 두께의 두꺼운 부분과, 도전막(1610)과 중첩하도록 형성한다. 상기 구성에 의하여, 저항 값을 저하하기 위하여, 도전막(1612)의 막 두께의 두꺼운 부분 및 도전막(1610)의 막 두께를, $0.8\mu m$ 이상 $1.5\mu m$ 이하 정도로 크게 한 경우에 있어서도, 후에 형성되는 전계발광층(1616)이, 도전막(1612)의 막 두께의 두꺼운 부분 및 도전막(1610)과 층간 절연막(1602) 사이에 형성되는 단차에 의하여, 막 두께가 극단적으로 얇아지는, 또는 단절을 일으키는 것을 방지할 수 있다.

[0180] 또한, 화소전극(1614)이, 도전막(1612)의 막 두께의 얇은 부분과 접속되므로, 화소전극(1614)이 도전막(1612)의 막 두께의 얇은 부분과 층간 절연막(1602) 사이에 형성되는 단차에 의하여, 막 두께가 극단적으로 얇아지는, 혹은 단절을 일으키는 것을 방지할 수 있다.

[0181] 다음에, 화소전극(1614) 및 격벽(1615) 위에, 전계 발광층(1616)과 공통 전극(1617)을, 차례로 적층하도록 형성한다. 화소전극(1614)과 전계 발광층(1616)과 공통 전극(1617)이 직접 중첩하는 부분이, 발광 소자(1618)로서 기능한다.

[0182] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

[0183] (실시형태 5)

[0184] 본 실시형태에서는, 층간 절연막 위에 형성된 각종 배선을 사용하고, 발광 소자로부터 발해지는 빛을 효율적으로 반도체 표시장치의 외부로 추출할 수 있는 구성에 대하여 설명한다.

[0185] 도 17에, 본 실시형태의 반도체 표시장치가 갖는 발광 소자와, 상기 발광 소자의 근방에 설치된 배선과의 단면도를, 일례로서 도시한다. 발광 소자(1700)는, 화소전극(1701)과 전계 발광층(1702)과 공통 전극(1703)을 가진다. 또한, 배선(1704)은, 그 막 두께가 상이한 복수의 영역으로 구성된다. 구체적으로, 도 17에서는, 배선(1704)이, 막 두께가 큰 영역(1704a)과 막 두께가 작은 영역(1704b)을 가진다.

[0186] 배선(1704)은 절연막(1705)으로 덮어, 절연막(1705)에 형성된 콘택트 홀을 통하여, 배선(1704)과, 절연막(1705) 위에 형성된 화소전극(1701)이 접속된다. 또한, 도 17에서는, 배선(1704) 중, 막 두께가 큰 영역(1704a)과 콘택트 홀이 중첩하는 경우를 예시하지만, 본 발명은 이 구성에 한정되지 않는다. 배선(1704) 중, 막 두께가 작은 영역(1704b)과 콘택트 홀이 중첩하여도 좋다.

[0187] 또한, 화소전극(1701)의 일부와, 배선(1704) 중, 막 두께의 큰 영역(1704a)은, 격벽(1706)에 의하여 덮인다. 또한, 화소전극(1701) 중 격벽(1706)에 의하여 덮이지 않고 노출하는 부분과 전계 발광층(1702)과, 공통 전극(1703)이 서로 중첩하는 부분이, 발광 소자(1700)로서 기능한다. 그리고, 상기 발광 소자(1700)로서 기능하는 부분은, 배선(1704) 중, 막 두께가 작은 영역(1704b)과 중첩한다.

- [0188] 배선(1704) 중, 막 두께가 큰 영역(1704a)이, 격벽(1706)에 의하여 덜임으로써, 저항 값을 저하시키기 위하여, 배선(1704) 중 영역(1704a)에 있어서의 막 두께를 $0.8\mu m$ 이상 $1.5\mu m$ 이하 정도로 크게 한 경우에 있어서도, 후에 형성되는 전계 발광층(1702)이, 영역(1704a)과 영역(1704b) 사이에 형성되는 단차에 의하여, 막 두께가 극단적으로 얇아지는, 또는 절단을 일으키는 것을 방지할 수 있다.
- [0189] 또한, 막 두께가 큰 영역(1704a)과 막 두께가 작은 영역(1704b)을 갖는 배선(1704)는, 그레이 톤 마스크, 하프 톤 마스크 등의 다계조 마스크를 사용함으로써, 마스크 수를 증가시키지 않고 형성할 수 있다.
- [0190] 또한, 기판(1707) 위에는 반도체 막(1709)이 형성되어, 반도체 막(1709)은 게이트 절연막(1710) 및 층간 절연막(1711)으로 덮인다. 배선(1704)은 층간 절연막(1711) 위에 형성되고, 게이트 절연막(1710) 및 층간 절연막(1711)에 형성된 콘택트 홀을 통하여 배선(1704)과 반도체 막(1709)이 접속된다. 또한, 배선(1704)의 종류에 따라서는, 게이트 전극과 함께 게이트 절연막(1710) 위에 형성된 배선과, 배선(1704)이, 층간 절연막(1711)에 형성된 콘택트 홀을 통하여 접속되어도 좋다.
- [0191] 또한, 도 17에서는, 화소전극(1701) 및 공통 전극(1703)이 투광성을 갖고, 배선(1704)이 빛을 반사하는 재료를 사용하여 형성된다. 또한, 배선(1704) 중, 막 두께가 작은 영역(1704b)과, 막 두께가 큰 영역(1704a)의 영역(1704b)에 인접하는 단부(1708)에 있어서, 전계 발광층(1702)으로부터 발해지는 빛을, 기판(1707)과는 반대 방향을 향하여 반사시킬 수 있다. 따라서, 본 실시형태로 나타내는 반도체 표시장치에서는, 반도체 표시장치로부터 추출되는 빛은, 전계 발광층(1702)으로부터 직접 기판(1707)과는 반대 방향으로 발해지는 빛과 전계 발광층(1702)으로부터 발해진 후, 배선(1704)에 의한 반사를 거쳐, 기판(1707)과는 반대 방향으로 발해지는 빛을 포함한다.
- [0192] 또한, 본 실시형태에서는, 배선(1704) 중, 막 두께가 큰 영역(1704a)의 단부(1708)에 있어서의 구배 각도, 즉 단부(1708)로 형성되는 면과, 기판(1707) 사이의 각도 Θt 를, $0^\circ < \Theta t < 90^\circ$, 보다 바람직하게는 $50^\circ < \Theta t < 60^\circ$ 로 한다. 상기 구성에 의하여, 전계 발광층(1702)으로부터 발해지는 빛 중, 가로 방향(기판(1707)의 일주면과 평행의 방향)을 향하는 빛을, 배선(1704)의 단부(1708)에 있어서 반사시켜, 기판(1707)과 반대 방향으로 방출시킬 수 있다.
- [0193] 또한, 영역(1704a)의 단부(1708) 및 영역(1704b)에 있어서, 전계 발광층(1702)으로부터 발해지는 빛이 반사하도록, 배선(1704)에 사용하는 재료를 적절히 선택한다. 예를 들어, 배선(1704)으로서, 알루미늄(A1), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 실리콘(Si) 등을 사용할 수 있다. 또한, 상기 원소를 주성분으로 하는 합금을 사용하여도 좋고, 상기 원소를 포함하는 화합물을 사용하여도 좋다. 배선(1704)은, 상기 원소를 갖는 단수의 막을, 또는 상기 원소를 갖는 적층된 복수의 막을 사용할 수 있다.
- [0194] 또한, 절연막(1705)에 산화실리콘을 사용하는 경우, 배선(1704)에 사용하는 재료에 따라서는, 배선(1704) 표면이 산화됨으로써, 빛이 배선(1704) 표면에 있어서 반사하기 어렵게 될 경우가 있다. 절연막(1705)으로서 질화실리콘을 사용함으로써, 배선(1704) 표면에 있어서의 산화를 방지하여, 빛을 배선(1704) 표면에 있어서 반사하기 쉽게 할 수 있다. 또는, 배선(1704)에 백금(Pt), 금(Au), 은(Ag) 등의 산화되기 어려운 재료를 사용함으로써, 배선(1704) 표면에 있어서의 산화를 방지할 수 있다. 산화되기 어려운 재료를 배선(1704)에 사용하는 경우, 질화실리콘보다 투광성이 높은 산화실리콘을 절연막(1705)에 사용할 수 있다.
- [0195] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.
- [0196] [실시예 1]
- [0197] 본 실시예에서는, 반도체 기판(본드 기판)으로부터 지지 기판(베이스 기판)에 전치(轉置)한 반도체 막을 사용하여 반도체 소자를 형성하는, 반도체 표시장치의 제작 방법에 대하여 설명한다.
- [0198] 우선, 도 18a에 도시하는 바와 같이, 본드 기판(900) 위에 절연막(901)을 형성한다. 절연막(901)은, 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(901)은, 단수의 절연막을 사용하는 것이라도, 복수의 절연막을 적층하여 사용한 것이라도 좋다. 예를 들어, 본 실시예에서는, 본드 기판(900)에 가까운 측에서, 질소보다 산소의 함유량이 높은 산화질화실리콘, 산소보다 질소의 함유량이 높은 질화산화실리콘의 순서로 적층된 절연막(901)을 사용한다.
- [0199] 예를 들어, 산화실리콘을 절연막(901)으로서 사용하는 경우, 절연막(901)은 실란과 산소, TEOS(테트라에톡시실란)과 산소 등의 혼합 가스를 사용하고, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 기상

성장법에 의하여 형성할 수 있다. 이 경우, 절연막(901) 표면을 산소 플라즈마 처리에 의하여 치밀화하여도 좋다. 또한, 질화실리콘을 절연막(901)으로서 사용하는 경우, 실란과 암모니아의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상 성장법에 의하여 형성할 수 있다. 또한, 질화산화실리콘을 절연막(901)으로서 사용하는 경우, 실란과 암모니아의 혼합가스, 또는 실란과 산화질소의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상 성장법에 의하여 형성할 수 있다.

[0200] 또한, 절연막(901)으로서, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘을 사용하여도 좋다. 유기 실란 가스로서는, 테트라에톡시실란(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유화합물을 사용할 수 있다.

[0201] 다음, 도 18a에 도시하는 바와 같이, 본드 기판(900)에 화살표로 나타내는 바와 같이 수소 또는 희소 가스, 혹은 수소 이온 또는 희소 가스 이온을 조사하고, 본드 기판(900) 표면으로부터 일정의 깊이의 영역에, 미소 보이드를 갖는 취화층(902)을 형성한다. 취화층(902)이 형성되는 위치는, 상기 조사의 가속 전압에 따라 결정된다. 그리고, 취화층(902)의 위치에 의하여, 본드 기판(900)으로부터 베이스 기판(904)에 전지하는 반도체 막(908)의 두께가 결정되기 때문에, 조사의 가속 전압은 반도체 막(908)의 두께를 고려하여 행한다. 상기 반도체 막(908)의 두께는 10nm 내지 200nm, 바람직하게는, 10nm 내지 50nm의 두께로 한다. 예를 들어, 수소를 본드 기판(900)에 조사하는 경우, 도즈량은 $3 \times 10^{16}/\text{cm}^2$ 내지 $1 \times 10^{17}/\text{cm}^2$ 로 하는 것이 바람직하다.

[0202] 또한, 취화층(902)을 형성하는 상기 공정에 있어서, 본드 기판(900)에 높은 농도의 수소 또는 희소 가스, 혹은 수소 이온 또는 희소 가스 이온을 조사하므로, 본드 기판(900) 표면이 거칠게 되어, 베이스 기판(904)과의 사이에 있어서의 접합으로서 충분한 강도를 얻을 수 없는 경우가 있다. 절연막(901)을 형성함으로써, 수소 또는 희소 가스, 혹은 수소와 희소 가스의 이온을 조사할 때에 본드 기판(900)의 표면이 보호되어, 베이스 기판(904)과 본드 기판(900) 사이에 있어서의 접합을 양호하게 행할 수 있다.

[0203] 다음, 도 18b에 도시하는 바와 같이, 절연막(901) 위에 절연막(903)을 형성한다. 절연막(903)은, 절연막(901)과 마찬가지로, 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(903)은, 단수의 절연막을 사용한 것이라도, 복수의 절연막을 적층하여 사용한 것이라도 좋다. 또한, 절연막(903)으로서, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘을 사용하여도 좋다. 본 실시예에서는, 절연막(903)으로서, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제작되는 산화실리콘을 사용한다.

[0204] 또한, 절연막(901) 또는 절연막(903)에 질화실리콘, 질화산화실리콘 등의 배리어성이 높은 절연막을 사용함으로써, 후에 형성되는 반도체 막(909)에 알칼리 금속이나 알칼리 토류 금속 등의 불순물이 베이스 기판(904)으로부터 침입하는 것을 방지할 수 있다.

[0205] 또한, 본 실시예에서는, 취화층(902)을 형성한 후에 절연막(903)을 형성하지만, 절연막(903)은 반드시 형성할 필요는 없다. 다만, 절연막(903)은 취화층(902)을 형성한 후에 형성되기 때문에, 취화층(902)을 형성하기 전에 형성되는 절연막(901)보다 그 표면의 평탄성은 높다. 따라서, 절연막(903)을 형성함으로써, 후에 행해지는 접합의 강도를 보다 높일 수 있다.

[0206] 다음에, 본드 기판(900)과 베이스 기판(904)을 접합에 의하여 접착하기 전에, 본드 기판(900)에 수소화 처리를 행하여도 좋다. 수소화 처리는, 예를 들어, 수소 분위기 중에 있어서 350°C, 2시간 정도 행한다.

[0207] 그리고, 도 18c에 도시하는 바와 같이, 본드 기판(900)과 베이스 기판(904)을, 절연막(903)을 사이에 끼우도록 중첩하여, 도 18d에 도시하는 바와 같이 접착한다. 절연막(903)과 베이스 기판(904)이 접합함으로써, 본드 기판(900)과 베이스 기판(904)을 접착시킬 수 있다.

[0208] 접합의 형성은 반데르발스 힘(Van der Waalr's forces)을 사용하여 행해지기 때문에, 실온에서도 강고한 접합이 형성된다. 또한, 상기 접합은 저온에서 행할 수 있기 때문에, 베이스 기판(904)은 다양한 것을 사용할 수 있다. 예를 들어, 베이스 기판(904)으로서는, 알루미노 실리케이트 유리, 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리 등의 유리 기판 이외에도, 석용 기판, 사파이어 기판 등의 기판을 사용할 수 있다. 또한, 베이스 기판(904)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기판 등을 사용할 수 있다.

[0209]

또한, 베이스 기판(904)의 표면에도 절연막을 형성하고, 상기 절연막과 절연막(903) 사이에서 접합을 행하여도 좋다. 이 경우, 베이스 기판(904)으로서 상술한 것 이외에도, 스테인리스 기판을 포함하는 금속 기판을 사용하여도 좋다. 또한, 플라스틱 등의 가요성을 갖는 합성 수지로 이루어지는 기판은, 상기 기판과 비교하여 내열 온도가 일반적으로 낮은 경향이 있지만, 제작 공정에 있어서의 처리 온도에 견딜 수 있으면, 베이스 기판(904)으로서 사용할 수 있다. 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르 셀론(PES), 폴리에틸렌 나프탈레이트(PEN), 폴리카보네이트(PC), 폴리에테르에테르케톤(PEEK), 폴리 셀론(PSF), 폴리에테르아미드(PEI), 폴리알리레이트(PAR), 폴리부틸렌테레프탈레이트(PBT), 폴리아미드, 아크릴로니트릴 부타디엔 스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리초산비닐, 아크릴수지 등을 들 수 있다.

[0210]

본드 기판(900)으로서, 실리콘, 게르마늄 등의 단결정 반도체 기판 또는 다결정 반도체 기판을 사용할 수 있다. 그 이외에도, 갈륨비소, 인듐인 등의 화합물 반도체로 형성된 단결정 반도체 기판 또는 다결정 반도체 기판을 본드 기판(900)으로서 사용할 수 있다. 또한, 본드 기판(900)으로서, 결정 격자에 뒤틀림을 갖는 실리콘, 실리콘에 대하여 게르마늄이 첨가된 실리콘 게르마늄 등의 반도체 기판을 사용하여도 좋다. 뒤틀림을 갖는 실리콘은, 실리콘보다 격자 정수가 큰 실리콘 게르마늄 또는 질화실리콘막 위에 있어서의 성막에 의하여 형성할 수 있다.

[0211]

또한, 베이스 기판(904)과 본드 기판(900)을 접착한 후에, 가열 처리 또는, 가압 처리를 행하여도 좋다. 가열 처리 또는 가압처리를 행함으로써 접합의 강도를 향상시킬 수 있다.

[0212]

상기 접합을 행한 후, 열 처리를 행함으로써, 취화층(902)에 있어서 인접하는 미소 보이드끼리가 결합하고, 미소 보이드의 체적이 증대된다. 그 결과, 도 19a에 도시하는 바와 같이, 취화층(902)에 있어서, 본드 기판(900)이 벽개되고, 본드 기판(900)의 일부인 반도체 막(908)이 박리한다. 열 처리의 온도는 베이스 기판(904)의 내열 온도 이하로 행하는 것이 바람직하고, 예를 들어, 400°C 내지 600°C의 범위 내로 열 처리를 행하면 좋다. 이 박리에 의하여, 반도체 막(908)이 절연막(901) 및 절연막(903)과 함께 베이스 기판(904)에 전치된다. 그 후, 절연막(903) 및 베이스 기판(904)의 접합을 보다 강고하게 하기 위하여, 400°C 내지 600°C의 열 처리를 행하는 것이 바람직하다.

[0213]

반도체 막(908)의 결정 면방위는, 본드 기판(900)의 면방위에 의하여 제어할 수 있다. 형성하는 반도체 소자에 적합한 결정 면방위를 갖는 본드 기판(900)을, 적절히 선택하여 사용하면 좋다. 또한, 트랜지스터의 이동도는 반도체 막(908)의 결정 면방위에 따라 다르다. 보다 이동도가 높은 트랜지스터를 얻고자 하는 경우, 채널의 방향과 결정 면방위를 고려하여, 본드 기판(900)의 접합 방향을 결정한다.

[0214]

다음에, 전치된 반도체 막(908) 표면을 평탄화한다. 평탄화는 반드시 필수가 아니지만, 평탄화를 행함으로써, 후에 형성되는 트랜지스터에 있어서 반도체 막(908)과 게이트 절연막의 계면의 특성을 향상시킬 수 있다. 구체적으로는, 평탄화는, 화학적 기계적 연마(CMP: Chemical Mechanical Polishing)에 의하여 행할 수 있다. 반도체 막(908)의 두께는, 상기 평탄화에 의하여 박막화된다.

[0215]

또한, 본 실시예에서는, 취화층(902)의 형성에 의하여 반도체 막(908)을 본드 기판(900)으로부터 박리하는 스마트 컷법을 사용하는 경우에 대하여 나타내지만, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의 다른 접합법을 사용하여 반도체 막(908)을 베이스 기판(904)에 접착하여도 좋다.

[0216]

다음, 도 19b에 도시하는 바와 같이, 반도체 막(908)을 원하는 형상으로 가공(패터닝)함으로써, 섬 형상의 반도체 막(909)을 형성한다.

[0217]

상기 공정을 거쳐 형성된 반도체 막(909)을 사용하여, 트랜지스터 등의 각종 반도체 소자를 형성할 수 있다. 도 19c에는, 반도체 막(909)을 사용하여 형성된 트랜지스터(910)를 예시한다.

[0218]

상술한 제작 방법을 사용함으로써, 상기 본 실시형태의 반도체 표시장치가 갖는 반도체 소자를 제작할 수 있다.

[0219]

본 실시예는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

[0220]

[실시예 2]

[0221]

본 실시예에서는, 반도체 표시장치의 전체적인 구성에 대하여 설명한다. 도 20a에, 본 실시예의 반도

체 표시장치의 블록도를 일례로서 도시한다.

[0222] 도 20a에 도시하는 반도체 표시장치는, 발광 소자를 구비한 화소를 복수 갖는 화소부(표시영역)(700)와, 각 화소를 라인마다 선택하는 주사선 구동회로(710)와, 선택된 라인의 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(720)를 가진다.

[0223] 도 20a에 있어서 신호선 구동회로(720)는, 시프트 레지스터(721), 제 1 기억 회로(722), 제 2 기억 회로(723)를 D/A(Digital to Analog) 변환 회로(724)를 가진다. 시프트 레지스터(721)에는, 클록 신호 S-CLK, 스타트 펄스 신호 S-SP가 입력된다. 시프트 레지스터(721)는, 이를 클록 신호 S-CLK 및 스타트 펄스 신호 S-SP에 따라, 펄스가 순차로 시프트하는 타이밍 신호를 생성하고, 제 1 기억 회로(722)에 출력한다. 타이밍 신호의 펄스의 출현 순서는, 주사 방향 전환신호에 따라 전환되도록 하여도 좋다.

[0224] 제 1 기억 회로(722)에 타이밍 신호가 입력되면, 상기 타이밍 신호의 펄스에 따라, 비디오 신호가 순차적으로 제 1 기억 회로(722)에 기록되고, 유지된다. 또한, 제 1 기억 회로(722)가 갖는 복수의 기억 소자에 순차적으로 비디오 신호를 기록하여도 좋지만, 제 1 기억 회로(722)가 갖는 복수의 기억 소자를 몇 개의 그룹으로 나누고, 상기 그룹마다 병행해서 비디오 신호를 입력하는, 소위 분할 구동을 행하여도 좋다. 또한, 이때의 그룹 수를 분할수라고 부른다. 예를 들어, 4개씩 기억 소자를 그룹으로 나누면, 4분할로 분할 구동하게 된다.

[0225] 제 1 기억 회로(722)의 모든 기억 소자로의, 비디오 신호의 기록이 일단 종료할 때까지의 시간을, 라인 기간이라고 부른다. 실제로는, 상기 라인 기간에 수평귀선(歸線) 기간이 더해진 기간을 라인 기간에 포함하는 경우가 있다.

[0226] 1라인 기간이 종료되면, 제 2 기억 회로(723)에 입력되는 신호 S-LS의 펄스에 따라, 제 1 기억 회로(722)에 유지되는 비디오 신호가, 제 2 기억 회로(723)에 일제히 기록되고, 유지된다. 비디오 신호를 제 2 기억 회로(723)에 송출 완료한 제1 기억 회로(722)에는, 다시 시프트 레지스터(421)로부터의 타이밍 신호에 따라, 다음 비디오 신호의 기록이 순차 행해진다. 이 2번째 순서의 1라인 기간 중에는, 제 2 기억 회로(723)에 기록되고, 유지되는 비디오 신호가 D/A 변환 회로(724)에 입력된다.

[0227] 그리고, D/A 변환 회로(724)는, 입력된 디지털의 비디오 신호를 아날로그의 비디오 신호로 변환하고, 신호선을 통하여 화소부(700) 내의 각 화소에 입력한다.

[0228] 또한, D/A 변환 회로(724)를 형성하지 않고, 비디오 신호를 디지털인 채 화소부(700)에 입력하여도 좋다.

[0229] 또한, 신호선 구동회로(720)는, 시프트 레지스터(721) 대신에, 펄스가 순차 시프트하는 신호를 출력할 수 있는 다른 회로를 사용하여도 좋다.

[0230] 또한, 도 20a에서는 D/A 변환 회로(724)의 후단에 화소부(700)가 직접 접속되지만, 본 발명은 이 구성에 한정되지 않는다. 화소부(700)의 전단에, D/A 변환 회로(724)로부터 출력된 비디오 신호에 신호 처리를 실시하는 회로를 형성할 수 있다. 신호 처리를 실시하는 회로의 일례로서, 예를 들어, 과형을 정형할 수 있는 베퍼 등을 들 수 있다.

[0231] 다음에, 주사선 구동회로(710)의 동작에 대하여 설명한다. 주사선 구동회로(710)는 선택 신호를 생성하고, 상기 선택 신호를 복수의 각 주사선에 입력함으로써, 화소를 라인마다 선택한다. 선택 신호에 의하여 화소가 선택되면, 주사선의 1개에 게이트가 접속된 트랜지스터가 온 상태가 되어, 화소에의 비디오 신호의 입력이 행해진다.

[0232] 또한, 본 실시예에서는, 복수의 주사선에 입력되는 선택 신호를 모든 하나의 주사선 구동회로(710)로 생성하는 예에 대해서 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 주사선 구동회로(710)에서 복수의 주사선에 입력되는 선택 신호의 생성을 행하여도 좋다.

[0233] 또한, 각 화소에 주사선이 복수 형성되는 경우, 각 주사선에 대응하는 주사선 구동회로를 복수 형성하여도 좋다.

[0234] 또한, 화소부(700), 주사선 구동 회로(710), 신호선 구동 회로(720)는, 같은 기판에 형성할 수 있지만, 어느 것을 다른 기판에 형성할 수도 있다.

[0235] 다음에, 도 20a와는 다른 반도체 표시장치의 블록도를, 도 20b에 일례로서 도시한다. 도 20b에 도시하는 반도체 표시장치는, 복수의 화소를 갖는 화소부(표시 영역)(600)와, 복수의 화소를 라인마다 선택할 수 있는

주사 선 구동 회로(610)와, 선택된 라인 내의 화소로의 비디오 신호의 입력을 제어하는 신호 선 구동 회로(620)를 가진다.

[0236] 신호선 구동 회로(620)는, 시프트 레지스터(621)와, 샘플링 회로(622)와, 아날로그 신호를 기억할 수 있는 기억 회로(623)를 적어도 가진다. 시프트 레지스터(621)에 클록 신호 S-CLK와 스타트 펄스 신호 S-SP가 입력된다. 시프트 레지스터(621)는 이들의 클록 신호 S-CLK 및 스타트 펄스 신호 S-SP에 따라, 펄스가 순차로 시프트하는 타이밍 신호를 생성하여, 샘플링 회로(622)에 입력한다. 샘플링 회로(622)에서는, 입력된 타이밍 신호에 따라, 신호선 구동 회로(620)에 입력된 1라인 기간 분의 아날로그의 비디오 신호를 샘플링한다. 그리고 1라인 기간 분의 비디오 신호가 모두 샘플링되면, 샘플링된 비디오 신호는 신호 S-LS에 따라 일제로 기억 회로(623)에 출력되어 유지된다. 기억 회로(623)에 유지되는 비디오 신호는, 신호선을 통하여 화소부(600)에 입력된다.

[0237] 또한, 본 실시예에서는, 샘플링 회로(622)에 있어서 1라인 기간 분의 비디오 신호를 모두 샘플링한 후에, 일제히 하단(下段)의 기억 회로(623)에 샘플링된 비디오 신호를 입력하는 경우를 예로 들어 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 샘플링 회로(622)에 있어서 각 화소에 대응하는 비디오 신호를 샘플링하면, 1라인 기간을 기다리지 않고, 그 때마다 하단의 기억 회로(623)에 샘플링된 비디오 신호를 입력하여도 좋다.

[0238] 또한 비디오 신호의 샘플링은 대응하는 화소마다 순차로 행하여도 좋고, 1라인 내 화소를 몇 개의 그룹으로 나누어, 각 그룹에 대응하는 화소마다 병행하여 행하여도 좋다.

[0239] 또한, 도 20b에서는, 기억 회로(623)의 후단에 직접 화소부(600)가 접속되지만, 본 발명은 이 구성에 한정되지 않는다. 화소부(600)의 전단에, 기억 회로(623)로부터 출력된 아날로그의 비디오 신호에 신호 처리를 실시하는 회로를 형성할 수 있다. 신호 처리를 실시하는 회로의 일례로서, 예를 들면 과형을 정형할 수 있는 베틀 등을 들 수 있다.

[0240] 그리고, 기억 회로(623)로부터 화소부(600)에 비디오 신호가 입력되는 것과 병행하여, 샘플링 회로(622)는 다음 라인 기간에 대응하는 비디오 신호를 다시 샘플링할 수 있다

[0241] 다음에, 주사선 구동 회로(610)의 동작에 대해서 설명한다. 주사선 구동 회로(610)는, 선택 신호를 생성하고, 상기 선택 신호를 복수의 각 주사선에 입력함으로써, 화소를 라인마다 선택한다. 선택 신호에 의하여 화소가 선택되면, 주사선의 하나에 게이트가 접속된 트랜지스터가 온 상태가 되고, 화소에의 비디오 신호의 입력이 행해진다.

[0242] 또한, 본 실시예에서는, 복수의 주사선에 입력되는 선택 신호를 모두 하나의 주사선 구동 회로(610)에 의하여 생성하는 예에 대해서 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 주사선 구동 회로(610)에서 복수의 주사선에 입력되는 선택 신호의 생성을 행하여도 좋다.

[0243] 또한, 각 화소에 주사선이 복수 형성되는 경우, 각 주사선에 대응한 주사선 구동 회로를 복수 형성하도록 하여도 좋다.

[0244] 또한, 화소부(600), 주사선 구동회로(610), 신호선 구동회로(620)는, 같은 기판에 형성할 수 있지만, 어느 것을 다른 기판에서 형성할 수 있다.

[0245] 본 실시예는, 상기 실시형태 또는 실시예와 적절히 조합하여 실시할 수 있다.

[0246] [실시예 3]

[0247] 본 실시예에서는 반도체 표시장치의 외관에 대하여 도 21a 및 도 21b를 사용하여 설명한다. 도 21a는 제 1 기판 위에 형성된 트랜지스터 및 발광 소자를, 제 1 기판과 제 2 기판 사이에 시일재로 밀봉한 패널의 상면도이고, 도 21b는 도 21a의 A1-A2에 있어서의 단면도에 상당한다.

[0248] 제 1 기판(4001) 위에 형성된 화소부(표시 영역)(4002)와, 신호선 구동회로(4003)와, 주사선 구동회로(4004)를 둘러싸도록, 시일재(4020)가 형성된다. 또한, 화소부(4002), 신호선 구동회로(4003) 및 주사선 구동회로(4004) 위에, 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002), 신호선 구동회로(4003), 주사선 구동회로(4004)는 제 1 기판(4001)과 제 2 기판(4006) 사이에 있어서, 시일재(4020)에 의하여, 충전재(4007)와 함께 밀봉된다.

[0249] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002), 신호선 구동회로(4003), 주사선 구동회로(4004)는

각각 트랜지스터를 복수 가진다. 도 21b에서는, 신호선 구동회로(4003)에 포함되는 트랜지스터(4008)와, 화소부(4002)에 포함되는 트랜지스터(4009), 트랜지스터(4010)를 예시한다.

[0250] 또한, 발광 소자(4011)는 배선(4017)을 통하여 트랜지스터(4009)의 소스 영역 또는 드레인 영역에 전기적으로 접속되는 화소 전극(4030)과 전계발광층(4013)과, 공통 전극(4012)을 가진다. 또한, 발광 소자(4011)의 구성은 본 실시예에 나타낸 구성에 한정되지 않는다. 발광 소자(4011)로부터 추출되는 빛의 방향이나, 트랜지스터(4009)의 극성 등에 맞추어, 발광 소자(4011)의 구성은 적절히 바꿀 수 있다.

[0251] 또한, 신호선 구동회로(4003), 주사선 구동회로(4004), 또는 화소부(4002)에 주어지는 각종 신호 및 전압은 도 21b에 도시하는 단면도에서는 도시되지 않지만, 인출 배선(4014 및 4015)을 통하여, 접속단자(4016)로부터 공급된다.

[0252] 본 실시예에서는 접속단자(4016)가, 발광 소자(4011)가 갖는 공통 전극(4012)과 같은 도전막으로 형성된다. 또한, 인출 배선(4014)은 배선(4017)과 같은 도전막으로 형성되어 있다. 또한, 인출 배선(4015)은 트랜지스터(4009), 트랜지스터(4010), 트랜지스터(4008)가 각각 갖는 게이트 전극과, 같은 도전막으로 형성된다.

[0253] 접속단자(4016)는 FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속된다.

[0254] 또한, 제 1 기판(4001), 제 2 기판(4006)으로서, 유리, 금속(대표적으로는 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 다만, 발광 소자(4011)로부터의 빛의 추출 방향에 위치하는 제 2 기판(4006)은 투광성을 가져야 한다. 따라서, 제 2 기판(4006)은 유리 판, 플라스틱 판, 폴리에스테르 필름 또는 아크릴필름과 같은 투광성을 갖는 재료를 사용하는 것이 바람직하다.

[0255] 또한, 충전재(4007)로서는 질소나 아르곤 등의 불활성의 기체 이외에, 자외선 경화수지 또는 열 경화수지를 사용할 수 있다. 본 실시예에서는 충전재(4007)로서 질소를 사용하는 예를 나타낸다.

[0256] 본 실시예는, 상기 실시형태 또는 실시예와 적절히 조합하여 실시할 수 있다.

[실시예 4]

[0258] 상기 실시형태 및 상기 실시예에서 나타낸 반도체 장치를 사용함으로써, 대형의 표시 영역을 갖는 고화질의 표시장치를 제공할 수 있다. 따라서, 상기 실시형태 및 상기 실시예에서 나타낸 반도체 표시장치는, 표시장치, 노트형 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생장치(대표적으로는 DVD: Digital Versatile Disc 등)의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용하는 것이 바람직하다. 그 이외에도, 상기 실시형태 및 상기 실시예에서 나타낸 반도체 표시장치를 사용할 수 있는 전자기기로서, 휴대 전화, 휴대형 게임기, 또는 전자 서석, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 네비게이션 시스템, 음향 재생장치(카 오디오, 오디오 콤포넌트 등), 등을 들 수 있다. 이를 전자기기의 구체적인 예를 도 22a 내지 도 22c에 도시한다.

[0259] 도 22a는 표시장치이며, 하우징(5001), 표시부(5002), 스피커부(5003) 등을 포함한다. 상기 실시형태 및 상기 실시예에서 나타낸 반도체 표시장치는 표시부(5002)에 사용할 수 있다. 또한, 표시장치는, 퍼스널 컴퓨터용, 텔레비전 방송 수신용, 광고 표시용 등의 모든 정보표시용 표시장치가 포함된다.

[0260] 도 22b는 노트형 퍼스널 컴퓨터이며, 본체(5201), 하우징(5202), 표시부(5203), 키보드(5204), 마우스(5205) 등을 포함한다. 상기 실시형태 및 상기 실시예에서 나타낸 반도체 표시장치는, 표시부(5203)에 사용할 수 있다.

[0261] 도 22c는 기록 매체를 구비한 휴대형의 화상 재생장치(구체적으로는, DVD 재생장치)이며, 본체(5401), 하우징(5402), 표시부(5403), 기록 매체(DVD 등) 기록부(5404), 조작 키(5405), 스피커부(5406) 등을 포함한다. 기록 매체를 구비한 화상 재생장치에는 가정용 게임기기 등도 포함된다. 상기 실시형태 및 상기 실시예에서 나타낸 반도체 표시장치는, 표시부(5403)에 사용할 수 있다.

[0262] 이상과 같이, 본 발명의 적용범위는 극히 넓어, 모든 분야의 전자기기에 사용할 수 있다.

[0263] 본 실시예는 상기 실시형태 또는 상기 실시예와 적절히 조합하여 실시할 수 있다.

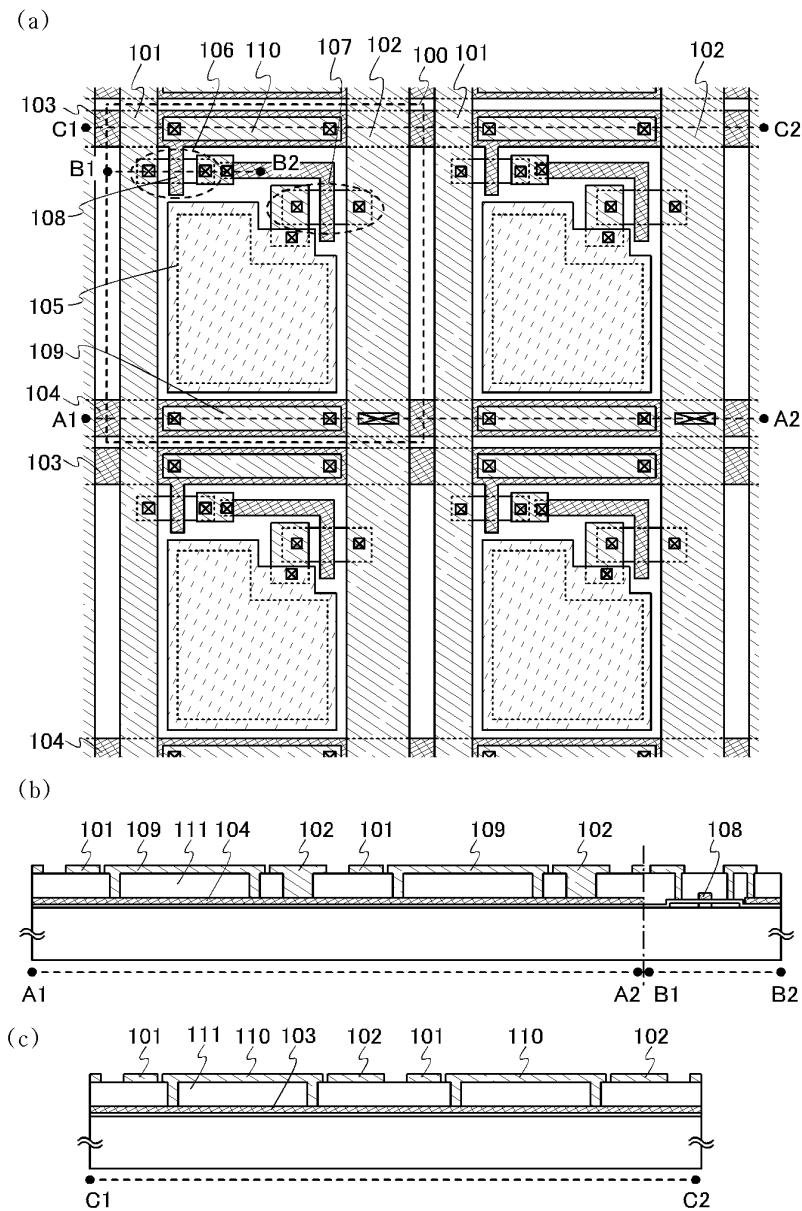
도면의 간단한 설명

[0264] 도 1a 내지 도 1c는 실시형태 1에 따른 반도체 표시장치가 갖는 표시 영역의 확대도와 그 단면도.

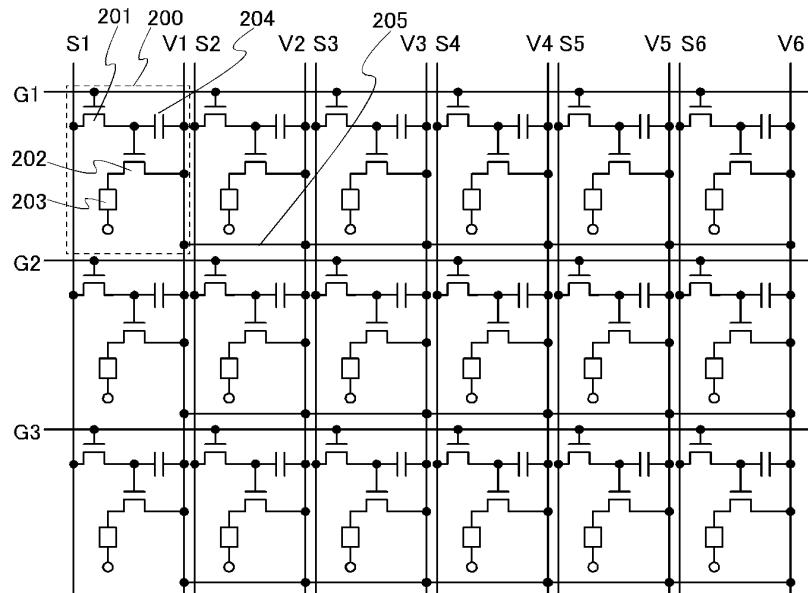
- [0265] 도 2는 실시형태 1에 따른 반도체 표시장치가 갖는 표시 영역의 회로도.
- [0266] 도 3은 실시형태 1에 따른 반도체 표시장치가 갖는 표시 영역의 회로도.
- [0267] 도 4는 실시형태 1에 따른 반도체 표시장치가 갖는 표시 영역의 확대도.
- [0268] 도 5a 내지 도 5c는 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0269] 도 6a 및 도 6b는 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0270] 도 7a 및 도 7b는 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0271] 도 8은 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0272] 도 9는 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0273] 도 10은 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0274] 도 11은 실시형태 2에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0275] 도 12는 실시형태 3에 따른 반도체 표시장치가 갖는 화소의 회로도.
- [0276] 도 13은 실시형태 3에 따른 반도체 표시장치가 갖는 화소의 상면도.
- [0277] 도 14a 내지 도 14c는 실시형태 3에 따른 반도체 표시장치가 갖는 화소의 단면도.
- [0278] 도 15는 실시형태 3에 따른 반도체 표시장치가 갖는 표시 영역의 확대도
- [0279] 도 16a 내지 도 16d는 실시형태 4에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0280] 도 17은 실시형태 5에 따른 반도체 표시장치의 발광 소자 및 배선의 단면도.
- [0281] 도 18a 내지 도 18d는 실시예 1에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0282] 도 19a 내지 도 19c는 실시예 1에 따른 반도체 표시장치의 제작 방법을 도시하는 도면.
- [0283] 도 20a 및 도 20b는 실시예 2에 따른 반도체 표시장치의 블록도.
- [0284] 도 21a 및 도 21b는 실시예 3에 따른 반도체 표시장치의 상면도 및 단면도.
- [0285] 도 22a 내지 도 22c는 실시예 4에 따른 반도체 표시장치를 사용한 전자 기기의 도면.
- [0286] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|------------------------|-----------------------|
| [0287] 100: 화소 | [0287] 101: 신호선 |
| [0288] 102: 전원선 | [0288] 103: 주사선 |
| [0289] 104: 보조 전원선 | [0289] 105: 발광 소자 |
| [0290] 106: 스위칭용 트랜지스터 | [0290] 107: 구동용 트랜지스터 |
| [0291] 108: 게이트 전극 | [0291] 109: 보조 배선 |
| [0292] 110: 주사선용 보조 배선 | [0292] 111: 충간 절연막 |

도면

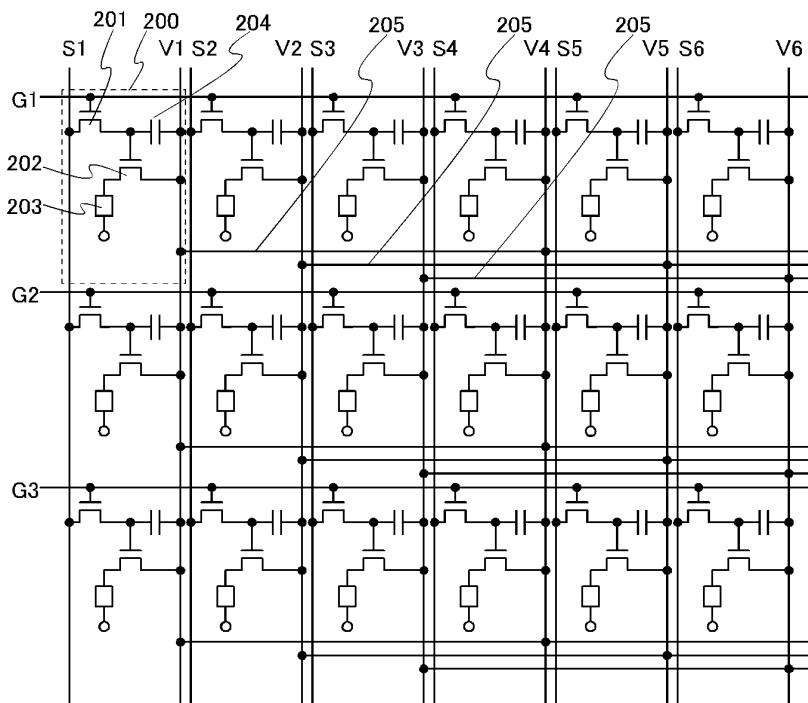
도면1



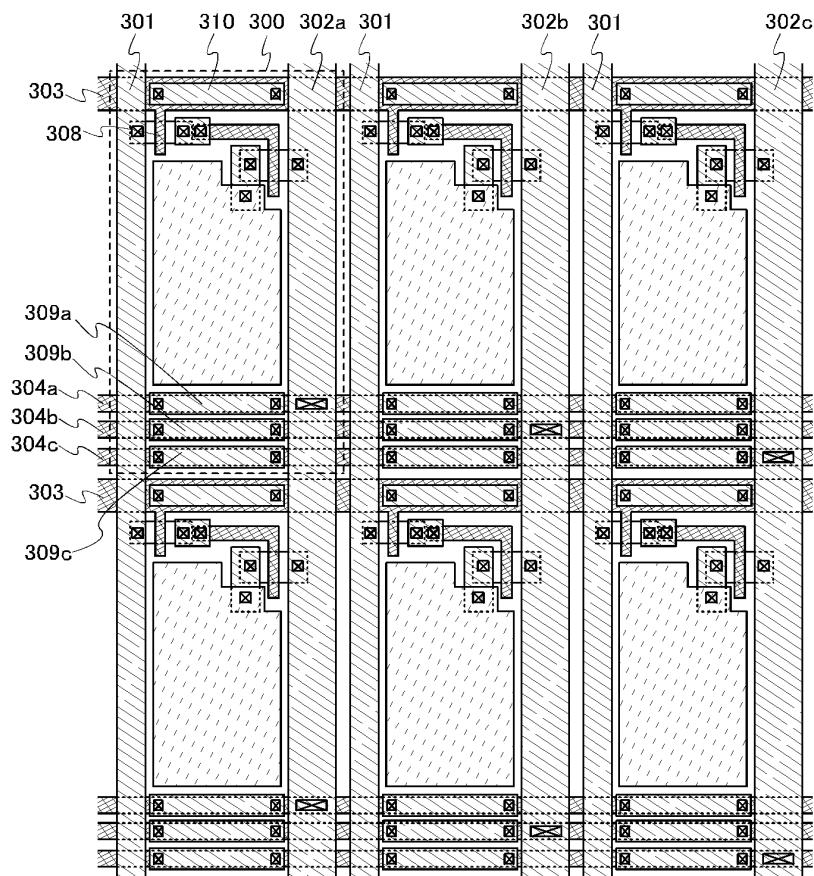
도면2



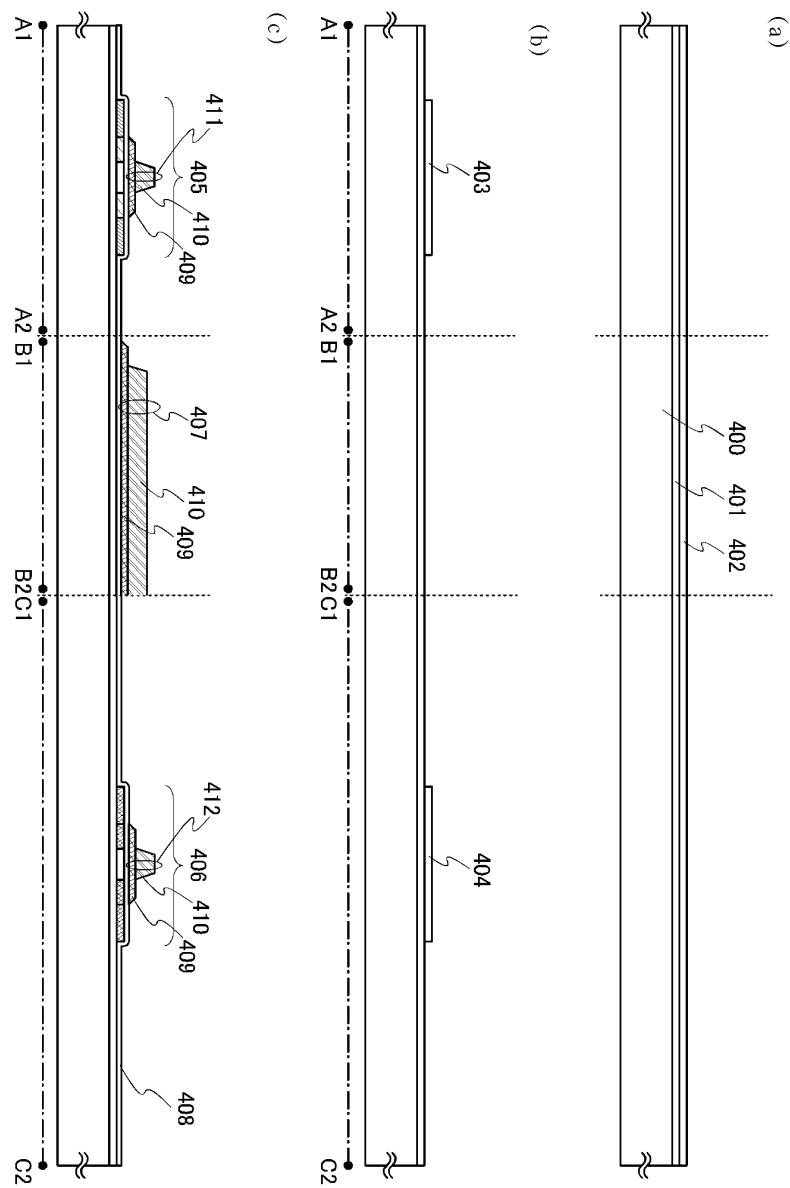
도면3



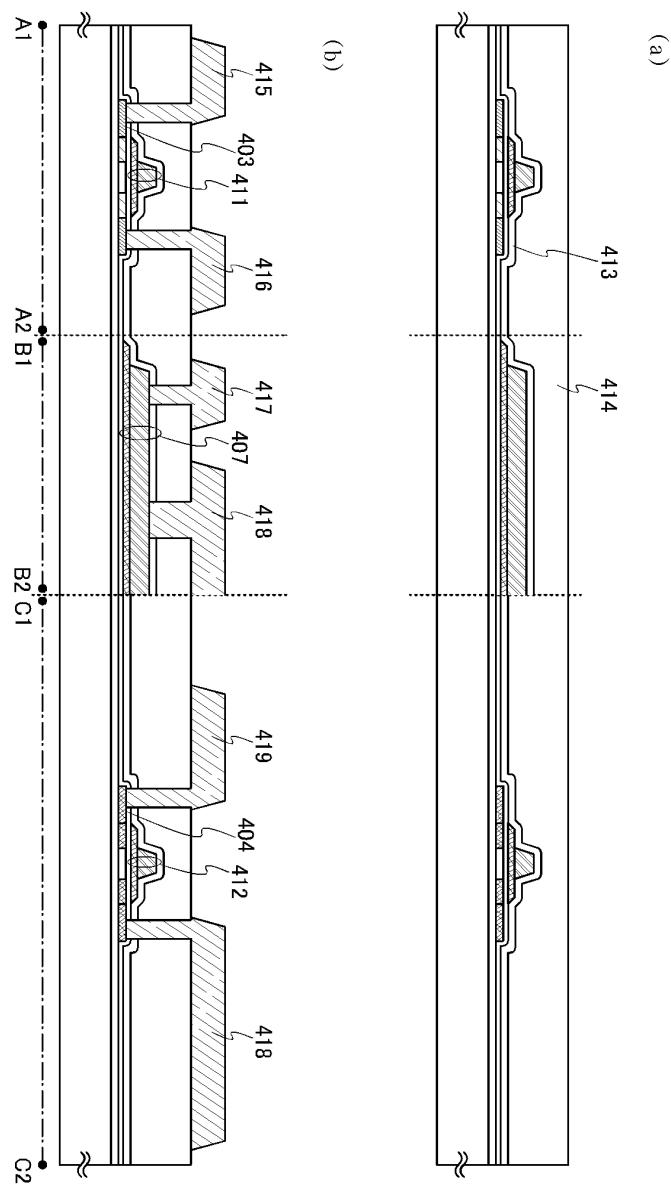
도면4



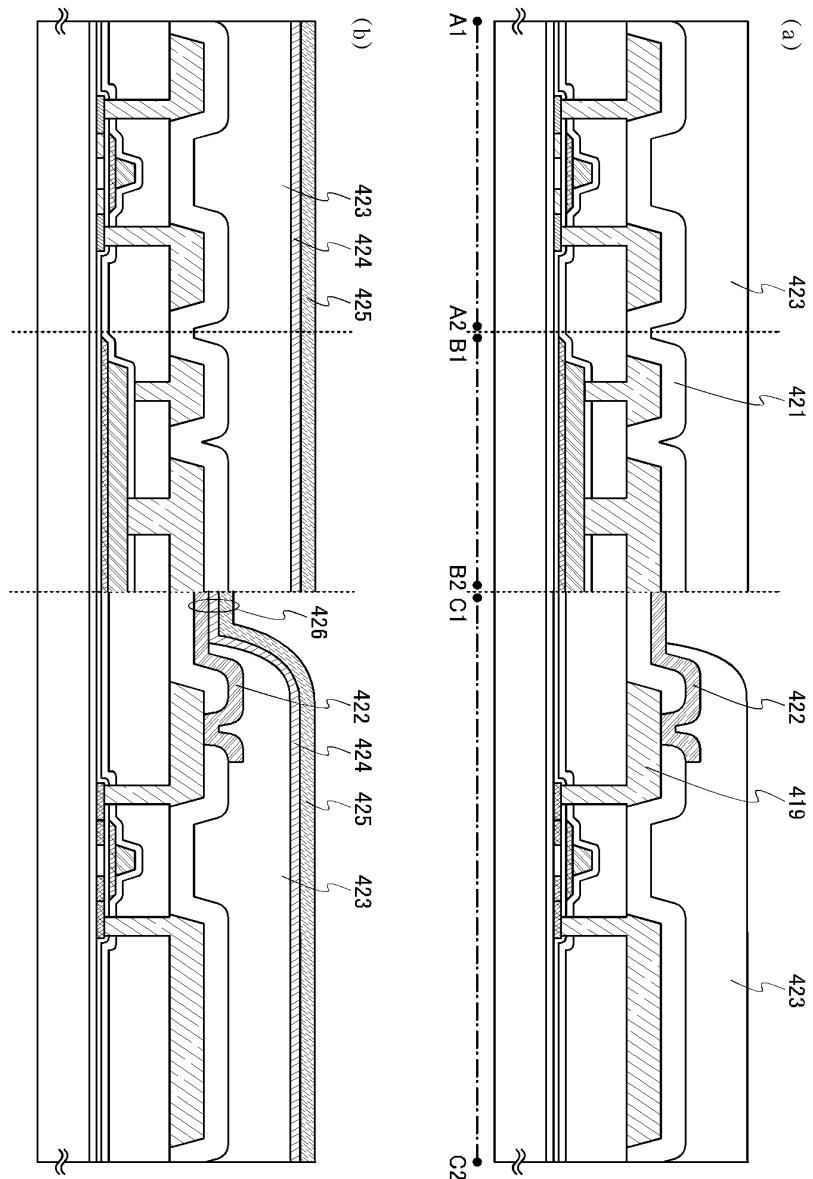
도면5



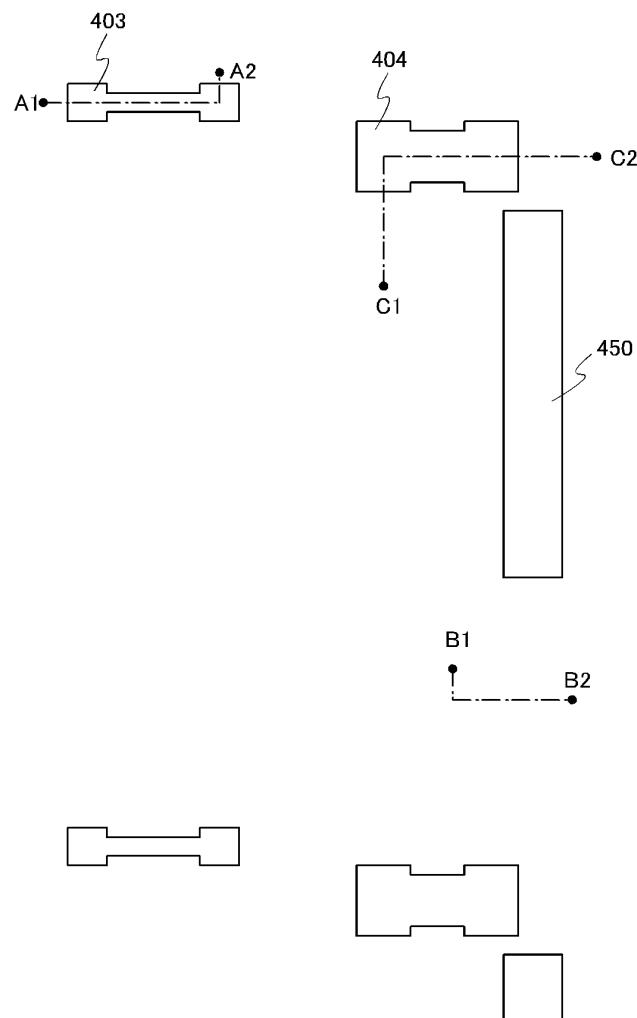
도면6



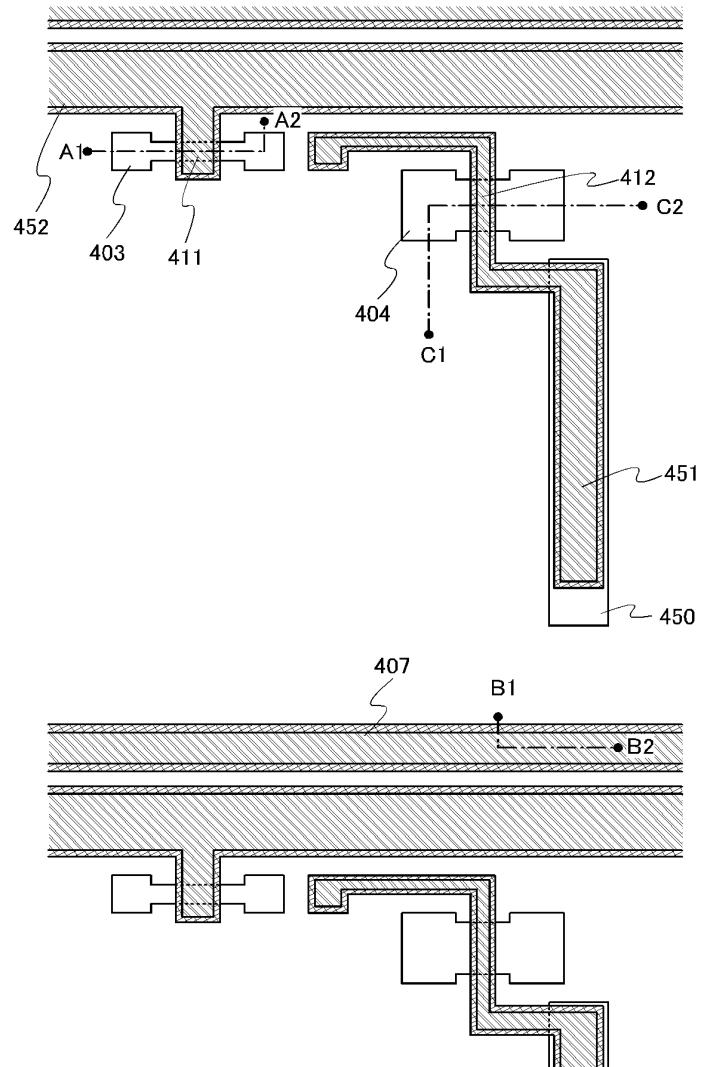
도면7



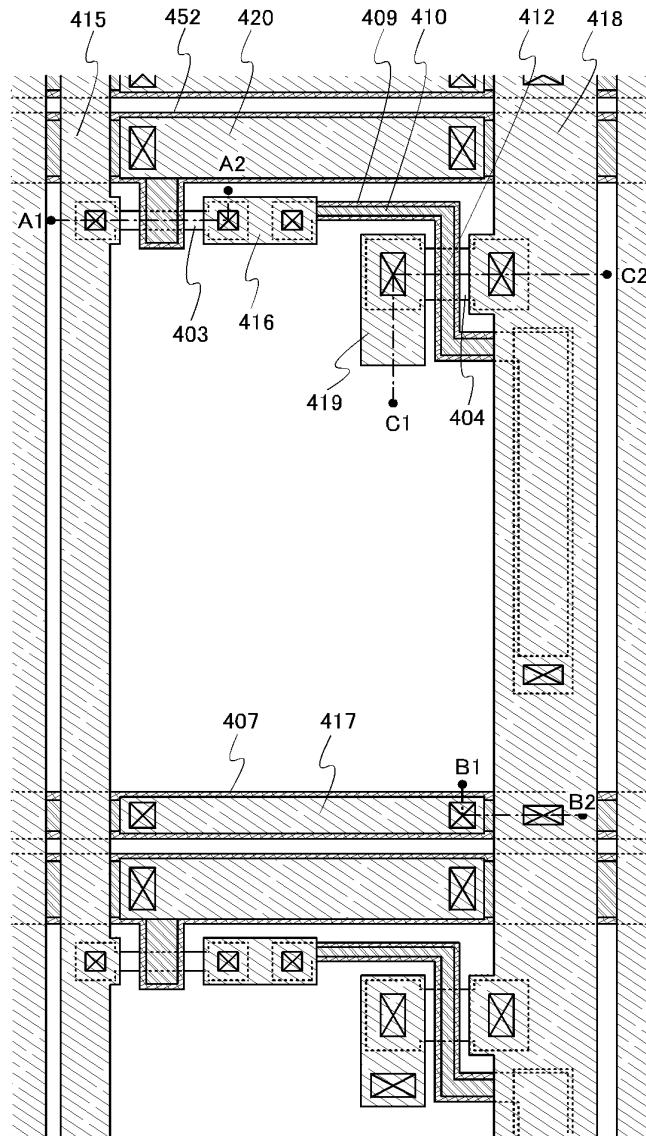
도면8



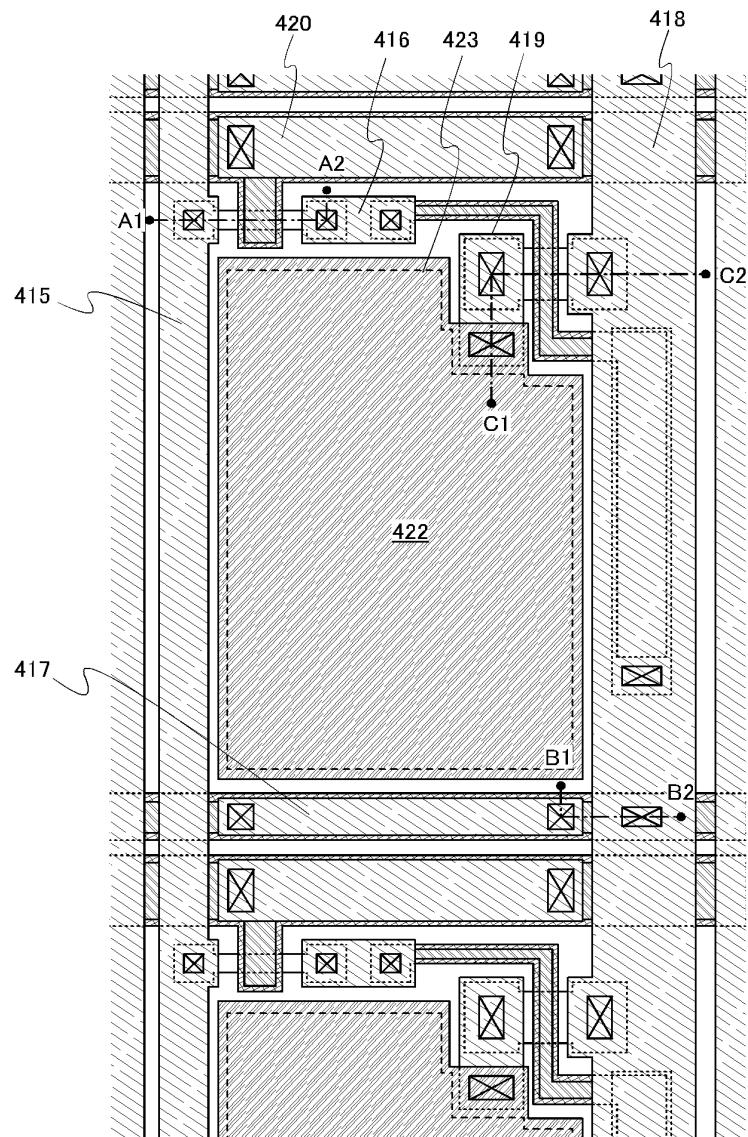
도면9



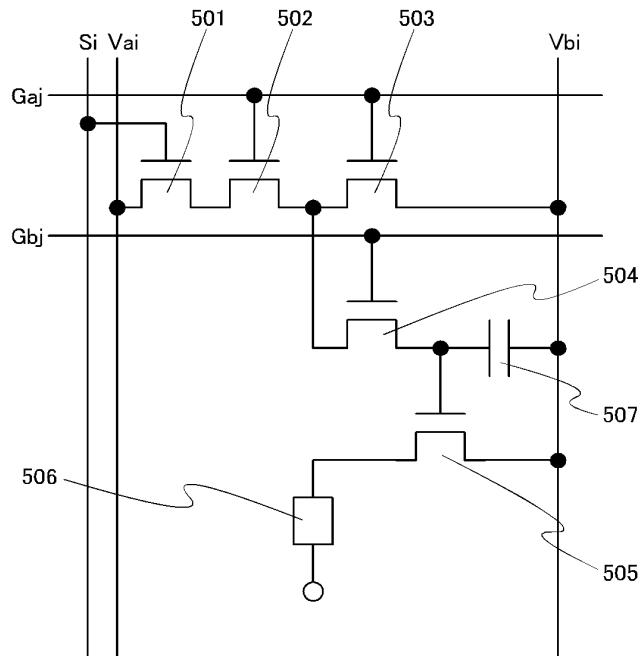
도면10



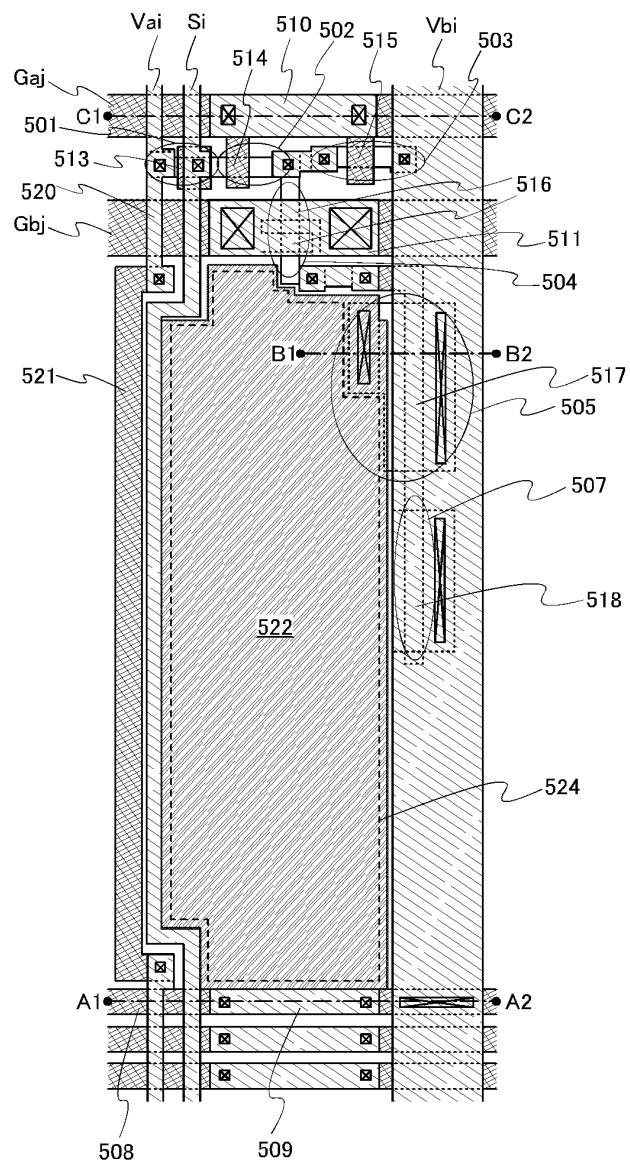
도면11



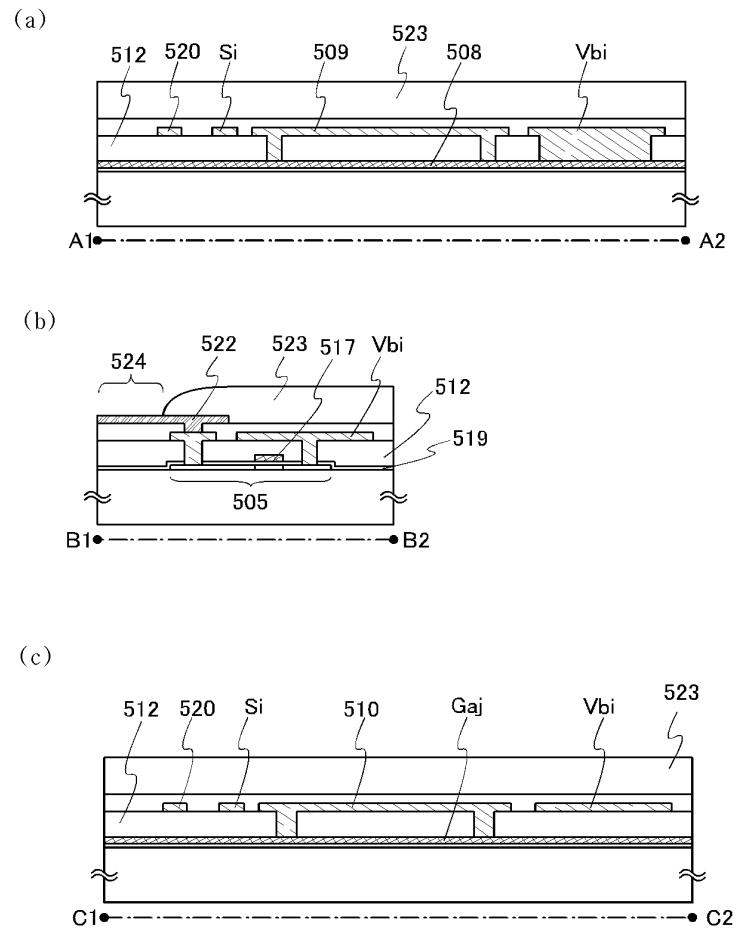
도면12



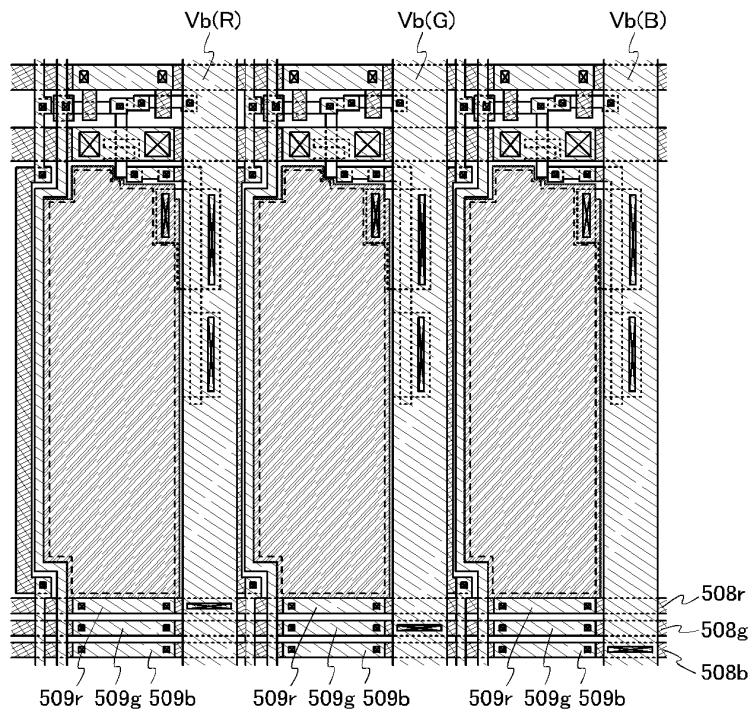
도면13



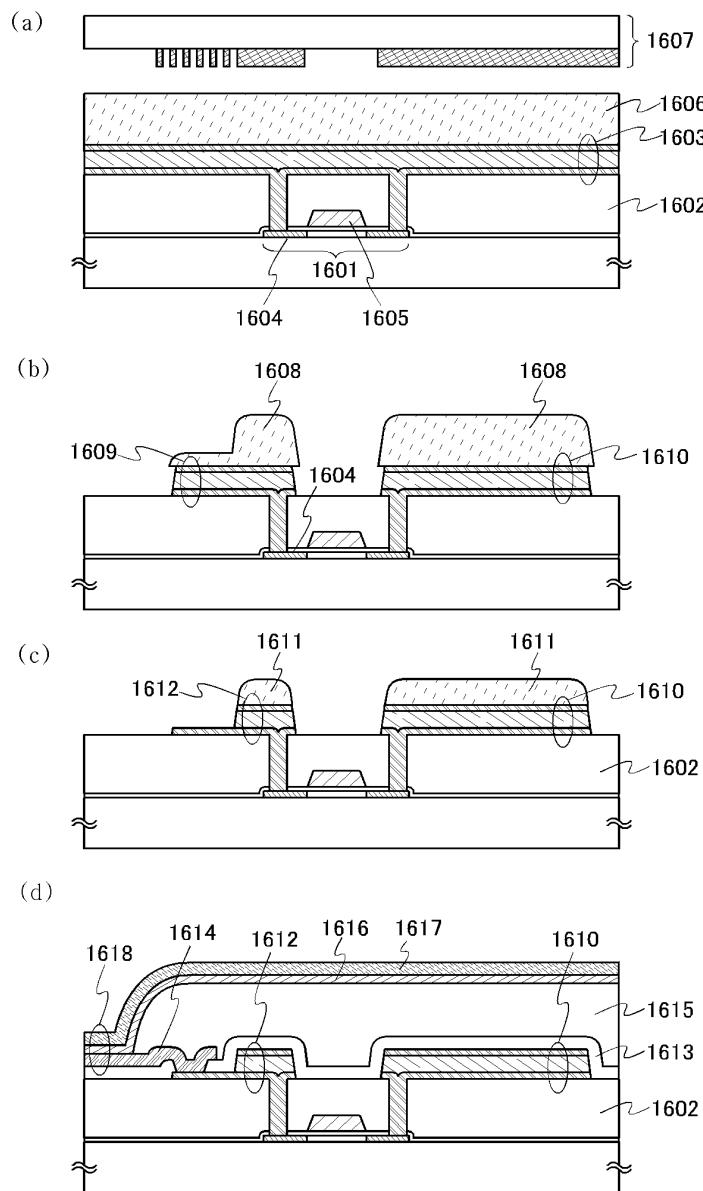
도면14



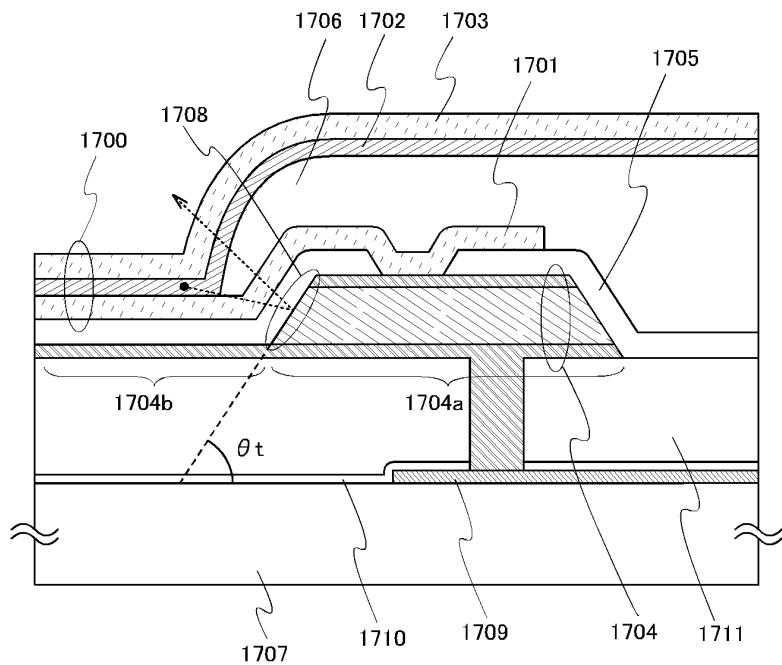
도면15



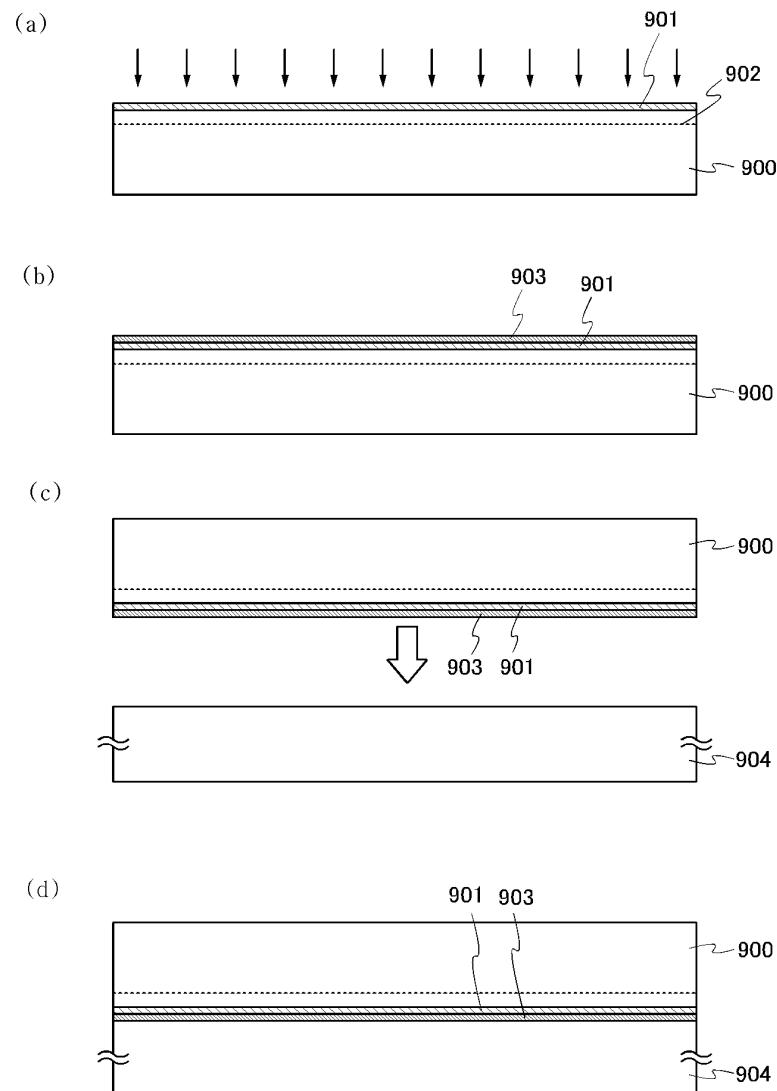
도면16



도면17

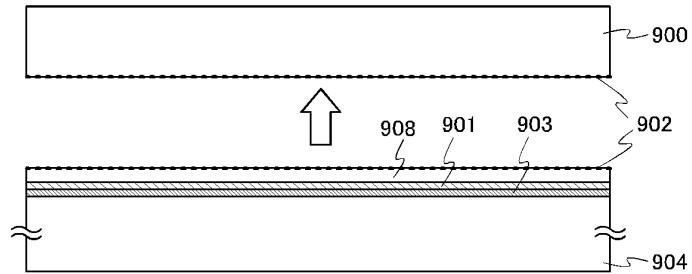


도면18

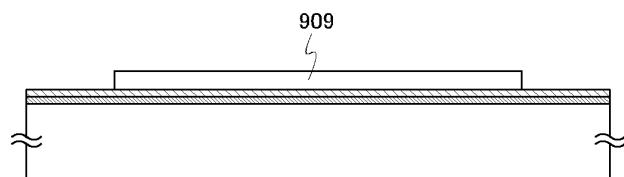


도면19

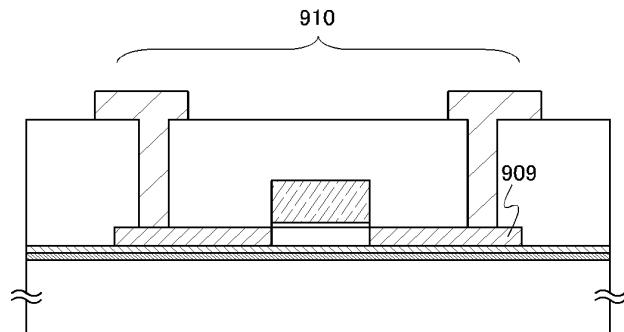
(a)



(b)

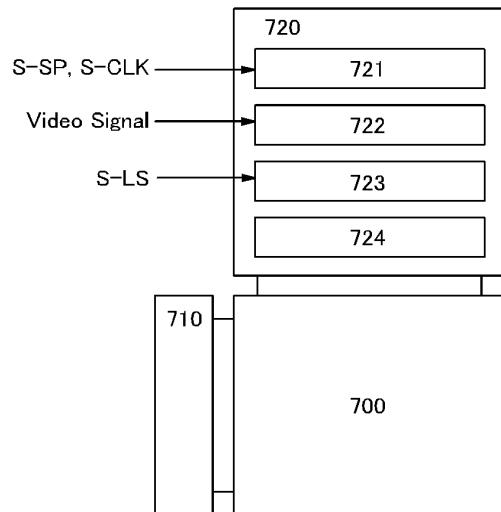


(c)

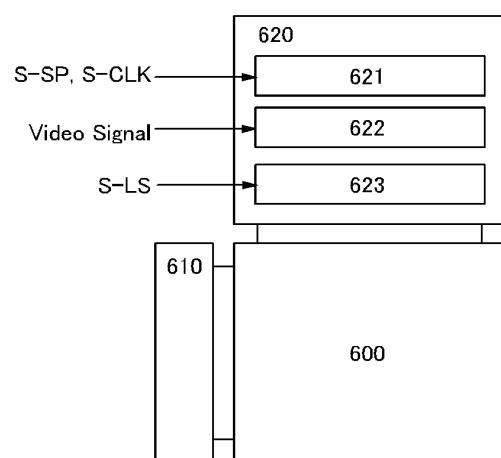


도면20

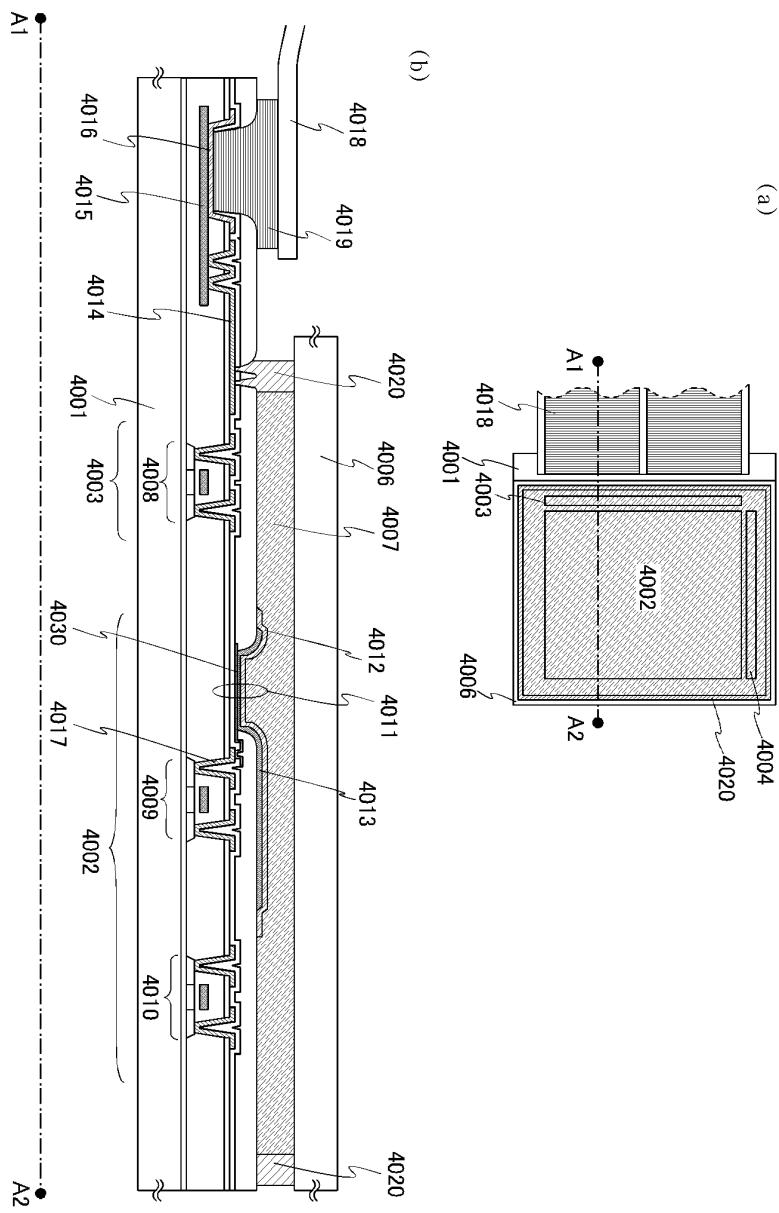
(a)



(b)



도면21



도면22

