



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월20일

(11) 등록번호 10-1484556

(24) 등록일자 2015년01월14일

(51) 국제특허분류(Int. Cl.)

G11C 16/34 (2006.01) G11C 16/26 (2006.01)

G11C 16/16 (2006.01) G11C 29/42 (2015.01)

(21) 출원번호 10-2008-0105760

(22) 출원일자 2008년10월28일

심사청구일자 2013년10월25일

(65) 공개번호 10-2010-0046758

(43) 공개일자 2010년05월07일

(56) 선행기술조사문헌

WO2008083196 A2

KR1020060115992 A

KR100724334 B1

KR1020080032103 A

전체 청구항 수 : 총 9 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박기태

경기도 성남시 분당구 수내로 201, - 410동 304호  
(분당동, 셋별마을)

(74) 대리인

윤재석, 한지희, 권영규

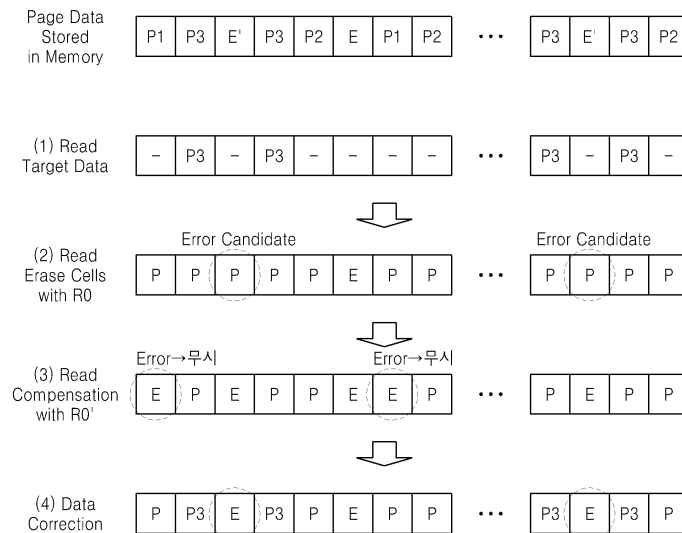
심사관 : 한선경

(54) 발명의 명칭 **독출 보상 회로**

(57) 요약

독출 보상 회로가 개시된다. 본 발명의 실시예에 따른 독출 보상 회로는, 이레이즈된 셀에 인접한 프로그램 셀들의 패턴에 기초하여, 상기 이레이즈된 셀에서 발생할 수 있는 독출 에러가 정정될 수 있다. 또한, 본 발명의 실시예에 따른 독출 보상 회로는, 페이지 버퍼에 저장된 각 메모리 셀의 프로그램 상태 정보를 다른 페이지 버퍼로 비트 라인을 통해 전송함으로써, 페이지 버퍼가 셀에 발생할 수 있는 에러를 용이하게 확인하고 정정할 수 있다.

대표도 - 도4



**특허청구의 범위**

**청구항 1**

적어도 하나의 이레이즈 셀을 포함하는 다수의 메모리 셀들; 및  
 상기 이레이즈 셀에 인접한 셀들의 프로그램 상태 정보에 기초하여, 상기 이레이즈 셀의 에러를 정정하기 위한 정정 회로를 포함하고,  
 상기 정정회로는,  
 상기 다수의 메모리 셀들과 각각 연결된 다수의 페이지 버퍼들이고,  
 상기 페이지 버퍼는 각각이 상기 다수의 메모리 셀들 각각의 상기 프로그램 상태 정보를 저장하고, 저장된 상기 메모리 셀의 상기 프로그램 상태 정보를 서로 전송할 수 있도록 구현되는 독출 보상 회로.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,  
 상기 다수의 페이지 버퍼들은, 제1 페이지 버퍼 블록 및 상기 제1 페이지 버퍼 블록과 상기 다수의 메모리 셀들을 중심으로 이격된 제2 페이지 버퍼 블록을 포함하고,  
 상기 제1 페이지 버퍼 블록 또는 상기 제2 페이지 버퍼 블록 중 어느 하나는 상기 프로그램 상태 정보를 비트 라인을 통하여 상기 제1 페이지 버퍼 블록 또는 상기 제2 페이지 버퍼 블록 중 다른 하나로 전송하는 독출 보상 회로.

**청구항 4**

제1항에 있어서, 상기 독출 보상 회로는,  
 상기 다수의 페이지 버퍼들에 저장된 상기 프로그램 상태 정보를 정정하기 위한 제어 신호를 출력하는 컨트롤 로직을 더 포함하고,  
 상기 다수의 페이지 버퍼들 중 적어도 일부는 상기 제어 신호에 응답하여 상기 프로그램 상태 정보를 정정하는 독출 보상 회로.

**청구항 5**

제4항에 있어서, 상기 다수의 페이지 버퍼들 중 적어도 일부는,  
 상기 제어 신호에 응답하여, 문턱 전압( $V_{th}$ )의 변화량이 기설정된 값을 초과하는 상기 이레이즈 셀의 프로그램 상태 정보를 정정하는 독출 보상 회로.

**청구항 6**

제5항에 있어서, 상기 문턱 전압( $V_{th}$ )의 변화량은,  
 인접 셀들에 의한 프로그램 디스터브 세기 또는 커플링 세기 중 적어도 하나에 기초하여 결정되는 독출 보상 회로.

**청구항 7**

제4항에 있어서,  
 상기 다수의 페이지 버퍼들은, 제1 레벨을 기준으로 한 독출 동작을 수행하여 상기 각 메모리 셀의 프로그램 상태 정보를 결정하고,  
 상기 다수의 페이지 버퍼들 중 적어도 일부는, 상기 제어 신호에 응답하여, 상기 제1 레벨보다 큰 제2 레벨을

기준으로 한 독출 동작을 수행하여 상기 이레이즈 셀의 상기 프로그램 상태 정보를 정정하는 독출 보상 회로.

**청구항 8**

적어도 하나의 이레이즈 셀을 포함하는 다수의 메모리 셀들; 및

상기 이레이즈 셀에 인접한 셀들의 프로그램 상태 정보에 기초하여, 상기 이레이즈 셀의 에러를 정정하기 위한 컨트롤러를 포함하고,

상기 컨트롤러는 상기 각각의 메모리 셀로부터 상기 프로그램 상태 정보를 수신하여 ECC 성공 여부를 체크하는 독출 보상 회로.

**청구항 9**

제8항에 있어서, 상기 컨트롤러는,

상기 이레이즈 셀의 인접한 셀들의 상기 프로그램 상태 정보에 기초하여 각 메모리 셀의 에러를 정정하기 위한 독출 엔진을 더 포함하고,

상기 컨트롤러는 상기 ECC 실패시, 상기 다수의 메모리 셀들로부터 전송되는 상기 프로그램 상태 정보를 물리적 데이터로 매핑 변환하여 매핑 변환된 데이터를 상기 독출 엔진에 전송하는 독출 보상 회로.

**청구항 10**

제9항에 있어서, 상기 독출 엔진은,

상기 매핑 변환된 데이터에 기초하여, 이레이즈 셀 중 문턱 전압(Vth)의 변화량이 기설정된 값을 초과하는 메모리 셀의 상기 프로그램 상태 정보를 정정하는 독출 보상 회로.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명에 따른 실시예는 독출 보상 회로에 관한 것으로서, 보다 구체적으로 이레이즈된 셀에 인접하는 프로그램된 셀의 패턴에 기초하여 상기 이레이즈된 셀에 발생할 수 있는 에러를 정정하기 위한 독출 보상 회로에 관한 것이다.

**배경기술**

[0002] NAND형 플래시 메모리는 드레인 선택 트랜지스터와 소스 선택 트랜지스터 사이에 직렬로 연결되는 메모리 셀들을 포함할 수 있고, 상기 메모리 셀들의 개수는 디바이스 또는 밀도(density) 등에 기초하여 가변될 수 있다.

[0003] NAND 플래시 메모리에서 프로그램된 셀의 채널 전압은 거의 0V임에 반해 이레이즈된 셀의 채널 전압은 약 9V로 부스팅(boosting)될 수 있다. 하지만, 두 셀의 채널 간에 발생하는 기생 커패시터로 인해 상기 채널 전압이 충분하지 않게 증가하고 따라서 이것은 프로그램 디스터브의 원인이 될 수 있다.

[0004] 또한, 비트 라인 방향으로 인접한 셀들과는 기생 커패시터(parasitic capacitor)에 의한 커플링 현상이 발생하고, 따라서 중앙에 위치한 메모리 셀의 문턱 전압(Vth)이 증가될 수 있다.

[0005] 특정 셀이 가질 수 있는 각 프로그램 상태는 일정한 범위의 문턱 전압(Vth) 산포(distribution)를 가지며, 따라서 외부의 환경에 영향을 받아 상기 문턱 전압(Vth) 산포가 변경되면 데이터 독출시 에러가 발생할 확률이 증가할 수 있다는 문제점이 발생한다.

**발명의 내용**

**해결하고자하는 과제**

[0006] 본 발명은 상기의 문제점을 해결하고자 안출된 것으로서, 본 발명에 따른 실시예의 목적은 인접 셀들의 정보에

기초하여 이레이즈 셀의 독출 에러를 정정할 수 있는 독출 보상 회로를 제공하는 것이다.

[0007] 또한, 본 발명에 따른 실시예의 목적은 각 메모리 셀의 프로그램 상태 정보를 비트 라인을 통해 각 페이지 버퍼에 전송함으로써 에러를 용이하게 확인하여 정정할 수 있는 독출 보상 회로를 제공하는 것이다.

[0008] 또한, 본 발명의 실시예의 목적은 외부의 컨트롤러에서 각 메모리 셀로부터 전송되는 데이터를 물리적 데이터로 매핑 변환하여 인접 셀들의 패턴을 인식한 후 이레이즈 셀의 독출 에러를 정정할 수 있는 독출 보상 회로를 제공하는 것이다.

**과제 해결수단**

[0009] 상기의 과제를 해결하기 위한 독출 보상 회로는, 적어도 하나의 이레이즈 셀을 포함하는 다수의 메모리 셀들; 및 상기 이레이즈 셀에 인접한 셀들의 프로그램 상태 정보에 기초하여, 상기 이레이즈 셀의 에러를 정정하기 위한 정정 회로를 포함할 수 있다.

[0010] 상기 정정 회로는, 상기 다수의 메모리 셀들과 각각 연결된 다수의 페이지 버퍼들이고, 상기 페이지 버퍼는 각각이 상기 다수의 메모리 셀들 각각의 상기 프로그램 상태 정보를 저장하고, 저장된 상기 메모리 셀의 상기 프로그램 상태 정보를 서로 전송할 수 있도록 구현될 수 있다.

[0011] 상기 다수의 페이지 버퍼들은, 제1 페이지 버퍼 블록 및 상기 제1 페이지 버퍼 블록과 상기 다수의 메모리 셀들을 중심으로 이격된 제2 페이지 버퍼 블록을 포함하고, 상기 제1 페이지 버퍼 블록 또는 상기 제2 페이지 버퍼 블록 중 어느 하나는 상기 프로그램 상태 정보를 비트 라인을 통하여 상기 제1 페이지 버퍼 블록 또는 상기 제2 페이지 버퍼 블록 중 다른 하나로 전송할 수 있다.

[0012] 상기 독출 보상 회로는, 상기 다수의 페이지 버퍼들에 저장된 상기 프로그램 상태 정보를 정정하기 위한 제어 신호를 출력하는 컨트롤 로직을 더 포함하고, 상기 다수의 페이지 버퍼들 중 적어도 일부는 상기 제어 신호에 응답하여 상기 프로그램 상태 정보를 정정할 수 있다.

[0013] 상기 다수의 페이지 버퍼들 중 적어도 일부는, 상기 제어 신호에 응답하여, 문턱 전압(Vth)의 변화량이 기설정된 값을 초과하는 상기 이레이즈 셀의 프로그램 상태 정보를 정정할 수 있다.

[0014] 상기 문턱 전압(Vth)의 변화량은, 인접 셀들에 의한 프로그램 디스터브 세기 또는 커플링 세기 중 적어도 하나에 기초하여 결정될 수 있다.

[0015] 상기 다수의 페이지 버퍼들은, 제1 레벨을 기준으로 한 독출 동작을 수행하여 상기 각 메모리 셀의 프로그램 상태 정보를 결정하고, 상기 다수의 페이지 버퍼들 중 적어도 일부는, 상기 제어 신호에 응답하여, 상기 제1 레벨보다 큰 제2 레벨을 기준으로 한 독출 동작을 수행하여 상기 이레이즈 셀의 상기 프로그램 상태 정보를 정정할 수 있다.

[0016] 상기 정정 회로는 컨트롤러이고, 상기 컨트롤러는 상기 각각의 메모리 셀로부터 상기 프로그램 상태 정보를 수신하여 ECC 성공 여부를 체크할 수 있다.

[0017] 상기 컨트롤러는, 상기 이레이즈 셀의 인접한 셀들의 상기 프로그램 상태 정보에 기초하여 각 메모리 셀의 에러를 정정하기 위한 독출 엔진을 더 포함하고, 상기 컨트롤러는 상기 ECC 실패시, 상기 다수의 메모리 셀들로부터 전송되는 상기 프로그램 상태 정보를 물리적 데이터로 매핑 변환하여 매핑 변환된 데이터를 상기 독출 엔진에 전송할 수 있다.

[0018] 상기 독출 엔진은, 상기 매핑 변환된 데이터에 기초하여, 이레이즈 셀 중 문턱 전압(Vth)의 변화량이 기설정된 값을 초과하는 메모리 셀의 상기 프로그램 상태 정보를 정정할 수 있다.

**효과**

[0019] 본 발명의 실시예에 따른 독출 보상 회로는 페이지 버퍼 간에 프로그램 상태 정보를 공유함으로써, 메모리 셀에 발생할 수 있는 에러를 신속하게 정정할 수 있다.

[0020] 또한, 본 발명의 실시예에 따른 독출 보상 회로는 인접 셀로부터의 디스터브 세기 또는 커플링 세기에 기초하여 독출 시의 기준 레벨을 변경시킴으로써, 메모리 셀에 발생할 수 있는 에러가 최소화될 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0021] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조해야만 한다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 이해하고 실시할 수 있도록 본 발명의 바람직한 실시예를 상세히 설명하도록 한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0023] 도 1은 본 발명의 실시예에 따라 이레이즈된 셀이 인접한 프로그램된 셀로부터 받는 영향을 설명하기 위한 개략도이다.
- [0024] 상기한 바와 같이, 프로그램된 셀(12) 사이에 이레이즈된 셀(11)이 위치할 경우에, 이레이즈된 셀(11)은 인접한 프로그램된 셀(12)에 의해 프로그램 디스터브(program disturb)되고, 비트 라인(BL; bit line) 방향(예컨대, 도 1에서는 좌우 방향(가로 방향))의 커플링(coupling) 현상에 의해 이레이즈된 셀(11)의 문턱 전압( $V_{th}$ )이 크게 시프트될 수 있다.
- [0025] 도 1에서는 비트 라인 방향으로의 디스터브 또는 커플링만을 도시하였으나, 실시예에 따라 워드 라인(WL; word line) 방향(예컨대, 도 1에서는 상하 방향(세로 방향))의 디스터브 또는 커플링에 의하여 이레이즈된 셀(11)의 문턱 전압( $V_{th}$ )이 영향을 받을 수 있다.
- [0026] 또한, 도 1에서는 6개의 비트 라인들(BL1 ~ BL6)을 예시적으로 도시하였으나, 본 발명에 따른 실시예는 이에 한정되지 않고 임의의 비트 라인 개수를 갖는 어플리케이션에 모두 적용될 수 있다.
- [0027] 도 1의 예에서, 프로그램된 셀들에 의해 인접되지 않는 이레이즈 셀들(13)은 독출 수행시에 에러가 발생할 확률이 높지 않기 때문에 본 발명의 실시예에 따른 에러 정정의 대상이 되는 셀로부터 제외될 수 있다.
- [0028] 도 2는 본 발명의 실시예에 따라 에러 정정을 위한 독출 레벨의 보상 방법을 설명하기 위한 그래프이다.
- [0029] 도 1 및 도 2를 참조하여 설명하면, 도 2의 그래프의 x축은 문턱 전압( $V_{th}$ )을 나타내고 y축은 문턱 전압( $V_{th}$ )의 크기에 대응하는 셀들의 개수를 나타낸다.
- [0030] 본 발명의 실시예에 따른 메모리 셀은 멀티 레벨 셀(MLC; multi-level cell)로 구현될 수 있는 것으로 예시하며, 도 2에 도시된 바와 같이 각 메모리 셀은 총 4개의 상태들(E, P1, P2 및 P3) 중 어느 하나의 상태로 존재할 수 있는 것으로 예시한다.
- [0031] 본 발명의 실시예에 따른 '프로그램 상태'는 상기 4가지의 상태들을 포함할 수 있으며, 각각 이레이즈 상태(E), 제1 프로그램 상태(P1), 제2 프로그램 상태(P2), 및 제3 프로그램 상태(P3)로 불릴 수 있다.
- [0032] 도 2에 도시된 바와 같이, 각각의 상태들(E, P1, P2 및 P3)은 서로 중첩되지 않는 문턱 전압 범위를 가질 수 있다. 따라서, 독출 회로(미도시)는 각 문턱 전압 범위 사이에 존재하는 임의의 레벨 값을 기준으로 하여 독출 동작을 수행함으로써 각각의 상태들(E, P1, P2 및 P3)을 판별할 수 있다.
- [0033] 예컨대, 이레이즈 상태(E)와 프로그램 상태들(P1, P2 및 P3)을 판별하기 위하여 도 2에 도시된 R 레벨이 기준으로 사용될 수 있다.
- [0034] 하지만, 도 1에서 상술한 바와 같이, 이레이즈된 셀의 주변에 프로그램된 셀들이 존재하여 이레이즈된 셀의 문턱 전압( $V_{th}$ )이 증가할 경우, 본래의 이레이즈 상태(E)는 도 2에 도시된 바와 같이 시프트된 이레이즈 상태( $E'$ )로 변화될 수 있다.
- [0035] 따라서, 독출 회로(미도시)가 인접한 셀들에 의해서 문턱 전압( $V_{th}$ )이 시프트된 메모리 셀을 종래의 R 레벨을 기준으로 하여 독출하게 되면 이레이즈된 셀임에도 불구하고 프로그램된 셀로 잘못 판별될 수 있으며, 따라서 이것은 독출 에러(read error)의 큰 원인이 될 수 있다.
- [0036] 따라서, 본 발명의 실시예에 따른 독출 보상 회로는, 이레이즈된 셀에 인접한 셀들의 패턴에 기초하여 상기 이레이즈 셀의 독출 수행시 기준이 되는 레벨 값을 가변시킬 수 있다.
- [0037] 예컨대, 상기 이레이즈된 셀의 문턱 전압( $V_{th}$ ) 변화량이 기설정된 값(predetermined value)을 초과할 경우에 상기 R 레벨과 상이한  $R'$  레벨로 독출 동작을 수행할 수 있다.
- [0038] 상기  $R'$  레벨은 상기 R 레벨보다 더 클 수 있으며, 어플리케이션의 구현 예에 따라 상기  $R'$  레벨의 크기는 가변될 수 있다.

- [0039] 따라서, 특정 셀이 받는 디스터브 세기 또는 커플링 세기가 커서 문턱 전압(Vth)의 변화량이 클 경우에, 이레이즈 상태 관별을 위한 기준 레벨을 R 레벨에서 R' 레벨로 변경시킴으로써 메모리 셀에 발생할 수 있는 에러가 정정될 수 있다.
- [0040] 도 3은 이레이즈된 셀에 인접한 셀의 프로그램 상태에 따른 문턱 전압(Vth)의 변화량을 각각 계산하여 정리한 표이다.
- [0041] 도 1 내지 도 3을 참조하여 설명하면, 도 3은 이레이즈된 셀을 중심으로 상하(또는, 세로 방향)에 위치한 셀들이 제3 프로그램 상태(P3)에 있는 것으로 가정하고 비트 라인 방향(좌우 방향(또는, 가로 방향))으로 인접한 셀들(S1 및 S3)의 프로그램 상태를 가변시킬 경우에 중앙에 위치한 이레이즈 상태(E)의 셀이 받는 디스터브 세기 또는 커플링 세기를 측정하여 정리한 도표이다.
- [0042] 도 3에서는 총 10 가지의 케이스를 예시하고 있고, 예컨대 첫 번째 케이스는 S1 셀과 S3 셀이 모두 제3 프로그램 상태(P3)를 갖는 경우이고, 마지막 케이스는 S1 셀과 S3 셀이 모두 이레이즈 상태(E)를 갖는 경우이다.
- [0043] 도 3에 도시된 표와 같이, 프로그램 디스터브(PGM disturb)는 비트 라인 방향으로 인접한 셀 중 적어도 하나의 셀이 제3 프로그램 상태(P3)를 가질 경우에 발생할 수 있고, 따라서 첫 번째 케이스 내지 네 번째 케이스에서만 프로그램 디스터브가 존재할 수 있다. 도 3의 표에 기재된 프로그램 디스터브의 세기(예컨대, 2, 1.4, 1 또는 0.3)는 실험 결과로부터 도출된 값이며, 그 값은 실시예에 따라 상이할 수도 있다.
- [0044] 또한, 이레이즈 상태(E)의 셀은 네 방향으로 인접한 셀들에 의해 커플링될 수 있고, 따라서 이레이즈 셀이 받는 전체 커플링의 세기(Total Coupling)는 도 3의 표에 4번째 열에 기재된 바와 같다. 제3 프로그램 상태(P3)를 갖는 셀로부터의 커플링 세기는 제1 프로그램 상태(P1)를 갖는 셀로부터의 커플링 세기보다 더 크고, 따라서 그 비율을 'P1 : P2 : P3 = 0.4 : 0.7 : 1'로 설정할 경우에 도 3에 도시된 표의 4번째 열에 기재된 실험 결과가 도출될 수 있다.
- [0045] 상기 각 프로그램 상태(P1 내지 P3)에 따른 커플링 세기의 비율은 실험 결과로부터 도출될 수 있으며, 세부적인 값들은 실시예에 따라 가변될 수도 있다.
- [0046] 따라서, 이레이즈된 셀의 문턱 전압(Vth)의 변화량(Total Vth Shift)은 프로그램 디스터브의 세기(PGM Disturb) 및 전체 커플링의 세기(Total Coupling)에 모두 영향을 받을 수 있고, 그 결과 도 3에 도시된 표의 5번째 열에 기재된 실험 결과가 도출될 수 있다.
- [0047] 상술한 바와 같이, 본 발명의 실시예에 따른 독출 보상 회로는 각 메모리 셀의 문턱 전압(Vth)의 변화량이 기설정된 값을 초과할 경우에 새로운 R' 레벨을 기준으로 독출 동작을 수행할 수 있다.
- [0048] 상기 기설정된 값은 어플리케이션의 구현 예에 따라 상이할 수 있으며, 도 3에서는 첫 번째 케이스부터 세 번째 케이스에만 본 발명의 실시예에 따른 에러 정정 방법이 적용될 수 있는 것으로 예시한다.
- [0049] 새로운 기준 레벨인 R' 레벨의 크기는 R 레벨의 크기보다 더 크며, R<sub>EP1</sub> 레벨보다는 작을 수 있다. 상기 R<sub>EP1</sub> 레벨은 제1 프로그램 상태(P1)를 갖는 셀의 주변에 제3 프로그램 상태(P3)를 갖는 셀들이 위치할 경우 상기 제1 프로그램 상태(P1)를 갖는 셀의 문턱 전압(Vth)의 변화량을 고려한 레벨이며, 상기 R<sub>EP1</sub> 레벨은 제1 프로그램 상태(P1)의 문턱 전압 범위 중 최하단의 레벨보다 더 클 수 있다. 따라서, 수정된 상기 R' 레벨은 상당한 마진(margin)을 확보할 수 있게 된다.
- [0050] 도 4는 본 발명의 실시예에 따른 에러 정정 방법을 설명하기 위한 개략적인 순서도이다.
- [0051] 도 1 내지 도 4를 참조하여 설명하면, 도 4에 도시된 바와 같이, 메모리 어레이에 포함된 각 메모리 셀은 프로그램 상태들(P1, P2, 및 P3) 및 이레이즈 상태(E 또는 E')들 중 어느 하나의 상태를 가질 수 있다.
- [0052] (1) 단계 : 임의의 독출 회로(미도시)에 의하여 타깃 데이터 셀들이 독출될 수 있다. 도 4에서는 제3 프로그램 상태(P3)를 갖는 셀들에 포위된 이레이즈 셀(E)에 발생할 수 있는 독출 에러를 정정하는 것을 예시하고, 따라서 타깃 데이터 셀은 제3 프로그램 상태(P3)를 갖는 적어도 하나의 메모리 셀일 수 있다.
- [0053] (2) 단계 : 다음으로, 독출 회로(미도시)는 R레벨을 기준으로 각 메모리 셀의 프로그램 상태를 결정할 수 있다. R레벨을 기준으로 독출 동작을 수행하기 때문에, 독출 회로(미도시)는 각 메모리 셀이 프로그램 상태(P)를 갖는지 또는 이레이즈 상태(E)를 갖는지 여부를 관별할 수 있다. 이때, 제3 프로그램 상태(P3)를 갖는 셀에 포위된 셀이 프로그램 상태(P)를 갖는 것으로 관별될 경우, 그러한 셀은 독출 에러가 발생할 수 있는 확률이 가장 큰

셀이다.

- [0054] (3) 단계 : 다음으로, 독출 회로(미도시)는 R' 레벨을 기준으로 각 메모리 셀의 프로그램 상태를 결정할 수 있다. 이때, 상기 (2) 단계에서 에러가 발생할 수 있는 확률이 큰 후보셀들에 대해서만 해당 페이지 버퍼가 추가 독출을 수행할 수 있으며, 또는 실시예에 따라 상기 R' 레벨을 기준으로 모든 셀들의 프로그램 상태가 결정될 수도 있다. 후자의 경우, 상기 (2) 단계에서 프로그램 상태(P)이었던 셀이 (3) 단계에서 이레이즈 상태(E)로 판별될 경우 이를 무시할 수 있다.
- [0055] (4) 단계 : 마지막으로, 상기 (3) 단계에서 수행된 독출 결과를 이용하여 독출 회로(미도시)는 각 메모리 셀에 발생한 독출 에러를 정정할 수 있다. 도 4의 예에서, 에러 후보셀들이 R' 레벨을 기준으로 독출 시에 이레이즈 상태(E)를 갖는 것으로 판별되었으며, 따라서 독출 회로(미도시)는 상기 메모리 셀들의 상태를 이레이즈 상태(E)로 정정할 수 있다.
- [0056] 상술한 바와 같이, 본 발명의 실시예에 따른 독출 에러의 정정 방법은, 메모리 어레이의 내부에 포함된 다수의 페이지 버퍼들에서 구현될 수 있고, 또는 실시예에 따라 외부의 컨트롤러에 의해서 구현될 수도 있다.
- [0057] 이하, 도 5 내지 도 8에서는 내부의 페이지 버퍼(page buffer)들에 의해 상술한 에러 정정 알고리즘이 수행되는 실시예를 기술하고, 도 9 내지 도 11에서는 외부의 컨트롤러에 의해 상술한 에러 정정 알고리즘이 수행되는 실시예를 상세히 기술하도록 한다.
- [0058] 도 5는 본 발명의 제1 실시예에 따른 독출 보상 회로의 개략적인 블록도이다.
- [0059] 본 발명의 실시예에 따른 독출 보상 회로는, 다수의 메모리 셀들(40) 및 다수의 페이지 버퍼들(50)을 포함할 수 있다.
- [0060] 상기 각 메모리 셀은 워드 라인(WL)과 비트 라인(BL1 ~ BL6)의 교차점에 형성될 수 있으며, 각 비트 라인(BL1 ~ BL6)에 각각 페이지 버퍼(PB; page buffer)가 연결될 수 있다.
- [0061] 실시예에 따라, 도 5에 도시된 바와 같이, 각각의 홀수 번째 비트 라인(예컨대, BL1, BL3...)에 연결된 각각의 페이지 버퍼를 포함하는 제1 페이지 버퍼 블록(51)과 각각의 짝수 번째 비트 라인(예컨대, BL2, BL4...)에 연결된 각각의 페이지 버퍼를 포함하는 제2 페이지 버퍼 블록(52)은 공간적으로 이격될 수 있다.
- [0062] 보다 구체적으로, 상기 제1 페이지 버퍼 블록(51)과 상기 제2 페이지 버퍼 블록(52)은 상기 다수의 메모리 셀들(40)을 중심으로 이격될 수 있다. 예컨대, 상기 제1 페이지 버퍼 블록(51)과 상기 제2 페이지 버퍼 블록(52)은 상기 다수의 메모리 셀들(40)을 중심으로 상하에 배치될 수 있다.
- [0063] 상기 각 페이지 버퍼(PB1 ~ PB6)는 메모리 셀(40)에 저장된 데이터를 독출하여 각 메모리 셀(40)의 프로그램 상태 정보(예컨대, E1, P1, P2, 또는 P3)를 저장할 수 있고, 각 페이지 버퍼(PB1 ~ PB6)는 상기 프로그램 상태 정보를 다른 페이지 버퍼로 전송할 수 있다.
- [0064] 예컨대, PB4에 저장된 프로그램 상태 정보는 임의의 데이터 경로를 이용하여 인접한 페이지 버퍼인 PB2와 PB6에 전송될 수고, 또한 상기 PB4에 저장된 프로그램 상태 정보는 비트 라인(예컨대, BL4)을 통하여 공간적으로 이격된 페이지 버퍼인 PB3 또는 PB5로 전송될 수 있다.
- [0065] 따라서 각 페이지 버퍼(PB1 ~ PB6)는 자신과 연결된 비트 라인의 특정 메모리 셀에 대한 프로그램 상태 정보와 상기 특정 메모리 셀에 인접한 셀들에 대한 프로그램 상태 정보를 저장할 수 있다.
- [0066] 또한, 본 발명의 실시예에 따른 독출 보상 회로는 내부에 컨트롤 로직(control logic, 60)을 더 포함할 수 있고, 상기 컨트롤 로직(60)은 상기 각 페이지 버퍼(PB1 ~ PB6)에 저장된 프로그램 상태 정보를 정정하기 위한 제어 신호(CS; control signal)를 출력할 수 있다. 상기 컨트롤 로직(60)에서 출력된 상기 제어 신호(CS)는 각 페이지 버퍼(PB1 ~ PB6)로 전송될 수 있다.
- [0067] 각 페이지 버퍼(PB1 ~ PB6)는 인접 셀들의 프로그램 상태 정보를 수신할 수 있고, 수신된 상기 프로그램 상태 정보에 기초하여 에러 정정 수행 여부를 결정할 수 있다. 상술한 바와 같이, 각 페이지 버퍼(PB1 ~ PB6)는 상기 제어 신호(CS)에 응답하여, 문턱 전압(Vth)의 변화량이 기설정된 값을 초과하는 셀에 대해서만 선택적으로 에러 정정을 수행할 수 있으며, 상술한 바와 같이 상기 문턱 전압(Vth)의 변화량은 인접 셀의 프로그램 상태에 영향을 받을 수 있다.
- [0068] 예컨대, 도 5에 도시된 예에서, BL5에 위치한 셀은 인접 셀이 모두 제3 프로그램 상태(P3)를 가지므로 도 3의

표에 기재된 케이스 중 문턱 전압( $V_{th}$ )의 변화량이 가장 큰 케이스에 해당하고, 따라서 BL5에 연결된 페이지 버퍼(PB5)는 R레벨이 아닌 R'레벨로 상기 BL5에 위치한 셀을 다시 독출함으로써 이레이즈된 셀에 발생할 수 있는 독출 에러가 정정될 수 있다.

- [0069] 도 5에서는 상기 제1 페이지 버퍼 블록(51)이 적어도 하나의 홀수 번째 비트 라인과 연결된 적어도 하나의 페이지 버퍼를 포함하고 상기 제2 페이지 버퍼(52) 블록이 적어도 하나의 짝수 번째 비트 라인과 연결된 적어도 하나의 페이지 버퍼를 포함하는 것으로 예시하였지만 페이지 버퍼 블록의 배치 구성은 도 4에 도시된 바와 상이할 수도 있으며, 본 발명에 따른 실시예는 서로 공간적으로 이격된 복수 개의 페이지 버퍼들을 포함하는 임의의 메모리 어레이에 적용될 수 있다.
- [0070] 도 6a 내지 도 6d는 도 5에 도시된 본 발명의 실시예에 따른 에러 정정 방법을 보다 구체적으로 설명하기 위한 개략도이다.
- [0071] 도 6a에 도시된 바와 같이, 각 페이지 버퍼(PB1 ~ PB6)는 타깃 셀을 독출할 수 있다. 상술한 바와 같이, 도 6a 내지 도 6d에서는 제3 프로그램 상태(P3)를 갖는 셀들에 포워딩 이레이즈 상태의 셀만이 에러 정정의 대상이 되는 것으로 예시한다. 따라서, 도 6a에서는 각 페이지 버퍼(PB1 ~ PB6)가 제3 프로그램 상태(P3)를 갖는 타깃 셀(target cell)을 독출하는 것으로 예시한다. 이때, 각 페이지 버퍼(PB1 ~ PB6)는 제2 프로그램 상태(P2)가 갖는 전압 범위의 최대 레벨과 제3 프로그램 상태(P3)가 갖는 전압 범위의 최소 레벨 사이의 임의의 레벨을 기준으로 독출 동작을 수행할 수 있다.
- [0072] 다음으로, 도 6b에 도시된 바와 같이, 각 페이지 버퍼(PB1 ~ PB6)는 R레벨을 기준으로 이레이즈 상태(E)를 갖는 적어도 하나의 셀을 독출할 수 있다. 보다 구체적으로, 도 6a에서 제3 프로그램 상태(P3)를 갖지 않은 셀과 연결된 페이지 버퍼들(PB1, PB2, PB3, 및 PB5)은 상기 R레벨을 이용하여 독출 동작을 수행함으로써, 각 페이지 버퍼(PB1, PB2, PB3, 및 PB5)에 연결된 각 셀이 이레이즈 상태(E)인지 프로그램 상태(P)인지를 판별할 수 있다. 도 6b의 예에서, 첫 번째 내지 세 번째 셀들은 이레이즈 상태(E)를 갖고, 다섯 번째 셀은 프로그램 상태(P)를 갖는 것으로 독출되었다.
- [0073] 다음으로, 도 6c에 도시된 바와 같이, 각 페이지 버퍼(PB1 ~ PB6)에 저장된 프로그램 상태 정보는 인접한 페이지 버퍼 또는 공간적으로 이격된 페이지 버퍼에 전송될 수 있다. 상술한 바와 같이, 메모리 어레이를 중심으로 서로 이격된 페이지 버퍼간에는 비트 라인을 이용하여 상기 프로그램 상태 정보가 전송될 수 있다. 따라서, 각 페이지 버퍼(PB1 ~ PB6) 간에 프로그램 상태 정보의 전송이 완료되면, 각 페이지 버퍼(PB1 ~ PB6)는 자신과 연결된 셀의 프로그램 상태 정보뿐만 아니라 인접한 셀들의 프로그램 상태 정보를 저장할 수 있게 된다.
- [0074] 다음으로, 도 6d에 도시된 바와 같이, 전송된 데이터를 기초로 하여 에러가 발생할 수 있는 확률이 큰 셀에 대해서만 에러 정정을 위한 독출 동작이 수행될 수 있다. 예컨대, 도 6a에서 기술한 바와 같이 제3 프로그램 상태(P3)에 포워딩 셀만이 에러 정정의 대상이 될 수 있고, PB4와 PB6 각각으로부터 프로그램 상태 정보를 수신한 PB5는 해당 셀을 R'레벨을 기준으로 독출할 수 있다. 따라서, PB5가 R'레벨을 기준으로 독출 동작을 수행하여 해당 셀이 이레이즈 상태(E)를 갖는 것으로 도출되면, 상기 PB5는 해당 셀의 상태를 프로그램 상태(P)에서 이레이즈 상태(E)로 정정할 수 있다.
- [0075] 즉, 다섯 번째 셀의 상태는 이레이즈 상태(E)임에도 불구하고 도 6b에서와 같이 프로그램 상태(P)로 독출될 수 있으며 타깃 데이터의 설정 및 페이지 버퍼 간 프로그램 상태 정보의 전송을 통해 각 페이지 버퍼는 새로운 레벨(예컨대, R'레벨)을 기준으로 독출을 수행함으로써 상술한 에러들을 정정할 수 있다.
- [0076] 도 7은 본 발명의 제1 실시예에 따른 페이지 버퍼가 프로그램 상태 정보를 다른 페이지 버퍼로 전송하는 전송 경로를 설명하기 위한 회로도이다.
- [0077] 상술한 바와 같이, 홀수 번째 페이지 버퍼와 짝수 번째 페이지 버퍼가 메모리 어레이를 중심으로 이격되어 있는 실시예에서, 비트 라인(BL)을 이용하여 각 메모리 셀의 프로그램 상태 정보가 공간적으로 이격된 각 페이지 버퍼로 전송될 수 있다.
- [0078] 도 7의 예에서, 페이지 버퍼[n] 및 페이지 버퍼[n+2]에 각각 저장된 프로그램 상태 정보는 데이터 전송 회로(70) 및 비트 라인[n+1]을 통해 페이지 버퍼[n+1](미도시)로 전송될 수 있다.
- [0079] 상기 데이터 전송 회로(70)는, 데이터 수신 경로(71, Data Receiving Path) 및 데이터 송신 경로(72, Data Sending Path)를 포함할 수 있으며, 각 경로(71 및 72)에 포함된 트랜지스터들은 전송 인에이블 신호(미도시)에 응답하여 온/오프가 조절될 수 있다.



- [0080]        이상은 메모리 어레이에 포함된 페이지 버퍼들 간의 데이터 전송을 통하여 각 메모리 셀에 발생할 수 있는 에러가 정정되는 예를 상세히 기술하였다. 하지만, 실시예에 따라 외부 컨트롤러에 의하여 데이터 에러가 정정될 수도 있다.
- [0081]        도 8은 본 발명의 제1 실시예에 따른 메모리 어레이 내부에서 에러 정정이 수행될 때의 개략적인 순서도이다.
- [0082]        도 5 및 도 8을 참조하여 설명하면, 먼저 각 페이지 버퍼(PB1 ~ PB6)는 타깃 셀(예컨대, P3 상태를 갖는 셀)을 독출한다(S905). 다음으로, 각 페이지 버퍼(PB1 ~ PB6)는 제1 레벨(예컨대, R레벨)을 기준으로 이레이즈 상태의 셀을 독출한다(S910). 각 페이지 버퍼(PB1 ~ PB6)에 전송된 프로그램 상태 정보는 비트 라인(BL) 등을 통하여 다른 페이지 버퍼에 전송될 수 있다(S915).
- [0083]        전송된 각 메모리 셀(40)의 프로그램 상태 정보에 기초하여 페이지 버퍼는 에러 발생 추측셀(예컨대, 제3 프로그램 상태(P3)를 갖는 셀들에 포워딩 셀)을 제2 레벨(예컨대, R'레벨)을 기준으로 독출할 수 있다.
- [0084]        상기 독출 결과, 프로그램 상태(P)로 잘못 독출된 셀들의 정보가 이레이즈 상태(E)로 올바르게 정정될 수 있다(S925).
- [0085]        도 9는 본 발명의 제2 실시예에 따라, 에러 정정이 외부의 컨트롤러(90)에 의해 수행될 경우의 저장 시스템(100)의 개략적인 블록도이다.
- [0086]        본 발명의 실시예에 따른 저장 시스템(100)은, 메모리 장치(40), 컨트롤러(90)를 포함할 수 있다. 상기 메모리 장치(40)는 상술한 메모리 어레이, 및 다수의 페이지 버퍼들을 포함할 수 있다.
- [0087]        상기 컨트롤러(90)는 각각의 메모리 셀로부터 프로그램 상태 정보를 수신하여 ECC(error correcting code) 성공 여부를 체크할 수 있다.
- [0088]        또한, 상기 컨트롤러(90)는 이레이즈 셀에 인접한 셀들의 프로그램 상태 정보에 기초하여 각 메모리 셀의 에러를 정정하기 위한 독출 엔진(91)을 더 포함할 수 있다.
- [0089]        도 9를 참조하면, 호스트(200)로부터의 독출 명령(미도시)에 응답하여 상기 메모리 장치(40)로부터 전송되는 각 메모리 셀의 프로그램 상태 정보를 수신할 수 있다. 상기 컨트롤러(90)는 수신된 독출 데이터에 대하여 ECC를 수행할 수 있고, ECC 수행 결과 ECC가 성공할 경우 해당 독출 데이터를 상기 호스트(200)에 전송할 수 있다.
- [0090]        보다 구체적으로, ECC에 사용되는 코드(code)는 고유의 에러 정정 능력(error correction capability)을 가질 수 있다. 예컨대, 어떠한 코드가 t=24, n=4096의 에러 정정 능력을 갖는다고 가정하면, 4096비트의 데이터 중 에러가 발생한 데이터가 24비트 이하일 경우에만 상기 오류 정정 디코딩이 성공적으로 수행될 수 있다.
- [0091]        상기 컨트롤러(90)의 ECC 수행 결과, ECC가 실패할 경우 본 발명의 실시예에 따른 에러 정정이 수행될 수 있다. 보다 구체적으로, 도 4에 도시된 방법이 수행될 수 있으며, 각 메모리 셀의 프로그램 상태 정보가 각 페이지 버퍼로 전송되지 않고 상기 독출 엔진(91)에서 수행된다는 점이 상이하다.
- [0092]        이때, 상기 컨트롤러(90)는 상기 각 메모리 셀로부터 논리적 데이터(logical data)를 수신받아 수신된 상기 논리적 데이터를 물리적 데이터(physical data)로 매핑 변환(mapping conversion)할 수 있다.
- [0093]        상기 독출 엔진(91)은, 상기 매핑 변환된 데이터를 수신하고, 물리적 데이터로 매핑 변환된 데이터에 기초하여 이레이즈 셀에 발생할 수 있는 독출 에러를 보상할 수 있다.
- [0094]        상기 컨트롤러(90)는 상기 독출 엔진(91)이 R'레벨로 이레이즈 상태의 셀을 판별하도록 제어할 수 있으며, 따라서 에러가 발생할 수 있는 셀의 에러가 정정될 수 있다. 상기 독출 엔진(91)에 의한 에러 정정이 완료되면 상기 컨트롤러(90)는 다시 한번 ECC를 수행할 수 있으며, ECC 성공시 에러가 정정된 데이터들을 상기 호스트(200)에 전송할 수 있다.
- [0095]        도 10은 본 발명의 실시예에 따른 에러 정정이 외부의 컨트롤러에 의해 수행될 때의 개략적인 순서도이다.
- [0096]        도 9 및 도 10을 참조하여 설명하면, 외부(예컨대, 호스트(200))로부터의 독출 명령(read command)에 응답하여 컨트롤러(90)는 메모리 장치(40)에 포함된 데이터를 독출할 수 있다(S1005). 독출된 데이터를 수신한 컨트롤러(90)는 ECC를 수행하여 상기 ECC의 성공 여부를 판단할 수 있다(S1010).
- [0097]        상기 판단 결과, ECC가 성공하면 상기 컨트롤러(90)는 독출된 데이터를 호스트(200)에 전달하고(S1020), ECC가 실패할 경우 상기 컨트롤러(90)에 포함된 독출 엔진(91)은 R'레벨을 기준으로 추가적인 독출을 수행하여 에러

가 발생할 수 있는 셀들의 프로그램 상태를 정정할 수 있다(S1015). 컨트롤러(90)는 에러가 정정된 데이터를 호스트(200)로 전달할 수 있다(S1020).

- [0098] 도 11은 도 10의 S1015를 보다 구체적으로 설명하기 위한 순서도이다.
- [0099] 도 9 내지 도 11을 참조하여 설명하면, 메모리 장치(40)로부터 논리적 데이터가 입력되면(S1015-1), 상기 컨트롤러(90)는 수신된 논리적 데이터를 물리적 데이터로 매핑 변환할 수 있다(S1015-2).
- [0100] 상기 독출 엔진(91)은 변환된 물리적 데이터에 기초하여, 이레이즈 셀의 인접 셀들에 대한 패턴을 인식할 수 있고 따라서 에러 정정 알고리즘을 수행할 수 있다.
- [0101] 도 12은 본 발명의 실시예에 따른 메모리 장치(100)를 포함하는 저장 시스템(1)의 개략적인 블록도이다.
- [0102] 도 12을 참조하면, 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 시스템 버스(system bus, 110)에 접속된 메모리 장치(100)와 프로세서(processor, 120)를 포함할 수 있다.
- [0103] 프로세서(120)는 상기 메모리 장치(100)의 프로그램 동작(또는 기입 동작), 독출 동작, 또는 검증 동작을 제어하기 위한 제어 신호들을 생성할 수 있다. 따라서, 메모리 장치(100)의 제어 블록(미도시)은 상기 프로세서(120)로부터 출력된 제어 신호에 응답하여 프로그램 동작(또는 기입 동작), 독출 동작, 또는 검증 동작 등을 수행할 수 있다.
- [0104] 실시예에 따라, 본 발명의 실시예에 따른 데이터 저장 시스템(1)이 휴대용 어플리케이션(portable application)으로 구현되는 경우에, 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 메모리 장치(100)와 프로세서(120)로 동작 전원을 공급하기 위한 배터리(battery, 150)를 더 포함할 수 있다.
- [0105] 상기 휴대용 어플리케이션은, 휴대용 컴퓨터(portable computer), 디지털 카메라(digital camera), PDA(personal digital assistance), 휴대 전화기(cellular telephone), MP3 플레이어, PMP(portable multimedia player), 차량자동항법장치(automotive navigation system), 메모리 카드(memory card), 시스템 카드(system card), 게임기, 전자 사전, 또는 솔리드 스테이트 디스크(solid state disk)를 포함할 수 있다.
- [0106] 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 외부의 데이터 처리 장치와 데이터를 주고 받을 수 있도록 하는 인터페이스, 예컨대 입/출력 장치(130)를 더 포함할 수 있다.
- [0107] 본 발명의 실시예에 따른 데이터 저장 시스템(1)이 무선 시스템인 경우, 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 무선 인터페이스(140)를 더 포함할 수 있다. 이 경우 무선 인터페이스(140)는 프로세서(120)에 접속되고 시스템 버스(110)를 통하여 무선으로 외부 무선 장치와 데이터를 송수신할 수 있다.
- [0108] 상기 무선 시스템은 PDA, 휴대용 컴퓨터, 무선 전화기, 페이지(pager), 디지털 카메라와 같은 무선 장치, RFID 리더, 또는 RFID 시스템일 수 있다. 또한, 상기 무선 시스템은 WLAN(Wireless Local Area Network) 시스템 또는 WPAN(Wireless Personal Area Network) 시스템일 수 있다. 또한, 상기 무선 시스템은 이동 전화 네트워크(Cellular Network)일 수 있다.
- [0109] 본 발명의 실시예에 따른 데이터 저장 시스템(1)이 이미지 촬상 장치(image pick-up device)인 경우, 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 광학 신호를 전기 신호로 변환할 수 있는 이미지 센서(image sensor, 160)를 더 포함할 수 있다. 상기 이미지 센서(160)는 전자 결합 소자(CCD; charge-coupled device)를 이용한 이미지 센서일 수 있고, 또는 CMOS(complementary metal-oxide semiconductor) 이미지 센서일 수 있다. 이 경우 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 디지털 카메라 또는 디지털 카메라가 부착된 이동 전화기일 수 있다. 또한, 본 발명의 실시예에 따른 데이터 저장 시스템(1)은 카메라가 부착된 인공 위성 시스템(satellite system)일 수 있다.
- [0110] 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 것을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**도면의 간단한 설명**

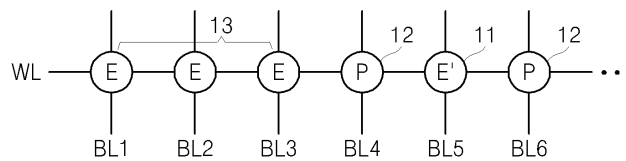
- [0111] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- [0112] 도 1은 본 발명의 실시예에 따라 이레이즈된 셀이 인접한 프로그램된 셀로부터 받는 영향을 설명하기 위한 개략

도.

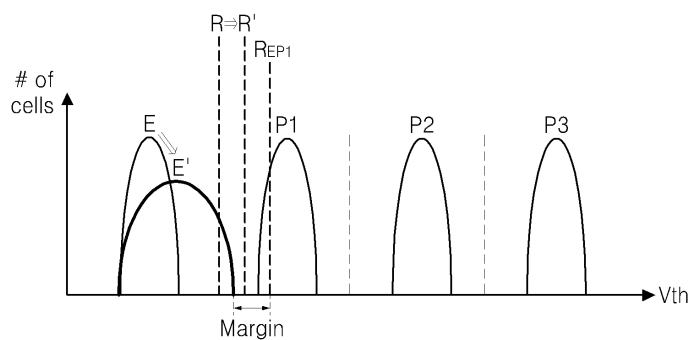
- [0113] 도 2는 본 발명의 실시예에 따라 에러 정정을 위한 독출 레벨의 보상 방법을 설명하기 위한 그래프.
- [0114] 도 3은 이레이지된 셀의 인접 셀의 프로그램 상태에 따른 문턱 전압의 변화량을 각각 계산하여 정리한 표.
- [0115] 도 4은 본 발명의 실시예에 따른 에러 정정 방법을 설명하기 위한 개략적인 순서도.
- [0116] 도 5는 본 발명의 실시예에 따른 메모리 어레이의 개략적인 블록도.
- [0117] 도 6a 내지 도 6d는 본 발명의 실시예에 따른 에러 정정 방법의 과정을 설명하기 위한 개략도.
- [0118] 도 7은 본 발명의 실시예에 따른 페이지 버퍼가 프로그램 상태 정보를 다른 페이지 버퍼로 전송하는 전송 경로를 설명하기 위한 회로도.
- [0119] 도 8는 본 발명의 실시예에 따른 메모리 어레이 내부에서 에러 정정이 수행될 때의 개략적인 순서도.
- [0120] 도 9은 본 발명의 실시예에 따른 에러 정정이 외부의 컨트롤러에 의해 수행될 경우의 메모리 장치의 개략적인 블록도.
- [0121] 도 10은 본 발명의 실시예에 따른 에러 정정이 외부의 컨트롤러에 의해 수행될 때의 개략적인 순서도.
- [0122] 도 11은 도 10의 S1015 단계를 보다 구체적으로 나타낸 순서도.
- [0123] 도 12은 본 발명의 실시예에 따른 메모리 장치를 포함하는 저장 시스템의 개략적인 블록도.

**도면**

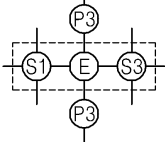
**도면1**



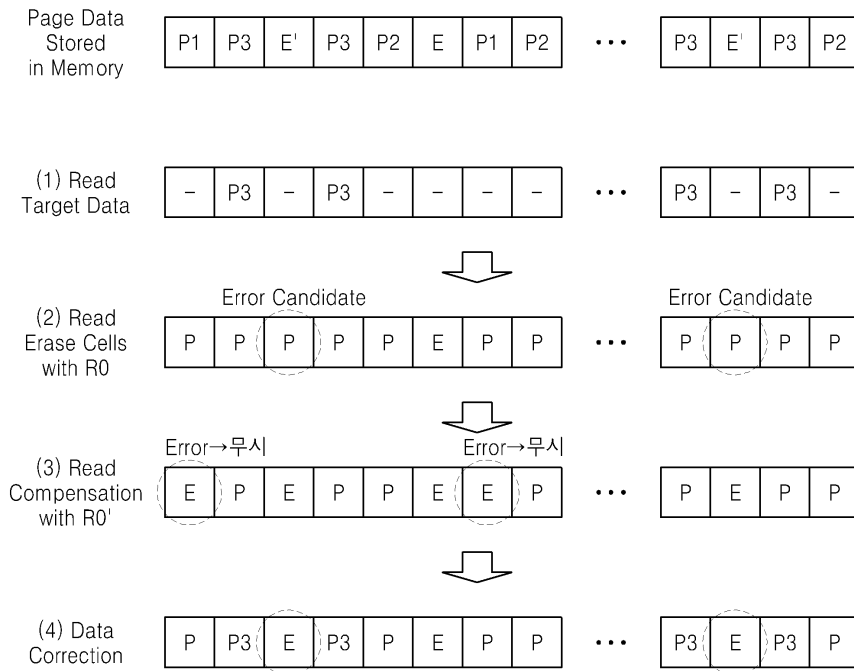
**도면2**



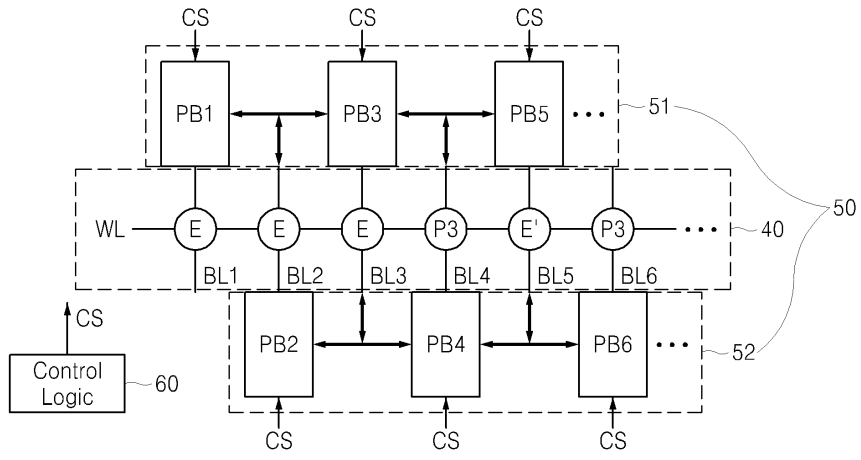
도면3

		PGM Disturb	Total Coupling (P1:P2:P3)=(0.4:0.7:1)	Total Vth Shift	Compensation Read Level (R < R' ≤ REP1)
1	P3-E-P3	$\Delta V_D * 2$	$\Delta V_C * 4$	$(\Delta V_D * 2) + (\Delta V_C * 4)$	R'
2	P3-E-P2	$\Delta V_D * 1.2$	$\Delta V_C * 3.7$	$(\Delta V_D * 1.2) + (\Delta V_C * 3.7)$	
3	P3-E-P1	$\Delta V_D * 1$	$\Delta V_C * 4.4$	$(\Delta V_D * 1) + (\Delta V_C * 4.4)$	
4	P3-E-E	$\Delta V_D * 0.3$	$\Delta V_C * 3$	$(\Delta V_D * 0.3) + (\Delta V_C * 3)$	R
5	P2-E-P2	-	$\Delta V_C * 3.4$	$\Delta V_C * 3.4$	
6	P2-E-P1	-	$\Delta V_C * 3.1$	$\Delta V_C * 3.1$	
7	P2-E-E	-	$\Delta V_C * 2.7$	$\Delta V_C * 2.7$	
8	P1-E-P1	-	$\Delta V_C * 2.8$	$\Delta V_C * 2.8$	
9	P1-E-E	-	$\Delta V_C * 2.4$	$\Delta V_C * 2.4$	
10	E-E-E	-	$\Delta V_C * 2$	$\Delta V_C * 2$	

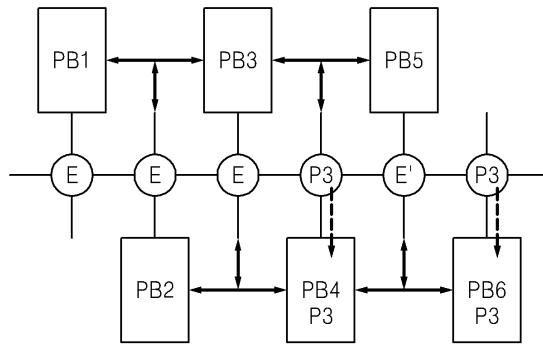
도면4



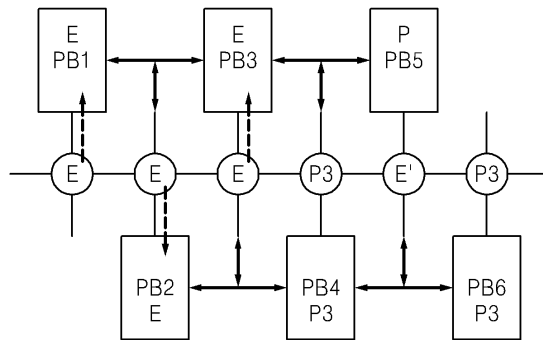
도면5



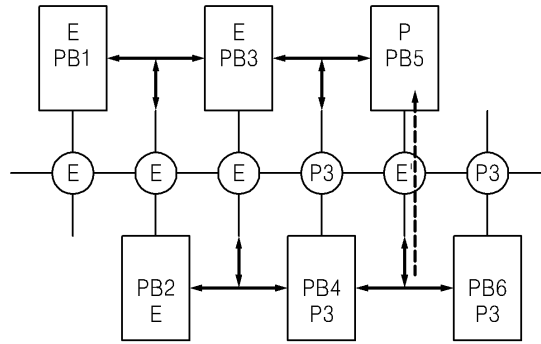
도면6a



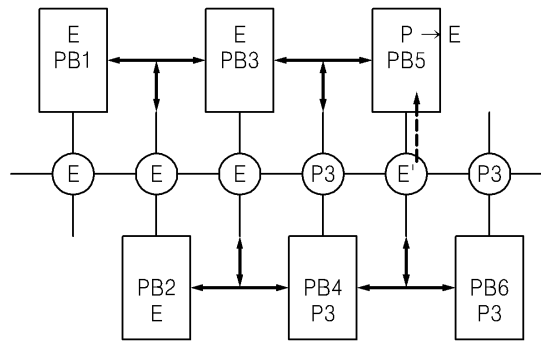
도면6b



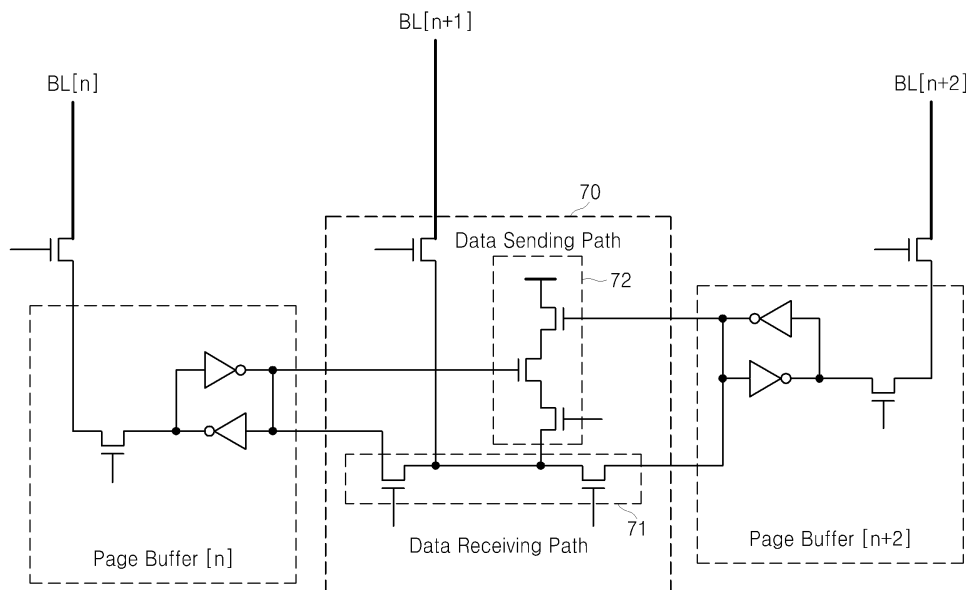
도면6c



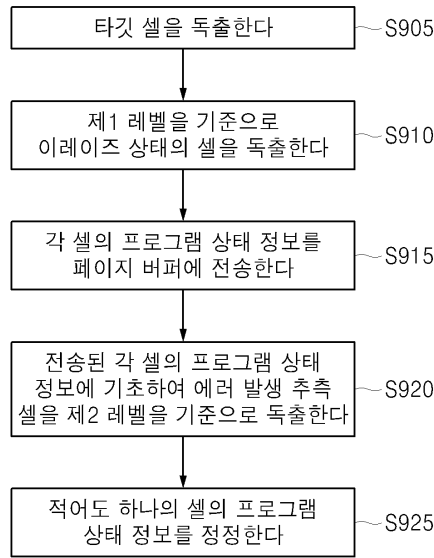
도면6d



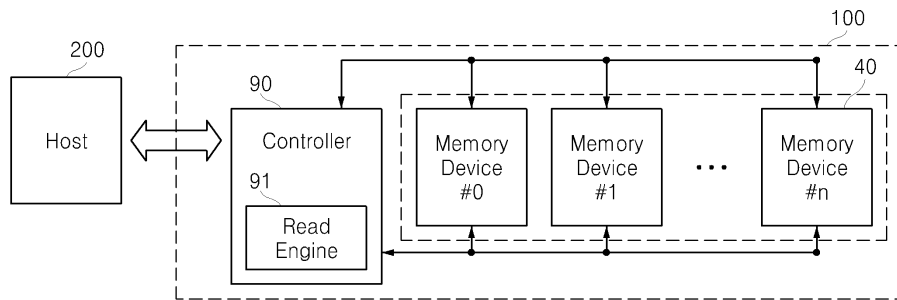
도면7



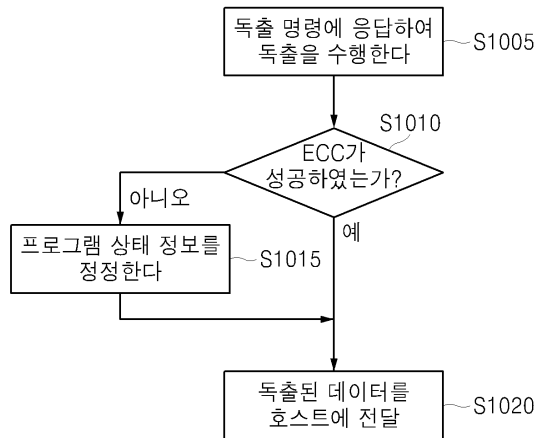
도면8



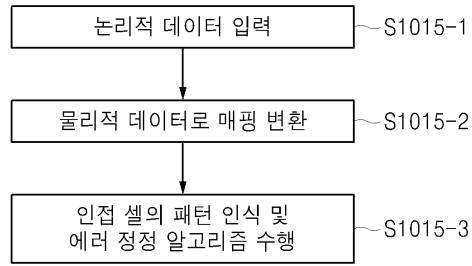
도면9



도면10



도면11



도면12

