



(12)发明专利



(10)授权公告号 CN 103329256 B

(45)授权公告日 2016.09.21

(21)申请号 201180060404.4

(22)申请日 2011.12.14

(65)同一申请的已公布的文献号
申请公布号 CN 103329256 A

(43)申请公布日 2013.09.25

(30)优先权数据
61/423,157 2010.12.15 US

(85)PCT国际申请进入国家阶段日
2013.06.14

(86)PCT国际申请的申请数据
PCT/US2011/064803 2011.12.14

(87)PCT国际申请的公布数据
W02012/082840 EN 2012.06.21

(73)专利权人 宜普电源转换公司
地址 美国加利福尼亚州

(72)发明人 亚历山大·利道 曹建军
罗伯特·比奇 J·斯特赖敦
阿兰娜·纳卡特 赵广元

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205
代理人 臧建明 杨文娟

(51)Int.Cl.
H01L 21/337(2006.01)

(56)对比文件
US 2009/0008679 A1,2009.01.08,
US 2009/0008679 A1,2009.01.08,
US 2008/0023706 A1,2008.01.31,
US 2008/0006904 A1,2008.01.10,
TW 200910517 A,2009.03.01,

审查员 李水丽

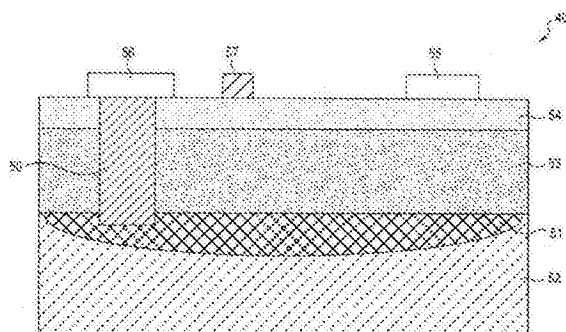
权利要求书4页 说明书16页 附图39页

(54)发明名称

具有后表面隔离的半导体装置

(57)摘要

用于独立地连接半导体装置的一部分中的周围材料与其各自的装置的电接触的电路、结构及技术。为达到这个目的,提供了一或多个导电阱的组合,所述一或多个导电阱在至少一个偏置极性电气隔离。



1. 一种晶体管装置,包括:
具有电位的衬底;
至少一个缓冲层,所述缓冲层包括化合物半导体材料;
装置层,所述装置层包括电流传导区域,所述装置层包括氮化镓;
形成在所述装置层上的源极电接触和漏极电接触;
导电阱,所述导电阱设置在所述衬底上,并设置在所述源极电接触和所述漏极电接触二者下方,其中所述导电阱在至少一个偏置极性与所述衬底电气隔离,以使所述源极电接触和所述漏极电接触下方的电位独立于所述衬底电位;以及
导电通道,所述导电通道由所述装置的顶表面延伸穿过所述装置层和所述缓冲层至所述导电阱,电气连接所述导电阱以及所述源极电接触,
其中所述漏极电接触与所述衬底的背面电气隔离。
2. 根据权利要求1所述的晶体管装置,其中所述导电阱具有与所述衬底相反极性的掺杂。
3. 根据权利要求1所述的晶体管装置,其中所述导电阱具有掺杂且所述衬底实质上未掺杂。
4. 根据权利要求1所述的晶体管装置,其中所述至少一个缓冲层的化合物半导体材料包括:
氮化铝;
氮化铝镓;以及
氮化镓。
5. 根据权利要求1所述的晶体管装置,其中所述衬底包括以下至少一种:
硅;
碳化硅;
蓝宝石;
氮化铝;
氮化镓;以及
砷化镓。
6. 根据权利要求1所述的晶体管装置,还包括:形成在所述衬底上的绝缘层及形成在所述绝缘层上的经掺杂导电材料。
7. 根据权利要求1所述的晶体管装置,其中所述衬底包括p型衬底,且所述导电阱包括n型材料。
8. 根据权利要求1所述的晶体管装置,其中所述衬底包括n型衬底,且所述导电阱包括p型材料。
9. 根据权利要求1所述的晶体管装置,其中所述衬底是实质不导电的,且所述导电阱包括导电材料。
10. 根据权利要求1所述的晶体管装置,其中所述导电阱包括植入所述衬底内的导电材料。
11. 根据权利要求1所述的晶体管装置,其中所述导电阱包括形成在所述衬底上方的导电材料层。

12. 根据权利要求1所述的晶体管装置, 其中所述导电通道的外部包括氮化钛, 所述导电通道的内部包括铝。

13. 根据权利要求12所述的晶体管装置, 其中所述导电通道包括钨或铜。

14. 根据权利要求12所述的晶体管装置, 其中所述导电通道包括铝, 硅, 或金。

15. 根据权利要求12所述的晶体管装置, 还包括多个导电阱。

16. 根据权利要求15所述的晶体管装置, 还包括:

栅极结构, 所述栅极结构形成在所述装置层上的所述源极电接触与所述漏极电接触之间,

其中所述多个导电阱形成PIN型二极管, 且其中各个导电阱与所述源极及漏极电接触电气连接。

17. 根据权利要求15所述的晶体管装置, 还包括:

栅极结构, 所述栅极结构形成在所述装置层上的所述源极电接触与所述漏极电接触之间,

其中所述多个导电阱形成一连串的P-N型二极管, 且其中各个导电阱与所述源极及漏极电接触及所述栅极结构中的一个电气连接。

18. 根据权利要求17所述的晶体管装置, 其中在所述一连串的P-N型二极管中交替的P-N型二极管包括隧道结。

19. 根据权利要求15所述的晶体管装置, 其中所述多个导电阱中的至少一个具有与导电通道的肖特基(Schottky)接触。

20. 根据权利要求15所述的晶体管装置, 其中所述多个导电阱中的至少一个包括在与导电通道的连接处的欧姆区域。

21. 根据权利要求1所述的晶体管装置, 还包括多个形成在所述衬底与所述导电阱之间的导电层, 其中所述多个导电层具有交替的掺杂极性。

22. 根据权利要求1所述的晶体管装置, 还包括:

所述装置层中的第一电流传导区域; 以及

所述导电阱中的第二电流传导区域。

23. 根据权利要求22所述的晶体管装置, 还包括通道连接, 所述通道连接延伸穿过所述缓冲层并且连接所述第一与第二电流传导区域。

24. 根据权利要求23所述的晶体管装置, 其中所述通道连接包括钨, 具有氮化钛的铝, 或硅中的至少一种。

25. 根据权利要求1所述的晶体管装置, 其中所述晶体管装置是集成电路的一部分, 所述集成电路包括多个晶体管装置。

26. 根据权利要求25所述的晶体管装置, 其中在所述晶体管装置下方的各个衬底在至少一个极性电气地隔离。

27. 根据权利要求25所述的晶体管装置, 其中所述集成电路包括多个用于各晶体管装置的各自的电流传导区域, 其中所述多个各自的电流传导区域通过隔离结构互相隔离。

28. 根据权利要求25所述的晶体管装置, 其中所述多个晶体管装置包括第二晶体管装置, 所述第二晶体管装置包括:

电接触, 所述电接触形成在所述装置层上且与另一个各自的电流传导区域电气连接;

以及

第二导电阱,所述第二导电阱通过所述缓冲层与所述第二晶体管装置的所述源极电接触和所述漏极电接触之一电气连接。

29.根据权利要求27所述的晶体管装置,其中所述隔离结构包括二极管,所述二极管形成在电流传导层内以便分开所述各自的电流传导区域。

30.根据权利要求29所述的晶体管装置,其中所述二极管包括具有第一掺杂极性的植入导电区域及具有第二掺杂极性的隧道区域。

31.根据权利要求25所述的晶体管装置,其中所述多个晶体管装置中的至少两个共用共同的电接触。

32.根据权利要求1所述的晶体管装置,还包括:金属氧化物半导体栅极结构,且其中所述金属氧化物半导体栅极结构位于背通道区域上方以累积电子。

33.根据权利要求1所述的晶体管装置,还包括:

蚀刻开口,所述蚀刻开口在所述源极与漏极电接触之间的所述装置层中;

栅极结构,所述栅极结构至少部分地形成在所述蚀刻开口内;以及

背通道耗尽区,所述背通道耗尽区用于累积形成在所述导电阱与第二导电阱之间的电子,

其中所述源极电接触和漏极电接触均通过所述缓冲层分别电气连接到所述导电阱和所述第二导电阱。

34.根据权利要求33所述的晶体管装置,还包括:形成在所述导电阱及所述第二导电阱中的一个与所述背通道区域之间的耗尽区,其中所述耗尽区具有比所述导电阱低的掺杂程度。

35.根据权利要求34所述的晶体管装置,还包括内衬所述蚀刻开口的介电材料,其中所述介电材料具有比所述栅极结构高的介电常数。

36.根据权利要求11所述的晶体管装置,还包括一对隔离区域,其中一个隔离区域位于所述导电材料层的任意一侧上。

37.根据权利要求11所述的晶体管装置,其中所述导电材料层为SOI层。

38.根据权利要求37所述的晶体管装置,还包括一对隔离植入物,其中一个隔离植入物位于导电区域的任意一侧上。

39.一种形成晶体管装置的方法,所述方法包括:

提供具有电位的衬底;

在所述衬底上形成导电阱,其中所述导电阱在至少一个偏置极性与所述衬底电气隔离;

在所述衬底及所述导电阱上形成至少一个缓冲层;

在所述缓冲层上形成装置层,所述装置层包括氮化镓;

在所述装置层的表面上形成源极电接触和漏极电接触,其中所述漏极电接触与所述衬底的背面电气隔离;以及

形成导电通道,所述导电通道延伸穿过所述装置层及所述缓冲层至所述导电阱,并且电气连接所述导电阱以及所述源极电接触,以使所述源极电接触和所述漏极电接触下方的电位独立于所述衬底电位。

40. 根据权利要求39所述的方法, 其中形成所述导电阱包括将掺杂物植入所述衬底。
41. 根据权利要求40所述的方法, 其中所述掺杂物包括硼。
42. 根据权利要求39所述的方法, 其中形成所述导电阱还包括:
在所述衬底上实行硅氧化, 其中所述衬底提供在晶圆上;
在所述衬底上形成光刻胶图案定义;
由所述图案区域内移除硅氧化物;
将掺杂物植入所述衬底;
剥除所述光刻胶图案及剩余氧化物; 以及
以高温退火所述晶圆。
43. 根据权利要求39所述的方法, 其中形成所述导电阱及所述衬底是绝缘体上覆硅晶圆的一部分。
44. 根据权利要求43所述的方法, 还包括在所述导电阱中形成隔离结构。
45. 根据权利要求44所述的方法, 其中形成所述隔离结构包括:
将氧化阻挡材料沉积在所述导电阱上;
在所述阻挡材料上形成光刻胶图案定义;
移除所述光刻胶图案的暴露区域中的所述氧化阻挡材料;
剥除所述光刻胶图案; 以及
通过将所述导电阱的暴露部分暴露于高温蒸气, 向下氧化所述暴露部分至所述绝缘体上覆硅晶圆的埋氧化物层。
46. 根据权利要求44所述的方法, 其中形成所述隔离结构包括:
沉积植入阻挡材料;
在所述阻挡材料上形成光刻胶图案定义;
移除所述光刻胶图案的暴露区域中的所述植入阻挡材料;
剥除所述光刻胶图案及植入阻挡材料; 以及
以高温退火所述导电阱。
47. 根据权利要求39所述的方法, 还包括:
在所述衬底上形成包括多个晶体管装置的集成装置; 以及
形成对应于各个晶体管装置的多个导电阱, 其中各导电阱在至少一个偏置极性与所述衬底电气隔离。
48. 根据权利要求47所述的方法, 还包括电气地隔离各个晶体管装置。

具有后表面隔离的半导体装置

技术领域

[0001] 本发明涉及一种具有后表面隔离的半导体装置。

背景技术

[0002] 半导体装置利用半导体材料的导电性质。这些半导体材料可包括,例如,硅(Si)或含硅材料,锗(Ge),或包括氮化镓(GaN)的材料。

[0003] 特别地,氮化镓半导体装置由于其传导大电流及支持高电压的能力,越来越多地用于功率半导体装置。这些装置的发展已大致集中在高功率/高频率应用。为这些种类的应用制造的装置以呈现高电子迁移率的一般装置结构为基础,且被称为异质结场效应晶体管(HFET),高电子迁移率晶体管(HEMT),或调质掺杂场效应晶体管(MODFET)等不同名称。这些种类的装置通常可耐受高电压同时以高频率操作。

[0004] 氮化镓高电子迁移率晶体管装置的一个例子包括具有至少两个内层的半导体衬底(例如,硅衬底)。所述不同内层具有不同能带间隙,这造成了极化,所述极化促成了靠近所述两个层的结处,特别是在具有较窄能带间隙的层中的导电二维电子气(2DEG)区域。在氮化镓半导体装置中,造成极化的所述层通常包括氮化镓铝(AlGaN)阻挡层,且所述阻挡层在靠近氮化镓电流传导层处形成。所述极化造成了所述电流传导层中的二维电子气区域,使电荷可流经所述装置。这个阻挡层可掺杂或未掺杂。

[0005] 因为在零栅极偏压时二维电子气区域通常在氮化镓晶体管装置的栅极下方,大部分氮化镓装置通常是常通型,或耗尽型装置。如果所述二维电子气区域可以耗尽,即移除,当所述栅极在零施加栅极偏压时,所述氮化镓装置可作为增强型装置操作。增强型装置是常断型,因为增强型装置提供的增加安全性,它们是理想的。增强型装置需要施加在所述栅极的正偏压以便传导电流。

[0006] 图1显示现有氮化镓晶体管装置100。装置100包括:衬底11,可由,例如,硅(Si),碳化硅(SiC),蓝宝石,或其他材料构成;一或多个过渡层12,形成在衬底11上方且可由厚度为大约0.1至大约1.0 μm 的氮化铝(AlN)层及氮化铝镓(AlGaN)层构成;缓冲层13,形成在一或多个过渡层12上方且通常由氮化镓构成,并且通常厚度为大约0.5至大约3 μm ;电流传导区域14,形成在缓冲层13上方以提供电流传导通道,且可由厚度通常为大约0.01至大约0.1 μm 的氮化镓或氮化铟镓(InGaN)构成;多个接触区域15,形成在电流传导区域14的上方或外侧,且通常由氮化铝镓,铝,钛(Ti)及硅构成,并且通常厚度可为大约0.01至0.03 μm ;阻挡层16,形成在电流传导区域14上方且在接触区域15之间,通常由铝对镓比率为大约0.1至大约1且厚度为大约0.01至大约0.03 μm 的氮化铝镓构成;栅极结构17,形成在阻挡层16上方且由具有镍(Ni)及金(Au)金属电接触的p型氮化镓构成;以及欧姆接触金属18、19,形成在接触区域15上方且分别在源极及漏极接触区域,可由具有例如镍及金的盖金属的钛及铝构成。电流传导区域14、接触区域15及阻挡层16共同形成装置层,所述装置层用于装置100的电气连接及控制。

[0007] 图2显示另一现有氮化镓晶体管装置200。装置200包括衬底21,过渡层22,缓冲层

24,通道层25,接触区域26,阻挡层27,栅极结构28,以及源极与漏极电接触29与30。这些层可具有与图1所述类似的参数。此外,装置200具有穿过晶圆的导电通道20,导电通道20由顶侧电接触(即,由源极电接触30,或由漏极电接触29,如图2所示电接触)穿过包括所述衬底的所有材料层,延伸到衬底21的底侧上的金属层31。

[0008] 图3显示另一氮化镓晶体管装置300。装置300包括衬底41,过渡层42,缓冲层43,包括通道层的电流传导区域44,接触区域45,阻挡层47,栅极结构48,以及源极与漏极电接触46与49。这些层可具有与图1和图2所述类似的参数。装置300包括将衬底41连接到源极电接触49的衬底连接导电通道40。与半导体装置200的导电通道20(图2)不同,半导体装置300的导电通道40在衬底41中终止且未一直延伸至衬底41的背侧。

[0009] 诸如关于图2和图3所述的导电通道连接,提供了由所述半导体装置的背侧(例如,所述衬底的背面)至所述装置的前侧(例如,源极或漏极电接触,栅极结构,或其他元件)的非常低电感及低电阻的路径。这对于这些装置欲使用的高频率操作而言是重要的。现有氮化镓晶体管装置100、200与300具有诸多缺点。当使用例如硅的导电衬底11时,装置100(图1)具有浮动衬底电位。如果所述衬底电压变得太正,会导致装置不小心接通。此外,负衬底电压可导致装置100的电阻增加。装置200与300(图2、3)通过将各个衬底21、41电气连接到各个电接触30、49来解决这个问题。但是,对集成装置而言,各装置所需的衬底电位可能不同。电气连接所述衬底与所述电接触可导致某些集成装置具有非最佳衬底电位。

[0010] 此外,经常需要具有与装置背侧连接的散热器,例如,如图所示,具有装置200的散热器31(图2)。除非在散热器31与衬底21之间包括绝缘材料,否则电气连接衬底21与电接触30会导致散热器31存在不需要的电压。但是,在散热器31与衬底21之间包括绝缘材料会不利于散热器31的有效性。绝缘材料增加热阻,在31与21之间的绝缘材料将热量保留在所述装置内。尽管如此,经常需要包括这种材料,例如当使用多个装置形成电路且使用同一个散热器时。

[0011] 不理想的但是经常必须在散热器31与衬底21之间包括绝缘材料的一个例子是当两个氮化镓场效应晶体管(“FETs”)串联连接以形成降压转换器。降压转换器中的第一场效应晶体管具有接地的源极,以及与交换节点连接的漏极。所述第二装置具有与所述交换节点连接的源极以及与高电压连接的漏极。因此,两个场效应晶体管装置在所述交换节点与相同电位连接,且以交替方式接通,使得所述交换节点电压在接地与高电位之间交替。如果整个衬底接地(即,所述第一场效应晶体管装置的源极电位),则所述第二装置的源极电位将相对于所述衬底变高,引起第二场效应晶体管装置中极大的电阻增加。如果所述衬底电位设定为交换节点电压,则所述第一装置将相对于在所述源极下方的衬底具有高负电位且它的电阻将变高。

[0012] 因此期望可以独立地控制集成半导体装置的各电接触下方的电位,同时还具有将所述半导体装置的背侧设定在独立电位的灵活性。

[0013] 包括氮化铝镓、氮化镓铝及氮化镓铝镓的氮化镓材料全部是直接能带间隙材料。这导致了独特的装置行为,例如当电子与空穴再结合时产生光,非常短的少数载流子寿命,以及在雪崩现象时快速产生载流子。后一个特性使氮化镓装置在雪崩现象发生时非常难以控制,且通常会导 致部件的毁坏。另一方面,硅具有间接能带间隙,可有平顺及受控制的雪崩,及在雪崩情况下安全的装置工作。

[0014] 因此期望在单一装置中组合基于硅的装置的有利的雪崩能力与氮化镓的改进的速度及电阻特性。

发明内容

[0015] 通过提供独立地连接半导体装置的一部分中的衬底区域与其相应的装置的电接触,以下所述实施例解决上述问题及其他问题。为达到这个目的,描述了一或多个植入阱或扩散导电区域与导电通道连接的组合,这种结构可以将所述衬底及其他元件互相绝缘,同时让其他元件可被电气连结。

附图说明

- [0016] 图1显示现有氮化镓晶体管装置的横截面图。
- [0017] 图2显示使用穿过晶圆导电通道的现有氮化镓晶体管装置的横截面图。
- [0018] 图3显示使用衬底连接导电通道的现有氮化镓晶体管装置的横截面图。
- [0019] 图4A显示依据本发明的第一实施例形成的晶体管装置的横截面图。
- [0020] 图4B-4G显示形成图4A的晶体管装置的过程。
- [0021] 图5显示依据第二实施例形成的晶体管装置的横截面图。
- [0022] 图6显示依据第三实施例形成的晶体管装置的横截面图。
- [0023] 图7A显示依据本发明的第四实施例形成的晶体管装置的横截面图。
- [0024] 图7B-7G显示形成图7A的晶体管装置的过程。
- [0025] 图8显示依据第五实施例形成的晶体管装置的横截面图。
- [0026] 图9A-C显示依据第六实施例形成的晶体管装置的横截面图。
- [0027] 图10显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0028] 图11显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0029] 图12显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0030] 图13显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0031] 图14显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0032] 图15显示依据在此所述的实施例的集成半导体装置的上下视图。
- [0033] 图16显示依据在此所述的实施例的集成半导体装置的上下视图。
- [0034] 图17显示依据在此所述的实施例的多个集成半导体装置的示意图。
- [0035] 图18显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0036] 图19显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0037] 图20显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0038] 图21显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0039] 图22A显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0040] 图22B显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0041] 图23显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0042] 图24显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0043] 图25A显示依据在此所述的实施例的集成半导体装置的横截面图。
- [0044] 图25B显示依据在此所述的实施例的集成半导体装置的横截面图。

[0045] 图26显示依据在此所述的实施例的晶体管装置的横截面图。

[0046] 图27显示依据在此所述的实施例的集成半导体装置的横截面图。

具体实施方式

[0047] 在以下详细说明中,参考了某些实施例。对这些实施例进行充分详细地说明以使所属技术领域中普通技术人员可实施它们。可了解的是可使用其他实施例且可进行各种结构、逻辑及电气变化。而且,说明了各种方法及过程,其中每一个均包括数个步骤。应了解的是除非另外指明,所述步骤可依所述顺序,或任何不同顺序实施。

[0048] 虽然在此所述的实施例包括氮化镓半导体装置,应了解的是本发明不限于氮化镓半导体装置。例如,所述实施例可应用于使用不同导电材料的半导体装置及其他装置,仅列举几例来说,例如,硅或碳化硅半导体装置及锗材料半导体装置。

[0049] 此外,虽然描述的是植入或扩散导电区域或阱,但是应了解的是这些只是用于在衬底内提供多个不同极性的区域的两种方式。因此,虽然所述实施例可适用于植入或扩散导电区域或阱,但是应了解的是可使用其他种类的相对极性区域及制造方法。

[0050] 所述实施例包括晶体管或其他半导体装置,例如氮化镓晶体管或包括晶体管的集成电路,且所述晶体管或其他半导体装置具有导电阱,并且所述导电阱在至少一个偏置极性与周围层或衬底电气隔离。在某些实施例中,装置具有导电衬底,其中所述衬底的多个区域掺杂有与所述衬底极性相反的导电性。所述相反极性的区域可以是,例如,在p型衬底中的n型材料。所述装置具有,例如通过导电通道,由在前侧的电接触至所述相反极性的区域的电气连接。在其他实施例中,所述区域可具有与所述衬底相同的掺杂类型,且可被一或多个绝缘层包围。在其他实施例中,所述衬底可是实质不导电的,而所述区域具有p型或n型掺杂。在其他实施例中,还说明了绝缘体上覆硅(SOI)的实施例,及包括并联传导通道的实施例。所述电气隔离允许独立控制在各装置下方和/或在单一装置内的多个独立电接触下方的所述衬底或其他材料,还有其他好处。

[0051] 图4A显示一氮化镓晶体管装置400的横截面图。装置400包括:衬底52,可由硅、碳化硅、氮化镓、氮化砷、氮化铝(AlN)中的一种或多种和/或基于蓝宝石的材料构成;多个缓冲层53,形成在衬底52上方,且可由具有在0.1-0.5 μm 范围内的厚度的一或多层化合物半导体材料(例如,氮化铝材料),具有0.1至2 μm 的厚度的一或多层氮化铝镓,及具有0.01至5 μm 的厚度的一或多层氮化镓构成;以及装置层54,形成在缓冲层53上方,且可包括具有0.005至0.03 μm 的厚度的15-100%铝的氮化铝镓层作为阻挡层16(图1)。虽然在此为了清楚解释该实施例的其他特性而未显示,但是应了解的是用于提供装置400的电气连接及控制的元件通常形成在装置层54中,包括提供主要电流传导通道的电流传导区域14(图1),及在电接触55与56中的之一或两者下方的接触区域15(图1)。所述电流传导区域可由较佳地在大约0.01至大约0.5 μm 范围内的厚度的氮化镓或氮化镓(InGaN),或在所属技术领域中现有的其他适当材料构成。所述接触区域可由较佳地在大约0.01至大约0.03 μm 范围内的厚度的可具有硅的氮化铝镓、铝及钛(Ti),或在所属技术领域中现有的其他适当材料构成。装置层54还可包括阻挡/通道/阻挡层结构,且通道层在两阻挡层之间。

[0052] 装置400包括形成在装置层54上的电接触55与56(例如,源极及漏极电接触)及栅极结构57。电接触55、56可由钛与铝的混合物构成,且栅极结构57可由p型氮化镓及氮化钛

或镍及金构成。

[0053] 装置400还包括植入衬底52中的导电阱51,及在导电阱51内终止的连接导电通道50。在一个实施例中,衬底52可以是具有在 $1e14$ 与 $1e16$ 电子/ cm^3 之间的掺杂的n型衬底,且导电阱51可以是由具有在 $1e17$ 与 $1e20$ 原子/ cm^3 之间的硼浓度的硼植入区域构成的p型阱。这种装置以相对所述衬底的负电位工作。在另一实施例中,衬底52可以是p型衬底,且阱51可以是n型阱,提供以相对所述衬底的正电位工作的装置。在另一实施例中,导电阱51可以是p型或n型,且衬底52可以是实质不导电(即,本质的)衬底。不同极性电气隔离导电阱51与衬底52。连接导电通道50可由厚度在1至 $5\mu m$ 范围内的铝材料及厚度在0.01至 $0.1\mu m$ 范围内的氮化钛薄层构成。二氧化硅还可在导电通道50内或上方使用。或者,钨(W)或铜(Cu)插入技术可应用于填充较小、较高深宽比的导电通道,同时使用厚度在0.01至 $0.1\mu m$ 范围内的多个氮化钛薄层以便接触所述硅阱。对导电通道50使用钨或铜技术的能力可将现有电荷耦合装置(“CCD”)制造过程的步骤整合以形成导电通道50。

[0054] 导电通道50提供了由半导体装置400的背侧至所述装置的前侧(例如,如图所示,至所述前侧的电接触56)的非常低电感及低电阻的路径,有利于装置400的高频操作。在所述装置及装置400背侧的缓冲层54、53下方存在的阱51隔离了后表面电位与所述衬底电位。隔离所述衬底电位的一个好处是它让连接在衬底52背侧的散热器31(图2)可以处于与装置400不同的电位。

[0055] 以下将配合图4B-4G说明制造装置400的过程。在图4B中,提供了衬底52,例如在晶圆衬底上,且在衬底52的表面中形成植入阱区域51。植入阱区域51可通过如下方式形成:在衬底52上实施硅氧化,使用光刻法在衬底52上方显影光刻胶图案定义,使用植入机将衬底52暴露于掺杂物,例如高能硼原子,剥除剩余光刻胶,在高温(例如, $1100^{\circ}C$)下将所述晶圆退火适当时间(例如,3小时),然后浸在含氢氟酸中剥除任何表面氧化物。

[0056] 缓冲层53、装置层54及栅极结构57可以成长在衬底52上,且进行材料加工以形成栅极结构57及源极与漏极电接触55、56。例如,如图4C所示,由较佳地厚度为大约0.1至大约 $1.0\mu m$ 的一或多个氮化铝和/或氮化铝镓材料层,及较佳地具有大约0.5至大约 $3.0\mu m$ 厚度的一或多个氮化镓材料层构成的缓冲层53可使用成核及成长工艺形成在衬底52上。

[0057] 如图4D所示,装置层54可接着形成在缓冲层53上。装置层54可包括形成在电流传导区域64上方的阻挡层66,且电流传导区域64作为主要电流通道。装置层54的形成可包括沉积厚度通常为大约0.01至大约 $0.5\mu m$ 的氮化镓或氮化镓铝材料层以便形成电流传导区域64,以及沉积由氮化铝镓构成的材料层以形成阻挡层66,其中铝分率(即铝的含量,因此铝分率加镓分率等于1)在大约0.1至大约1.0的范围内,且材料层厚度在大约0.01与大约 $0.03\mu m$ 之间的范围内。装置层54还可包括在层66上沉积镁掺杂的氮化镓材料层以形成电子吸收区域66b。多个接触区域65可通过将硅植入沉积阻挡层66的侧区域中而形成。

[0058] 如图4E所示,栅极结构57及欧姆电接触55与56接着形成在装置层54上方(为清楚起见在图4E中显示为单层)。例如,通过将p型氮化镓材料沉积在装置层54的表面上(例如,在图4D的电子吸收区域66b上方),由所述p型氮化镓材料蚀刻栅极结构57,以及在所述氮化镓材料上方形成例如钽(Ta)、钛(Ti)、氮化钛(TiN)、钨(W)、或二硅化钨(WSi_2)的难熔金属电接触,可形成栅极结构57。应了解的是还可使用用于提供栅极结构57的其他现有方法及材料。欧姆电接触55、56可由例如钛和/或铝的任何现有欧姆电接触金属,连同例如镍、金、

钛或氮化钛的盖金属形成。所述金属及栅极层优选厚度各为大约0.01至大约0.1 μm ,且接着在例如800 $^{\circ}\text{C}$ 的高温退火60秒。

[0059] 如图4F所示,用于连接导电通道50的开口67(图4G)可通过以二氧化硅及光刻胶在除了导电通道50的位置以外的每个地方覆盖装置层54,及接着在蚀刻室中将所述已覆盖的装置暴露于高能电浆而制造导电通道。所述高能电浆通常包含基于氯的气体,例如三氯化硼(BCl_3)或氯气(Cl_2),且通过在所述蚀刻室内产生的高频震荡场产生。在蚀刻穿过所述装置及缓冲层后,使用化学剥离剂、氧电浆或这些技术的组合将所述光刻胶从装置层54剥离。

[0060] 如图4G所示,接着在开口67(图4F)中形成导电通道50。可将氮化钛及铝沉积在开口67中以形成导电通道50,且所述氮化钛材料沿开口67的壁形成具有在大约100-200 $\text{\AA}$ 范围内的厚度的外层50A,所述铝材料形成具有在大约1-5 μm 范围内的厚度的导电通道50内部50B。所述氮化钛外层增加铝材料的粘着力。接着可沉积及蚀刻布线金属以便在导电通道50与电接触其他连接部,例如氮化镓场效应晶体管的源极电接触,之间形成连接。

[0061] 请参阅图5,显示的是另一个半导体装置500,包括衬底52,缓冲层53,装置层54,栅极结构57,及源极与漏极电接触55与56。装置500还包括连接导电通道50及阱51。这些元件可与所述图4中的装置400具有类似参数且可通过类似制造过程形成。

[0062] 装置500还包括在阱51与衬底52之间的多个隔离层58、59、60。隔离层58、59、60连同衬底52及阱51一起形成二极管结构。特别地,阱51及衬底52可以是相同极性(例如,n或p)的材料,隔离层58、59、60形成相反极性层。由阱51、衬底52及隔离层58、59、60形成的二极管结构为任一电压的极性提供阱51与衬底52的电压隔离,且因此让装置500可以配置成相对于衬底52具有正或负电位。虽然在图5显示的是三个隔离层,但是在阱51与衬底52之间可有更多或更少隔离层,包括单一隔离层。在一较佳实施例中,在阱51与衬底52之间的至少一个隔离层58、59、或60包括少数载流子重组掺杂物,例如铂(Pt),以防止所述二极管结构的锁定(latch-up)。

[0063] 请参阅图6,显示的是另一个半导体装置600,包括衬底52,缓冲层53,装置层54,栅极结构57,及源极与漏极电接触55与56。装置500还包括连接导电通道50及阱51。这些元件可与所述图4中的装置400具有类似参数且可通过类似制造过程形成。

[0064] 装置600包括连同阱51与衬底52一起形成闸流管的相反掺杂的隔离层68与69。例如,阱51可以是n掺杂材料,衬底52可以是p掺杂材料,隔离层68可以是n掺杂材料,且隔离层69可以是p掺杂材料,因此形成n-p-n-p结。所述闸流管的特征在于它在任一方向上具有阻隔p-n结。在一较佳实施例中,隔离层68与69中的一个为轻掺杂区域且将形成所述阻隔区域(即68或69是低掺杂区域,通常在 $1\text{e}14$ 至 $1\text{e}16$ 原子/ cm^3 范围内)。

[0065] 装置600用于控制衬底52的后表面电位。所述形成的n-p-n-p或p-n-p-n结还使得任一电压极性可以被隔离,因此使得电接触55、56及栅极结构57可以相对于衬底52被保持在正或负电位。在另一实施例中,例如如果需要使阱51与衬底52具有相同掺杂类型(即两者均为p或两者均为n),则可在阱51与衬底52之间添加第三隔离区域(未示出)。

[0066] 请参阅图7A,显示的是另一个半导体装置700,包括缓冲层53,装置层54,栅极结构57,源极与漏极电接触55与56,以及连接导电通道50。这些元件可与所述图4中的装置400具有类似参数且可通过类似制造过程形成。装置700还包括可由分别与装置600中的衬底52,隔离层68与69,及阱51类似的材料构成的衬底72,隔离层78与79,及阱71,但是衬底72,隔离

层78与79,及阱71形成为平坦层。装置700还包括形成在装置700各侧的隔离区域70,隔离区域70在相邻半导体装置之间提供隔离。如以下进一步描述,装置700的结构在操作上类似于装置600,但是易于制造。在一个例子中,装置700可使用绝缘体上覆硅(“SOI”)材料形成。例如,层78可由例如二氧化硅的绝缘材料形成,且层79可以是所述绝缘体上覆硅衬底的硅。

[0067] 以下连同图7B-7G说明制造装置700的方法。应了解的是在此所述的方法可以轻易地应用于独立半导体装置,或在单一晶圆衬底上的多个集成半导体装置。

[0068] 在图7B中,提供了衬底72且隔离层78与79形成为在衬底72上的实质平坦材料层,例如通过硅或如上所述的其他适当材料的外延沉积,或由导电衬底72上的二氧化硅层78上的硅层79构成的绝缘体上覆硅衬底。

[0069] 在图7C中,在隔离层78、79上接着形成阱71,例如通过硼掺杂硅材料的外延沉积。或者,如果在装置700中使用绝缘体上覆硅衬底,则不需要形成阱71来隔离衬底72。

[0070] 在图7D中,缓冲层53及装置层54可以分别关于上述图4C与4D的缓冲层53及装置层54所述的形式,使用氮化镓材料或其他适当材料外延地形成。

[0071] 如图7E所示,以关于图4E的上述方式,接着在装置层54及连接导电通道50上方形成栅极结构57及欧姆电接触55与56。

[0072] 如图7F所示,以关于图4F与4G的上述方式,接着穿过装置层54及缓冲层53,延伸入阱71而形成连接导电通道50。或者如果使用绝缘体上覆硅材料且未在装置700中形成单独的阱71,则导电通道50可延伸入硅层79或二氧化硅层78。

[0073] 如图7G所示,接着可形成隔离区域70以便隔离装置700的阱71与相邻装置。通过覆盖将用光刻胶形成电接触55与56(图7E)的区域之间的装置层54的部分,然后向下蚀刻至少到阱71下方的所述暴露层,且最好至隔离层78,可形成隔离区域70。接着可以用氧化物或其他适当隔离材料填充所述蚀刻区域。

[0074] 请参阅图8,显示的是具有绝缘体上覆硅(“SOI”)结构的半导体装置800。装置800包括缓冲层53,装置层54,源极与漏极电接触55与56,及栅极结构57。这些元件可与所述图6中的装置600具有类似参数且可通过类似制造过程形成。装置700还包括可形成为实质平坦层或以另一种适当形式形成的衬底72。

[0075] 装置800还包括绝缘体上覆硅层89及绝缘体上覆硅层89与衬底72之间的埋氧化物层82。例如,绝缘体上覆硅层89可以由具有浓度在大约 $1e14$ 至 $1e19$ 原子/ cm^3 范围内的掺杂硅材料。依据装置800的所需结构,绝缘体上覆硅层89可具有p或n型掺杂。装置800包括连接导电通道80,连接导电通道80电气连结一或多个所述装置电接触(例如,如图所示,电接触55)到绝缘体上覆硅层89。埋氧化物层82电气隔离衬底72与绝缘体上覆硅层89。

[0076] 如图8所示,隔离植入物88可被用来隔离相邻装置的各个绝缘体上覆硅区域89。隔离植入物88形成有与用于形成绝缘体上覆硅层89者相反地掺杂的材料,因此防止了传导通过相邻集成装置的各个绝缘体上覆硅层89。虽然隔离植入物88,如果够厚的话,可以在两方向上对绝缘体上覆硅层89提供电气隔离,但是具有与绝缘体上覆硅层89相反的极性的隔离植入物88可能会与绝缘体上覆硅层89形成n-p-n二极管。这会导致具有开放基极,在相邻绝缘体上覆硅区域之间导电的n-p-n二极管。因此,在另一实施例中,可在隔离植入物88中添加少数载流子寿命减少的掺杂物,例如铂,或所属技术领域中的任何其他适当掺杂物。

[0077] 请参阅图9A,显示的是包括以外延为主的衬底隔离的另一个半导体装置900。装置

900包括可由与装置700(图7A)中的衬底72及缓冲层53的类似材料形成的衬底72及缓冲层94。例如,缓冲层94可由具有0.1–0.5 μm 范围内的厚度的氮化铝材料,一或多个具有0.1至2 μm 厚度的氮化铝镓层,以及具有0.01至5 μm 的厚度的氮化镓层构成。衬底72可由一或多个硅、碳化硅、以砷化镓为主的材料构成。

[0078] 装置900包括形成在衬底72上的一或多个衬底隔离层92。衬底隔离层92可由例如氮化铝的材料,或高铝含量的氮化铝镓材料,或其他适当材料形成。衬底隔离层92的较佳厚度取决于装置900所需的电压额定值,且较佳地是每一欲阻隔的100V在0.5至1 μm 的范围内。

[0079] 装置900还包括提供主要电流传导通道的电流传导区域95,及在电流传导区域95上方的阻挡层96。电流传导区域95可由氮化镓,氮化铟铝,或所属技术领域中的其他适当材料构成,且较佳地具有在大约0.01至大约0.1 μm 范围内的厚度。阻挡层96可由铝对镓比例较佳地在大约0.1至大约1的范围内且厚度最好在大约0.01至0.03 μm 范围的氮化铝镓,或所属技术领域中的其他适当材料构成。虽然为清楚地说明该实施例的其他特性而未显示,但是应了解的是装置900还可包括在电接触55与56中的一者或两者下方的接触区域15(图1),可由较佳地在大约0.01至大约0.03 μm 范围内的厚度的具有硅的氮化铝镓,铝,及钛(Ti),或所属技术领域中的其他适当材料构成。

[0080] 装置900还包括导电阱93,导电阱93作为并联电流传导区域,在衬底隔离层92与缓冲层94之间形成并联通道。并联电流传导区域93可由具有 $1\text{e}17$ 至 $1\text{e}19$ 原子/ cm^3 范围内的硅掺杂的n型氮化镓材料形成。在另一实施例中,并联电流传导区域93可以类似于电流传导区域95形成的方式在氮化镓材料的顶面上形成有氮化铝镓材料。由于在氮化物材料中的压电效应,在各氮化铝镓层的底部形成二维电子气。在这实施例中,所述氮化铝镓材料较佳地具有在大约0.02至0.03 μm 范围内的厚度,并且铝的浓度在大约20%至30%的范围内。所述氮化镓材料最好具有大约0.1 μm 的厚度。

[0081] 装置900还包括在缓冲层94中且在电流传导区域95与并联电流传导区域93之间的通道连接90。通道连接90可通过以较佳地在大约 $1\text{e}17$ 至 $1\text{e}19$ 原子/ cm^3 范围内的密度将硅原子植入缓冲层94而形成。在其他实施例中,通道连接90可由具有氮化钛的钨或铝构成。装置900还可选择性地包括隔离区域97,隔离区域97可由类似于装置700的隔离区域70(第7图)的材料构成并以类似的方式形成,或通过其他适当材料及过程形成。例如,通过将装置900的外部蚀刻到至少在并联电流传导区域93下方的深度,且最好进入衬底隔离层92,并且以氧化物填充所述蚀刻区域,可形成隔离区域97。

[0082] 图9B显示在模拟920中所示的现有半导体装置(例如,图1的装置100),以及在模拟930中所示的半导体装置900之间的模拟导电路径的比较。模拟920显示只有提供单一通道的且形成在缓冲层13上方的单一电流传导区域14的半导体装置的导电路径。模拟930显示具有主要电流传导区域95,缓冲层94,形成并联通道的并联电流传导区域93,以及衬底隔离层92的半导体装置,例如半导体装置900的导电路径。

[0083] 图9C以图解形式描述了分别在模拟920、930中的电流传导路径940、950的比较。在图9C中的电流传导路径940显示流经电流传导区域14中的单一主通道的电流,而电流传导路径950显示由第一主要电流传导区域95中的主要通道流过缓冲层94且到达并联电流传导区域93中的并联通道的电流。

[0084] 请参阅图10,显示的是集成半导体装置1000。集成装置1000包括整合在单一衬底

102上的两相邻半导体装置：由电接触105、107及栅极106控制的第一装置；及由电接触108、110及栅极109控制的第二装置。所述第一与第二半导体装置可以是例如类似于以上关于图4A所述的半导体装置400的氮化镓半导体装置。例如，在装置1000中，衬底102可由一或多个硅，碳化硅，和/或以蓝宝石为基体的材料构成。缓冲层103可由具有在0.1至0.5 μm 范围内的厚度的氮化铝材料，具有0.1至2 μm 范围内的厚度的一或多个氮化铝镓层，及具有0.01至5 μm 范围内的厚度的氮化镓构成。装置层104可由具有在0.01至0.03 μm 范围内的厚度且具有在大约15–30%范围内的铝浓度的氮化铝镓材料构成。电接触105、107、108、110可由钛及铝的混合物构成。栅极结构106、109可由p型氮化镓及氮化钛或镍及金构成。应了解的是在集成装置1000内的各半导体装置的各个组件不必具有相等或甚至类似的特性，虽然具有类似特性的半导体装置易于制造且具有其他好处。

[0085] 集成装置1000包括在各半导体装置正下方的各个阱区域101，及由各半导体装置的电接触110、107延伸至各个阱区域101的各个连接导电通道100。如上所述，衬底102可以是n型衬底，且植入阱101可以是p型阱，提供了在相对衬底102的负电位工作的装置。在另一实施例中，衬底102可以是p型衬底，且阱区域101可以是n型阱，提供了在相对衬底102的正电位工作的装置。导电通道100可由具有在1至5 μm 范围内的厚度的铝材料及具有在0.01至0.1 μm 范围内的厚度的氮化钛薄层，以及用于完全填充导电通道100的二氧化硅构成。

[0086] 在集成装置1000中，导电通道100提供了由所述半导体装置的背侧至所述装置的前侧连接（例如，如图所示，电接触107、110）的非常低电感及低电阻的路径。这些性质对于高频工作是有利的。所述装置下方的阱101以及装置1000背侧的缓冲层104、103的存在提供了这些性质，同时还隔离了所述后表面电位与所述衬底电位。在集成装置1000中的各个半导体装置因此具有独立控制的后表面电位，且所述后表面电位与所述衬底电位隔离，还与各个栅极、源极及漏极电接触105–110的电位隔离，提供了完全独立的半导体装置。

[0087] 虽然集成装置1000提供了明显的好处，导电阱101的一个潜在问题是相邻阱会产生n-p-n或p-n-p结，所述n-p-n或p-n-p结在阱101之间产生不期望的短路情况，被称为锁定（latch up）。请参阅图11，另一个集成装置1100包括类似于以上关于装置1000（图10）所述的元件，还包括集成装置1100中相邻半导体装置的各个阱区域101之间的抑制区域111。抑制区域111可配置成为少数载流子重组区域，且可使用铂或其他适当重组中心材料形成。抑制区域111抑制在相邻阱区域101之间的锁定情况。

[0088] 请参阅图12，显示的是具有绝缘体上覆硅（“SOI”）结构的集成半导体装置1200。装置1200包括缓冲层123及装置层124。这些元件与上述装置800（图8）具有类似参数且可通过类似制造过程形成。装置1200还包括与上述装置800（图8）具有类似参数且可通过类似制造过程形成的衬底122，绝缘体上覆硅层121，及缓冲层123与衬底122之间的埋氧化物层130。装置1200包括连接电气接头（例如，如图所示，源极电接触129、127）到绝缘体上覆硅层121的连接导电通道120。埋氧化物层130电气隔离衬底122与所述绝缘体上覆硅层，使所述衬底电压与所述绝缘体上覆硅层电压无关。

[0089] 装置1200包括源极与漏极电接触125、127、129，及栅极结构126、128。在这实施例中，集成装置1200中的两相邻半导体装置共用作为相对源极电接触129的漏极电接触以及相对漏极电接触125的源极电接触的公共电接触127，形成半桥接电路装置。

[0090] 隔离植入物131用来隔离对应于集成装置1200中的各个晶体管装置的绝缘体上覆

硅层121的区域。隔离植入物131形成有与用于形成绝缘体上覆硅层121者相反地掺杂的材料,因此防止了传导通过相邻集成装置的绝缘体上覆硅区域。如以上对于装置800所述,在其他实施例中,可在隔离植入物131中添加少数载流子寿命减少的掺杂物,例如铂,或所属技术领域中现有的任何其他适当掺杂物。

[0091] 请参阅图13,显示的是呈并联通道结构的集成半导体装置1300。装置1300包括例如半导体装置900(图9)的多个半导体装置。集成装置1300包括为集成装置1300中的各个半导体装置提供各个主要通道的第一电流传导区域135,及在各主要通道135上方且在电接触137、138、141、142下方的阻挡层136。这些元件可包括与上述装置900(图9)中的元件类似的特性且可通过类似过程形成。

[0092] 集成装置1300还包括导电阱133,且导电阱133在衬底隔离层132与缓冲层134之间为各装置形成了各个并联传导通道。如以上对于装置900(图9)所述,并联电流传导区域133可由硅掺杂的n型氮化镓材料形成或在氮化镓材料的顶面上形成有氮化铝镓材料,或通过任何其他适当半导体材料形成。缓冲层134中的各个通道连接140可形成在电流传导区域135与并联电流传导区域133之间。通过较佳地以在大约 $1e17$ 至 $1e19$ 原子/ cm^3 范围内的密度且更佳地以大约 $1e18$ 原子/ cm^3 的密度,将硅原子选择性地植入缓冲层134,且以 $1150^{\circ}C$ 退火两小时,可形成通道连接140。较佳地,电流传导区域135,并联电流传导区域133,及通道连接140全部是n型材料。各个电流传导区域135及并联电流传导区域133通过通道连接140电气连接。

[0093] 集成装置1300还包括形成在衬底131上的一或多个衬底隔离区域132。衬底隔离层132可由例如氮化铝的材料,或一高铝含量氮化铝镓材料,或其他适当材料形成。如以上对于装置900(图9)所述地,衬底隔离层132的较佳厚度可依据集成装置1300所期望的电压额定值变化。

[0094] 装置1300还可选择性地包括隔离区域143,隔离区域143可由类似于装置700的隔离区域70(图7)的材料构成并以类似的方式形成,或通过其他适当材料及过程形成。例如,通过将装置1300的指示部分蚀刻到至少在并联电流传导区域133下方的深度,且最好进入衬底隔离层132,并且以氧化物填充所述蚀刻区域,可形成隔离区域143。通道连接140提供了由所述半导体装置的背侧至所述装置的前侧连接(例如,如图所示,电接触142、138)的非常低电感及低电阻的路径,同时在相邻装置与装置背侧的衬底隔离层132之间存在隔离区域143,使得各个半导体装置可具有独立控制的后表面电位,且所述后表面电位与所述衬底电位隔离并且与相邻装置的通道的电位隔离。

[0095] 请参阅图14,显示的是呈并联通道结构的集成半导体装置1400,包括类似于以上关于图13所述的半导体装置1300的多个半导体装置。集成装置1400还包括在并联电流传导区域133与缓冲层134之间的背阻挡层144。背阻挡层可由高铝含量氮化铝镓或氮化铝材料构成。在并联电流传导区域133与缓冲层134之间提供背阻挡层144通过防止电子由并联电流传导区域133迁移至电接触137、138、141、142从而增加了集成装置1400的击穿电压。

[0096] 集成半导体装置1400还包括由金属材料构成且由并联电流传导区域133延伸至电接触138、142的金属通道连接145。金属通道连接145优于并联电流传导区域133使用高铝含量材料的装置的其他种类通道连接(例如硅通道连接),因为将硅植入高铝含量氮化铝镓材料可导致非导电材料,且因此导致故障连接。通过从集成装置1400的表面至并联电流传导

区域133蚀刻金属通道连接145的选择区域,及以金属填充所述蚀刻区域,可形成金属通道连接145。用于填充金属通道连接145的金属可以是 用于电接触137、138、141、142的相同金属,例如钛、铝、氮化钛、钨或其他适当金属,或其组合。

[0097] 请参阅图15,显示的是集成半导体装置1500的上下视图。集成半导体装置1500包括整合在单一衬底1500上的四个半导体装置1551、1552、1553、1554。在集成半导体装置1500中的各半导体装置包括各个植入区域1502、1505、1508、1511,且在各植入区域1502、1505、1508、1511中,在表面正下方形成各个植入阱51(图4),及有源装置区域1503、1506、1509、1512,其中各装置形成有装置层54(图4)及电气连接(例如,图4的电接触55、57及栅极56)。在各植入区域1502、1505、1508、1511内,但在有源装置区域1503、1506、1509、1512外的是导电通道1501、1504、1507、1510,导电通道可用于提供由各个植入阱至各个半导体装置的前侧连接(例如,源极和/或漏极电接触)的非常低电感及低电阻的路径。半导体装置1551、1552、1553、1554可包括如以上参照图1至14中任一所述的半导体装置,且较佳地包括至少一个如以上参照图4至14中任一所述的半导体装置。以上对于图4至14所述的特征可用于对各个半导体装置提供与所述衬底电位隔离的独立控制的后表面电位和/或与相邻装置的导电区域隔离的导电区域。

[0098] 请参阅图16,显示的是另一集成半导体装置1600的上下视图。集成半导体装置1600包括整合在单一衬底上的两个单独的半导体装置1651、1652。各半导体装置包括有源区域1610、1620,且有源区域1610、1620在用于半导体装置1651、1652的连接部具有多个(在这个例子中,四个)导电通道1601-1608。半导体装置1651、1652可包括如以上参照图1至14中任一所述的半导体装置,且较佳地包括至少一个如以上参照图4至14中任一所述的半导体装置。以上对于图4至14所述的特征可用于对各个半导体装置提供与所述衬底电位隔离的独立控制的后表面电位,和/或与相邻装置的导电区域,或与相同装置内的其他导电区域隔离的导电区域。

[0099] 上述半导体装置可用来达成各种目的。例如,上述结构及过程可用于在衬底中形成作为集成电路的一部分工作的有源装置。这些装置的大致分类可包括二极管,双极结型晶体管(“BJT”),及场效应晶体管(“FET”)。

[0100] 请参阅图17,显示的是集成半导体装置实例的示意图。该示意图包括(a)单一晶体管;(b)一对串联连接以形成半桥接的晶体管;(c)一组连接形成全桥接电路的四个晶体管;以及(d)一组连接形成3相桥接的六个晶体管。并联形成的多组晶体管(即,如结构(c)中所示),可用于形成高速交换电路。

[0101] 请参阅图18,显示的是集成氮化镓半导体装置1800。装置1800包括可使用上述材料及过程形成的衬底202,缓冲层203及装置层204。装置1800还包括可使用上述材料及过程形成在装置层204上的漏极电接触205,源极电接触206及栅极结构207。装置1800还包括连接源极电接触206与阱201的导电通道200,且阱201形成在装置1800背侧的衬底202中。

[0102] 装置1800还包括形成在衬底202中的第二导电阱211之间的栅极保护二极管,第二导电阱211还可被称为栅极阱。所述栅极保护二极管通过导电通道212及金属布线209(或其他结构)与栅极结构207连接。所述栅极保护二极管保护栅极结构207不受可超过所述栅极氧化物击穿电压的高电压破坏。栅极垫208形成在装置1800的区域上,且所述区域通过隔离区域210与装置层204隔离。通过蚀刻去除所需区域中的装置层204,和/或通过装置层204

的区域植入具有高能原子的材料,例如镍、铁、钒,或将破坏装置层204以防止导电的任何其他适当材料,可形成隔离区域210。连接栅极结构207与栅极垫208的金属布线209可由例如掺杂硅和/或铜的铝构成。或者,金属布线209可由用于制造上述漏极与源极电接触205、206的相同材料,或多晶硅材料构成,且所述多晶硅材料会特别有利于在制造过程中随后应用高温时使用。

[0103] 导电通道212由栅极垫208延伸至栅极阱211。栅极阱211是导电阱区域,且较佳地是与衬底202相反地掺杂的材料。例如栅极阱211可由n型材料构成,且衬底202可以是p型衬底,因此在栅极阱211与衬底202之间形成p-n齐纳(Zener)二极管作为所述栅极保护二极管。在一较佳实施例中,栅极阱211由形成在重掺杂p型材料上的重掺杂n型材料形成,且所述重掺杂p型材料位于所述p型衬底202上。这种二极管可被用来阻隔在栅极垫208与衬底202之间流动的电流直到到达临界电压为止,然后电流将在栅极垫208与衬底202之间流动。栅极结构207上的负电压将以来自正向偏压p-n二极管的小偏压产生电流。与可连接栅极结构207与源极电接触206的现有栅极保护二极管不同,装置1800中所示的结构让多余电流可经过导电通道200、212流至衬底202,而不是流至源极电接触206。

[0104] 虽然参照图18所述的装置1800对栅极结构207及装置1800的其他元件提供了保护,但是因为电流流过所述栅极保护二极管时的电压取决于在栅极结构207与衬底202之间的电压,故会产生问题。因此,衬底202的偏压丧失某些独立性。

[0105] 请参阅图19,显示的是另一集成氮化镓半导体装置1900,其中栅极保护二极管通过包含在阱221内的栅极阱211形成。所述栅极保护二极管的栅极保护电压通过装置1900的栅极至源极偏压,而不是栅极至衬底偏压(如图18的装置1800)设定,因此可有独立衬底偏压。虽然未显示在图19,但是应了解的是以上对于图1至17所述的隔离技术及结构可用于进一步隔离阱221与衬底202以及缓冲层203。

[0106] 请参阅图20,显示的是另一集成氮化镓半导体有源装置2000。装置2000包括在绝缘体上覆硅层224内串联的多个正向偏压二极管以形成栅极保护电路。装置2000形成在绝缘体上覆硅衬底上,包括衬底202,埋氧化物层223,及绝缘体上覆硅层224。

[0107] 绝缘体上覆硅层224可以是n型材料。二极管在绝缘体上覆硅层224内由(例如,p型)植入导电区域225及重掺杂(例如,n型)隧道区域226形成,使得在导电区域225与隧道区域226之间的结形成隧道型结构。隧道型接触中所述掺杂在所述p-n结中高到(例如,大约 $1e20$ 原子/ cm^3)使得没有电压受到阻隔。这种接触可发生在所述n区域中的电子可直接传送进入所述p区域的共价带中时。因此,虽然p-n结存在,但是它呈现为欧姆,或导电连接。在一较佳实施例中,各二极管可形成大约一伏特的压降,这样五个串联二极管将产生大约五伏特的压降。虽然绝缘体上覆硅衬底会增加制造装置2000的成本,但是上述结构需要比其他结构少的植入步骤且为装置2000的有源元件与衬底202提供了自然隔离。

[0108] 请参阅图21,显示的是另一集成氮化镓半导体主动装置2100。装置2100包括可为p型衬底的衬底202,及可为n型植入导电阱的导电阱201与栅极阱211。

[0109] 装置2100包括用来作为栅极介电体以形成凹场效应晶体管装置的多个GaN层,且背通道区域228形成在栅极阱211与阱201之间。装置2100可配置成类似于现有金属氧化物半导体场效应晶体管(MOSFET)装置地工作。在装置2100中,阱区域201及栅极阱区域211分别作为所述凹场效应晶体管的漏极及源极,而栅极垫208则作为所述凹场效应晶体管的栅

极。导电通道222使栅极垫208与栅极阱211短路,且导电通道227使阱201与衬底202短路。在这结构中,阱201作为所述埋场效应晶体管的源极。施加在栅极垫208的电位使电子累积在背通道区域228中,使所述凹场效应晶体管转变成“接通(on)”状态,让电流可在电接触连接205或衬底202与栅极垫208之间流动,且限制了存在于栅极垫208的电压。

[0110] 请参阅图22A,显示的是另一集成氮化镓半导体有源装置2200。装置2200是氮化镓场效应晶体管装置,具有延伸进入导电阱221中的两导电通道230、231。与源极电接触206连接的第一导电通道230延伸进入形成在导电阱221内的欧姆区域232中。欧姆区域232可使用具有用于形成导电阱221的相同载流子类型(即,n型或p型材料)的材料的高剂量植入物形成。例如,导电阱221可由具有大约 $1e16$ 原子/ cm^3 浓度的p型材料形成;且欧姆区域232可以 $5e18$ 原子/ cm^3 的浓度形成。与漏极电接触205连接的第二导电通道231延伸进入导电阱221且与导电阱221产生肖特基(Schottky)接触。

[0111] 在装置2200的反向偏压位置时(例如,当漏极电接触205相较于源极电接触206电接触为正,且栅极结构207具有零偏压时),由导电阱221及区域231形成的肖特基二极管阻隔了电流由导电通道231流入阱区域221。当漏极电接触205相较于源极电接触206的偏压电接触变成负时,电流流经欧姆区域232进入且通过导电阱221且到达漏极电接触205,同时所述栅极偏压保持在零(且所述场效应晶体管保持在“断路(off)”状态)。

[0112] 装置2200为电流在栅极207“断路”时以低功率损失在源极电接触206与漏极电接触205之间流动而提供了支持。例如,用于氮化镓场效应晶体管的现有临界电压可为大约2.1伏特。另一方面,通过由区域231及阱221形成的二极管的压降只是大约0.7伏特,而源极电接触206通过导电通道230与导电阱221电气连接。因此,对固定电流而言,当所述栅极在“断路”状态时流过装置2200的电流会产生通过现有氮化镓场效应晶体管装置所受到的压降的大约33%的压降。

[0113] 请参阅图22B,显示的是另一集成氮化镓半导体主动装置2200B。装置2200B包括关于装置2200所述的类似特征,但是还包括形成在阱221内且在导电通道231下方的第二欧姆区域232B。第二欧姆区域232B可使用具有用于形成导电阱221及欧姆区域232的相反载流子类型(即,n型或p型材料)的材料的高剂量植入物形成,因此形成P-本质-N(PIN)结。

[0114] 请参阅图23,显示的是另一集成氮化镓/硅半导体装置2300。装置2300包括使用缓冲层203作为栅极绝缘层的凹硅场效应晶体管。装置2300包括与以上对于装置2100(图21)所述的元件类似的材料及过程形成的衬底202,缓冲层203,装置层204,电接触205、206,栅极结构207,及导电阱201。装置2300还包括与以上对于装置2100(图21)所述的元件类似的材料及过程形成的隔离区域210,第一导电通道222,第二导电通道227,硅场效应晶体管阱241,及在导电阱201与硅场效应晶体管阱241之间的背通道区域228。装置2300还包括用于所述硅场效应晶体管的独立漏极及栅极结构。硅栅极结构243和硅场效应晶体管漏极242可与对于装置1800(图18)所述的栅极垫208类似的材料及过程,或通过其他现有适当材料及过程形成。

[0115] 装置2300进一步包括隔离结构240,表示一或多个以上对于图4至22所述的隔离结构,例如抑制区域111(图11),隔离植入物131(图12),或隔离区域143(图13)。但是,应了解的是隔离结构240可表示任何上述其他隔离结构,以及所属技术领域中的现有隔离技术。

[0116] 请参阅图24,显示的是另一集成氮化镓/硅半导体装置2400。装置2400包括可由上

述材料及过程形成的衬底202,缓冲层203,装置层204,电接触205、206,氮化镓栅极结构207,及导电阱201。装置2400还包括可由上述材料及过程形成的隔离区域210,导电通道222,导电通道227,场效应晶体管阱241,及在导电阱251与场效应晶体管阱241之间的背通道区域228。

[0117] 装置2400包括独立场效应晶体管源极244及漏极242电接触,以及凹入装置层204及缓冲层203中的金属氧化物半导体(MOS)栅极243。通过蚀刻穿过装置层204及部分地穿过缓冲层203,直到到达缓冲层203内的氮化铝成核层为止,可得到栅极243。氮化镓的选择性蚀刻可通过在所述蚀刻步骤时添加氧(O_2),或通过所属技术领域中的任何适当过程达成。

[0118] 装置2400还包括在场效应晶体管阱241与背通道区域228之间的低掺杂耗尽区250。较佳地,耗尽区250具有比场效应晶体管阱241及场效应晶体管源极阱251(例如,阱241与251可以掺杂 $1E17$ 至 $1E19/cm^2$)低的掺杂程度(例如,在大约 $1e14$ 至 $1e17/cm^2$ 的范围内)。这增加了所述集成硅场效应晶体管的击穿电压。装置2400提供了整合硅中的p通道晶体管与氮化镓中的n通道晶体管的能力以便得到CMOS(互补金属氧化物半导体)型电路。例如,阱202可通过以 $4-8E16/cm^3$ 的剂量植入锑而形成以便形成n型阱。区域250可以用 $1e17/cm^3$ 硼植入以形成p型漂移阱,产生具有 $2e16/cm^3$ 的净p型掺杂的漂移阱。区域241与251可以用 $1e18$ 硼植入以形成重掺杂欧姆接触区域。形成在漂移阱250与阱202之间的p-n结在施加于电接触242的硅场效应晶体管漏极电压为负且背通道区域228在“断路”状态时阻隔电压。栅极243的负偏压在区域228中产生空穴的累积,将所述装置转变为“接通”。接着电流可由连接244流经p型阱251,通过背通道区域228,进入漂移阱250,且通过接触区域241与连接242流出。

[0119] 装置2400包括分开导电阱201及阱241、251的隔离结构240。图24中的隔离结构240各表示以上对于图4至22所述的一或多个隔离结构,例如抑制区域111(图11),隔离植入物131(图12),或隔离区域143(图13)。但是,应了解的是隔离结构240可表示任何上述其他隔离结构,以及所属技术领域中的现有隔离技术。

[0120] 请参阅图25A,显示的是另一集成氮化镓/硅半导体装置2500。装置2500包括如以上对于装置2400(图24)所述的类似元件,且这些元件的说明将不在此重复。装置2500还包括环绕硅栅极243的高介电常数(“高k”)介电材料260。高k介电材料260是指具有比二氧化硅或通常使用在形成栅极结构中的类似材料高的介电常数的材料。添加高k介电材料260增加了栅极电容同时减少了电流泄漏的电位。高k介电材料260可由现有适当材料形成,且较佳地由在 $AlHfSiO_x$ 材料家族中的材料形成,例如硅化铝铪,二氧化铝铪。高k介电材料260中的铝、铪(Hf)及硅的最适当组分可变化。高k介电材料260可在形成栅极结构243之前,以低温方法沉积,例如使用原子层沉积法(“ALD”)、电浆加强化学气象沉积法(“PECVD”)、或其他适当沉积法。在装置2500的另一实施例中,可使用与介电体沉积组合的硅氧化技术,或低温氧化技术以提供硅栅极结构243的类似好处。

[0121] 在图25B所示的另一实施例中,装置2500B包括栅极结构243B,栅极结构243B具有完全蚀刻通过缓冲层203的高k绝缘体260B。这导致了形成的栅极结构在所述高k栅极氧化物与栅极结构243之间没有缓冲层。所述优点包括接通所述装置所需的较低栅极电压,且所述凹入步骤可与导电通道222蚀刻步骤组合,减少制造的成本及复杂性。

[0122] 请参阅图26,显示的是另一氮化镓晶体管装置2600。装置2600包括可以是例如硅、碳化硅或其他半导体材料的衬底302,及形成在衬底302中的导电阱301,且导电阱301通过第一导电通道300与源极电接触308连接。导电阱301覆盖在装置层304的有源部分正下方的区域。装置2600还包括第二导电通道307,且第二导电通道307与环绕导电阱301的区域形成欧姆接触,形成相邻欧姆阱305。导电阱301可由高掺杂p型硅材料形成,欧姆阱305可由高掺杂n型硅材料形成,使得导电阱301与欧姆阱305之间的衬底302的非植入部分是较低掺杂材料。

[0123] 装置2600有利地使用衬底302的半导体特性以保护装置2600不让高电压峰值到漏极电接触306。导电阱301,欧姆阱305及导电阱301与欧姆阱305之间的衬底302的部分形成p-本质-n(pin)二极管。当高电压峰值形成在漏极电接触306时,形成在导电阱301与欧姆阱305之间的p-本质-n二极管将经历雪崩情况,导致电荷被穿过衬底302传送至导电阱301。导电阱301,欧姆阱305及衬底302可被掺杂使得穿过所述p-本质-n二极管的雪崩情况在所述高电压峰值的能量到达导致装置2600的破坏或毁损临界电压之前被触发。应了解的是以上对于图1至25所述的隔离结构还可加入装置2600中,以便隔离装置2600及导电及欧姆阱301、305与相邻结构及装置。

[0124] 请参阅图27,显示的是另一集成氮化镓半导体有源装置2700。装置2700包括使用导电通道连接400、473、474整合在氮化镓装置内的双极型晶体管装置。集成装置2700的氮化镓部分可通过依据上述实施例形成及工作的氮化镓漏极466,氮化镓源极468,及氮化镓栅极469而形成。在装置2700中,阱401设置在氮化镓装置的装置层204的有源区域下方区域中的绝缘体上覆硅层224中,且隔离了所述氮化镓装置的背侧电位。

[0125] 如图27所示,如以上对于装置2000(图20)所述,装置2700包括绝缘体上覆硅绝缘结构。在一个实施例中,阱401是p型阱,且绝缘体上覆硅层224由n型材料形成。但是,应了解的是可取代或另外地使用以上对于图1-26中任一所述的任何隔离结构。另外,在另一实施例中,装置2700不包括阱401,或可包括其他种类的背侧隔离。

[0126] 集成装置2700的双极型部分通过双极型漏极电接触472及双极型基极电接触471形成。虽然未显示在图27中,双极型基极电接触471及双极型漏极电接触472可以通过以上对于图4-26所述的一或多个隔离结构,例如抑制区域111(图11),隔离植入物(图12),或隔离区域(图13),与装置层204的有源氮化镓区域隔离。

[0127] 集成装置2700的双极型部分使用导电通道473与474“埋置”。装置2700的双极型漏极472使用植入阱470,且以在 $1e16$ 至 $1e19/cm^2$ 范围内的掺杂产生,并且导电通道474由双极型漏极电接触472延伸进入阱470。阱470可以是在n型绝缘体上覆硅层224中的p型材料。在另一可选实施例中,另一阱(未显示)可以被植入在双极型基极电接触471下方以进一步改善接触,或阱401可由高及低掺杂区域构成以增加击穿电压。一个例子是以密度 $1e18/cm^3$ 的硼植入且具有以 $1e17/cm^3$ 掺杂砷的绝缘体上覆硅层的阱区域401与470。连接导电通道474与所述绝缘体上覆硅层接触,同时导电通道400与474分别与所述集电极及发射极区域401与470连接。当负偏压施加在连接471时,所述绝缘体上覆硅层相对于发射极及集电极区域470与401成为负偏压。空穴可接着传导通过阱401与470之间区域中的所述绝缘体上覆硅层。

[0128] 以上说明及附图只被视为具体实施例的说明,以实现在此说明的特征及优点。可

以对具体过程条件进行修改及替换。因此,本发明的实施例不被视为受限于前述说明及附图,而只受限于权利要求的要素。

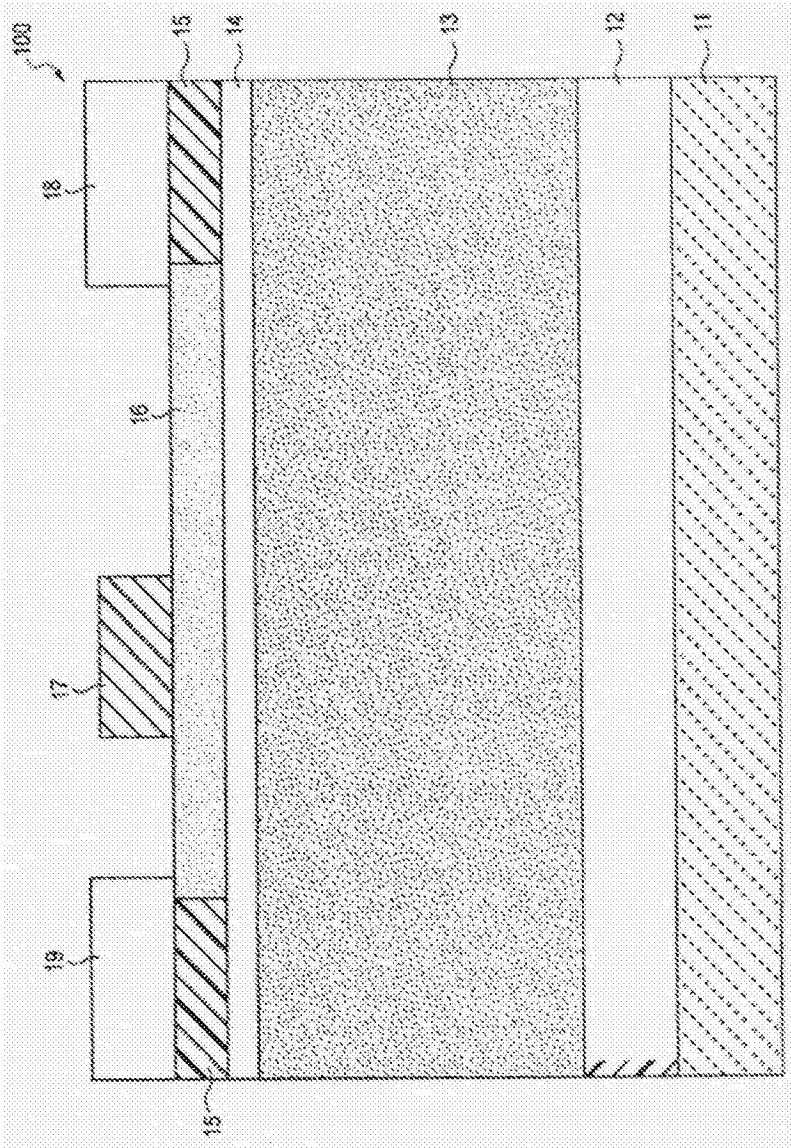


图1现有技术

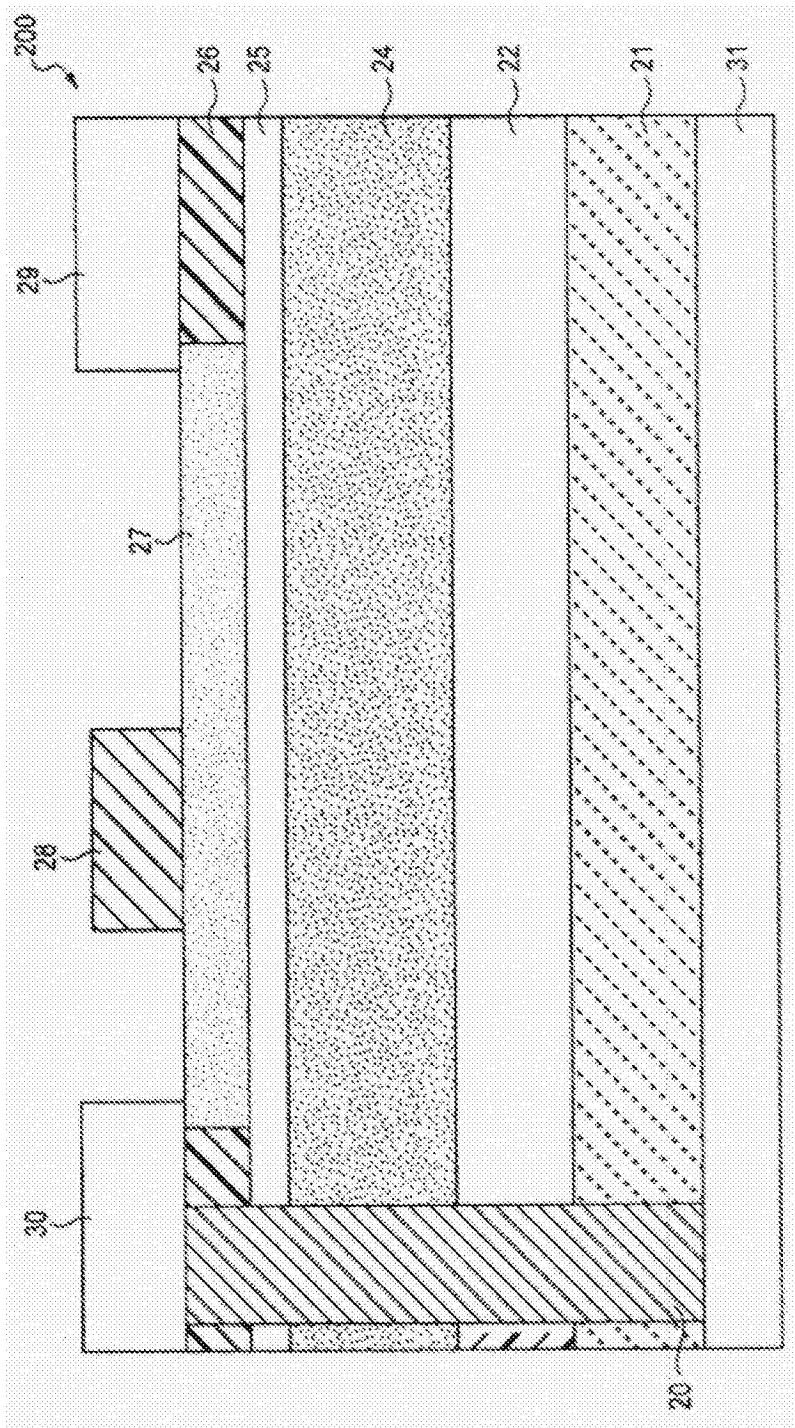


图2现有技术

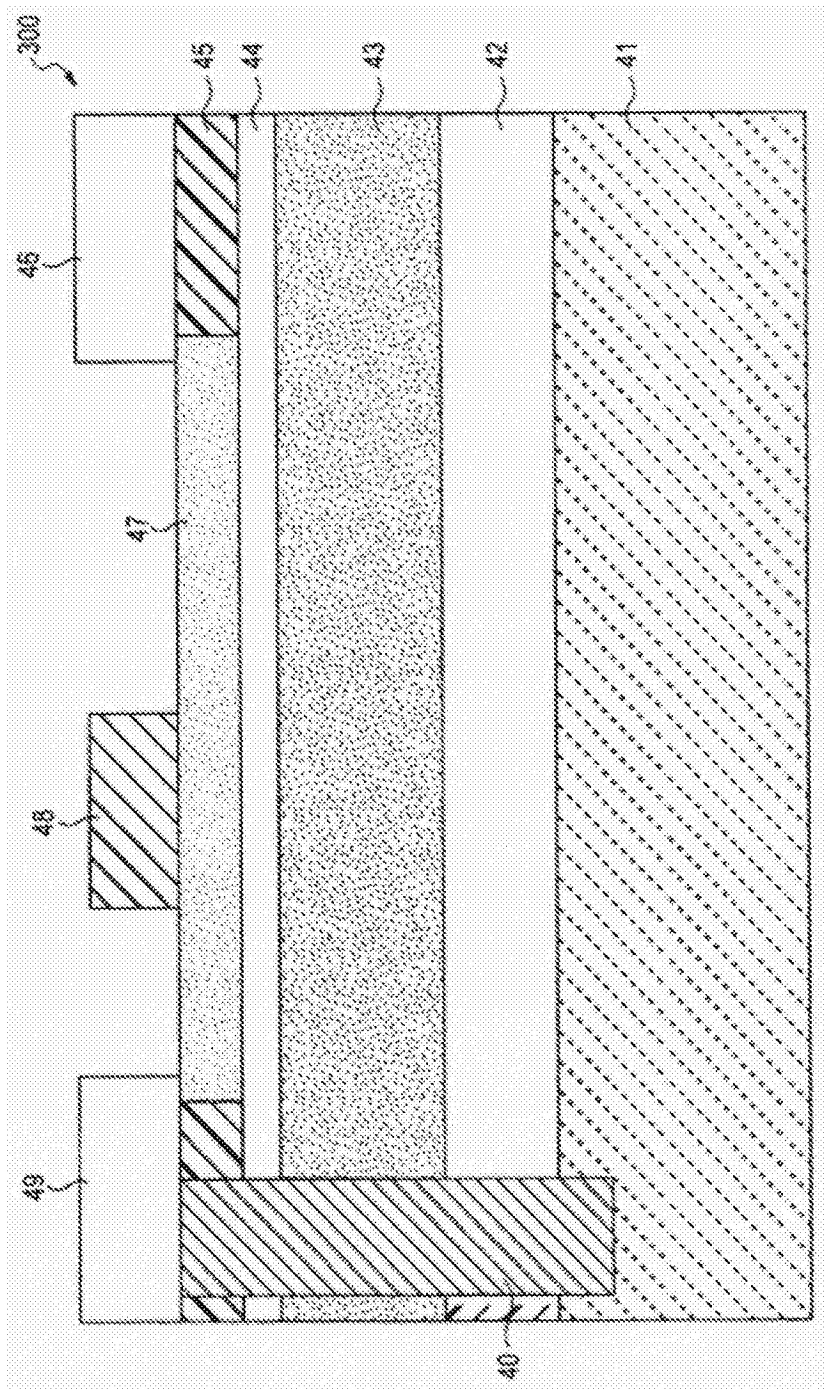


图3现有技术

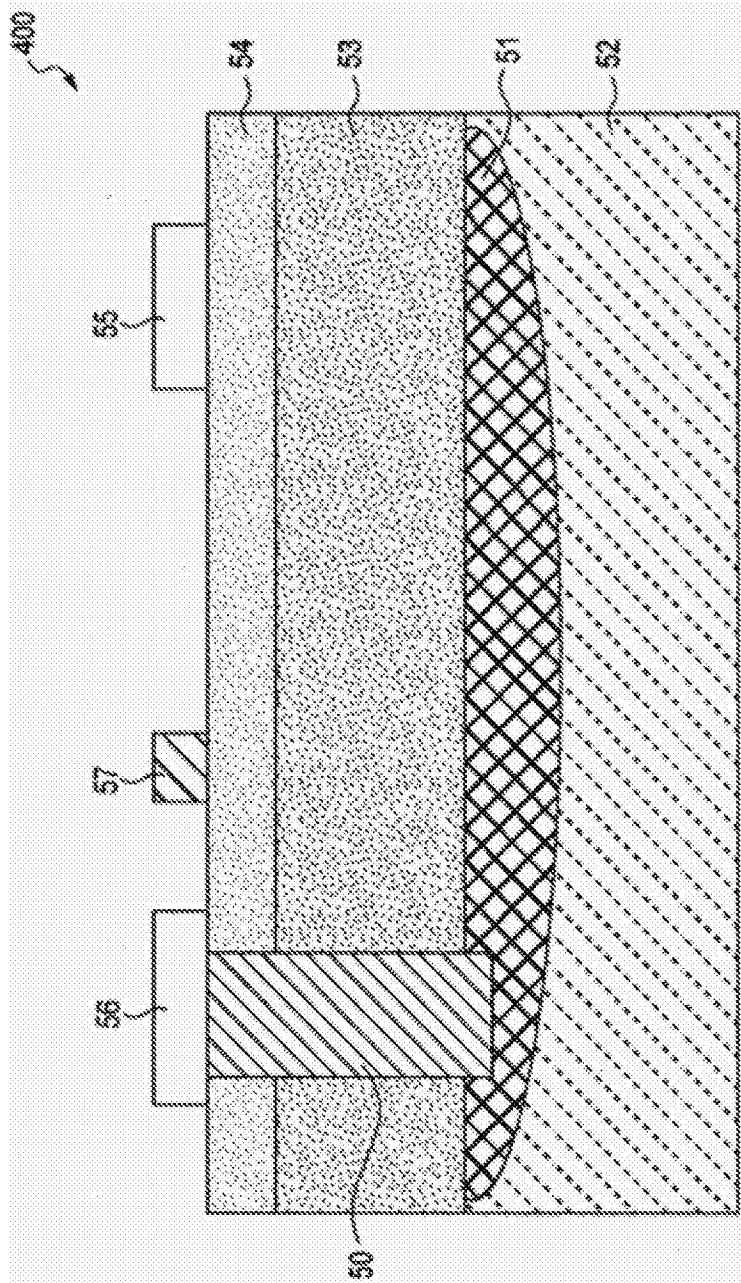


图4A

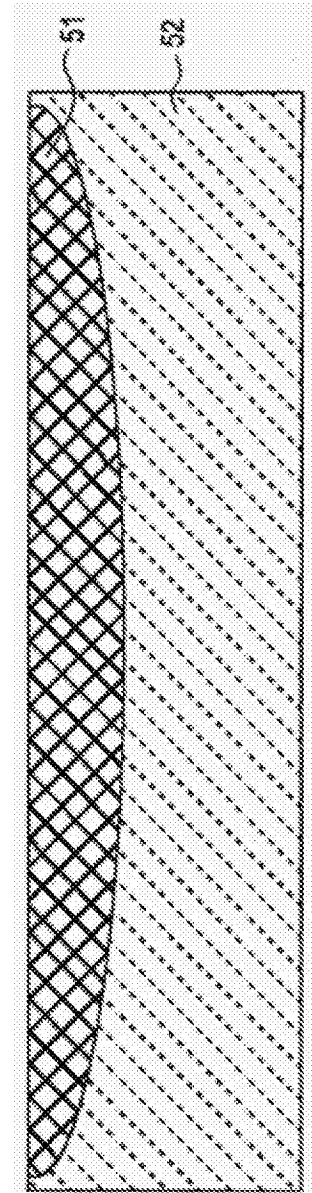


图4B

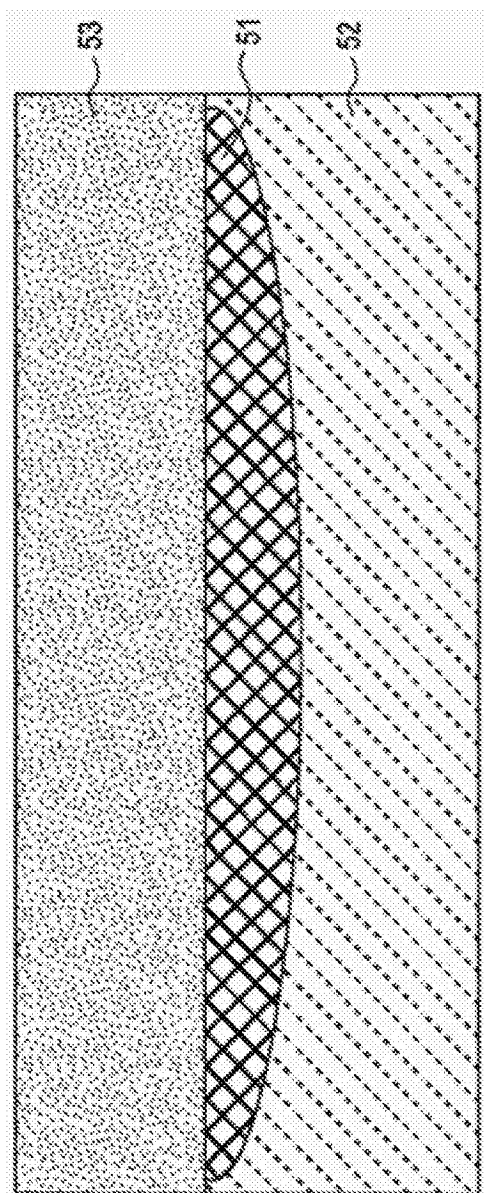


图4C

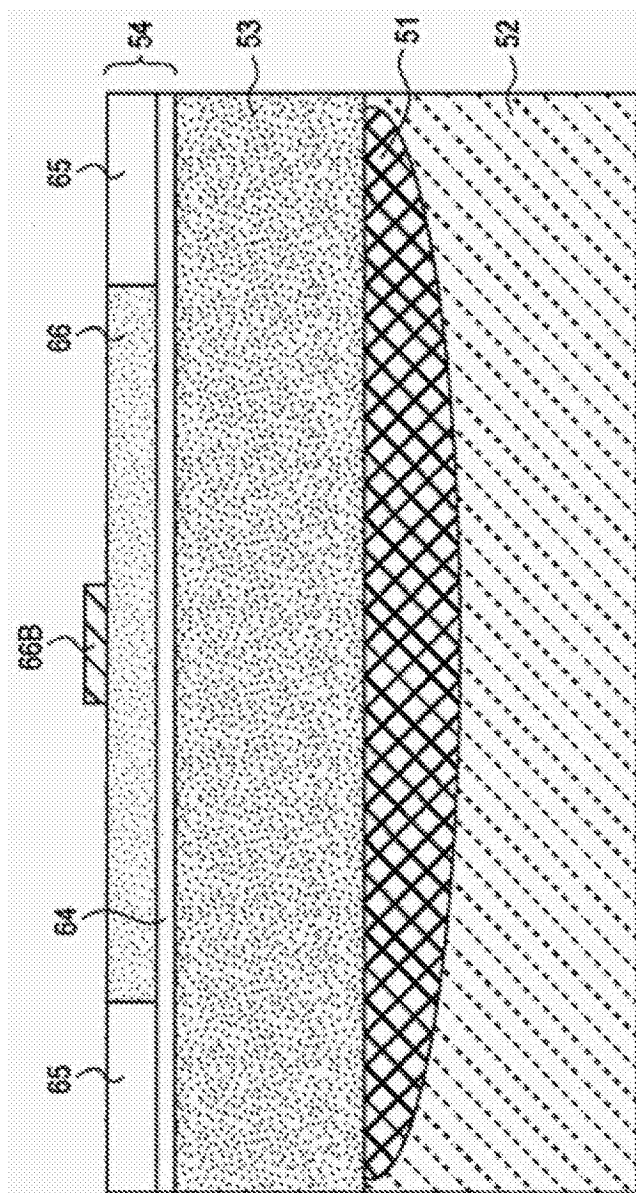


图4D

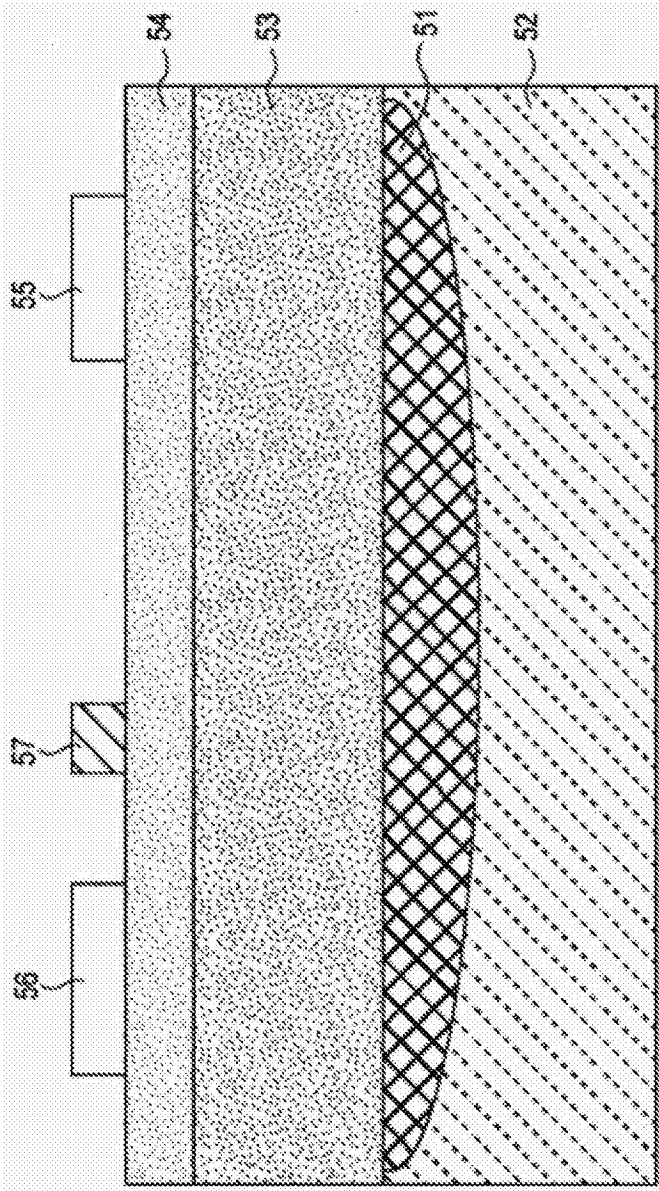


图4E

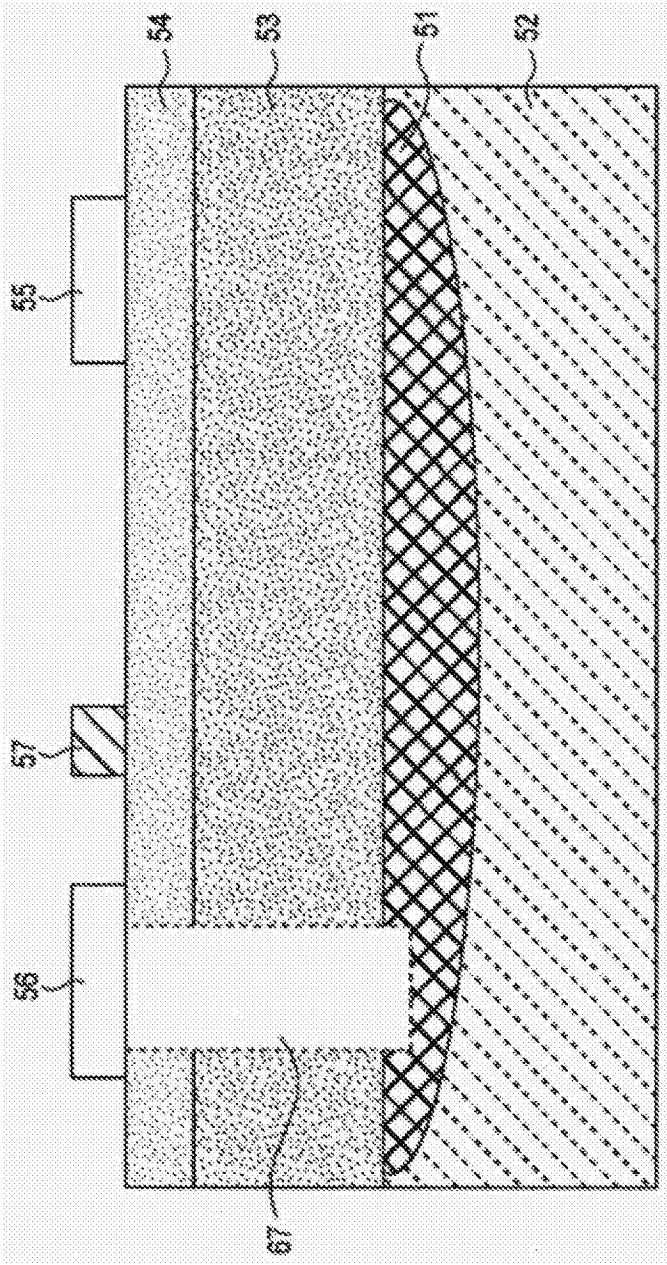


图4F

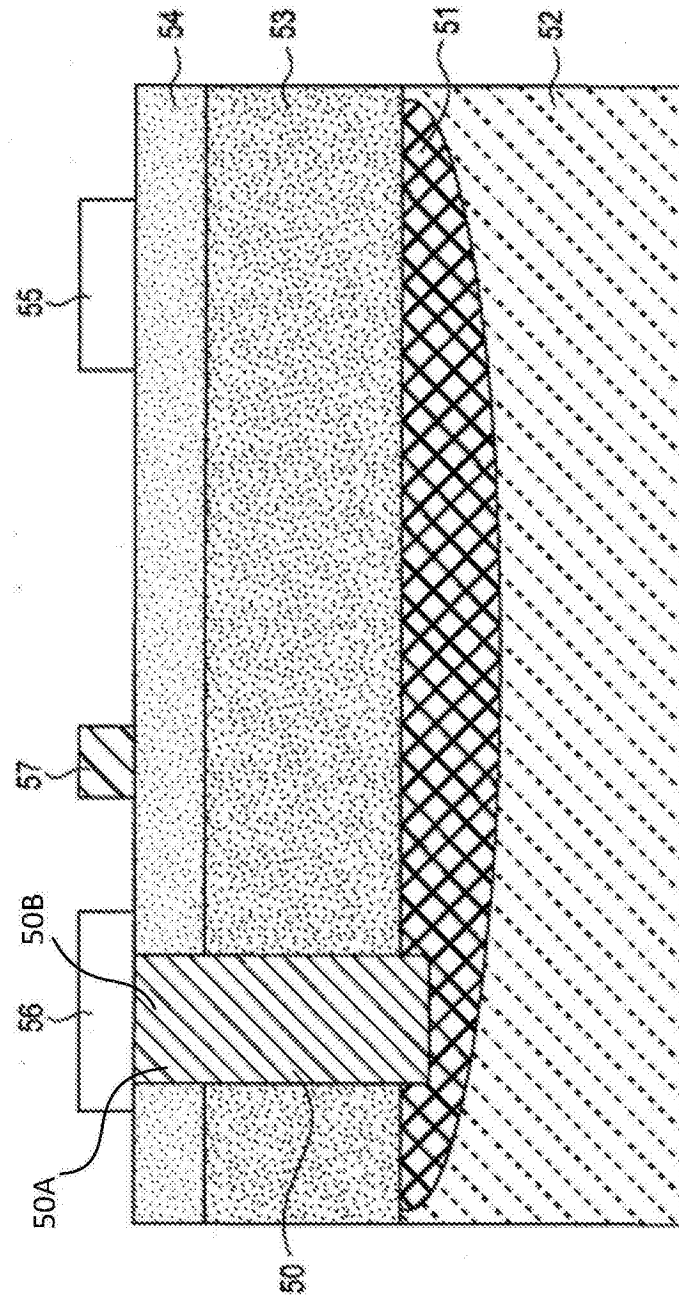


图4G

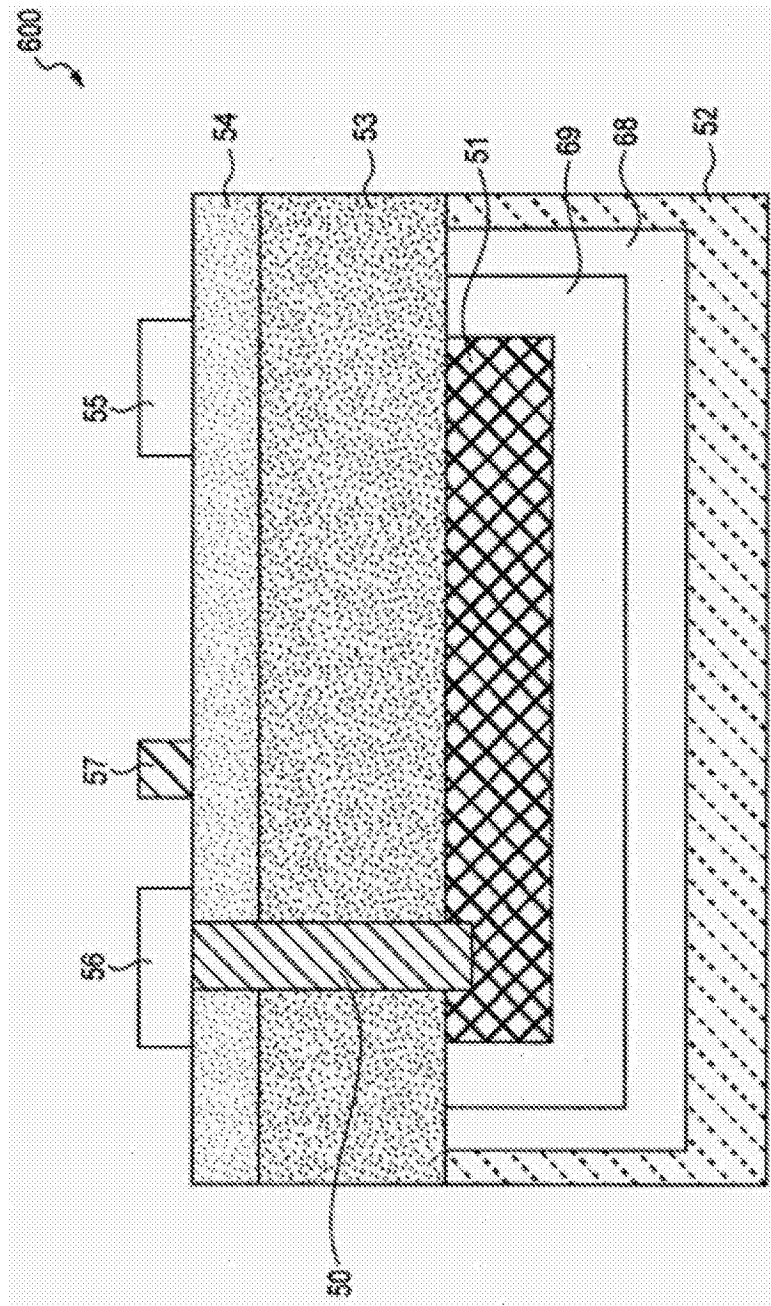


图6

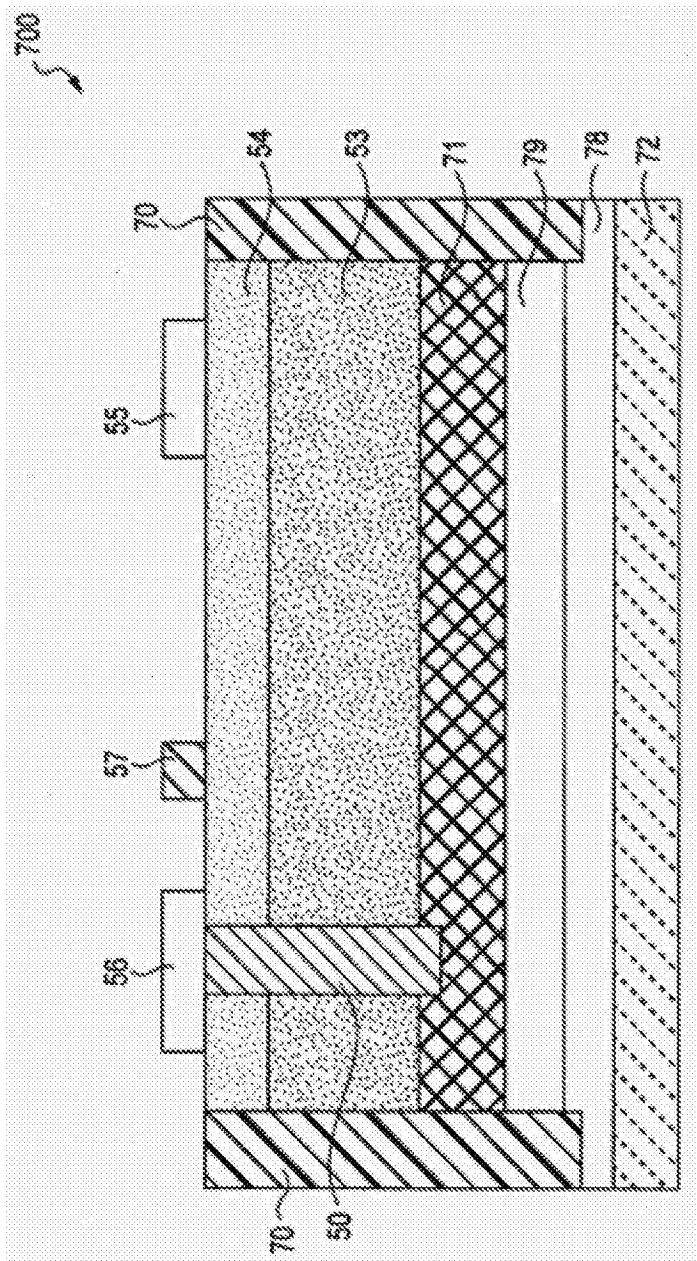


图7A

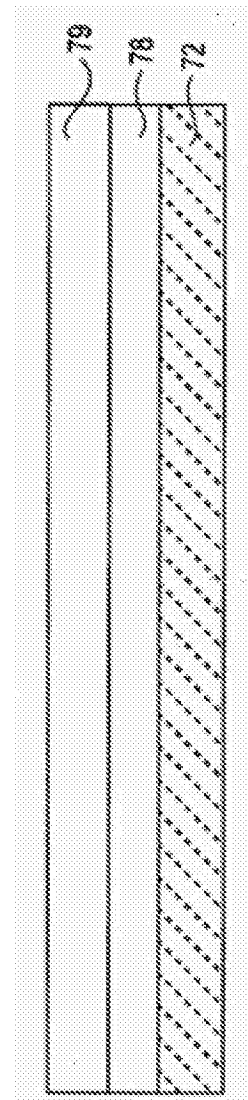


图7B

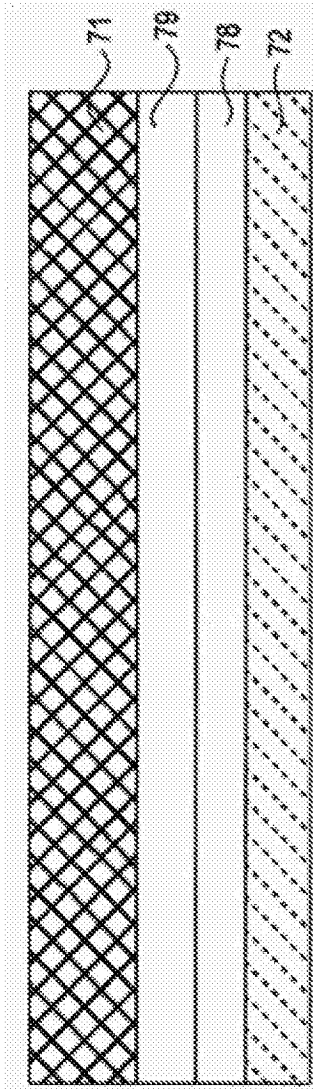


图7C

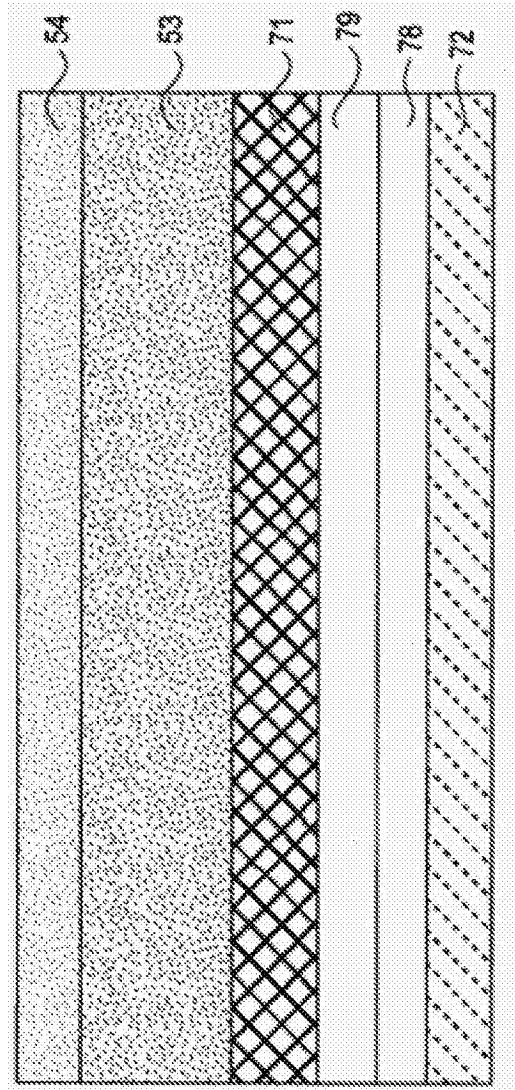


图7D

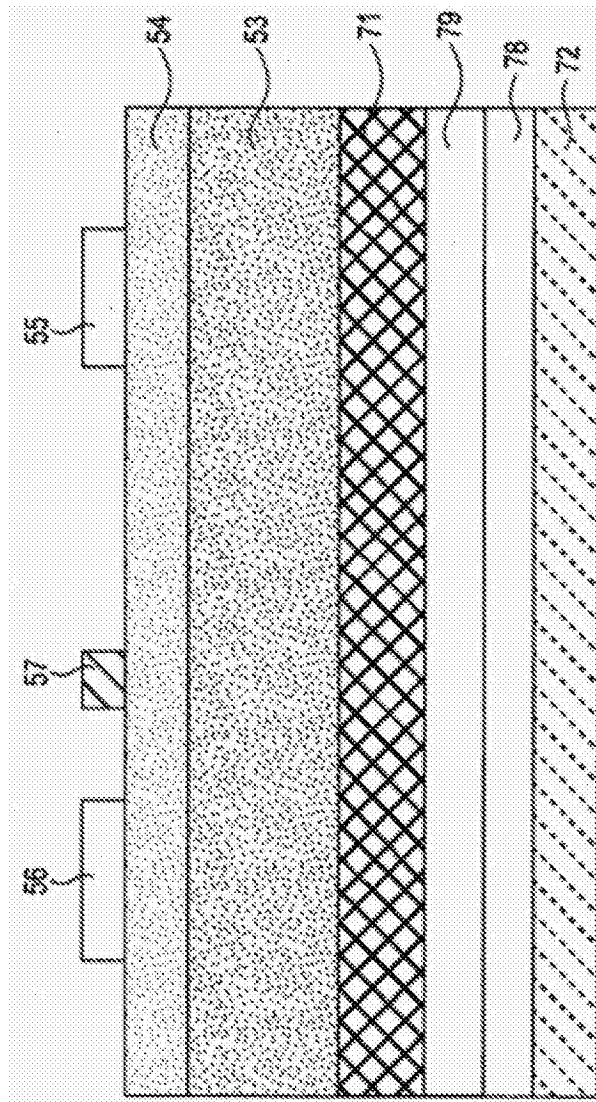


图7E

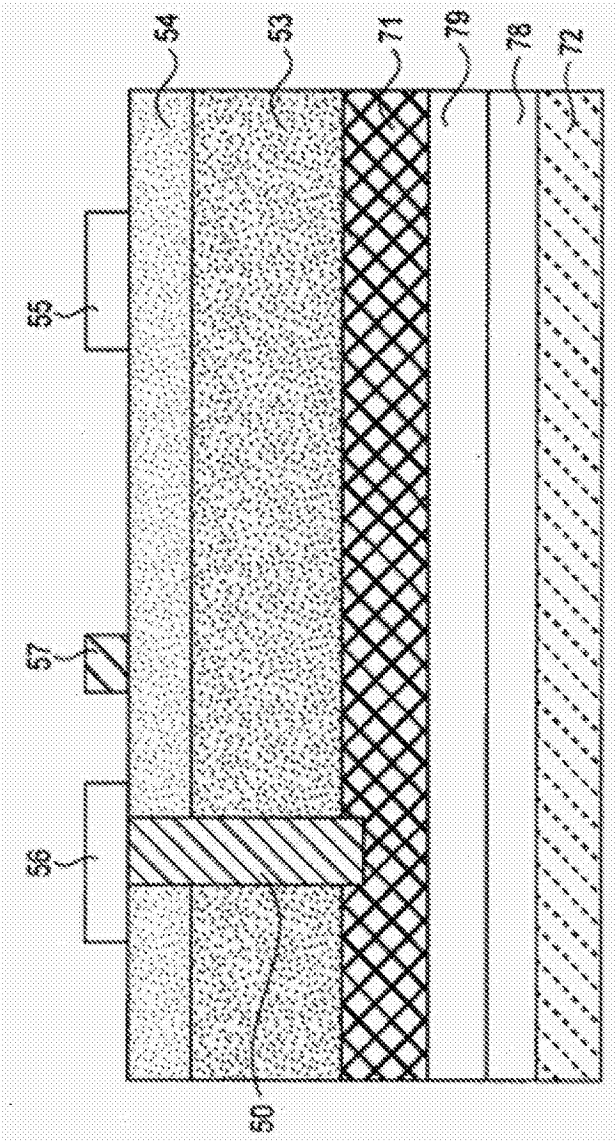


图7F

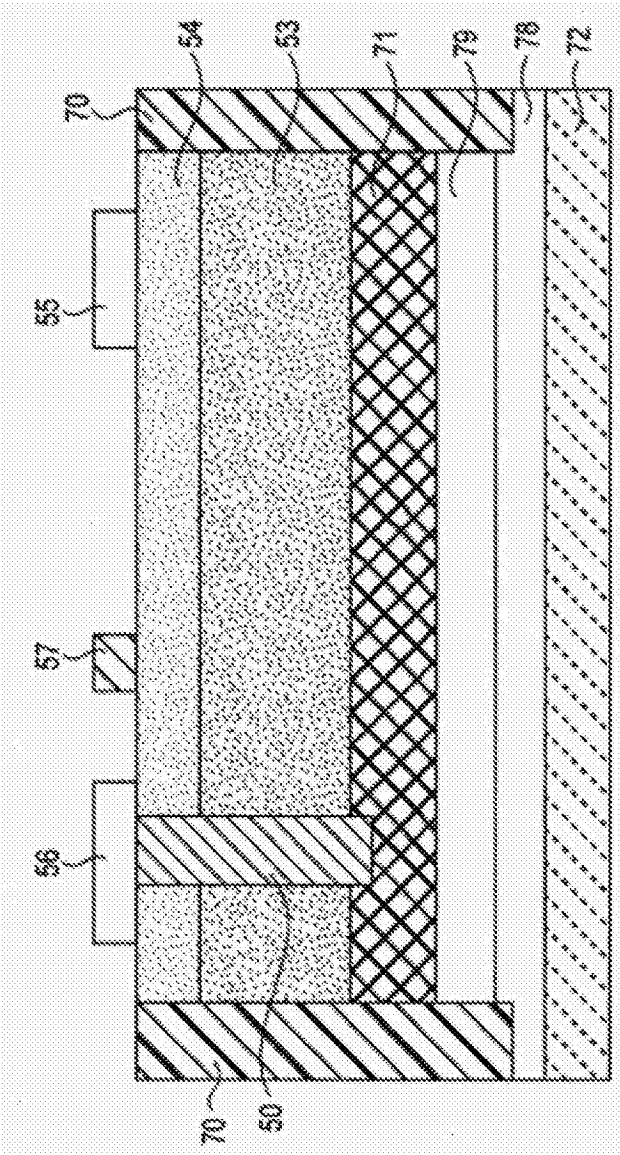


图7G

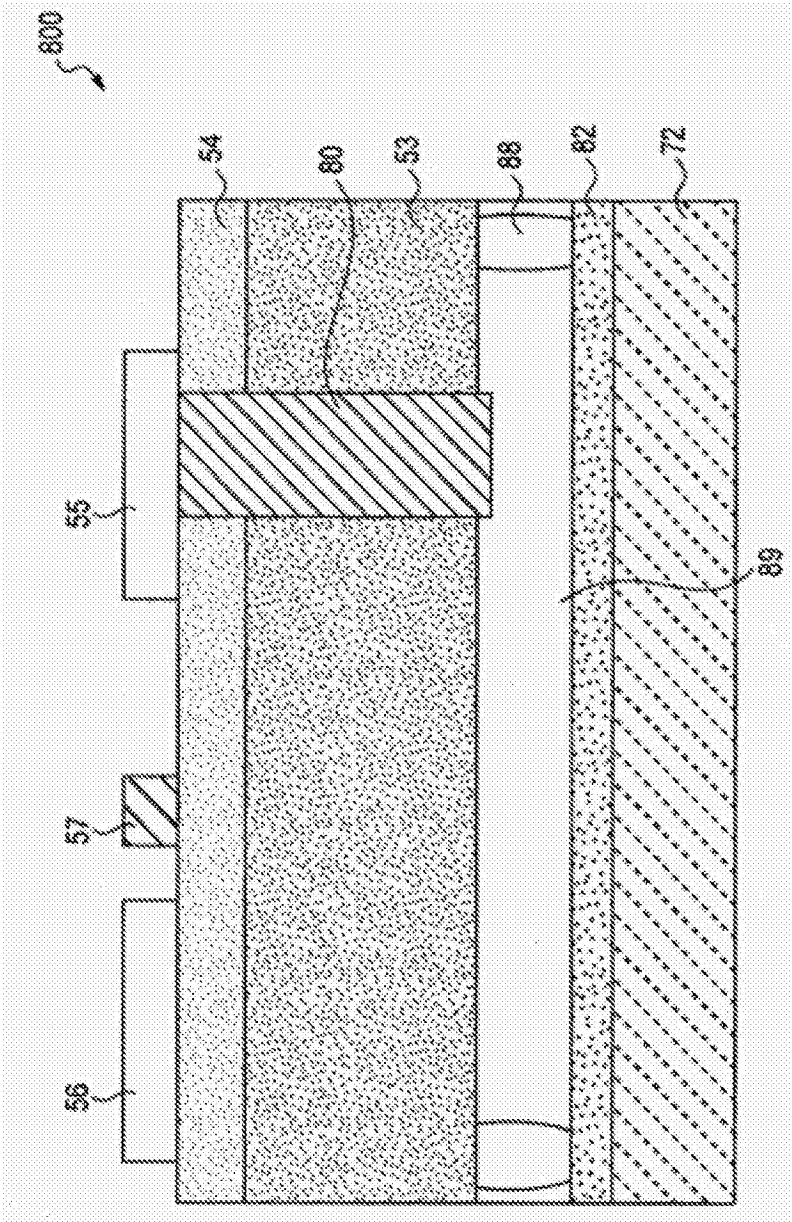


图8

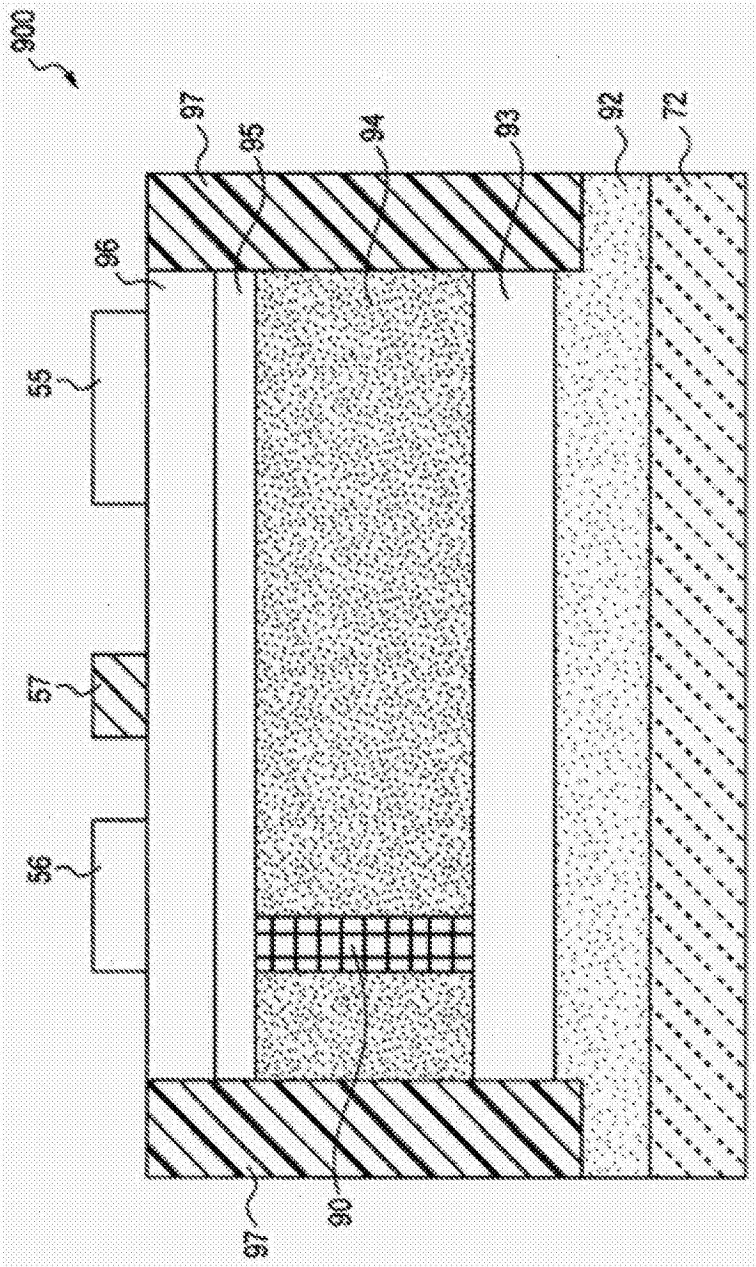


图9A

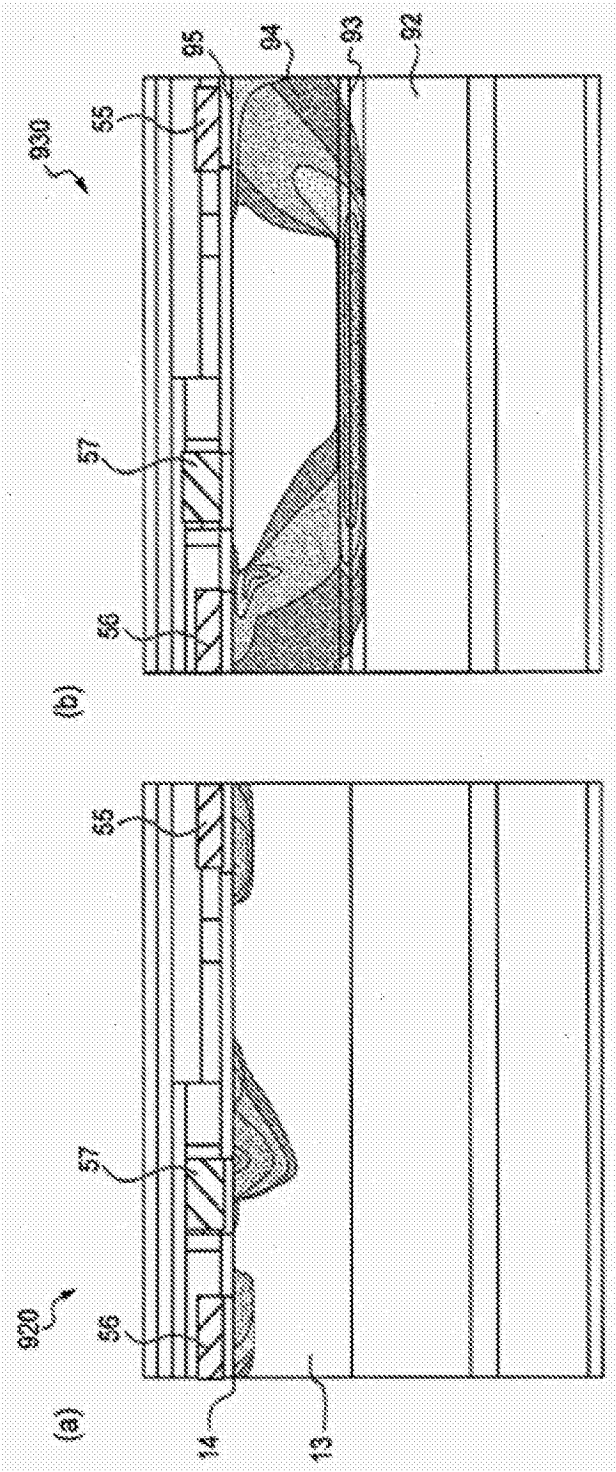


图9B

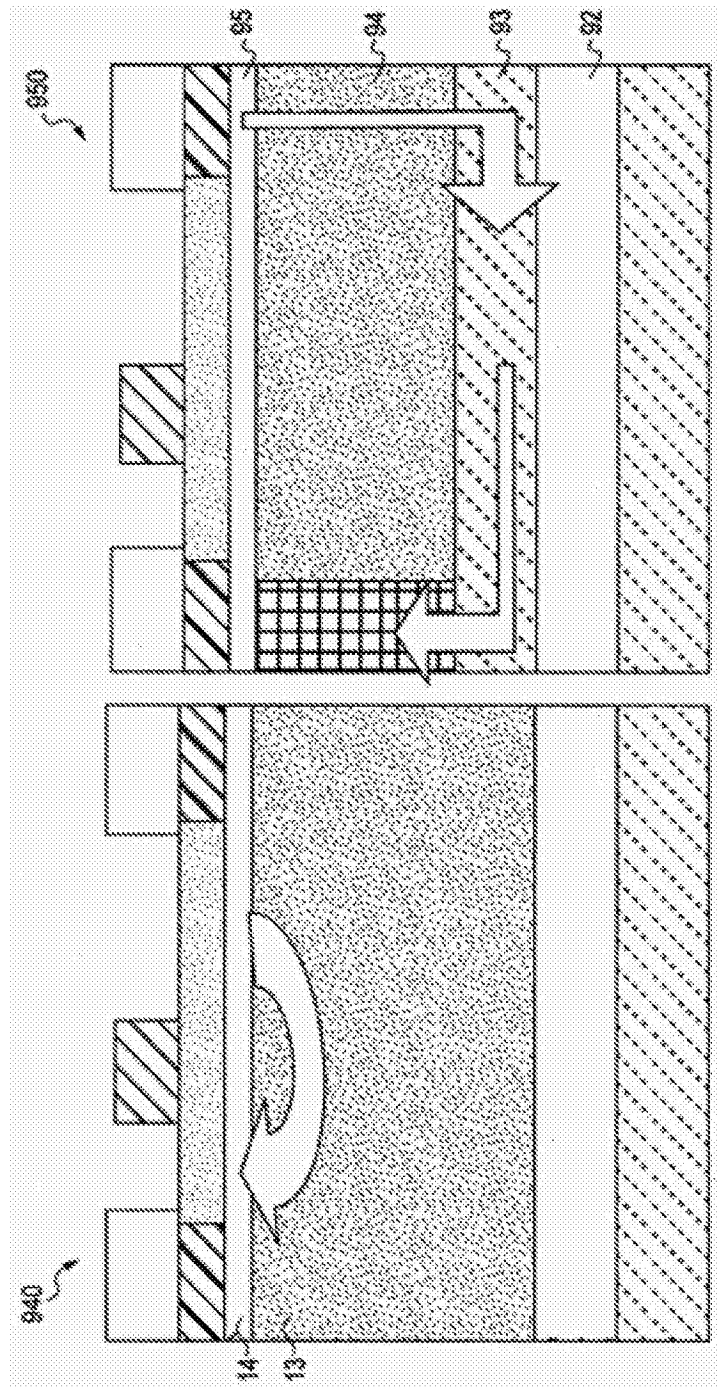


图9C

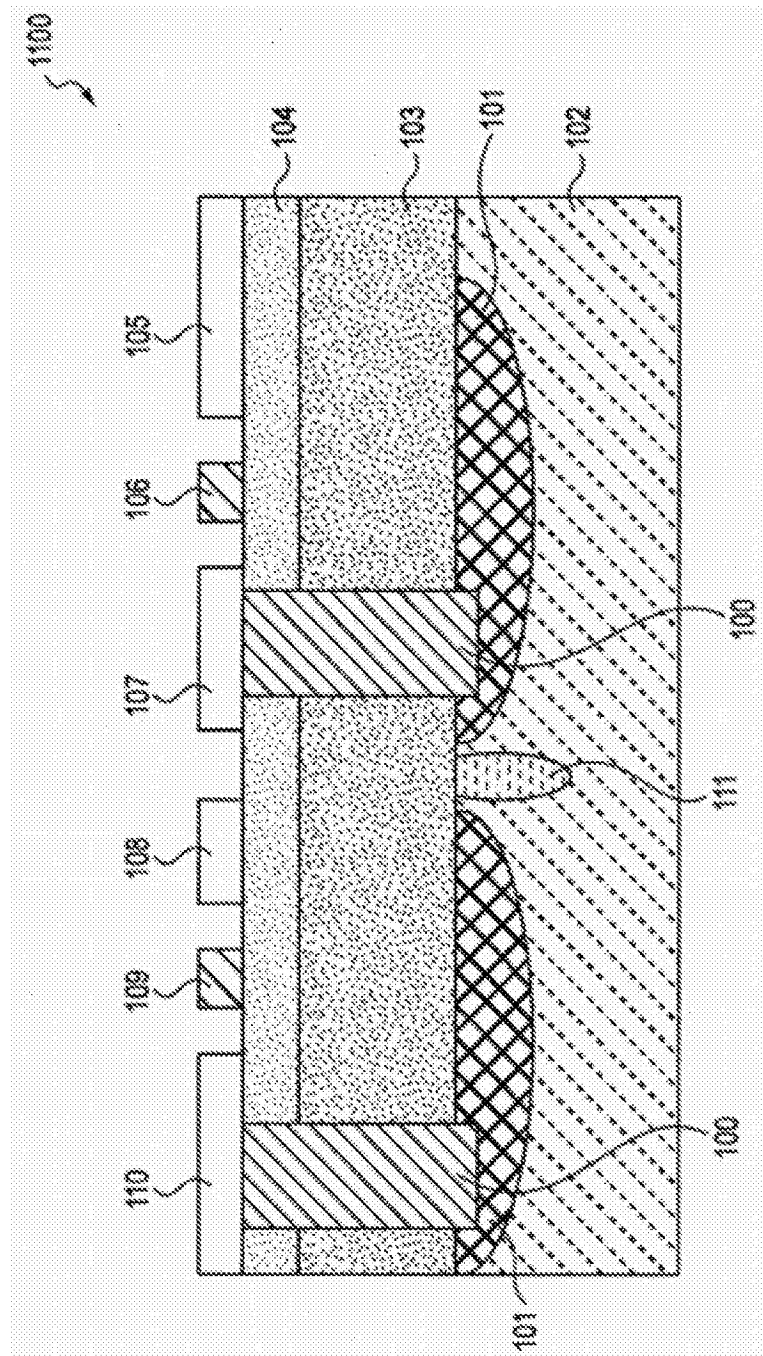


图11

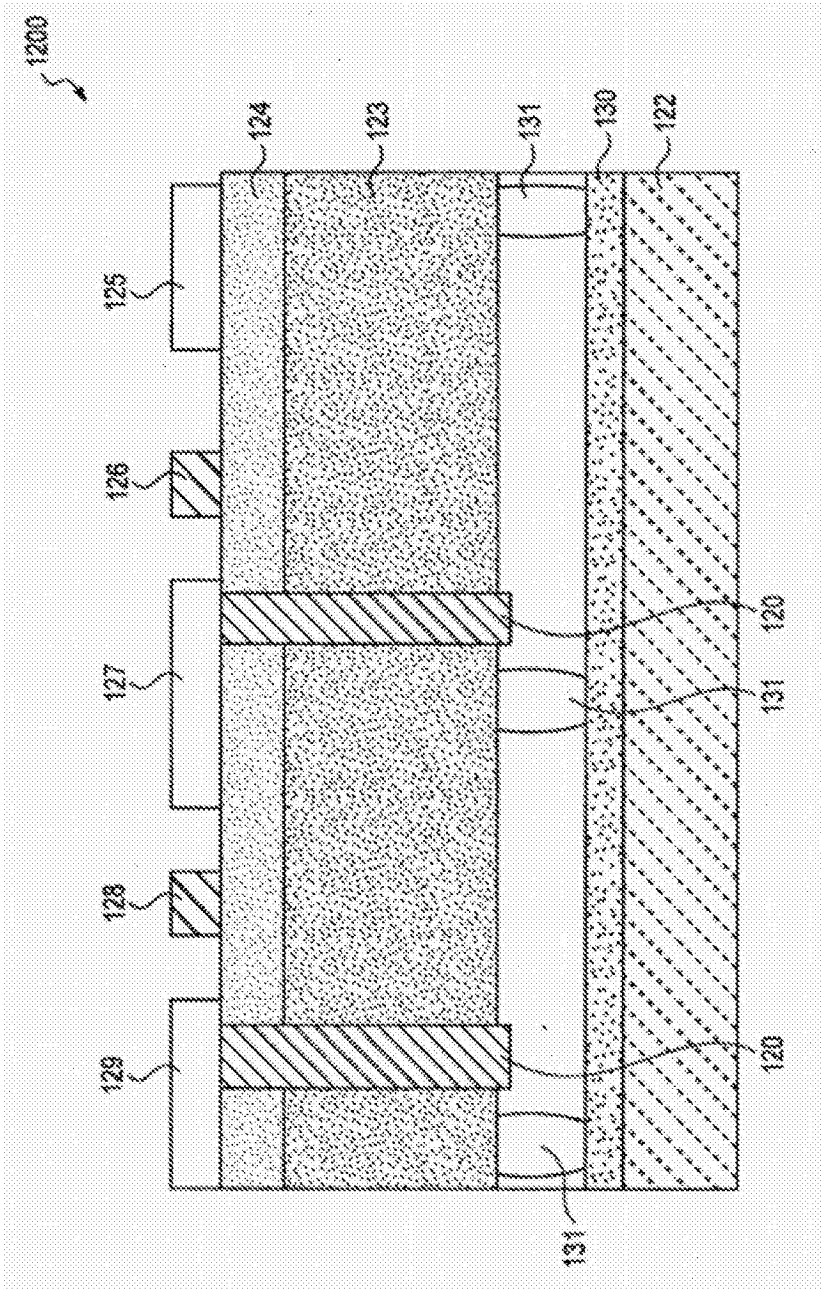


图12

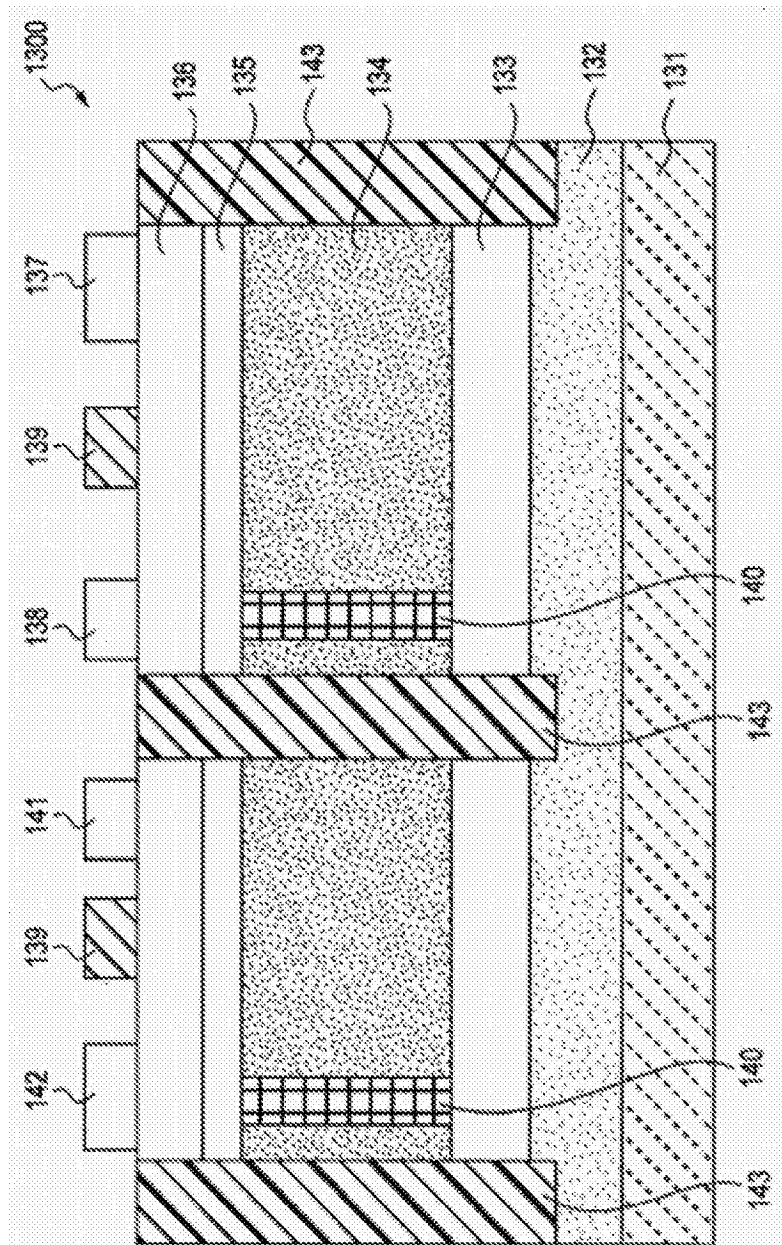


图13

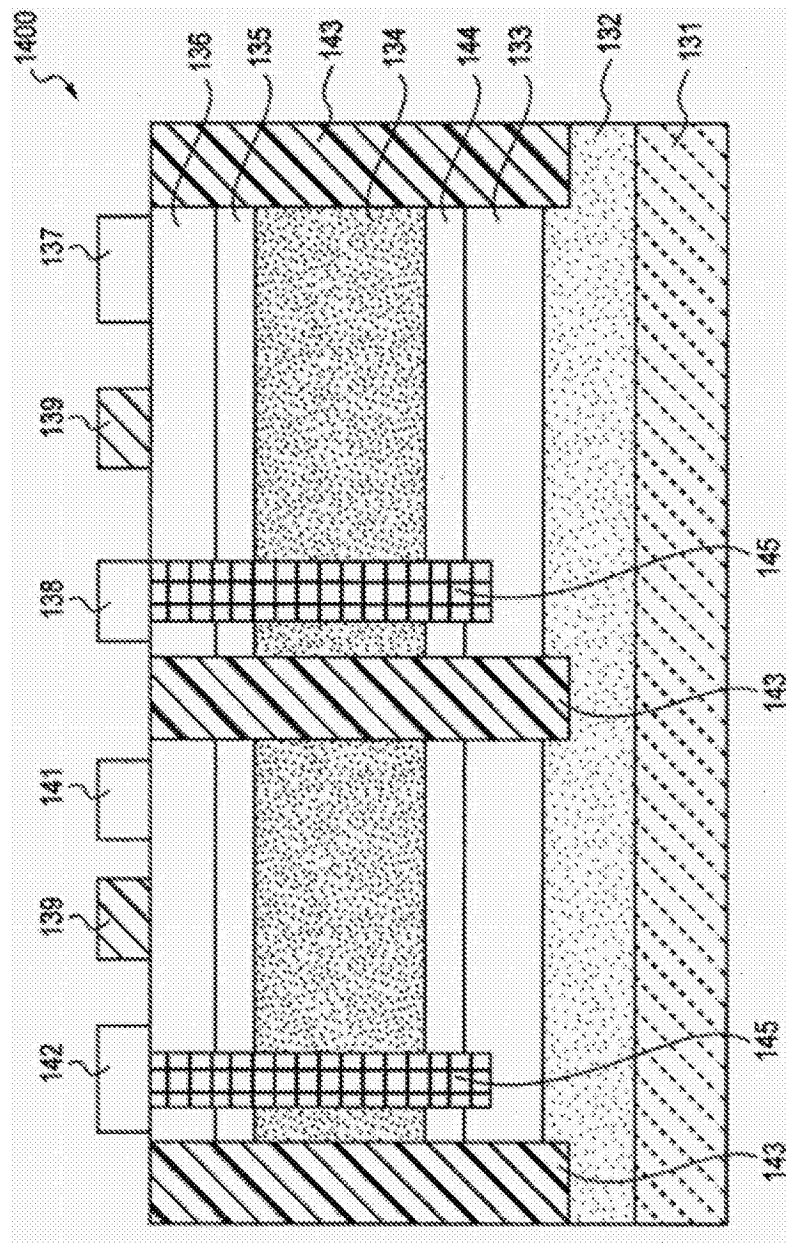


图14

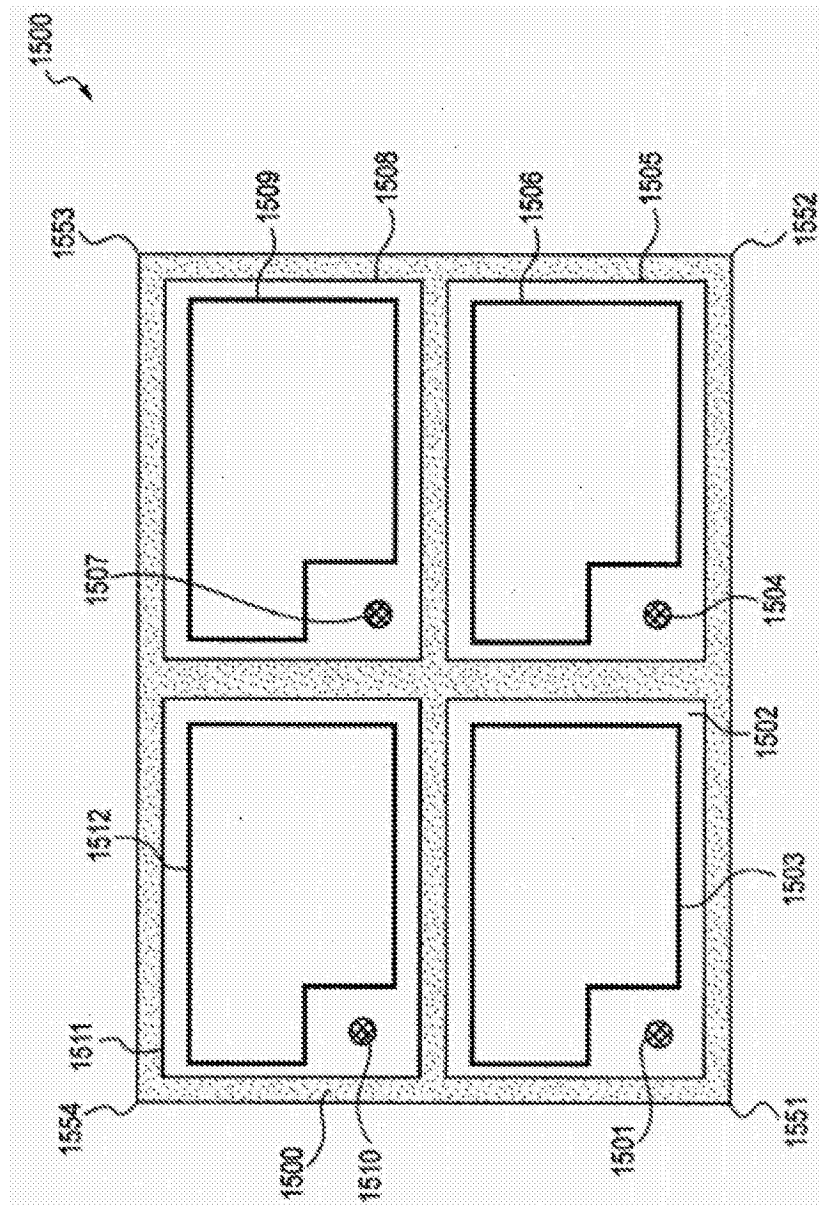


图15

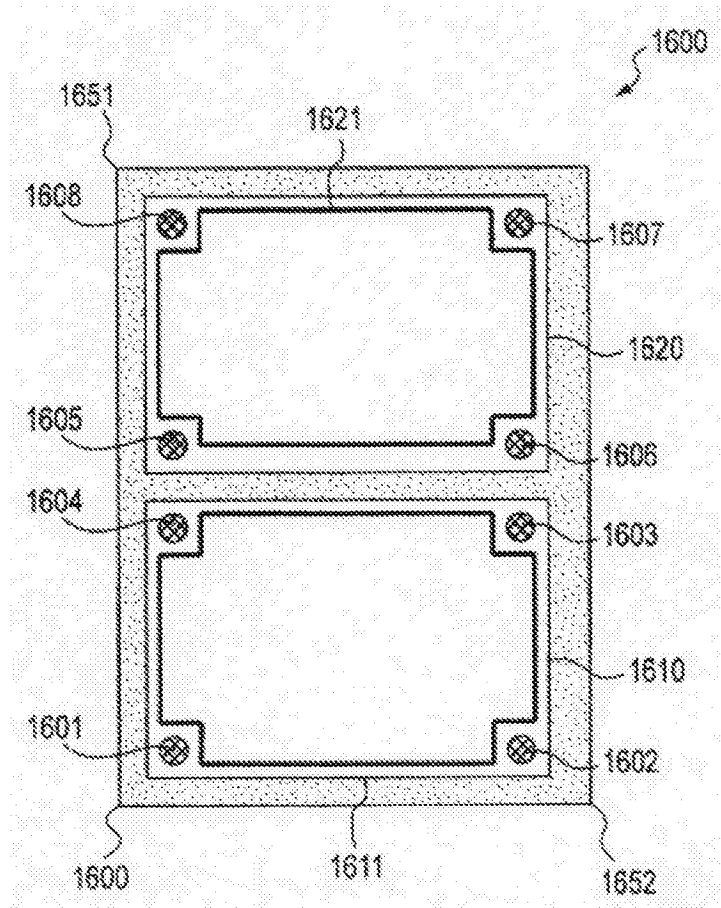


图16

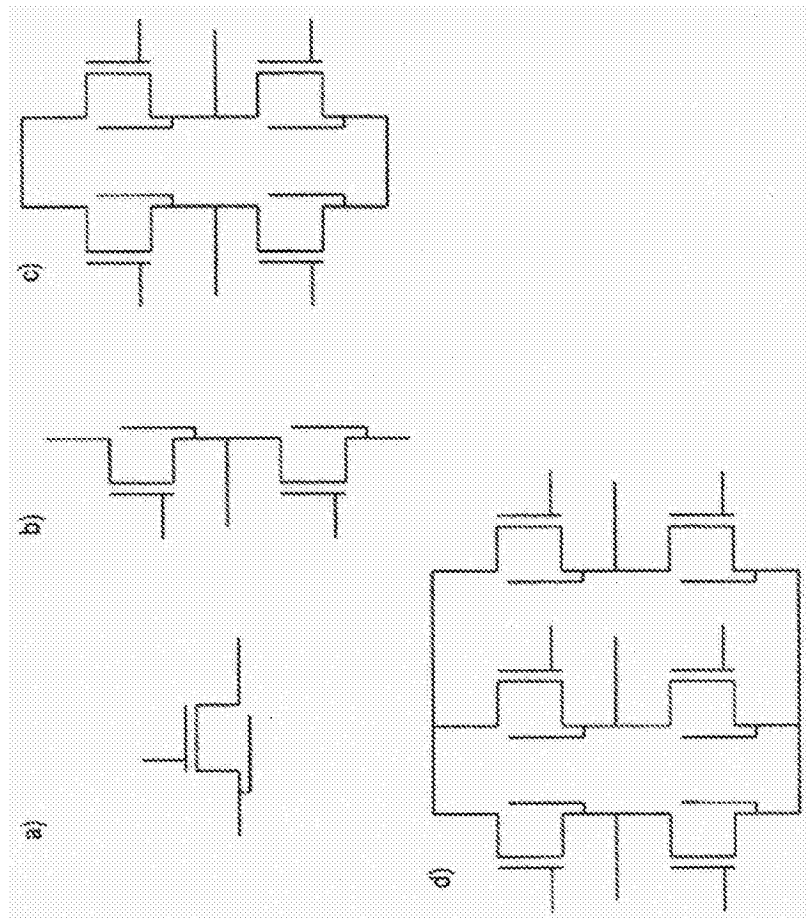


图17

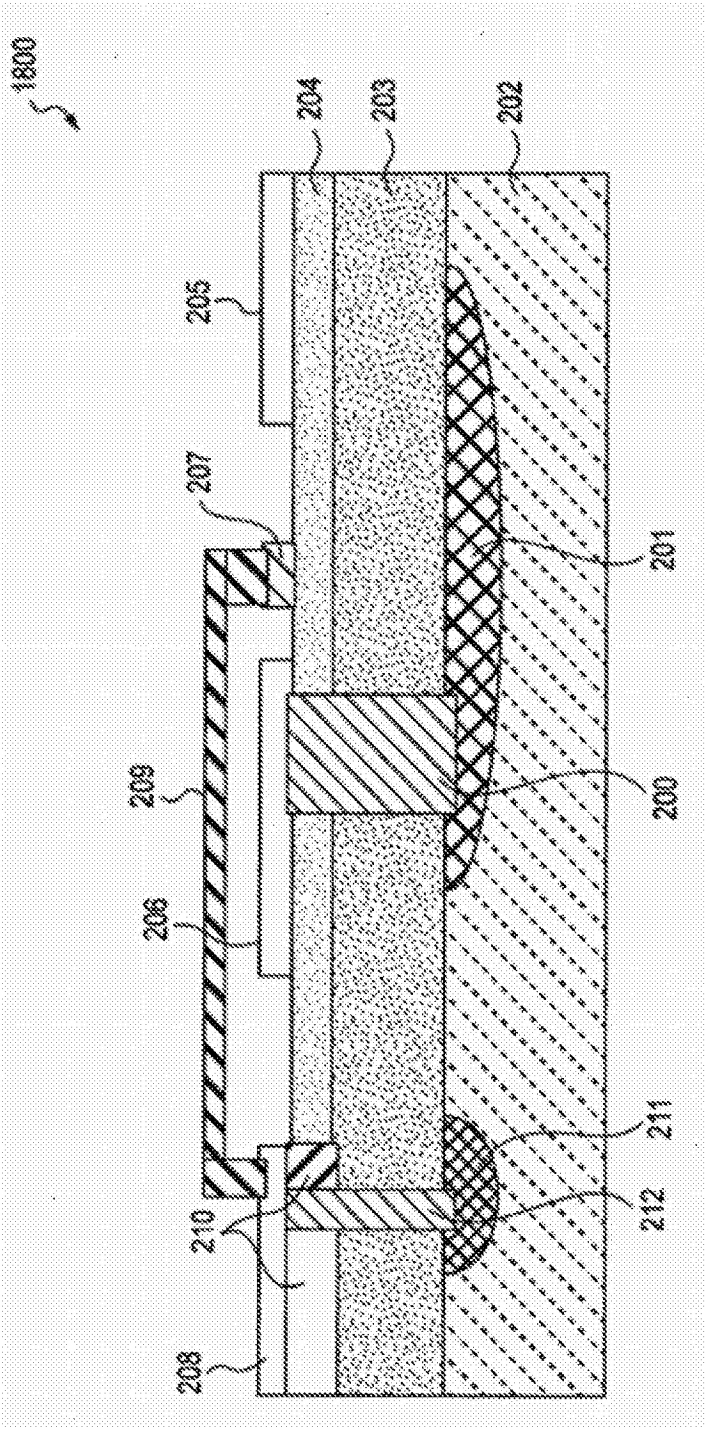


图18

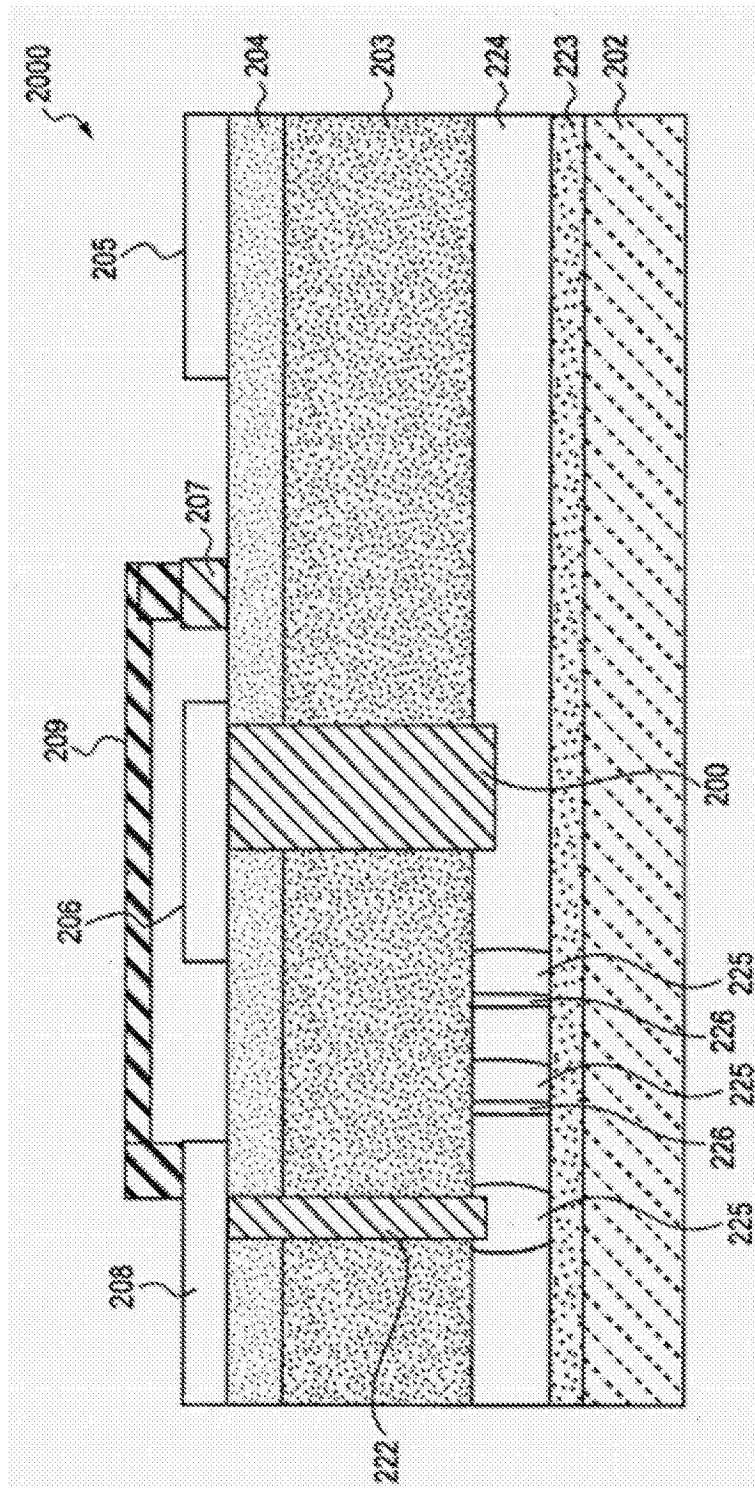


图20

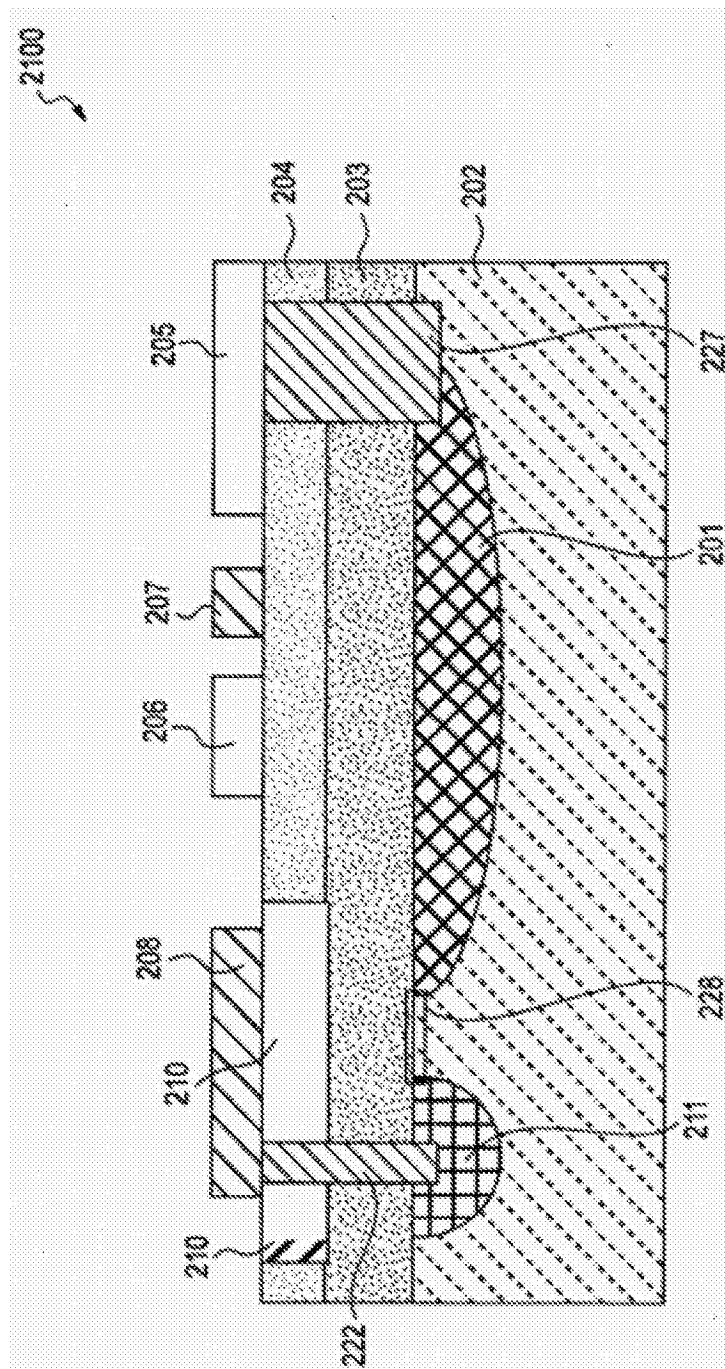


图21

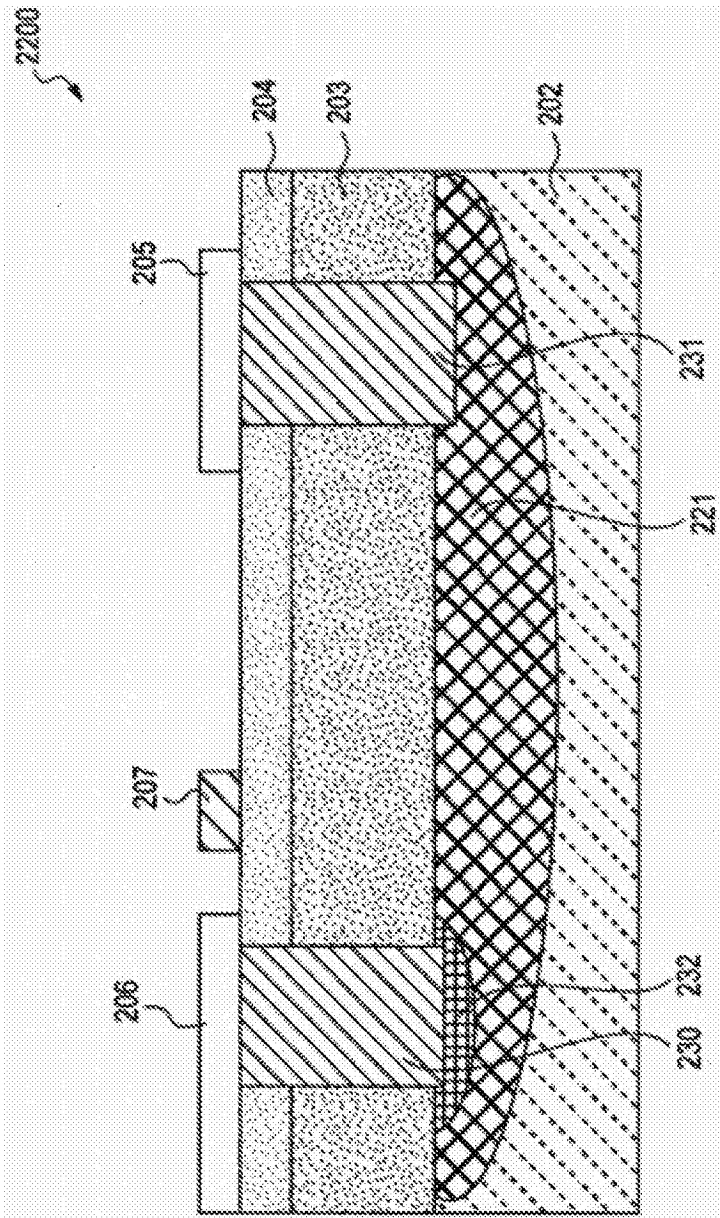


图22A

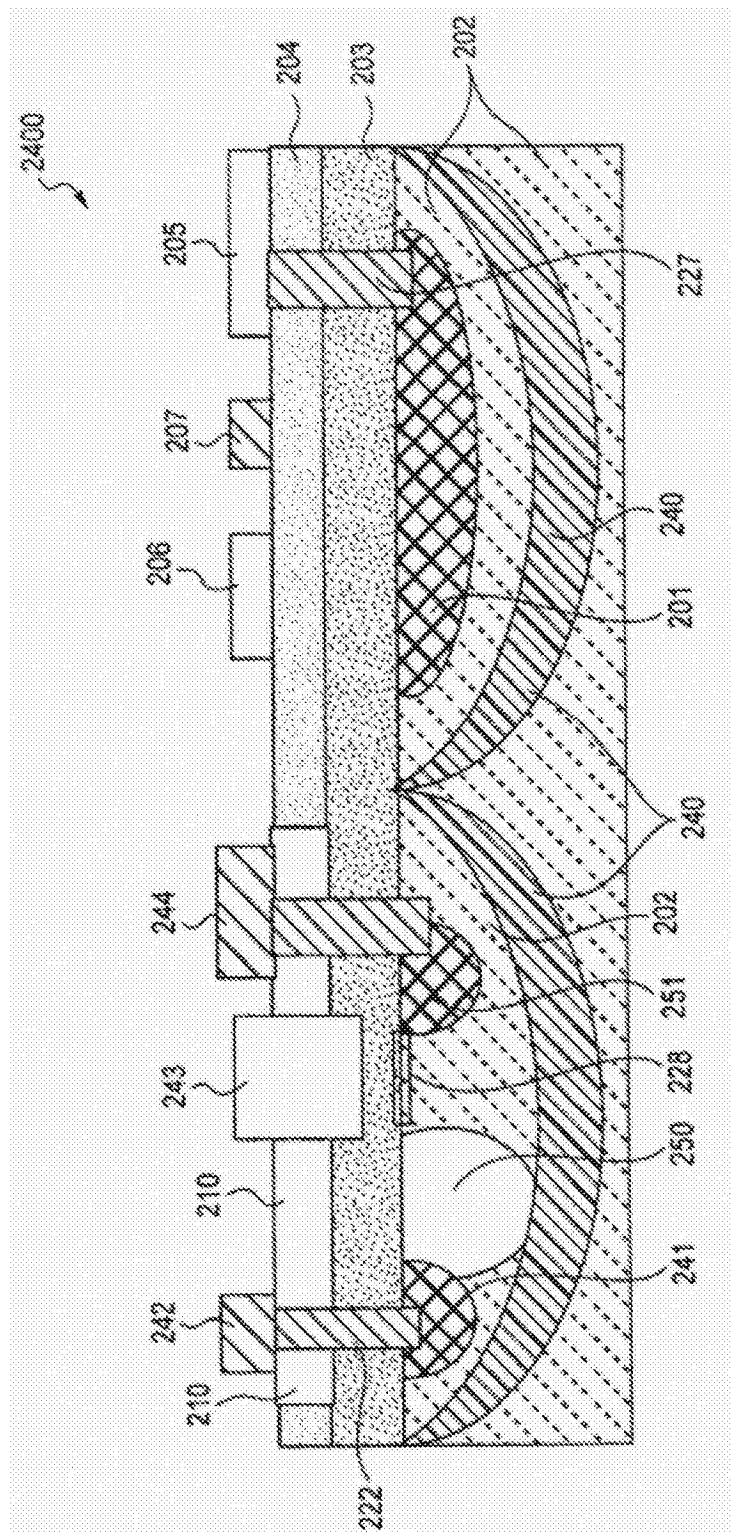


图24

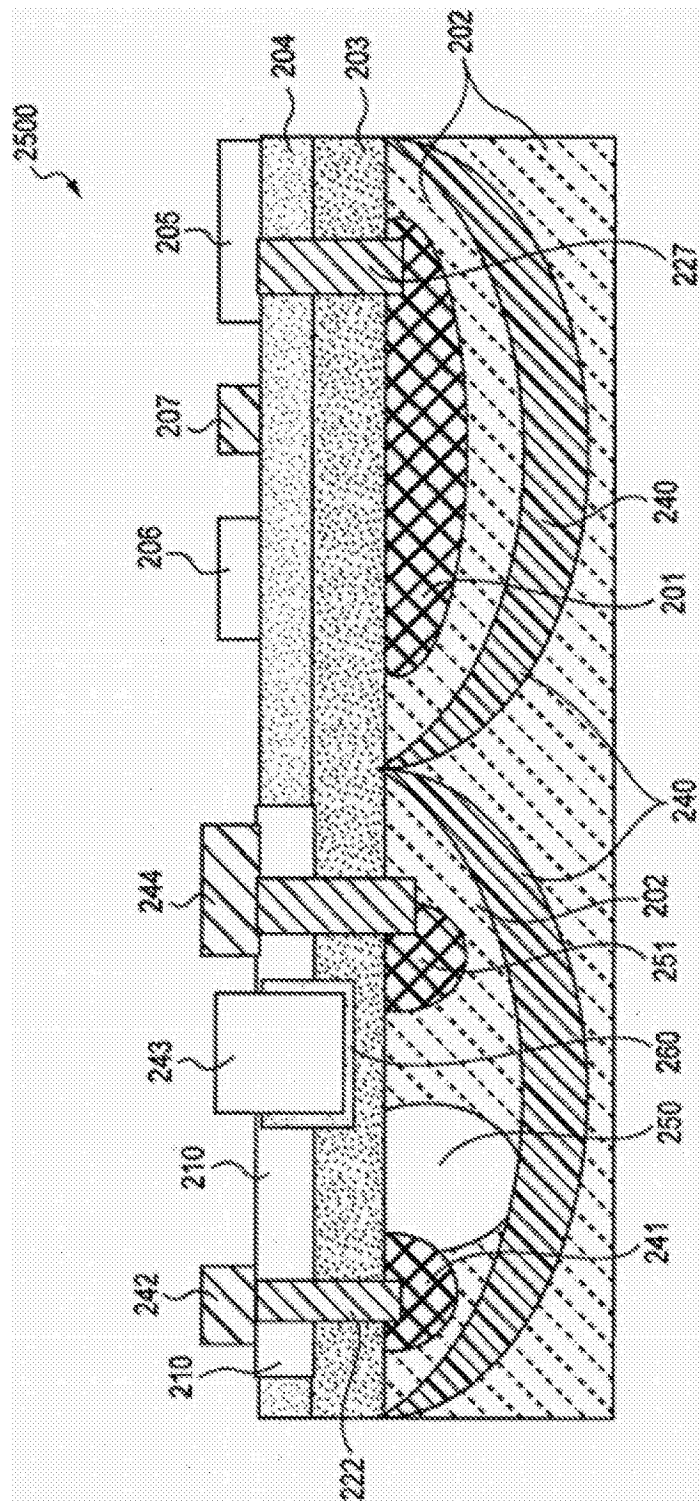


图25A

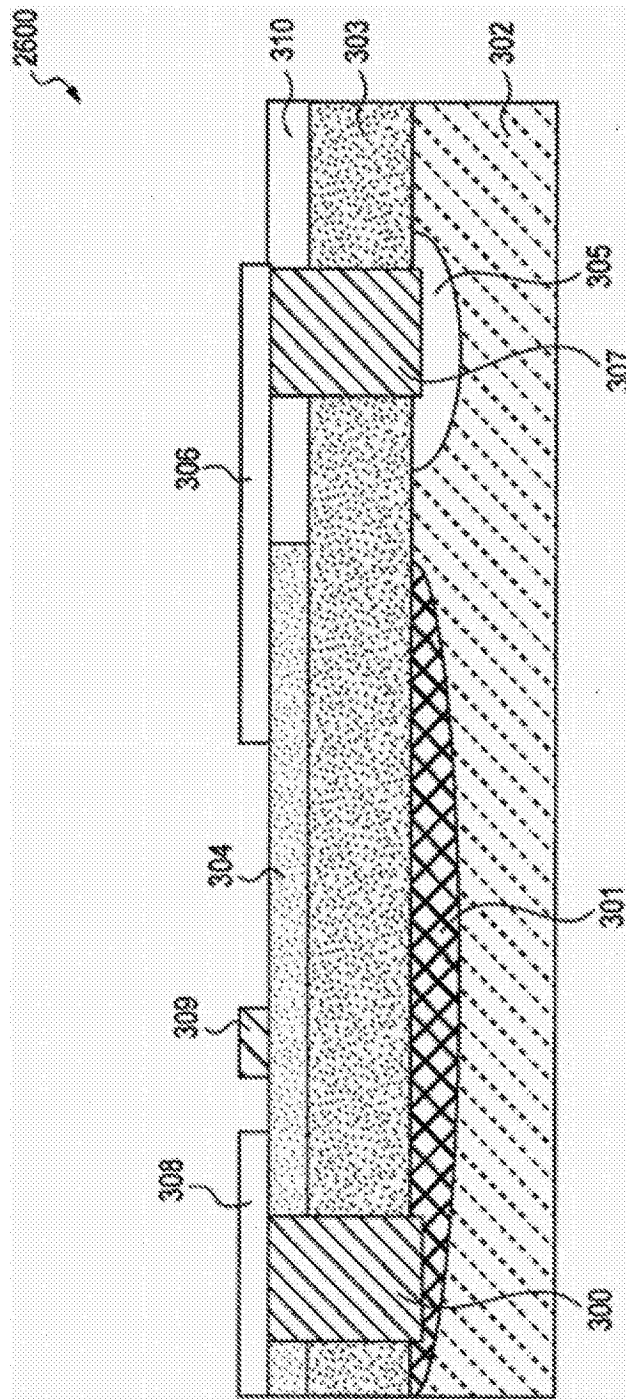


图26

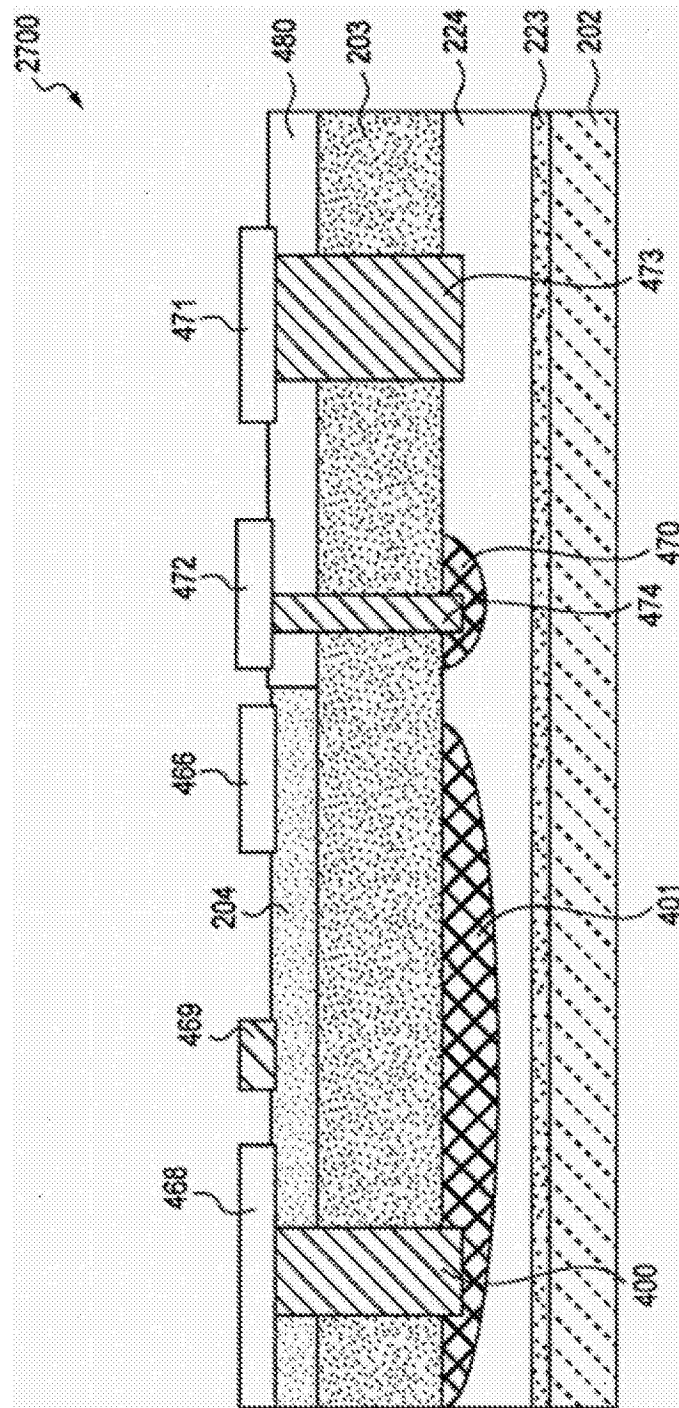


图27