

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5179693号
(P5179693)

(45) 発行日 平成25年4月10日(2013.4.10)

(24) 登録日 平成25年1月18日(2013.1.18)

(51) Int.Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 B

H O 1 L 27/04 (2006.01)

H O 1 L 29/78 6 5 2 E

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 2 G

H O 1 L 21/8234 (2006.01)

H O 1 L 29/78 6 5 2 K

H O 1 L 27/088 (2006.01)

H O 1 L 29/78 6 5 3 B

請求項の数 10 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2002-274695 (P2002-274695)
 (22) 出願日 平成14年9月20日(2002.9.20)
 (65) 公開番号 特開2003-163282 (P2003-163282A)
 (43) 公開日 平成15年6月6日(2003.6.6)
 審査請求日 平成17年9月15日(2005.9.15)
 審判番号 不服2010-21445 (P2010-21445/J1)
 審判請求日 平成22年9月24日(2010.9.24)
 (31) 優先権主張番号 09/961477
 (32) 優先日 平成13年9月21日(2001.9.21)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500587067
 アギア システムズ インコーポレーテッド
 アメリカ合衆国、18109 ペンシルヴァニア、アレントタウン、アメリカン パークウェイ エヌイー 1110
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100104352
 弁理士 朝日 伸光

最終頁に続く

(54) 【発明の名称】 垂直トランジスタを有する集積回路構造及び垂直トランジスタを有する半導体デバイスを製造する方法

(57) 【特許請求の範囲】

【請求項 1】

垂直トランジスタを有する集積回路構造であって、
 平面に沿って形成された主表面を有する半導体層と、

前記主表面に位置する第1のタブに位置する第1の下部ソース/ドレイン領域と、前記主表面に位置する第2のタブに位置する第2の下部ソース/ドレイン領域とを含み、前記第2の下部ソース/ドレイン領域は前記第1の下部ソース/ドレイン領域から離間され、前記第2の下部ソース/ドレイン領域は、前記第1の下部ソース/ドレイン領域とは逆の極性を有するよう不純物がドーピングされており、さらに、

前記第1及び第2の下部ソース/ドレイン領域上に位置する導電層と、
 前記導電層上に位置する誘電体積層と、

前記誘電体積層と前記導電層とを通して延伸し、前記第1及び第2の下部ソース/ドレイン領域のそれぞれに延伸する、結晶シリコンで満たされた第1及び第2の離間した垂直トランジスタトレンチとを含み、前記導電層は、前記第1及び第2の垂直トランジスタトレンチの各々の対向する側に位置するくぼみと、前記くぼみの各々内に位置する誘電体領域とを有し、前記満たされた第1の垂直トランジスタトレンチは、前記第1のタブ上に位置する、前記第1の下部ソース/ドレイン領域に延伸して前記第1の下部ソース/ドレイン領域に接触する第1の下部ソース/ドレイン延長部と、前記第1の下部ソース/ドレイン延長部から離間した第1の上部ソース/ドレイン延長部とを含み、前記満たされた第2の垂直トランジスタトレンチは、前記第2のタブ上に位置する、前記第2の下部ソース/

10

20

ドレイン領域に延伸する第2の下部ソース/ドレイン延長部と、前記第2の下部ソース/ドレイン延長部から離間した第2の上部ソース/ドレイン延長部とを含み、前記集積回路構造はさらに、

前記満たされた第1の垂直トランジスタトレンチの対向する側に形成され、前記第1の下部及び上部ソース/ドレイン延長部の間であって第1のチャンネル領域内に位置する第1の垂直ゲート酸化物を含み、前記第1の垂直ゲート酸化物は第1の厚さを有し、前記集積回路構造はさらに、

前記満たされた第2の垂直トランジスタトレンチの対向する側に形成され、前記第2の下部及び上部ソース/ドレイン延長部の間であって第2のチャンネル領域内に位置する第2の垂直ゲート酸化物を含み、前記第2の垂直ゲート酸化物は前記第1の厚さよりも薄い厚さを有し、前記集積回路構造は更に

10

前記満たされた第1の垂直トランジスタトレンチと前記第1の上部ソース/ドレイン延長部との上に位置して、前記満たされた第1の垂直トランジスタトレンチと前記第1の上部ソース/ドレイン延長部とに物理的に接触する第1の上部ソース/ドレイン領域と、前記満たされた第2の垂直トランジスタトレンチと前記第2の上部ソース/ドレイン延長部との上に位置して、前記満たされた第2の垂直トランジスタトレンチと前記第2の上部ソース/ドレイン延長部とに物理的に接触する第2の上部ソース/ドレイン領域と、

前記第1の垂直ゲート酸化物に隣接して位置する第1のゲートと、前記第2の垂直ゲート酸化物に隣接して位置する第2のゲートと、

前記誘電体積層を通して前記第1のゲートに延伸し、前記第1のゲートと物理的に接触する第1のゲート入力接触と、前記誘電体積層を通して前記第2のゲートに延伸し、前記第2のゲートと物理的に接触する第2のゲート入力接触とを含む、集積回路構造。

20

【請求項2】

前記満たされた第1及び第2の垂直トランジスタトレンチは、関連する異なる閾値電圧を有する、請求項1記載の集積回路構造。

【請求項3】

前記導電層は金属からなる、請求項1に記載の集積回路構造。

【請求項4】

前記導電層が金属シリサイドである、請求項3に記載の集積回路構造。

【請求項5】

前記誘電体積層は、離間したシリコン窒化物層を含む、請求項1に記載の集積回路構造。

30

【請求項6】

複数の垂直電界効果トランジスタを有する半導体デバイスを製造する方法であって、平面に沿って形成された主表面を有する半導体層を提供する工程と、

前記主表面に位置する逆の極性を有するよう不純物がドーピングされた第1及び第2のタブに第1及び第2の離間された下部ソース/ドレイン領域を形成する工程と、

前記第1及び第2の離間された下部ソース/ドレイン領域上に導電層を形成する工程と、

前記導電層上に誘電体積層を形成する工程とを含み、前記積層は犠牲誘電体層を含み、前記方法はさらに、

40

前記誘電体積層と前記導電層とを通して前記第1及び第2の下部ソース/ドレイン領域に延伸する、第1及び第2の離間した垂直トランジスタトレンチを形成する工程と、

前記第1及び第2の垂直トランジスタトレンチのそれぞれの対向する側上の前記導電層に位置するくぼみに誘電体層を形成する工程と、

前記第1及び第2の垂直トランジスタトレンチを結晶シリコンで満たして、満たされた第1及び第2の垂直トランジスタトレンチ形成する工程と、

固相拡散を用いて、前記満たされた第1の垂直トランジスタトレンチ中に第1の離間した下部及び上部ソース/ドレイン延長部を形成し、前記満たされた第2の垂直トランジスタトレンチ中に第2の離間した下部及び上部ソース/ドレイン延長部を形成する工程とを

50

含み、前記犠牲誘電体層は、前記第 1 及び第 2 の下部及び上部ソース／ドレイン延長部の間に位置し、さらに、

前記積層から前記犠牲誘電体層を取り除き、これにより、前記満たされた第 1 及び第 2 の垂直トランジスタトレンチの前記第 1 及び第 2 の下部及び上部ソース／ドレイン延長部の間であって第 1 及び第 2 のチャンネル領域に対向する、第 1 及び第 2 のゲート酸化物のためのスペースを空ける工程と、

前記第 1 のゲート酸化物のためのスペースの前記満たされた第 1 の垂直トランジスタトレンチの対向する側に第 1 の垂直ゲート酸化物を形成する工程を含み、前記第 1 の垂直ゲート酸化物は第 1 の厚さを有し、そして、前記第 2 のゲート酸化物のためのスペースの前記満たされた第 2 の垂直トランジスタトレンチの対向する側に第 2 の垂直ゲート酸化物を形成する工程を含み、前記第 2 の垂直ゲート酸化物は前記第 1 の厚さよりも薄い厚さを有しており、前記方法はさらに、

前記満たされた第 1 の垂直トランジスタトレンチ上に前記第 1 の上部ソース／ドレイン延長部に接触する第 1 の上部ソース／ドレイン領域を形成し、前記満たされた第 2 の垂直トランジスタトレンチ上に前記第 2 の上部ソース／ドレイン延長部と接触する第 2 の上部ソース／ドレイン領域を形成する工程と、

前記第 1 の垂直ゲート酸化物に隣接する第 1 のゲートを形成する工程と、前記第 2 の垂直ゲート酸化物に隣接する第 2 のゲートを形成する工程と、

前記第 1 のゲートへ延伸して前記第 1 のゲートに物理的に接触する第 1 のゲート入力接触を前記誘電体積層に形成する工程と、前記第 2 のゲートへ延伸して前記第 2 のゲートに物理的に接触する第 2 のゲート入力接触を前記誘電体積層に形成する工程とを含む、方法。

【請求項 7】

前記満たされた第 1 及び第 2 の垂直トランジスタのチャンネルは異なる閾値電圧を有する、請求項 6 に記載の方法。

【請求項 8】

前記導電層は金属からなる、請求項 6 に記載の方法。

【請求項 9】

前記導電層が金属シリサイドである、請求項 8 に記載の方法。

【請求項 10】

前記誘電体積層は、離間したシリコン窒化物層を含む、請求項 6 に記載の方法。

【発明の詳細な説明】

【0001】

本発明の分野

本発明は電流を流すよう設計された伝導形の変化した接合を組込んだ半導体デバイス及びそのようなデバイスの作製方法に関する。より具体的には、本発明は異なる動作電圧で動作する垂直置換ゲート（VRG）電界効果トランジスタデバイス及びそのようなデバイスを組込んだ集積回路の作製方法に関する。

【0002】

本発明の背景

半導体デバイスの特性を向上させ、デバイス密度（単位面積当りのデバイスの数）を上げることが、半導体産業の重要な目標であり続ける。デバイス密度は個々のデバイスをより小さくし、よりコンパクトにデバイスを充填することによって、増大する。しかし、デバイス寸法（形状寸法あるいは設計則とも呼ばれる）が減少するにつれ、デバイス及びそれらの要素の形成方法は、適合させなければならない。たとえば、生産デバイス寸法は現在 0.25 ミクロンないし 0.18 ミクロンの範囲で、より寸法を小さくする冷酷な傾向がある。しかし、デバイスの寸法が縮小されるにつれ、ある種の製造限界が生じる。特に、リソグラフィプロセスに限界が生じる。事実、現在のリソグラフィプロセスは現在のデバイスユーザに要求される最小寸法で正確にデバイス作製をすることが不可能になる点に近づきつつある。

【 0 0 0 3 】

現在ほとんどの金属 - 酸化物 - 半導体電界効果トランジスタ (M O S F E T) は、横方向の形態に形成され、電流は基板の面又は基体表面に平行に流れる。デバイス密度を増すためにこれら M O S F E T デバイスの寸法が小さくなるにつれ、作製プロセスは次第に難しくなりつつある。特に、リソグラフィパターン中の像を描画するために用いられる放射の波長がデバイス寸法に近づくにつれ、ゲートチャネルを生成させるためのリソグラフィプロセスは、問題である。従って、横方向 M O S F E T の場合、ゲート長はリソグラフィ技術を通して精密に制御できない点に近づきつつある。

【 0 0 0 4 】

充填密度が最近進展したことにより、垂直 M O S F E T のいくつかの変形が生まれた。具体的には、タカト・エイチ (T a k a t o . H) ら、“超高密度 L S I 用包囲ゲートトランジスタ (S G T) のインパクト”アイ・イーイーイー・トランザクションズ・オン・エレクトロン・デバイス (I E E E T r a n s a c t i o n s o n E l e c t r o n D e v i c e s)、第 38 (3) 巻、573 - 577 頁 (1991) に述べられている垂直デバイスは、プレーナ M O S F E T デバイスに代るものとして、提案されている。最近、垂直置換ゲートトランジスタとして特徴的な M O S F E T が述べられている。ハーゲンロザー (H e r g e n r o t h e r) ら、“垂直置換ゲート (V R G) M O S F E T - リソグラフィに依存しないゲート長を有する 50 nm 垂直 M O S F E T”、インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダイジェスト (T e c h n i c a l D i g e s t o f t h e I n t e r n a t i o n a l E l e c t r o n D e v i c e s M e e t i n g)、75 頁、1999 を参照のこと。

【 0 0 0 5 】

集積回路チップ上に作製された複数のプレーナ M O S F E T 能動デバイスが、図 1 中に断面で示されている。基板 (9) は p^+ 領域 (50) 及び p 層 (52) を含み、後者は典型的な場合、エピタキシャル技術により、成長させる。M O S F E T (金属 - 酸化物 - 半導体電界効果トランジスタ) (2, 4) 及び (6) が基板 (9) 中に作製されている。M O S F E T (2) は L O C O S (シリコン基板の局所酸化) 領域 (10) により、M O S F E T (4) から分離されている。同様に、M O S F E T (6) は L O C O S 領域 (12) により、M O S F E T (4) から分離されている。あるいは、M O S F E T (2, 4) 及び (6) は浅いトレンチ分離 (S T I) 技術により、電気的に分離してもよい。M O S F E T (2) はゲート (14) 及び n 形井戸 (20) 中に拡散させたソース領域 (16) 及びドレイン領域 (18) を含む。M O S F E T (4) はゲート (28) 及び p 形井戸 (34) 中に拡散させたソース領域 (30) 及びドレイン領域 (32) を含む。最後に、M O S F E T (6) はゲート (38) 及び n 形井戸 (44) 中に拡散させたソース領域 (40) 及びドレイン領域 (42) を含む。ゲート (14, 28) 及び (38) はゲート酸化物層とも呼ばれる二酸化シリコン層 (46) により、基板 (9) から分離されている。図 1 は集積回路の一部を簡略化して示すことを意図しているから、各種の接触、相互接続、ビア及び金属層は図示されておらず、相対的な寸法は実際と異なる。チップの隣接した領域に、 n - チャネル及び p - チャネル M O S F E T の組合せを作製することは、有利であり、デジタル用途では特に有利である。この相補 M O S F E T (C M O S) 形態が、図 2 中の基本インバータ回路の形で示されている。M O S F E T (たとえば図 1 中の M O S F E T (2) 及び (4)) のドレインは、ともに結合され、出力 (V_{out}) を形成する。入力端子 (V_{in}) は M O S F E T ゲート (たとえば図 1 のゲート (14) 及び (28)) を共通に接続することにより、形成される。動作電圧は V_{DD} と印されている。図 2 の概略図において、M O S F E T (2) は P M O S デバイスで、M O S F E T (4) は図 1 に断面で示された N M O S デバイスである。

【 0 0 0 6 】

現在の集積回路作製は、単一のチップ上に多くの異なる機能とサブシステムを組合せる。たとえば、異なる形の論理回路、論理類及びメモリー要素を組合せる。最適な特性及び最小のパワー消費のためには、集積回路上の個々のデバイスは、異なる電圧で動作してよい

10

20

30

40

50

。従って、選択された動作電圧に適合するために、必要な物理的特性を有するように、作製しなければならない。しかし、これらの物理的なデバイス特性を生じさせる上で、作製プロセス工程の数を最小にし、簡単化することも望ましい。

【0007】

たとえば、図1のMOSFET(2, 4, 6)のそれぞれは、異なる動作電圧すなわち V_{dd}/V_{ss} で動作するよう設計してよい。デバイス動作電圧をデバイスのパワー消費及びチップ全体のパワー消費が最小になる所望の特性を生じる最小値にすることが望ましい。しかし、相対する効果があることが知られている。すなわち、デバイス動作電圧が低下するにつれ、デバイスの動作速度も減少する。従って、これらのパラメータの両方を最適値にするためには、所望の速度特性と合致する動作電圧で、個々のデバイスを動作させることが必要である。複数の動作電圧を実現するためには、いくつかの集積回路をのせるプリント回路ボードは、各チップに最適な動作電圧を供給するために、複数の電圧調整器を含む。更に、個々のチップはオンチップ電圧分割器及び調整回路を含み、それによってチップ内のデバイスには、最適な動作電圧が供給される。

10

【0008】

チップ上に複数の動作電圧があってもよいとすると、チップの能動要素及び回路によって生じる複数の出力電圧があってもよい。従って、前の出力電圧に応答する入力回路又はデバイスは、その出力電圧に適合できなければならない。たとえば、第1のオンチップ回路(単一の能動要素又はCMOS回路のような複数の能動要素を含んでよい)は、それぞれ二値のゼロ及び二値の1を表わすゼロないし2ボルトの範囲の出力電圧もつ。別の回路要素の出力電圧は、二値のゼロに対してゼロボルトで、二値の1に対しては5ボルトである。従って、MOSFETゲート端子(MOSFETデバイスの入力端子)は回路チェーン中の前のデバイスからの出力信号の電圧範囲に適合するよう設計しなければならない。上の例に戻ると、あるMOSFETゲート電圧はゼロないし2ボルトの電圧範囲に適合しなければならない。一方他のものはゼロないし5ボルトの電圧範囲に適合しなければならない。ゲート駆動電圧がわかると、MOSFETゲートはゲートがその電圧に確実に耐えられるように、設計及び作製しなければならない。より高いゲート電圧で動作するMOSFETは、より高い動作電圧でゲート酸化物が降伏するのを防止するために、より厚い酸化物を有するであろう。ゲート酸化物厚は閾値電圧に影響を及ぼすから、MOSFETがゲート入力電圧により、確実に導通状態になるようにすることも必要である。このことはチャネル領域のドーピングレベル及びチャネルの仕事関数、ゲート材料といった閾値電圧に影響する他の要因を調整することによって、実現される。

20

30

【0009】

酸化物成長の厚さを変える1つの技術には、酸化すべき材料中への窒素の注入が含まれる。たとえば、シー・テー・リウ(C. T. Liu)らによる“窒素注入シリコン基板上に成長させた25オングストロームゲート酸化物を有する高特性0.2 μm CMOS”, アイイーディーエム(IEDM), 1996, 499-502頁を参照のこと。周知のように、熱酸化物成長プロセスの前の窒素注入により、酸化物成長が止められる。窒素のドーズが大きいほど、薄い酸化物が生じる。このプロセスは本発明の指針に従って形成されるMOSFETには適用できない。なぜなら、窒素を注入するためにゲートが形成される領域に対して、許容される方法が得られないからである。

40

【0010】

本発明の簡単な要約

半導体デバイスに対し、複数の動作電圧を用いることを、更に進展させるために、異なる閾値電圧で動作する垂直置換ゲート(VRG)MOSFETデバイスを生じる構成が実現される。

【0011】

本発明の一実施例に従うと、半導体デバイスは半導体材料の第1の層及びその中に形成された第1及び第2の空間的に分離されたドーブ領域を含む。第1及び第2の領域とは異なる伝導形の第3のドーブ領域が、第1の領域上に形成される。第2のドーブ領域上に第4

50

のドーピング領域が形成され、第2のドーピング領域とは異なる伝導形を有する。異なる厚さの第1及び第2の酸化物層が、それぞれ第3及び第4のドーピング領域に近接して、形成される。

【0012】

第1の空間的に分離された領域は、第1の電界効果トランジスタのソース/ドレイン領域で、第3のドーピング領域はチャンネルである。第2の電界効果トランジスタのソース/ドレイン領域は、第2の空間的に分離されたドーピング領域を含み、第4のドーピング領域はそのチャンネルを形成する。各MOSFETの第2のソース/ドレイン領域は、チャンネルのそれぞれの上に形成される。

【0013】

上述のように、チップ上の1つの能動デバイスの出力電圧は、回路チェーン中の次の能動デバイスに対する入力電圧として働き、後者はこの入力電圧をその動作パラメータ内で扱えなければならない。MOSFETに対する入力端子はゲートであるから、MOSFETゲートは前のデバイスからの出力電圧に耐えるよう設計しなければならない。CMOS回路において、出力電圧は典型的な場合、動作電圧又は V_{dd} である。従って、ゲートはそれが応答するデバイスの動作電圧に耐えられなければならない。ゲート降伏を避けるために重要なゲートパラメータは、ゲート酸化物厚である。MOSFET閾値電圧もゲート酸化物厚の関数であるから、入力動作電圧に適合するために厚さを変えること（たとえばゲート酸化物をより厚くする）は、閾値電圧に有害な効果をもつ可能性がある。しかし、もし必要な酸化物厚から生じる閾値電圧が許容できないなら、閾値電圧に影響する1ないし複数の他の要因、たとえばMOSFET材料の仕事関数差又は表面電位にも影響をもつチャンネルドーピングを変えることにより、修正できる。

【0014】

作製の付随した方法において、集積回路構造はデバイス形成に適し、第1の面に沿って形成された表面を有する半導体層を形成することによって、作製される。第1の垂直電界効果トランジスタの場合、第1のデバイス領域は半導体層中に形成され、デバイス領域はソース及びドレイン領域の中から選択される。第2の垂直電界効果トランジスタの場合、第2のデバイス領域は半導体層中に形成され、第2のデバイス領域はソース及びドレイン領域の中から選択される。第1及び第2の電界効果トランジスタのそれぞれのゲート領域は、それぞれ第1及び第2のデバイス領域上に形成される。もし2つのデバイスを異なる閾値電圧で動作させるには、各ゲート領域は異なる厚さをもつ。垂直トランジスタの作製において、ゲート酸化物層厚は、マスク及びエッチング工程の使用により、制御される。この技術を用いると、複数の電界効果トランジスタが生じ、それぞれが先の回路要素からの出力信号と適切な境界を形成する閾値電圧を有する。

【0015】

本発明の詳細な記述

ここで述べる実施例には、CMOS構造と付随した作製技術が含まれる。CMOS垂直MOSFETを作製するプロセスについては、1999年1月18日に出願され、ここに参照文献として含まれる“垂直トランジスタを有するCMOS集積回路及びその作製プロセス”と題する権利者を同じくする特許出願、米国第290,533号に述べられている。（NMOS又はPMOS形の）垂直MOSFETの構造及び作製に関するより一般的な記述は、権利者を同じくし、ここに参照文献として含まれる米国特許第6,027,975号に述べられている。

【0016】

図3は2対のCMOSデバイスを示すCMOS集積回路(68)の部分的な概略図である。PMOS(70)及びNMOS(72)は第1のCMOS対を形成し、PMOS(74)及びNMOS(76)は第2のCMOS対を形成する。 V_{in1} はPMOS(70)及びNMOS(72)に対するゲート駆動信号で、それにより共通のドレイン結合で出力信号(V_{out1})が生じる。 V_{in2} はCMOS対PMOS(74)及びNMOS(76)に対するゲート信号で、それは出力信号 V_{out2} を生じる。PMOS(70)はドレイン電圧 V_{dd1} にตอบสนองし、PMOS(74)はドレイン電圧 V_{dd2} にตอบสนองすることに

注意する必要がある。図3においては、オフチップ電圧源から生じるように示されているが、ドレイン電圧 V_{dd1} 及び V_{dd2} はオフチップ又はオンチップで発生させてよい。一実施例において、 V_{dd1} 及び V_{dd2} は等しくないから、 V_{out1} は V_{out2} に等しくない。典型的な回路構成において、両方の出力信号 V_{out1} 及び V_{out2} は回路チェーン中の次の能動要素を駆動してよい。たとえば、 V_{out1} は入力信号 V_{in2} として働き、 V_{out2} は集積回路(68)中の別の能動要素に供給できるか、オフチップで送ることができる。 V_{in1} は集積回路(68)中の別の回路から生じてもよく、オフチップ源から生じてもよい。いずれの場合も、異なる動作電圧(動作電圧 V_{dd1} 及び V_{dd2} により生じる)を用いることにより、CMOS回路の出力端子に、異なる出力電圧が生じることは、明らかである。その結果、PMOS(70)及びNMOS(72)を含むCMOS対は、 V_{in1} で示される入力信号の第1の範囲に応答するように、作製しなければならない。更に、もし V_{dd1} が V_{dd2} に等しくないなら、PMOS(74)及びNMOS(76)を含むCMOS対は、 V_{in2} で表わされる入力電圧の範囲に適合しなければならない。特にPMOS(70)、NMOS(72)、PMOS(74)及びNMOS(76)のゲート回路は、それぞれ入力電圧 V_{in1} 及び V_{in2} の範囲に適合するように、作製しなければならない。

【0017】

図4はNMOSデバイス(82)及びNMOSデバイス(84)を含む別の集積回路(78)の例を示す。図3のように、入力信号 V_{g1} 及び V_{g2} は同じ電圧範囲になくてもよく、従ってNMOSデバイス(82)及び(84)は供給可能な入力信号範囲に適合するように、作製しなければならない。この場合、NMOS(82)及びNMOS(84)の両方のドレイン端子は、単一の供給電圧 V_{dd1} に接続されることに、注意する必要がある。各トランジスタは同じ供給電圧から動作させるという事実は、ゲート入力信号に適合するのに必要なゲート構造を決定するものではない。各トランジスタに対するドレイン電圧(それが同じであっても異っても)は、デバイスからの出力電圧のみを決める。MOSFET動作電圧は設計の数及び動作特性に基いて選択されるから、いくつかの動作電圧が現在の集積回路で用いられるであろう。

【0018】

トランジスタ及び集積回路の作製に関して、“主表面”という用語はたとえばプレーナプロセスで、中及び周辺に複数のトランジスタが作製される半導体層の表面をさす。ここで用いるように、“垂直”という用語は主表面に対して本質的に垂直であることを意味する。典型的な場合、主表面は単結晶シリコン層の<100>面に沿い、その上に電界効果トランジスタデバイスが作製される。“垂直トランジスタ”という用語は、ソースからドレインへ電流が垂直に流れるように、個々の半導体要素が主表面に対して、垂直方向を向いたトランジスタを意味する。例として、垂直MOSFETの場合、ソース、チャネル及びドレイン領域は、主表面に対して相対的に垂直な配置で形成される。

【0019】

図5ないし17は本発明に従う回路機能の例を実現するために作製する各種工程中の集積回路構造(10)の断面図を示す。ここでの説明から、複数の垂直CMOSトランジスタがそれだけかあるいはたとえばバイポーラ接合トランジスタ、容量又は抵抗といった他のデバイスと組合さり、集積回路を形成するために、いかに形成されるかが、明らかになるであろう。図13及び14の完成した回路構造は、本発明の指針に従って、異なるゲート酸化物厚を示す。

【0020】

図5を参照すると、層(100)の上部上の結晶面に沿って形成された露出された主表面(106)を有する単結晶半導体層(100)が示されている。従来の技術により表面(106)中に形成された分離トレンチ(108)は、堆積させた二酸化シリコン(110)で満たされている。トレンチの1つの目的は、相補電界効果トランジスタの例の対が上に形成される2つの領域間の電気的分離をすることである。この例では、nタブ領域(112)及びpタブ領域(114)は、従来トレンチ(108)の各異なる側の表面(106

10

20

30

40

50

）に沿って、電氣的に分離されて形成される。たとえば、 n タブ領域（１１２）はホウ素注入（３００ないし５００ｋｅＶ， $1 \times 10^{13} / \text{cm}^2$ ）で形成し、 p 領域（１１４）はリン注入（３００ないし５００ｋｅＶ， $1 \times 10^{13} / \text{cm}^2$ ）を受けてよい。タブ領域（１１２）及び（１１４）の形成後、 p 形ソース／ドレイン領域（１１６）がタブ領域（１１２）中に形成され、 n 形ソース／ドレイン領域（１１８）がタブ領域（１１４）中に形成される。両方のソース／ドレイン領域は表面（１０６）に沿って形成され、イオン注入で形成してよい。たとえば、 p 形ソース／ドレイン領域（１１６）はタブ領域（１１２）上に、５０ないし１００ｋｅＶでホウ素を $3 \times 10^{13} / \text{cm}^2$ ないし $10 \times 10^{15} / \text{cm}^2$ 注入することにより形成され、 n 形ソース／ドレイン領域（１１８）はタブ領域（１１４）上に、５０ないし１００ｋｅＶでリンを $3 \times 10^{15} / \text{cm}^2$ ないし $10 \times 10^{15} / \text{cm}^2$ 注入することによって形成される。

10

【００２１】

図６を参照すると、複数の層が半導体層（１００）上に形成されている。ソース／ドレイン領域（１１６）及び（１１８）に隣接してその上に配置され、分離トレンチ（１０８）まで更に延びる導電層（１２０）から始まる。導電層（１２０）のシート抵抗を減すため、それは金属を含む必要があり、好ましい実施例においては、化学気相堆積により形成されたタングステンシリサイド（ WSi ）のような金属シリサイドである。別の材料には、チタン窒化物及びタングステン窒化物とともに、コバルトシリサイドが含まれる。他の低抵抗材料、特に５０オーム／平方より小さい抵抗を有する材料を、導電層（１２０）を形成するために用いてもよい。更に、図６に示されるように、薄い絶縁層（１２２）から始まり、誘電体材料のいくつかの層が、導電層（１２０）上に形成されている。以下で述べるように、固相拡散により n 形及び p 形ドーパントが拡散することに対する拡散障壁となり、かつエッチ停止層として機能するように、層（１２２）はシリコン窒化物で形成され、約５ｎｍないし約５０ｎｍの範囲の厚さを有するのが好ましい。層（１２２）上に比較的厚い絶縁層（１２４）を堆積させ、続いて別の薄い絶縁層（１２６）を堆積させる。層（１２４）も拡散障壁及びエッチ停止層として働く。シリコン窒化物は絶縁層（１２６）として適当な材料と考えられる。

20

【００２２】

二酸化シリコンから成る層（１３０）を、層（１２６）上に堆積させる。層（１３０）は犠牲層で、上で引用した特許第６，０２７，９７５号の指針に沿って、置換ゲートプロセスに従い、後に除去される。層（１３０）の厚さはその後形成されるＭＯＳＦＥＴゲートの長さを規定する。層（１３０）の二酸化シリコンはテトラエチルオルトシリケート（ TEOS ）プリカーサから、従来の堆積により形成してよい。

30

【００２３】

次に、二酸化シリコン層（１３０）上に絶縁層（１３４，１３６）及び（１３８）を堆積させる。層（１３４）はシリコン窒化物が好ましく、厚さ及び機能は層（１２６）と同様である。層（１３０）の各側にある２つの層（１２６）及び（１３４）は、後にオフセットスペーサ及びエッチ停止機能を果す。それらはそれぞれ約５ｎｍないし約５０ｎｍの範囲の厚さを有し、一般に層（１３０）の除去中、エッチングに対する抵抗をもつ材料から成る。特に、これらのエッチ停止層の厚さは、エッチングプロセス中除去すべき上又は下の層中の材料の深さに比べ、選択されたエッチャントに対し、エッチ停止材料の抵抗に大きく依存する。すなわち、効果的なエッチ停止層であるためには、除去すべき層又は複数の層をエッチャントがエッチングする時間に、エッチャントがエッチ停止層を貫通できない。層（１２６）及び（１３４）の両方は、 n 形及び p 形ドーパントに対するドーパント拡散障壁としても働く。以下で述べるように、ドーパントは層（１２４）及び（１３６）から、固相拡散によって拡散し、それによって各トランジスタのゲートに比べ、その後形成されるソース／ドレイン延長部の間隔と長さが規定される。

40

【００２４】

以下で述べるその後のプロセス工程中、絶縁層（１２４）及び（１２６）は固相拡散を通して、ゲート酸化物に隣接して低抵抗延長領域を生成する各トランジスタのソース／ドレ

50

イン延長部を形成するため、チャネル領域をドーブする働きをする。シリコン酸化物ドーピング源の例は、P S G（リンシリケートガラス、すなわちリンドーブシリコン酸化物）及びB S G（ボロシリケートガラス、すなわちホウ素ドーブシリコン酸化物）で、たとえばプラズマ促進化学気相堆積（P E C V D）により、堆積できる。層（124）及び（126）の適当な厚さは、約25nmないし約250nmの範囲である。この目的のために、両方の層（124）及び（136）は高濃度（ $1 \times 10^{21} / \text{cm}^3$ のオーダー）のドーパントを含む。このC M O Sデバイス中にn形及びp形両方のトランジスタを形成するために、対応するトランジスタに適当な形のドーパントを供給できるように、層（124）及び（136）は2つに分けなければならない。これを実現する1つの方法は、1つのドーパント形の均一な薄膜を堆積させ、次に従来のリソグラフィで、堆積層の除去部分をマスク及びエッチングすることである。次に、相対するドーパント形の層を、除去された領域中に選択的に堆積させる。別の実施例において、アンドープ層を堆積させる。層の1つの領域をマスクし、マスクされない領域中に第1の形のドーパントを注入する。次に、注入された領域をマスクし、マスクされない領域中に第2の形のドーパントを注入する。それらが形成されたら、両方の層（124）及び（136）は化学/機械プロセス（C M P）を用いて、平坦化される。

10

【0025】

層（138）が層（136）上に形成され、材料組成及び厚さは層（126）及び（134）と同程度である。層（138）はその後のC M P停止層として機能し、従ってたとえば少くとも約25nmと、この機能に合致する厚さをもつ。層（138）は固相拡散プロセス中、n及びp形両方のドーパントに対する拡散障壁としても働く。

20

【0026】

層（122，124，126，130，134，136，138）のすべてを従来の化学気相堆積（C V D）プロセス又は他の周知の堆積技術を用いて、堆積させてよい。先に述べた一連の層に関して、他の実施例では、たとえば堆積層の数を減すというように、かなり変更してよいことに注意すべきである。いずれの場合も、得られる構造は、C M O Sデバイス中の各電界効果トランジスタの垂直チャネル領域を形成する。

【0027】

図7はn形タブ領域（112）上に形成された第1のトレンチ又は窓（142）と、p形タブ領域（114）上に形成された第2のトレンチ又は窓を示す。トレンチ（142）及び（144）は複数の層の垂直部分のみを除去し、ソース/ドレイン領域（116）及び（118）で停止する非等方性エッチングが続くフォトレジストで、従来通りパターン形成することにより形成される。トレンチ（142）及び（144）を形成するエッチング化学及び他の詳細は良く知られており、これ以上詳細には述べない。

30

【0028】

図8に示されるように、トレンチ（142）及び（144）の形成中露出された導電層（120）の部分を除去する選択非等方性エッチングプロセスにより、トレンチ（142）及び（144）内にくぼみ（146）が生じる。適当なエッチング化学剤の選択は、導電層（120）の組成に依存する。たとえば、選択シリサイド湿式エッチングに適した化学剤は、硫酸及び過酸化水素の混合物である。

40

【0029】

くぼみ（146）の形成に続き、層（138）の露出された表面上とともに、トレンチ（142）及び（144）の壁及び底に沿って、二酸化シリコンの薄い適合層（148）を堆積させる。図9に示されるように、くぼみ（146）内に二酸化シリコン層（148）を堆積させる。

【0030】

二酸化シリコン層（148）の非等方性エッチングにより、トレンチ（142）及び（144）の底部及び壁の多くの部分から、酸化物が除去される。図10を参照のこと。この実施例では誘電体領域（150）は二酸化シリコンから成ったが、代りに他の絶縁材料（ドーブ又はアンドープ）を用いてもよい。

50

【0031】

トレンチ(142)及び(144)を形成したエッチングプロセスにより露出されたソース/ドレイン領域(116)及び(118)の部分(図11参照)を用いて、トレンチ(142)及び(144)の底部において、これらの領域から単結晶シリコンをエピタキシャル成長させ、トレンチ(142)及び(144)中に、それぞれデバイス品質の結晶シリコン層(151)及び(152)を形成する。結晶シリコン層(151)はチャンネル領域(160)の上及び下に、ソース/ドレイン延長領域(153)を形成するのに適している。結晶層(152)はチャンネル領域(162)の上及び下に、ソース/ドレイン延長部(154)を形成するのに適している。上部ソース/ドレイン延長部(153)及び(154)は、絶縁層(124)からの固相拡散により形成され、下部ソース/ドレイン延長部(153)及び(154)は、絶縁層(136)からの固相拡散によって形成される。チャンネル領域(160)はアンドープ又はn形材料を低濃度ドーピングしてよい。チャンネル領域(162)はアンドープ又はp形材料を低濃度ドーピングしてよい。チャンネル領域(160)及び(162)を形成する半導体材料は、シリコン-ゲルマニウム及びシリコン-ゲルマニウム-カーボンから成るのが好ましい。もし、チャンネル領域(160)及び(162)がアンドープ状態に形成されるなら、それらは後にドーピングしてもよい。更に、結晶層(151)及び(152)の結晶材料は、アモルファス又は多結晶層として堆積させ、その後たとえば従来の炉アニール又はレーザアニールによって再結晶化させてもよい。層(138)上に延びる結晶層(151)及び(152)のいずれの部分も、たとえばCMPにより除去され、それによって結晶層(151)及び(152)は層(138)と平坦化される。

10

20

【0032】

図12を参照すると、次に標準的な堆積、注入、リソグラフィ及びエッチング技術により、多結晶パッド領域(164)及び(166)が形成される。パッド領域(164)及び(166)は、付随したチャンネル領域(160)及び(162)のそれぞれの導電率に対し、ソース/ドレイン領域を形成するため、適切にドーピングされる。パッド領域(164)及び(166)は、それぞれ誘電体層(192)又は(202)により被覆される。シリコン窒化物は層(192)及び(202)に適した材料とみなされる。層(192)及び(202)を堆積させた後、(たとえば選択性HFエッチングで)犠牲となる二酸化シリコン層(130)を除去する。図13を参照のこと。

30

【0033】

プロセスのこの時点で、ゲート酸化物誘電体領域を熱成長させる。図14ないし16は4つのMOSFET、第1のCMOS対を形成する(210A)及び(212A)及び第2のCMOS対を形成する(210B)及び(212B)を参照して、プロセスを示す。このようにして、本発明の指針を2つのCMOSFET対に適用することにより示す。この場合、各対は異なるゲート電圧で動作する。すなわち、ゲート電圧は回路中の先の段の動作電圧により決る。作製プロセスのこの時点において、図14のMOSFET(210A, 212A, 210B, 212B)の構造は、図13のMOSFET(180)及び(190)を表わす。

40

【0034】

好ましい実施例において、異なる動作電圧を有する垂直置換ゲートCMOSトランジスタが、以下の工程に従って形成される。図14に示されるように、第1の等しい厚さの初期ゲート酸化物層(220A, 222A, 220B, 222B)を、各垂直置換ゲートトランジスタ(210A, 212A, 210B, 212B)のチャンネル領域(160A, 162A, 160B, 162B)中に成長させる。MOSFET(210A, 212A)がより高い動作電圧で動作する(従って、より厚いゲート酸化物層を必要とする)よう意図されたと仮定すると、それらは周知のリソグラフィ技術に従ってマスクされる。次に、最初の酸化物層(220B)及び(222B)は非マスクMOSFET(210B)及び(212B)から除去される。図15を参照のこと。マスクは除去され、第2のゲート酸化物の堆積が行われる。この第2のゲート酸化中、マスクされたゲート酸化物領域(220A

50

）及び（ 2 2 2 A ）はより厚く成長するが、非マスク MOS F E T （ 2 1 0 B ）及び（ 2 1 2 B ）上の新しい酸化物層（ 2 2 0 B ）及び（ 2 2 2 B ）の成長よりは遅い。図 1 6 を参照のこと。従って、第 2 のゲート酸化物堆積プロセスの完了時には、2 つの異なるゲート酸化物厚が形成されている。相対的に厚いゲート酸化物（ 2 2 0 A ）及び（ 2 2 2 A ）が MOS F E T （ 2 1 0 A ）及び（ 2 1 2 A ）に形成され、相対的に薄いゲート酸化物（ 2 2 0 B ）及び（ 2 2 2 B ）が MOS F E T （ 2 1 0 B ）及び（ 2 1 2 B ）に形成されている。このプロセスは任意の数のゲート酸化物厚を生じるのに必要な回数くり返すことができ、集積回路上の任意の数の MOS F E T に適用できる。

【 0 0 3 5 】

代表的な最小ゲート酸化物厚の値及びそれらが支えるおおよその動作電圧を、以下に示す。

【 0 0 3 6 】

ゲート酸化物厚（オングストローム） 動作電圧（V_{dd}，ボルト）

2 0	1. 5
3 6	2. 5
5 0	3. 0
1 1 0	5. 0

【 0 0 3 7 】

プロセスのこの段階で、絶縁層（ 1 2 6 ）及び（ 1 3 4 ）から固相拡散により、ドーパントを結晶層（ 1 5 1 ）及び（ 1 5 2 ）中に追いやり、ソース/ドレイン延長部（ 1 5 3 ）及び（ 1 5 4 ）を形成するのが好ましい。固相拡散を用いる利点は、ソース及びドレイン延長部（従ってデバイスのチャネル）が、最終のデバイスのゲートになるものに、位置合せされることである。絶縁層（ 1 2 4 ）及び（ 1 3 6 ）からドーパされる結晶層（ 1 5 1 ）のその部分中のドーパント濃度は、典型的な場合約 $1 \times 10^{19} / \text{cm}^3$ で、約 $5 \times 10^{19} / \text{cm}^3$ が有利と考えられる。この固相拡散技術を用いると、非常に浅いソース及びドレイン延長部が得られる。ソース/ドレイン延長部（ 1 5 3 ）及び（ 1 5 4 ）は、結晶層（ 1 5 1 ）及び（ 1 5 3 ）中に侵入し、結晶層（ 1 5 1 ）及び（ 1 5 3 ）の幅の 2 分の 1 より小さく侵入するのが好ましい。このようにして、ドーパントの侵入を制限することにより、ドーパ領域中の結晶層（ 1 5 1 ）及び（ 1 5 3 ）の相対する側からの著しい重畳が避けられる。また、ソース/ドレイン延長部（ 1 5 3 ）及び（ 1 5 4 ）が（以下で説明するその後のプロセス工程で形成される）デバイスゲート下に延びる距離は、ゲート長の 4 分の 1 以下に制限され、それによって重なり容量が制限され好ましい。当業者には周知のように、ソース/ドレイン延長部（ 1 5 3 ）及び（ 1 5 4 ）は、チャネル（ 1 6 0 ）及び（ 1 6 2 ）中のドーパントとは相対する伝導形をもつ。

【 0 0 3 8 】

図 1 7 に示されるように、次にポリシリコンゲート領域（ 2 3 0 ）及び（ 2 3 4 ）を堆積させる。ゲート（ 2 3 0 ）はチャネル（ 1 6 0 A ）及び（ 1 6 2 A ）を通る伝導を制御するため、MOS F E T （ 2 1 0 A ）及び（ 2 1 2 A ）に属する。ゲート（ 2 3 4 ）はチャネル（ 1 6 0 B ）及び（ 1 6 2 B ）を通る伝導を制御するため、MOS F E T （ 2 1 0 B ）及び（ 2 1 2 B ）に属する。ゲート領域（ 2 3 0 ）及び（ 2 3 4 ）は導電層（ 1 2 0 ）上に形成されるが、間に配置された絶縁層（ 1 2 2 ， 1 2 4 ， 1 2 6 ）により絶縁される。シリコン窒化物層（ 1 3 4 ）及び（ 1 3 8 ）と二酸化シリコン層（ 1 3 6 ）の部分は、ゲート領域（ 2 3 0 ）及び（ 2 3 4 ）上に配置される。

【 0 0 3 9 】

上述のように、層（ 1 9 2 A ）及び（ 1 9 2 B ）はソース/ドレイン領域（ 1 6 4 A ）及び（ 1 6 4 B ）の部分上にある。層（ 2 0 2 A ）及び（ 2 0 2 B ）はソース/ドレイン領域（ 1 6 6 A ）及び（ 1 6 6 B ）の部分上にある。各プラグ（ 1 6 4 A ， 1 6 4 B ， 1

10

20

30

40

50

66A, 166B)の相対する側に隣接した誘電体スペーサ(236)が、従来の堆積、マスク及びエッチング工程により形成され、シリコン窒化物から成るのが好ましい。CMOS対の中の1つのMOSFETを交互に伝導状態にするために、ゲート入力接触(240)及び(242)は、それぞれゲート(230)及び(234)に接続される。

【0040】

導電層(120)は連続した薄膜で、MOSFET(212A)のソース/ドレイン領域(118)とMOSFET(210A)のソース/ドレイン領域(116)を、電氣的に接続するのが好ましい。絶縁領域(150)はソース/ドレイン延長部(153A)及び(154A)のそれぞれと、導電層(120)が直接接触するのを分離する。もし、絶縁領域(150)が存在しないなら、導電層(120)と結晶シリコンの間の界面に、電氣的特性に影響を与える転位が発生しうる。ソース/ドレイン領域(116)及び(118)間の接続に影響を与える接触窓に強い領域を除くことに加え、導電層(120)はソース/ドレイン領域(116)とソース/ドレイン領域(118)間に低いシート抵抗を作る。

10

【0041】

ソース/ドレイン領域(164A, 166A, 164B, 166B)は各接触(250A, 252A, 250B, 252B)を通して、異なる電圧レール、たとえば V_{dd} 及び V_{ss} に接続されたソース領域として働いてよい。図17を参照のこと。ソース/ドレイン領域(116)及び(118)は、それぞれドレイン領域として働いてよい。MOSFET(210A)及びMOSFET(212A)はゲート入力接触(240)に印加される入力信号と、MOSFET(210A)及びMOSFET(212A)のそれぞれソース/ドレイン領域(116)及び(118)における出力信号を有する第1のインバータとして働く。MOSFET(210B)及びMOSFET(212B)はゲート入力接触(242)に印加される入力信号とMOSFET(210B)及びMOSFET(212B)のソース/ドレイン領域(116)及び(118)における出力信号を有する第2のインバータとして働く。図3の回路を参照すると、PMOS(70)及びNMOS(72)はMOSFET(210A)及び(212A)により実行される。PMOS(74)及びNMOS(76)はMOSFET(210B)及び(212B)により実行される。従来通り形成された浅いトレンチ分離構造(270)が、図17の実施例中の第2のインバータから第1のインバータを分離する。

20

30

【0042】

本発明の別の実施例において、2つのMOSFET(300)及び(302)(図18参照)が上述のように異なる酸化物厚を有するように形成されるが、それらの各ソース及びドレイン端子は、電氣的に接続され、2つの独立に制御されるMOSFETを形成する。ゲートは従来のトレンチ又はシリコンの局所酸化(LOCOS)技術を用いて、電氣的に分離されている。MOSFETは異なるゲート酸化物厚を有し、従って異なる閾値電圧をもつ。

【0043】

図3の概略図に戻ると、各MOSFET対(PMOS(70)/NMOS(72)及びPMOS(74)/NMOS(76))は異なる供給電圧(V_{dd} / V_{ss})に応答する。もし、MOSFETゲート端子を接続することにより、 V_{in1} が V_{in2} に等しくセットされ、2つの出力端子を接続することにより、 V_{out1} が V_{out2} に等しくセットされるなら、得られるデバイスは三値の論理デバイスを示す。第1のMOSFET対(PMOS(70)/NMOS(72))が導通にあるなら、1つの論理値であり、もし第2のMOSFET対(PMOS(74)/NMOS(76))が導通にあるなら、第2の論理値、両方のMOSFET対がオフなら、第3の論理値である。

40

【0044】

本発明について、単純なCMOS集積回路を形成する形態のMOSFETデバイスの形成に関して延べてきたが、当業者は本発明の指針は集積回路上に複数のVRGMOSFETデバイスを形成する場合にも適用できることを、認識するであろう。堆積、マスク工程及

50

び更に堆積工程を通して、各VRGMOSFETのゲート酸化物厚を制御することにより、各MOSFETが異なる選択された電圧で動作する集積回路が生じる。回路構造に複数の動作電圧置換ゲートCMOSトランジスタを形成するのに有用な構成について延べてきた。本発明の具体的な応用を示したが、ここで延べた原理はIII-IV族化合物及び他の半導体材料で形成された構造を含む各種の方法及び各種の回路構造で実施する基礎となるものである。実施例は電圧置換ゲートCMOSFETに関するものであったが、多くの変形が考えられる。それらには(垂直バイポーラトランジスタデバイス、ダイオード及びより一般的には拡散領域のような)他の型の半導体デバイスを、半導体層中の他のデバイスと接続するための導電層を用いた構造が含まれる。ここで明らかに延べていない他の構造も、本発明の視野から離れない。それは特許請求の範囲によってのみ、限定される。

10

【図面の簡単な説明】

【図1】従来技術のCMOS集積回路の断面図である。

【図2】CMOS集積回路の部分的な概略図である。

【図3】CMOS集積回路の部分的な概略図である。

【図4】CMOS集積回路の部分的な概略図である。

【図5】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図6】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図7】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図8】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図9】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

20

【図10】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図11】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図12】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図13】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図14】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図15】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図16】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図17】一連の作製工程中の本発明の一実施例に従う回路構造を断面で示す図である。

【図18】本発明の別の実施例に従って形成されたCMOSデバイスの概略図である。

【符号の説明】

30

2, 4, 6 MOSFET

9 基板

10, 12 LOCOS領域

14 ゲート

16 ソース領域

18 ドレイン領域

20 井戸

28 ゲート

30 ソース領域

32 ドレイン領域

40

34 井戸

38 ゲート

40 ソース領域

42 ドレイン領域

44 井戸

46 二酸化シリコン層

50 p⁺領域

52 p層

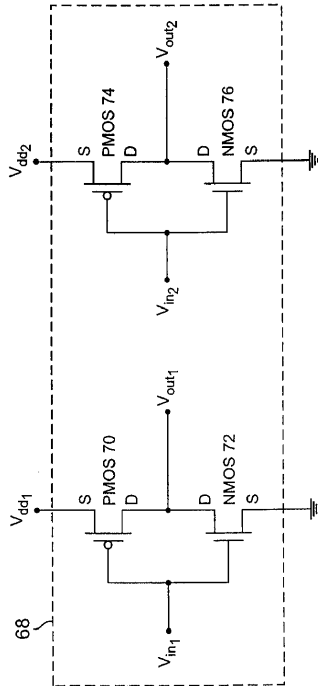
68 集積回路

70 PMOS

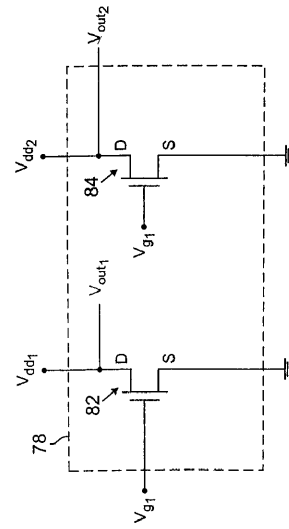
50

7 2	N M O S	
7 4	P M O S	
7 6	N M O S	
7 8	集積回路	
8 2 , 8 4	N M O S デバイス、N M O S	
1 0 0	層、半導体層	
1 0 6	主表面	
1 0 8	トレンチ	
1 1 0	二酸化シリコン	
1 1 2	タブ領域	10
1 1 4	タブ領域、p 領域	
1 1 6 , 1 1 8	ソース/ドレイン領域	
1 2 0	導電層	
1 2 2	絶縁層、層	
1 2 4 , 1 2 6	層、絶縁層	
1 3 0	層、二酸化シリコン層	
1 3 4	絶縁層、層、シリコン窒化物層	
1 3 6	絶縁層、二酸化シリコン層	
1 3 8	絶縁層、シリコン窒化物層	
1 4 2	窓、トレンチ	20
1 4 4	トレンチ	
1 4 6	くぼみ	
1 4 8	二酸化シリコン	
1 5 0	誘電体領域	
1 5 1 , 1 5 2	結晶シリコン層、結晶層	
1 5 3	ソース/ドレイン延長領域、ソース/ドレイン延長部	
1 5 3 A	ソース/ドレイン延長部	
1 5 4	ソース/ドレイン延長領域、ソース/ドレイン延長部	
1 5 4 A	ソース/ドレイン延長部	
1 6 0 , 1 6 0 A , 1 6 0 B , 1 6 2 , 1 6 2 A , 1 6 2 B	チャネル領域、チャネル	30
1 6 4	パッド領域	
1 6 4 A , 1 6 4 B	ソース/ドレイン領域、プラグ	
1 6 6	パッド領域	
1 6 6 A , 1 6 6 B	ソース/ドレイン領域、プラグ	
1 8 0 , 1 9 0	(図になし) M O S F E T	
1 9 2	誘電体層、層	
1 9 2 A , 1 9 2 B	層	
2 0 2	誘電体層	
2 0 2 A , 2 0 2 B	層	
2 1 0 A , 2 1 0 B , 2 1 2 A , 2 1 2 B	M O S F E T	40
2 2 0 A	酸化物層、酸化物領域	
2 2 0 B	酸化物層	
2 2 2 A	酸化物層、酸化物領域	
2 2 2 B	酸化物層	
2 3 0 , 2 3 4	ゲート、ゲート領域	
2 3 6	誘電体スペーサ	
2 4 0	ゲート、ゲート入力接触	
2 4 2	ゲート入力接触	
2 4 4	ゲート入力接触	
2 5 0 A , 2 5 0 B , 2 5 2 A , 2 5 2 B	接触	50

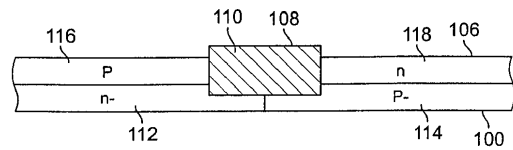
【図 3】



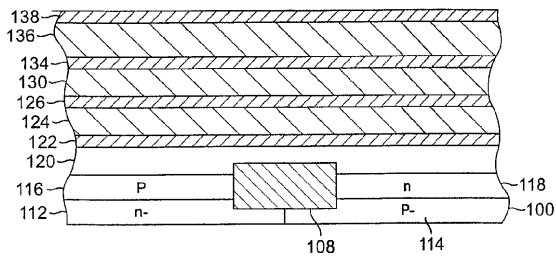
【図 4】



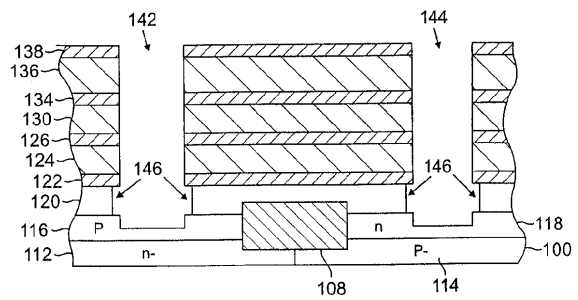
【図 5】



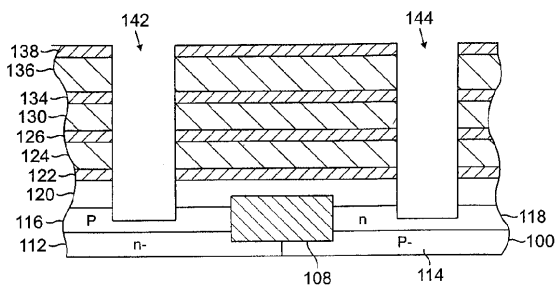
【図 6】



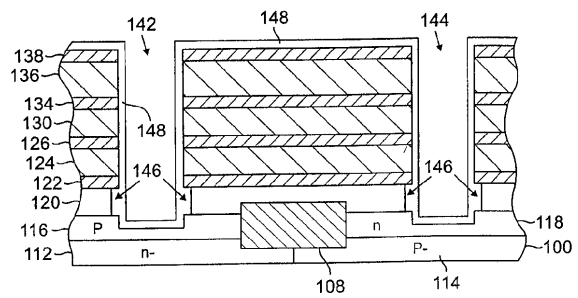
【図 8】



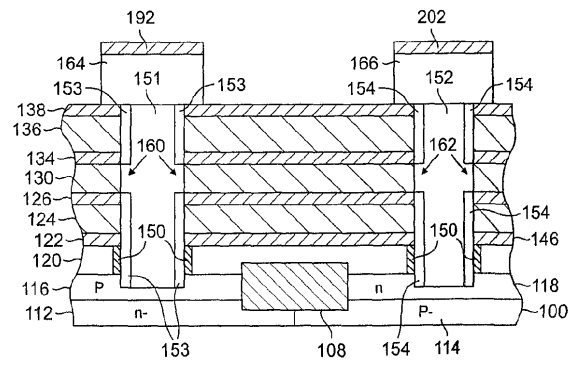
【図 7】



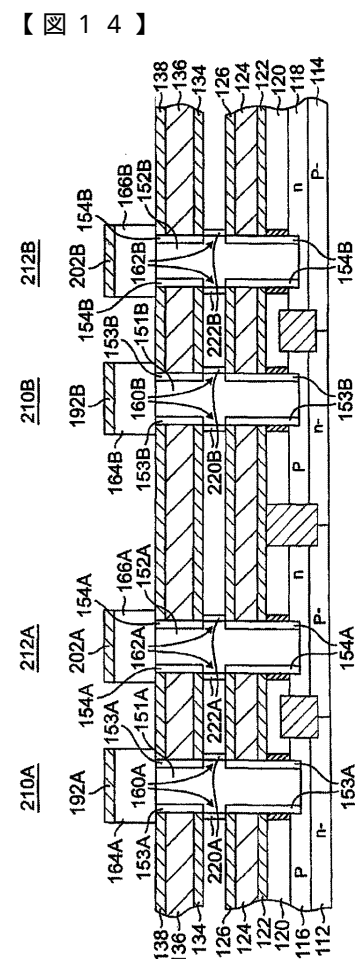
【図 9】



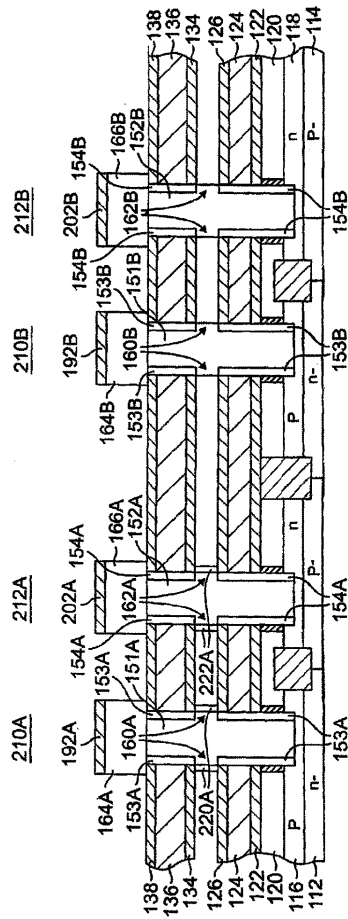
【圖 12】



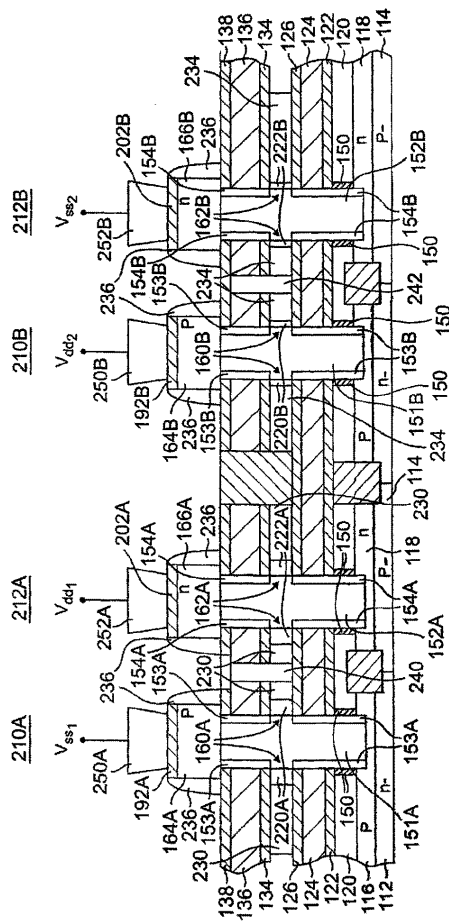
【 図 1 4 】



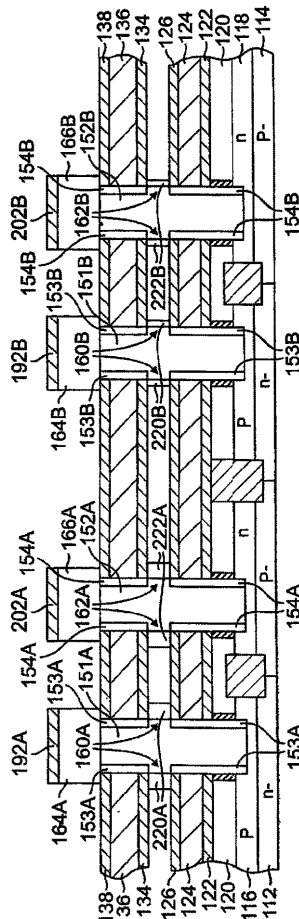
【図 15】



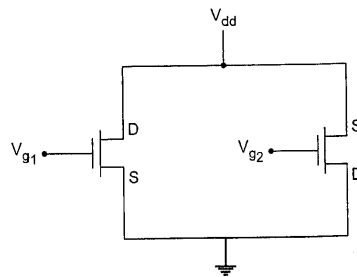
【図 17】



【図 16】



【図 18】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/8238</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 3 C</i>
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 6 A</i>
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 8 E</i>
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 8 F</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 8 G</i>
			<i>H 0 1 L</i>	<i>27/08</i> <i>1 0 2 E</i>
			<i>H 0 1 L</i>	<i>27/08</i> <i>3 2 1 D</i>
			<i>H 0 1 L</i>	<i>27/08</i> <i>3 2 1 G</i>
			<i>H 0 1 L</i>	<i>29/58</i> <i>G</i>

- (72)発明者 ボール アーサー レイマン
 アメリカ合衆国 3 2 8 3 5 フロリダ, オーランド, キャノン レーク サークル 7 8 9 3
- (72)発明者 ジョン ルッセル マックマッケン
 アメリカ合衆国 3 2 8 3 5 フロリダ, オーランド, ヴァインランド オークス ブウルヴァー
 ド 8 1 2 4
- (72)発明者 ジェー . ロス トムソン
 アメリカ合衆国 3 4 7 1 1 フロリダ, クレアモント, サマーウッド ドライブ 5 5 6
- (72)発明者 サミア チャードリィ
 アメリカ合衆国 3 2 8 3 6 フロリダ, オーランド, オークサイド コート 1 0 0 3 9
- (72)発明者 ジャック キングシェング ザオ
 アメリカ合衆国 1 8 0 6 9 ペンシルヴァニア, オレフィールド, オーヴァールック ロード
 6 6 6 2

合議体

審判長 北島 健次
 審判官 恩田 春香
 審判官 西脇 博志

- (56)参考文献 特開昭 6 2 - 4 5 0 5 8 (J P , A)
 特開 2 0 0 0 - 3 5 3 7 5 3 (J P , A)
 特表平 1 0 - 5 0 6 2 3 7 (J P , A)
 特表 2 0 0 0 - 5 0 9 5 5 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L27/092
 H01L27/088
 H01L29/78