



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I503838 B

(45)公告日：中華民國 104 (2015) 年 10 月 11 日

(21)申請案號：098122602

(22)申請日：中華民國 98 (2009) 年 07 月 03 日

(51)Int. Cl. : G11C7/10 (2006.01)

(30)優先權：2008/08/08 南韓

10-2008-0077692

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：金崱東 KIM, KWI-DONG (KR)

(74)代理人：賴安國

(56)參考文獻：

TW 200805373A

US 5883851

US 6721213B2

US 6944090B2

US 7208975B1

US 2003/0189857A1

US 2008/0042713A1

審查人員：蕭明椿

申請專利範圍項數：16 項 圖式數：5 共 25 頁

(54)名稱

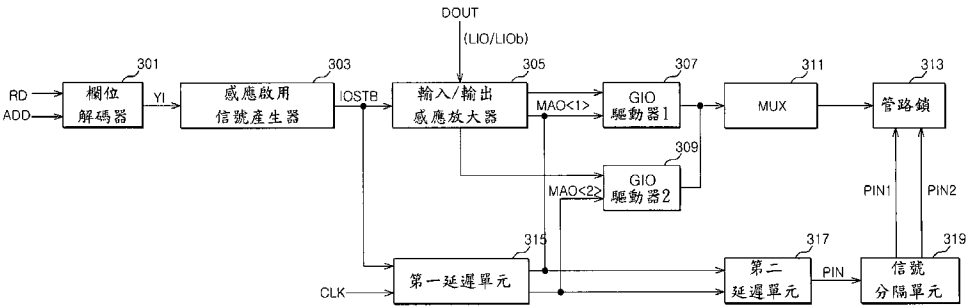
半導體記憶體設備讀取操作之控制電路

CONTROL CIRCUIT OF READ OPERATION FOR SEMICONDUCTOR MEMORY APPARATUS

(57)摘要

本發明揭示一種用於一 SERDES(串列器與解串列器，SERializer and DESerializer)型半導體記憶體設備的一讀取操作之控制電路，其包含一第一延遲單元，該第一延遲單元設置成利用接收一感應啟用信號「IOSTB」來產生並輸出一第一延遲信號至一第一全域輸入/輸出線驅動器，並且利用接收該感應啟用信號來產生並輸出一第二延遲信號至一第二全域輸入/輸出線驅動器。該第一延遲單元利用延遲該感應啟用信號與一時脈同步來產生該第二延遲信號。該半導體記憶體設備也包含一第二延遲單元，其設置成產生一管路鎖控制信號來回應該第一延遲信號與該第二延遲信號。

A control circuit for a read operation of a SERDES (SERializer and DESerializer) type semiconductor memory apparatus is disclosed that includes a first delay unit that is configured to generate and output a first delay signal to a first global input/output line driver by receiving a sensing-enable signal 'IOSTB', and to generate and output a second delay signal to a second global input/output line driver by receiving the sensing-enable signal. The first delay unit generates the second delay signal by delaying the sensing-enable signal in synchronization with a clock. The semiconductor memory apparatus also includes a second delay unit configured to generate a pipe latch control signal in response to the first delay signal and the second delay signal.



第二圖

- 301 . . . 欄位解碼器
- 303 . . . 感應啟用信號產生器
- 305 . . . 輸入/輸出感應放大器
- 307 . . . 第一全域輸入/輸出線驅動器
- 309 . . . 第二全域輸入/輸出線驅動器
- 311 . . . 多工器
- 313 . . . 管路鎖
- 315 . . . 第一延遲單元
- 317 . . . 第二延遲單元
- 319 . . . 信號分隔單元

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98122602

※ 申請日：98.7.3 ※IPC 分類：G11C 7/10 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶體設備讀取操作之控制電路 / CONTROL CIRCUIT OF READ
OPERATION FOR SEMICONDUCTOR MEMORY APPARATUS

二、中文發明摘要：

本發明揭示一種用於一SERDES（串列器與解串列器，SERializer and DESeriallizer）型半導體記憶體設備的一讀取操作之控制電路，其包含一第一延遲單元，該第一延遲單元設置成利用接收一感應啟用信號「IOSTB」來產生並輸出一第一延遲信號至一第一全域輸入/輸出線驅動器，並且利用接收該感應啟用信號來產生並輸出一第二延遲信號至一第二全域輸入/輸出線驅動器。該第一延遲單元利用延遲該感應啟用信號與一時脈同步來產生該第二延遲信號。該半導體記憶體設備也包含一第二延遲單元，其設置成產生一管路鎖控制信號來回應該第一延遲信號與該第二延遲信號。

三、英文發明摘要：

A control circuit for a read operation of a SERDES (SERializer and DESeriallizer) type semiconductor memory apparatus is disclosed that includes a first delay unit that is

configured to generate and output a first delay signal to a first global input/output line driver by receiving a sensing-enable signal 'IOSTB', and to generate and output a second delay signal to a second global input/output line driver by receiving the sensing-enable signal. The first delay unit generates the second delay signal by delaying the sensing-enable signal in synchronization with a clock. The semiconductor memory apparatus also includes a second delay unit configured to generate a pipe latch control signal in response to the first delay signal and the second delay signal.

四、指定代表圖：

(一) 本案指定代表圖為：第 (二) 圖。

(二) 本代表圖之元件符號簡單說明：

- 301 欄位解碼器
- 303 感應啟用信號產生器
- 305 輸入/輸出感應放大器
- 307 第一全域輸入/輸出線驅動器
- 309 第二全域輸入/輸出線驅動器
- 311 多工器
- 313 管路鎖
- 315 第一延遲單元
- 317 第二延遲單元
- 319 信號分隔單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明一般而言係關於一半導體記憶體設備，尤其係關於一半導體記憶體設備一讀取操作之一控制電路。

【先前技術】

典型半導體記憶體設備利用具有複數個輸入/輸出接腳的單一連接埠，而使用一平行輸入/輸出系統與外部晶片組交換資料。因為該平行輸入/輸出可同時傳輸許多資料位元，所以該平行輸入/輸出具有一高速資料處理之一優點。

不過，該平行輸入/輸出具有一缺點，就是資料傳輸距離越遠，傳輸資料所需的匯流排數量就會增加，導致增加產品的單位成本。

傳統技術上使用一 SERDES (串列器與解串列器)，以補充該平行輸入/輸出的缺點。在該 SERDES 內，一半導體記憶體設備具有兩或多個連接埠，每一個連接埠都包含一個 SERDES 電路。每一個連接埠將外部輸入的序列信號轉換成並列信號並且傳輸至記憶體列，也將來自記憶體列所輸入的並列信號轉換成序列信號並輸出至外部。

根據這些操作，一 SERDES 型記憶體設備可減少所需的匯流排線數量。

在該 SERDES 內，每一個寫入/讀取指令執行至少兩次的寫入/讀取操作。因此，在具有四時脈 CAS 至 CAS 延遲「tCCD」的一 SERDES 型半導體記憶體設備內，應該在兩

個時脈內執行一次寫入/讀取操作。

目前來說，此操作的時間間隔固定不變。因此，寫入/讀取操作執行的一個時間週期應該在 2 ns 內，而目標頻率為 1 ns。也就是，用於控制第一寫入/讀取操作的欄位選擇信號「YI」以及用於控制第二寫入/讀取操作的欄位選擇信號「YI」應該不會延遲超過 2 ns。

此外，兩欄位選擇信號「YI」之間的時間間隔為對應至一高頻操作的固定值，並不考慮到該半導體記憶體設備的操作速度。因此，該半導體記憶體設備總是用預定最小限度來操作。

第一 A 圖和第一 B 圖為顯示用於一傳統 SERDES 半導體記憶體設備內指令處理程序的一電路圖。

首先，第一 A 圖為顯示一寫入操作的一電路圖。

首先，啟用由一指令解碼器（未顯示）所建立的一寫入指令「WT」，並供應至一欄位解碼器 101。該欄位解碼器 101 接收一位址信號「ADD」及該寫入指令「WT」，並且建立與供應至該欄位解碼器 101 的一時脈信號「CLK」同步之一第一欄位選擇信號「YI1」及一第二欄位選擇信號「YI2」。該第二欄位選擇信號「YI2」可為經過一預定時間間隔延遲的一信號，例如兩個時脈信號週期，並且與該第一欄位選擇信號「YI1」同步。

進一步，資料輸入多工器「MUX1」、「MUX2」103、105 每一個都接收該欄位選擇信號「YI1」、「YI2」和資料「DIN」，如此可將資料傳輸至一記憶體列。根據此一組態，

該輸入資料「DIN」在經過根據來自一資料輸入墊「DQ」的一資料閃控信號「DQS」之一預定處理之後輸入至一個連接埠，並且並列。然後，該輸入資料「DIN」透過一全域輸入/輸出線「GIO」傳輸至該等資料輸入多工器 103、105。

一寫入驅動器 107 透過一本機輸入/輸出線「LIO/LIOb」將接收自該等輸入多工器「MUX1」及「MUX2」的資料傳輸至記憶體列區塊，其中該多工器透過全域輸入/輸出線接收輸入資料。

例如：當針對一個寫入指令執行兩次寫入操作時，具有 8 位元的輸入資料並列成 4 位元與 4 位元，並且依序透過該 GIO 而輸入至該等輸入多工器「MUX1」和「MUX2」。進一步，該資料輸入多工器「MUX1」103 根據該第一欄位選擇信號「YI1」透過該寫入驅動器 107 將第一 4 位元資料傳輸至該本機輸入/輸出線「LIO/LIOb」。此後，該資料輸入多工器「MUX2」105 根據在一預定時間週期（即是兩個時脈）之後輸出的該第二欄位選擇信號「YI2」，透過該寫入驅動器 107 將第二 4 位元資料傳輸至該本機輸入/輸出線「LIO/LIOb」。

如上述，因為欄位選擇信號「YI1」和「YI2」都與寫入操作期間的時脈信號同步產生，所以可根據資料閃控信號在確切時間上將輸入的資料傳輸至記憶體列。

接下來，第一 B 圖為顯示一讀取操作的一電路圖。

隨著一讀取指令「RD」啟用，一欄位解碼器 201 接收一位址信號「ADD」及一讀取指令「RD」，並且輸出一欄

位選擇信號「YI」。因此，一輸入/輸出感應放大器 205 透過該本機輸入/輸出線「LIO/LIOb」接收儲存在記憶體列區塊內的資料「DOUT」，接著放大並鎖定該資料。

為了回應一第一延遲單元 215 的一輸出信號，透過全域輸入/輸出線驅動器 207、209 以及多工器 211，將該輸入/輸出感應放大器 205 所放大的資料傳輸至一管路鎖 213。在此組態中，該第一延遲單元 215 將從一感應啟用信號產生器 203 輸出的一感應啟用信號「IOSTB」延遲一預定時間量，然後輸出。

尤其是，根據從該第一延遲單元 215 輸出的一第一延遲信號「MAO<1>」，透過一全域輸入/輸出驅動器將來自該輸入/輸出感應放大器 205 的輸出信號一部份（第一資料群組）傳輸至該多工器 211。然後根據從該第一延遲單元 215 輸出的一第二延遲信號「MAO<2>」，透過一全域輸入/輸出驅動器將來自該輸入/輸出感應放大器 205 的輸出信號剩餘部份（第二資料群組）傳輸至該多工器 211。根據此組態，該第二延遲信號「MAO<2>」為將該第一延遲信號「MAO<1>」延遲一預定時間所獲得之值。

將第一資料群組輸入至該多工器 211，並且應該在第二資料群組輸入至該多工器 211 之前儲存在該管路鎖 213 內。因此，由一第二延遲單元 217 所建立的第一和第二管路鎖控制信號「PIN1」、「PIN2」應該設計成，分別從該第一延遲單元 215 輸出的第一和第二延遲信號「MAO<1>」、「MAO<2>」具有相同延遲值。

如上所述，該第一延遲單元 215 及該第二延遲單元 217 設計成具有一固定延遲時間，而不管一半導體記憶體設備的操作速度。不過，該第一延遲單元 215 及該第二延遲單元 217 的位置設計成不同，因此設置該等延遲單元 215、217 具有確實相同延遲值有所困難。結果，發生已經傳輸至該全域輸入/輸出線的資料並未在正確時間上傳輸至該管路鎖 213 的問題。此問題在一高頻操作中會惡化，並且導致該半導體記憶體設備故障。

再者，因為套用至該第一延遲單元 215 及該第二延遲單元 217 的延遲時間為將該感應啟用信號「IOSTB」固定一預定時間所建立之值，該第一延遲單元 215 及該第二延遲單元 217 根據該固定值來操作，即使在一低頻率操作當中操作限度也足夠，如此將惡化該半導體記憶體設備的效率。

【發明內容】

在此提供可根據一 SERDES 型半導體記憶體設備內一個時脈來執行一讀取操作的讀取操作之一控制電路。

一讀取操作的一控制電路利用將一資料輸出時間間隔變更成與根據一 SERDES 型半導體記憶體設備內一讀取操作的操作頻率中之時脈同步，以確定操作限度。

在本發明的一個具體實施例中，一半導體記憶體設備一讀取操作之一控制電路係屬於一 SERDES 型半導體記憶體設備一讀取操作之一控制電路，包含一第一延遲單元，

其設置成利用接收一感應啟用信號「IOSTB」來建立與輸出一第一延遲信號至一第一全域輸入/輸出線驅動器，並且利用接收該感應啟用信號並利用延遲該感應啟用信號與一時脈同步來建立一第二延遲信號，來建立與輸出該第二延遲信號至一第二全域輸入/輸出線驅動器；以及一第二延遲單元，其設置成建立一管路鎖控制信號來回應該第一延遲信號與該第二延遲信號。

在本發明的其他具體實施例內，一半導體記憶體設備一讀取操作之一控制電路係屬於一SERDES型半導體記憶體設備一讀取操作之一控制電路，包含一第一延遲單元，其設置成利用接收一感應啟用信號「IOSTB」來建立與輸出一第一延遲信號至一第一全域輸入/輸出線驅動器，並且利用延遲該感應啟用信號與一時脈同步來建立一第二延遲信號，來建立與輸出該第二延遲信號至一第二全域輸入/輸出線驅動器；以及一第二延遲單元，其設置成利用接收一感應啟用信號「IOSTB」來建立一第三延遲信號並將該第三延遲信號當成一第一管路鎖控制信號來輸出，並且利用延遲該感應啟用信號與一時脈同步來建立一第四延遲信號並將該第四延遲信號當成一第二管路鎖控制信號來輸出。

底下將參閱名為「實施方式」的段落來說明這些與其他特色、態樣以及具體實施例。

【實施方式】

以下，將參照附圖來詳細說明本發明的較佳具體實施

例。

第二圖為顯示根據本發明一具體實施例的一讀取操作控制電路組態圖。

根據本發明一具體實施例一讀取操作之一控制電路包含一第一延遲單元 315、一第二延遲單元 317 及一信號分隔單元 319。

該第一延遲單元 315 接收來自一感應啟用信號產生器 303 的一感應啟用信號「IOSTB」，並且產生提供給一第一全域輸入/輸出線驅動器 307 的一第一延遲信號「MAO<1>」。該第一延遲單元 315 也利用延遲該感應啟用信號「IOSTB」與在該第一延遲單元 315 上接收的一時脈信號「CLK」同步來產生一第二延遲信號「MAO<2>」，並且提供該第二延遲信號「MAO<2>」給一第二全域輸入/輸出線驅動器 309。

一第二延遲單元 317 產生一管路鎖控制信號「PIN」來回應從該第一延遲單元 315 輸出的第一延遲信號「MAO<1>」與第二延遲信號「MAO<2>」。

一信號分隔單元 319 由從該第二延遲單元 317 輸出的管路鎖控制信號「PIN」當中產生第一和第二管路鎖控制信號「PIN1」、「PIN2」。

以下將詳細說明包含上述讀取操作的控制電路之半導體記憶體設備的讀取操作。

隨著一讀取信號「RD」之啟用，一欄位解碼器 301 接收該讀取信號「RD」及一位址信號「ADD」，並且輸出一

欄位選擇信號「YI」。一輸入/輸出感應放大器 305 透過一本機輸入/輸出線「LIO/LIOb」接收儲存在一記憶體列區塊內的資料「DOUT」，接著放大並鎖定該資料。

在從該感應啟用信號產生器 303 輸出該感應啟用信號「IOSTB」之後，該第一延遲單元 315 利用將該感應啟用信號「IOSTB」延遲一預定時間來輸出該第一延遲信號「MAO<1>」。此後，一第一資料群組係被鎖定在該輸入/輸出感應放大器 305 內，並且根據該第一延遲信號「MAO<1>」透過一第一全域輸入/輸出線驅動器 307 傳輸至一多工器 311。

輸入至該多工器 311 的第一資料群組儲存在該管路鎖 313 內，以回應從該信號分隔單元 319 輸出的第一管路鎖控制信號「PIN1」。

一第二資料群組接著鎖定在該輸入/輸出感應放大器 305 內，並且根據該第二延遲信號「MAO<2>」，其在該第一延遲單元 315 內利用延遲該感應啟用信號「IOSTB」與時脈「CLK」同步來產生，以透過一第二全域輸入/輸出線驅動器 309 傳輸至該多工器 311。

此後，該第二資料群組被儲存在管路鎖 313 內，以回應從該信號分隔單元 319 輸出的一第二管路鎖控制信號「PIN2」。

如上所述，因為利用在已經輸出該第一延遲信號「MAO<1>」之後將該感應啟用信號「IOSTB」延遲成與該時脈同步而產生該第二延遲單元「MAO<2>」，所以可確定

低頻率操作與讀取操作之間的限度。

儲存在該多工器 311 內的資料根據該管路鎖控制信號「PIN1」、「PIN2」傳輸至該管路鎖 313，其中的控制信號係根據第一延遲信號「MAO<1>」及第二延遲信號「MAO<2>」所產生。因此，在資料傳輸至該多工器 311 的時間點與管路鎖 313 儲存資料的時間點並不重疊。

第三圖為顯示第二圖中所示該第一延遲單元 315 的組態圖。

如第三圖中所示，該第一延遲單元 315 設置成包含一第一延遲器 401、一鎖 403 及一第二延遲器 405。

該第一延遲器 401 利用將該感應啟用信號「IOSTB」延遲一預定時間來輸出該第一延遲信號「MAO<1>」。該鎖 403 將該感應啟用信號「IOSTB」位移來與時脈「CLK」同步。然後該第二延遲器 405 利用將該鎖 403 之一輸出信號延遲一預定時間來輸出該第二延遲信號「MAO<2>」。

根據此組態，該鎖 403 包含將該感應啟用信號「IOSTB」延遲 2 位元，以回應該時脈「CLK」信號之一 D 正反器（圖未顯示）。較佳是該第一延遲器 401 及該第二延遲器 405 的延遲量設置成具有相同值。

第四圖為顯示第二圖中所示該第二延遲單元 317 的組態圖。

在本發明的較佳具體實施例中，該第二延遲單元 317 包含一邏輯元件，其係接收該第一延遲信號「MAO<1>」及該第二延遲信號「MAO<2>」，並且在每次啟用已接收信

號其中之一時產生一個脈衝。例如：利用將一 NOR 閘與一反向器串聯來形成該邏輯元件，其中該邏輯元件的輸出脈衝為一管路鎖控制信號「PIN」，如第四圖中所示。

雖然圖未顯示，不過該信號分隔單元 319 包含一計數器。在此組態內，每次從該第二延遲單元 317 輸出一脈衝時就執行一計數操作。該計數值用來當成該第一和第二管路鎖控制信號「PIN1」、「PIN2」。

第五圖為顯示根據本發明其他具體實施例的讀取操作控制電路組態圖。

在如第五圖中所示根據本發明具體實施例的讀取操作之控制電路中，與第二圖中所示讀取操作的控制電路不同，一第二延遲單元 321 分別使用該感應啟用信號「IOSTB」及該時脈「CLK」來產生一第一管路鎖控制信號「PIN1」及一第二管路鎖控制信號「PIN2」。針對此操作，該第二延遲單元 321 如第三圖中所示來設置。

也就是，該第二延遲單元 321 也包含一第一延遲器，利用將該感應啟用信號「IOSTB」延遲一預定時間來輸出該第一管路鎖控制信號「PIN1」；一鎖，用於該將感應啟用信號「IOSTB」位移來與該時脈「CLK」同步；及一第二延遲器利用將該鎖的輸出信號延遲一預定時間來輸出該第二管路鎖控制信號「PIN2」。

在此電路組態中，輸入至該第一延遲單元 315 的時脈「CLK」及輸入至該第二延遲單元 321 的時脈「CLK」應該受到控制，如此其間不具有一時間差。

在此具體實施例中，當資料被傳輸至該多工器 311 並且當該多工器 311 中儲存的資料傳輸至該管路鎖 313，則使用以相同方式產生延遲信號，即是針對每一個延遲單元都使用相同信號輸入及相同電路組態。因此，在資料傳輸至該多工器 311 的時間點與該管路鎖 313 儲存資料的時間點並不重疊。

雖然上面已經說明特定具體實施例，吾人將瞭解所說明的具體實施例僅當範例。因此，此處說明的裝置與方法不應受限於所說明的具體實施例。而是，當與上述說明與附圖結合時，此處說明的裝置與方法應該只受限於底下的申請專利範圍。

【圖式簡單說明】

以下將參閱附圖說明特徵、態樣與具體實施例，其中：

第一 A 圖及第一 B 圖為顯示用於一傳統 SERDES 型半導體記憶體設備中一指令處理程序之一電路圖；

第二圖為顯示根據本發明一具體實施例之讀取操作一控制電路組態圖；

第三圖為顯示第二圖中所示該第一延遲單元之一組態圖；

第四圖為顯示第二圖中所示該第二延遲單元之一組態圖；以及

第五圖為顯示根據本發明其他具體實施例之讀取操作一控制電路組態圖。

【主要元件符號說明】

101	欄位解碼器
103	資料輸入多工器
105	資料輸入多工器
107	寫入驅動器
201	欄位解碼器
203	感應啟用信號產生器
205	輸入/輸出感應放大器
207	全域輸入/輸出線驅動器
209	全域輸入/輸出線驅動器
211	多工器
213	管路鎖
215	第一延遲單元
217	第二延遲單元
301	欄位解碼器
303	感應啟用信號產生器
305	輸入/輸出感應放大器
307	第一全域輸入/輸出線驅動器
309	第二全域輸入/輸出線驅動器
311	多工器
313	管路鎖
315	第一延遲單元
317	第二延遲單元
319	信號分隔單元

- 321 第二延遲單元
- 401 第一延遲器
- 403 鎖
- 405 第二延遲器

七、申請專利範圍：

1. 一種用於一 SERDES (串列器與解串列器) 型半導體記憶體設備一讀取操作之控制電路，包含：
 - 一第一延遲單元，其設置成根據一已接收的感應啟用信號「IOSTB」來產生並輸出一第一延遲信號至一第一全域輸入/輸出線驅動器，並且根據該已接收的感應啟用信號並利用延遲該感應啟用信號與由該第一延遲單元接收之一時脈同步來產生一第二延遲信號，來產生並輸出該第二延遲信號至一第二全域輸入/輸出線驅動器；以及
 - 一第二延遲單元，其設置成產生一管路鎖控制信號來回應該第一延遲信號及該第二延遲信號。
2. 如申請專利範圍第 1 項之一讀取操作之控制電路，其中該第一延遲單元包含：
 - 一第一延遲器，其設置成利用將該感應啟用信號「IOSTB」延遲一預定時間來輸出該第一延遲信號；
 - 一鎖，其設置成將該感應啟用信號位移來與該時脈同步；以及
 - 一第二延遲器，其設置成利用將該鎖之一輸出信號延遲一預定時間來輸出該第二延遲信號。
3. 如申請專利範圍第 2 項之一讀取操作之控制電路，其中該鎖為一正反器，其設置成延遲該感應啟用信號來回應該時脈。
4. 如申請專利範圍第 2 項之一讀取操作之控制電路，其中該第一延遲器及該第二延遲器之延遲量相同。
5. 如申請專利範圍第 1 項之一讀取操作之控制電路，其中該第

二延遲單元包含一邏輯元件，其設置成當該第一延遲信號及該第二延遲信號都輸入該第二延遲單元中並且當該輸入信號其中之一已啟用時輸出一脈衝。

6. 如申請專利範圍第 1 項之一讀取操作之控制電路，進一步包含一信號分隔單元，其設置成根據從該第二延遲單元輸出並且在該信號分隔單元上接收該管路鎖控制信號，來輸出一第一管路鎖控制信號及一第二管路鎖控制信號。
7. 如申請專利範圍第 6 項之一讀取操作之控制電路，其中該信號分隔單元包含一計數器，其設置成接收來自該第二延遲單元之管路鎖控制信號，並計數且輸出來自該第二延遲單元該管路鎖控制信號之脈衝數量。
8. 一種用於一 SERDES（串列器與解串列器）型半導體記憶體設備一讀取操作之控制電路，包含：

一第一延遲單元，其設置成根據一已接收的感應啟用信號「IOSTB」來產生並輸出一第一延遲信號至一第一全域輸入/輸出線驅動器，並且根據利用將該感應啟用信號延遲成與由該第一延遲單元所接收之一時脈同步來接收該感應啟用信號，來產生並輸出一第二延遲信號至一第二全域輸入/輸出線驅動器；以及

一第二延遲單元，其設置成利用接收該感應啟用信號「IOSTB」來產生一第三延遲信號，並將該第三延遲信號當成一第一管路鎖控制信號來輸出，並且利用延遲該已接收的感應啟用信號與該時脈同步，來產生一第四延遲信號並將該第四延遲信號當成一第二管路鎖控制信號來輸出。

9. 如申請專利範圍第 8 項之一讀取操作之控制電路，其中該第一延遲單元包含：

一第一延遲器，其設置成利用將該感應啟用信號「IOSTB」延遲一預定時間來輸出該第一延遲信號；

一鎖，其設置成將該感應啟用信號位移來與該時脈同步；以及

一第二延遲器，其設置成利用將該鎖之一輸出信號延遲一預定時間來輸出該第二延遲信號。

10. 如申請專利範圍第 9 項之一讀取操作之控制電路，其中該鎖為一正反器，其設置成延遲該感應啟用信號來回應該時脈。

11. 如申請專利範圍第 9 項之一讀取操作之控制電路，其中該第一延遲器及該第二延遲器之延遲量相同。

12. 如申請專利範圍第 8 項之一讀取操作之控制電路，其中該第二延遲單元包含：

一第一延遲器，其設置成利用將該感應啟用信號「IOSTB」延遲一預定時間來輸出該第三延遲信號；

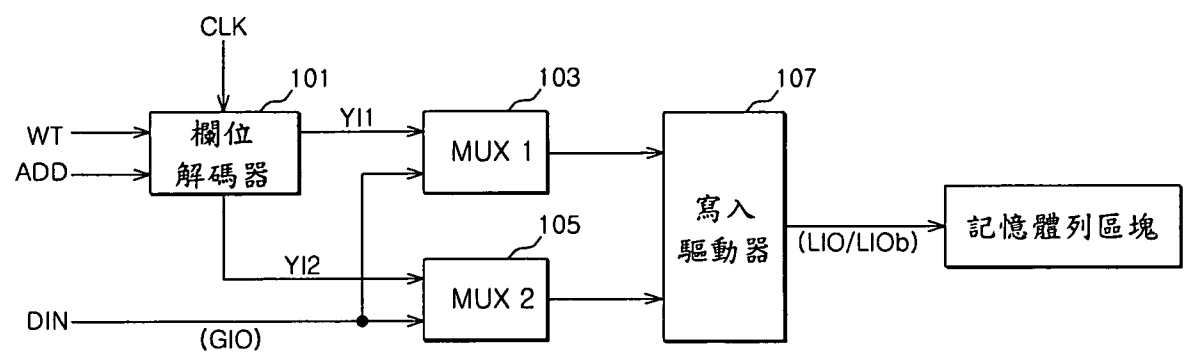
一鎖，其設置成將該感應啟用信號位移來與該時脈同步；以及

一第二延遲器，其設置成利用將該鎖之一輸出信號延遲一預定時間來輸出該第四延遲信號。

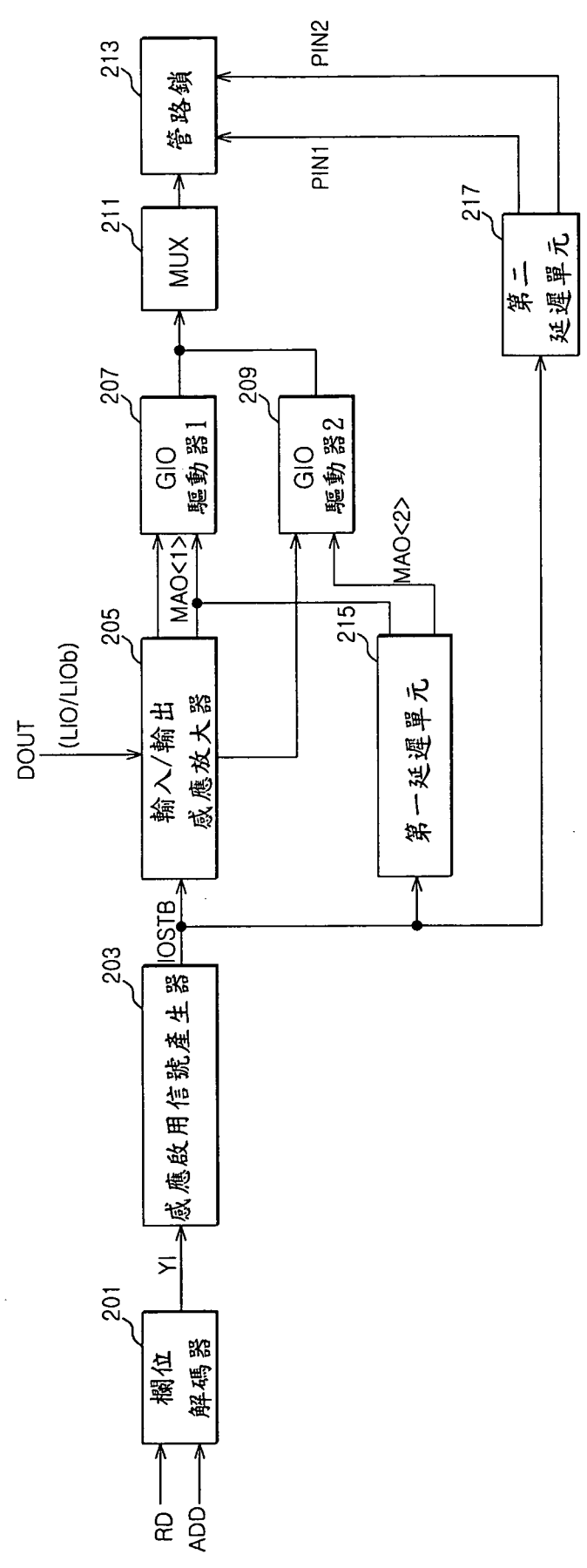
13. 如申請專利範圍第 12 項之一讀取操作之控制電路，其中該鎖為一正反器，其設置成延遲該感應啟用信號來回應該時脈。

14. 如申請專利範圍第 12 項之一讀取操作之控制電路，其中該第一延遲器及該第二延遲器之延遲量相同。
15. 一種用於一 SERDES（串列器與解串列器）型半導體記憶體設備之一讀取操作之控制電路，包含：
- 一第一延遲單元，其輸出一第一延遲信號至一第一輸入/輸出線驅動器，並且輸出與一時脈同步的一第二延遲信號至一第二輸入/輸出線驅動器；以及
 - 一第二延遲單元，其輸出一控制信號來回應該第一延遲信號與該第二延遲信號。
16. 一種用於一 SERDES（串列器與解串列器）型半導體記憶體設備之一讀取操作之控制電路，包含：
- 一第一延遲單元，其輸出一第一延遲信號至一第一線驅動器，並且輸出與一時脈同步的一第二延遲信號至一第二線驅動器；以及
 - 一第二延遲單元，其根據一第三延遲信號來輸出一第一控制信號，並且根據與該時脈同步的一第四延遲信號來輸出一第二控制信號。

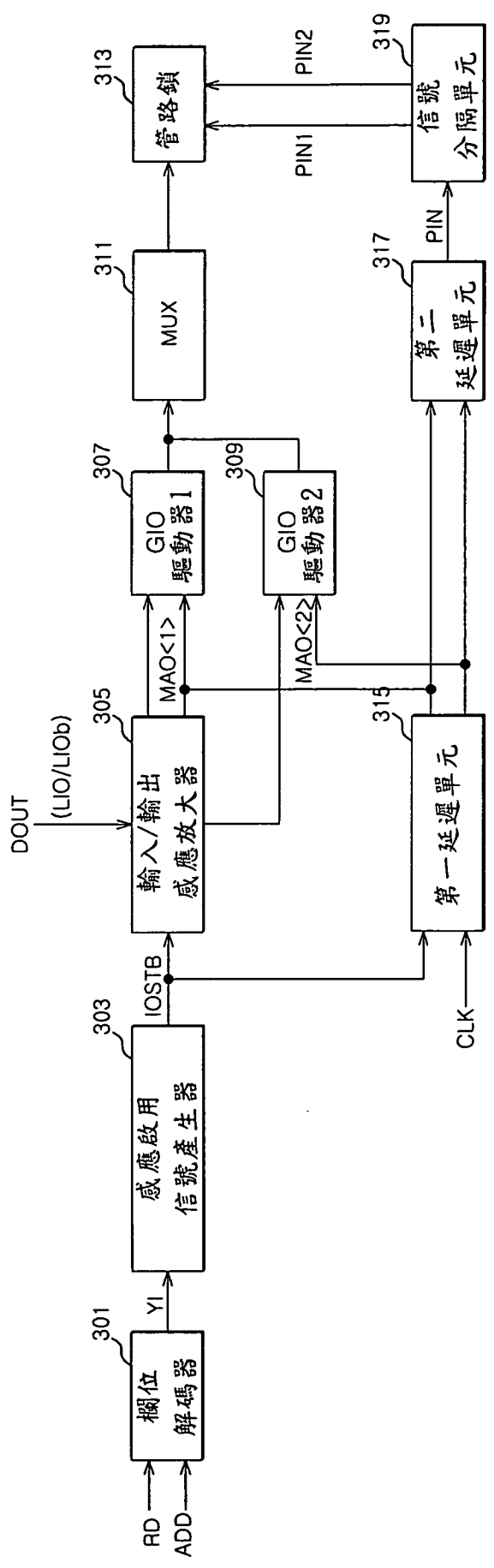
八、圖式：



第一A圖

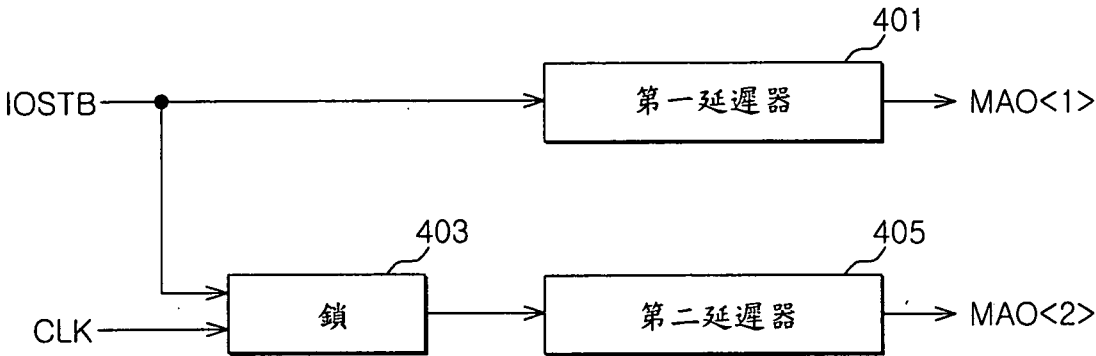


第一B圖



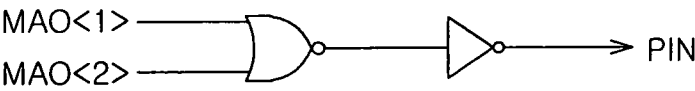
第二圖

315

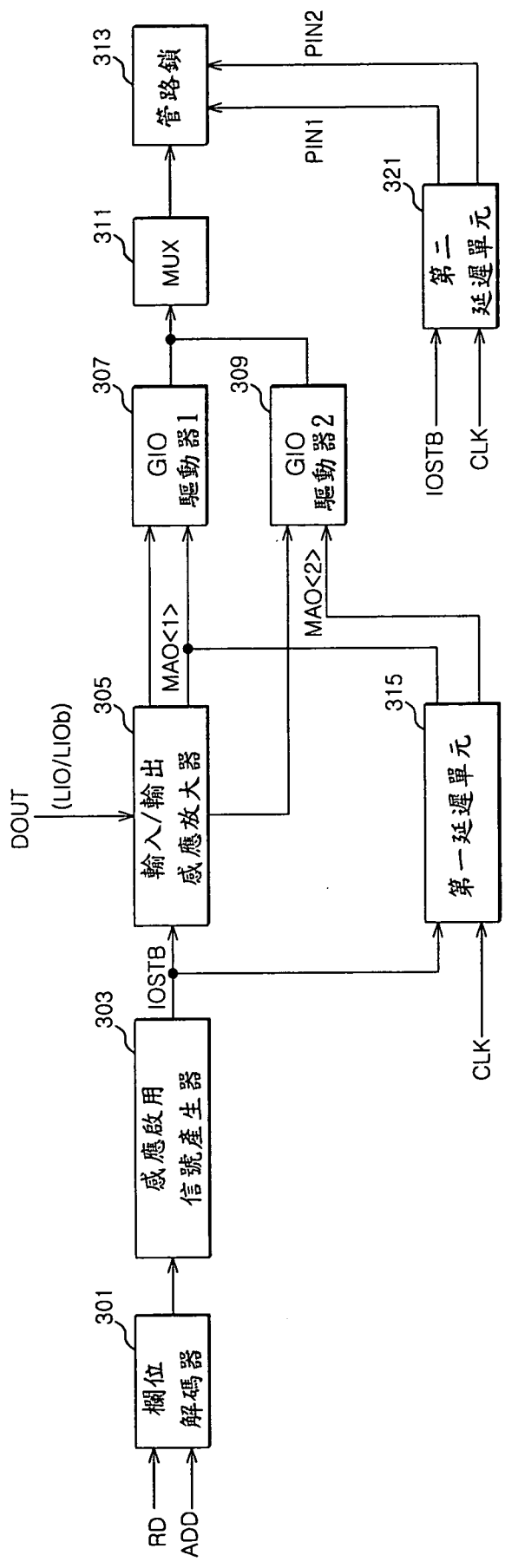


第三圖

317



第四圖



第五圖