(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年 10 月 22 日(22.10.2009)

PCT

(10) 国際公開番号
WO 2009/128337 A1

(51) 国際特許分類:
H01L 21/8234 (2006.01) *H01L 27/04* (2006.01)
H01L 21/336 (2006.01) *H01L 27/08* (2006.01)
H01L 21/768 (2006.01) *H01L 27/088* (2006.01)
H01L 21/82 (2006.01) *H01L 27/11* (2006.01)
H01L 21/822 (2006.01) *H01L 29/78* (2006.01)
H01L 21/8244 (2006.01) *H01L 29/786* (2006.01)
H01L 23/522 (2006.01)

(21) 国際出願番号: PCT/JP2009/056331

(22) 国際出願日: 2009 年 3 月 27 日(27.03.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-107011 2008 年 4 月 16 日(16.04.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目７番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 竹内 潔 (TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目７番１号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂１丁目９番２０号 第１６興和ビル８階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

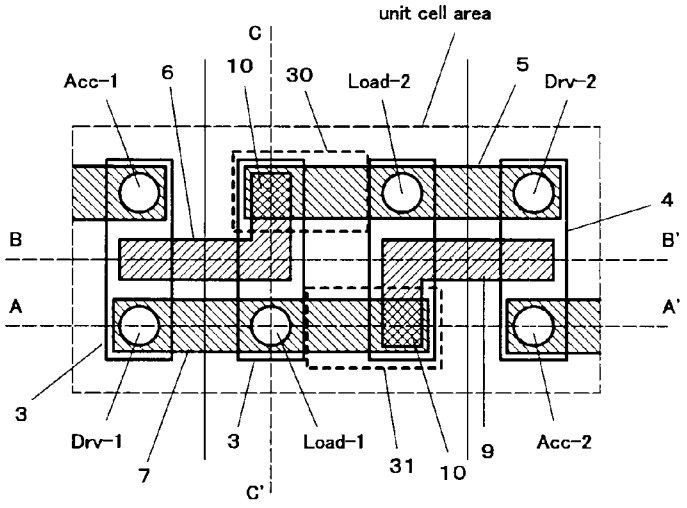
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図11A]



(57) **Abstract**: A first local wiring cable has a convex portion protruding from a base and a protrusion protruding from a side surface of the convex portion. The convex portion of the first local wiring cable is connected to a lower conductive region of a first transistor while the protrusion is connected to a gate electrode of a second transistor. Moreover, the lower surface of the protrusion of the first local wiring cable is arranged at a height not higher than the upper surface of the gate electrode of the second transistor.

(57) 要約: 第１局所配線は、基体部から突出した凸部と、凸部の側面から突出した突出部とを備える。第１局所配線の凸部を、第１のトランジスタの下側導電領域に接続し、突出部を、第２のトランジスタのゲート電極に接続する。また、第１局所配線の突出部の下面を、第２のトランジスタのゲート電極の上面以下の高さに配置する。

WO 2009/128337 A1

NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明 細 書

半導体装置およびその製造方法

技術分野

[0001] 本発明は、特殊な構造の局所配線を有する半導体装置およびその製造方法に関する。

背景技術

[0002] 従来から、MIS型電界効果型トランジスタ(以下、単に「トランジスタ」と記載する場合がある。)を複数、備えた半導体装置が用いられている。この半導体装置においては微細化が要望されており、トランジスタの寸法の微細化により集積度の向上と性能の向上を同時に実現してきた。しかし、近年、微細化が飛躍的に進展し、トランジスタのゲート絶縁膜の膜厚が2nm以下、ゲート長が50nm以下、といったレベルにまで微細化が進んでいる。そこで、単にトランジスタの各部の寸法を小さくすることにより微細化を進めることは、リーク電流の増大、特性ばらつきの増大などの理由により困難になりつつある。また、関連する、基板の表面近傍にチャネル領域が形成されるプレナー型トランジスタはその占有面積が大きいため、微細化に限界があった。

[0003] そこで、これらの課題を解決して半導体装置の微細化を行なう手段として、下部不純物拡散領域、半導体領域、上部不純物拡散領域をこの順に有する、いわゆる、縦型トランジスタを利用する技術が検討されている。関連するプレナー型トランジスタは基板の面方向に平行にチャネル電流が流れる。これに対して、この縦型トランジスタは基板表面に対して垂直方向(上下方向)にチャネル電流が流れるという特徴を有している。また、縦型トランジスタは、プレナー型トランジスタに比べて占有面積を小さくできるという利点を有する。

[0004] 特開平06－069441号公報、特開平07－099311号公報、特開平08－088328号公報、特開平09－232447号公報、特開平10－079482号公報、および特開2003－224211号公報には、縦型トランジスタを備えた半導体装置が開示されている。

[0005] しかしながら、このように縦型トランジスタを用いた場合であっても、リソグラフィー技術、成膜技術上の制約により、下部不純物拡散領域、半導体領域、上部不純物拡

散領域自体の占有面積の微細化には限界があった。このため、複数のトランジスタを備えた半導体装置において更に微細化を進展させるためには、下部不純物拡散領域、半導体領域、上部不純物拡散領域の占有面積の微細化だけでなく、トランジスタ間の電気的な接続に必要な配線部分の占有面積の微細化を図る必要があった。

発明の開示

[0006] ここで、関連するプレナー型トランジスタを備えた半導体装置では、一般的に、アルミや銅など低抵抗の金属からなる配線層をトランジスタの上方に配置している。この理由は、トランジスタの形成工程では高温処理を行なうため、配線層の形成後にトランジスタを形成すると、配線層を構成する低抵抗金属はトランジスタ形成時の高温に耐えられず劣化してしまうためである。このため、トランジスタ形成後に配線層を形成する必要があるためである。このプレナー型トランジスタは、ソースおよびドレイン並びにゲート電極は基板の面方向に対して垂直方向に伸びるコンタクトプラグを介して、上方の配線層と電気的に接続されている。

[0007] これに対して、縦型トランジスタでは、構造上、ソースおよびドレインの何れか一方が下部不純物拡散領域として下部に位置することとなる。このため、下部不純物拡散領域と、トランジスタの上方の配線とをいかに電気的に接続するかという課題が発生する。

[0008] ここで、縦型トランジスタでは、下部不純物拡散領域上にはON状態の時にチャネル領域となる半導体領域、上部不純物拡散領域が形成されている。このため、縦型トランジスタでは、プレナー型トランジスタのように、下部不純物拡散領域の直上にコンタクトプラグを設けて上方の配線層と電気的に接続することはできない。

[0009] そこで、下部不純物拡散領域と配線層とを電気的に接続する一つの方法を図1AおよびBに示す。図1Aは下部不純物拡散領域と配線層の接続部分を表す上面図、図1Bは図1AのA－A'断面図である。図1AおよびBに示されるように、下部不純物拡散領域を基板の面方向に延長させ、この延長部分を、コンタクトプラグを介して上方の配線層と電気的に接続することができる。この方法を用いると、下部不純物拡散領域をコンタクトプラグと電気的に接続させるための余分な面積が必要となる。このため、占有面積が大きくなり、微細化において不利な場合があった。

[0010] また、下部不純物拡散領域と配線層とを電気的に接続する他の方法を図1CおよびDに示す。図1Cは下部不純物拡散領域と配線層の接続部分を表す上面図、図1Dは図1CのA－A'断面図である。図1CおよびDに示すように、他の方法は、配線層を縦型トランジスタの下方に配置することである。上記特開平06－069441号公報、特開平07－099311号公報、特開平08－088328号公報、特開平09－232447号公報、および特開平10－079482号公報には、このように縦型トランジスタの下方に配線層を配置した半導体装置が開示されている。この方法によれば、下部不純物拡散領域を延長させて上方の配線層と電気的接続を行なう必要がなく、微細化の点において有利となる。

[0011] しかしながら、上記のように、この縦型トランジスタの下方に配置させた配線層は縦型トランジスタの形成工程において高温にさらされることとなる。このため、配線層用の材料として高融点金属やシリコンなどの高温でも使用可能な材料を使用する必要があった。また、これらの材料を用いて配線層を形成した場合、アルミや銅の配線層に比べて配線抵抗が大幅に大きくなるという問題があった。

[0012] 更に、縦型トランジスタの下部不純物拡散領域と配線層を電気的に接続する他の方法として、配線層と、縦型トランジスタを有する基板をそれぞれ別途、形成した後、これらの基板を張り合わせるという方法がある。しかしながら、この方法では加工精度が低く、高集積化が困難であったり、製造工程が長くなるという問題があった。

[0013] 本発明は上記課題に鑑みてなされたものであり、縦型トランジスタ間を電気的に接続する配線の占有面積を小さくして、微細化した半導体装置を提供することを目的とする。

[0014] 本発明の一実施形態は、

少なくとも第1および第2のトランジスタ、並びに第1局所配線を備えた半導体装置であって、

第1および第2のトランジスタは、

基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と

、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備え、

第1局所配線は、

基体部表面から突出した凸部と、

前記凸部の側面から突出した突出部と、

を備え、

第1局所配線の凸部は、第1のトランジスタの下側導電領域に接続され、

第1局所配線の突出部は、第2のトランジスタのゲート電極に接続され、

第1局所配線の突出部の下面は、第2のトランジスタのゲート電極の上面以下の高さに配置される、

ことを特徴とする半導体装置に関する。

[0015] また、本発明の他の実施形態は、

少なくとも第1および第2のトランジスタ、並びに第1局所配線を備えた半導体装置の製造方法であって、

(1)基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と

、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備えた第1および第2のトランジスタを形成する工程と、

(2)前記基体部表面から突出した凸部と、

前記凸部の側面から突出した突出部と、

を備え、

前記凸部は、第1のトランジスタの下側導電領域に接続され、

前記突出部は、第2のトランジスタのゲート電極に接続され、

前記突出部の下面は、第2のトランジスタのゲート電極の上面以下の高さに配置される、第1局所配線を形成する工程と、

を有することを特徴とする半導体装置の製造方法に関する。

[0016] 半導体装置を縦型のトランジスタから構成することにより、トランジスタの占有面積を小さくすることができる。また、第1のトランジスタの下側導電領域と、第2のトランジスタのゲート電極とをコンタクトプラグおよび上層配線を介さずに、直接、第1局所配線により電気的に接続している。これにより、縦型トランジスタ間の電気的接続に要する面積を小さくすることができる。また、集積度が高く、製造工程が簡易な半導体装置を提供することができる。

[0017] 更に、第1局所配線の突出部の下面は、第2のトランジスタのゲート電極の上面以下の高さに配置される。このため、その下面の高さがゲート電極の上面よりも高い配線を用いる場合に比べて、高密度化が可能となる。特に、ゲート電極下方の下側導電領域と第1局所配線とを絶縁する必要がある場合を除き、1回のリソグラフィ工程で第1局所配線を形成することができる。また、第1局所配線の高さを低くすることができるため、第1局所配線の使用による上方配線の高さの増大を抑制することができる。

図面の簡単な説明

[0018] [図1A]関連する縦型トランジスタの構造を表す図である。

[図1B]関連する縦型トランジスタの構造を表す図である。

[図1C]関連する縦型トランジスタの構造を表す図である。

[図1D]関連する縦型トランジスタの構造を表す図である。

[図2]本発明の一部を示すインバータを表す図である。

[図3]本発明の一例であるインバータ・チェーンを表す図である。

[図4A]第1実施例の半導体装置を表す図である。

[図4B]第1実施例に関連する半導体装置を表す図である。

[図5]第2実施例の半導体装置を表す図である。

[図6A]第3実施例の半導体装置を表す図である。

[図6B]第3実施例に関連する半導体装置を表す図である。

[図7]第4実施例の半導体装置を表す図である。

[図8]第5実施例の半導体装置を表す図である。

[図9]第6実施例の半導体装置を表す図である。

[図10]本発明の半導体装置であるSRAMのメモリセルの一例を表す回路図である。

[図11A]第7実施例の半導体装置を表す図である。

[図11B]第7実施例の半導体装置を表す図である。

[図12A]第7実施例の半導体装置を表す図である。

[図12B]第7実施例の半導体装置を表す図である。

[図13A]第7実施例の半導体装置の変形例を表す図である。

[図13B]第7実施例の半導体装置の変形例を表す図である。

[図14]第7実施例の半導体装置を表す図である。

[図15A]第7実施例の半導体装置の製造工程の一部を表す図である。

[図15B]第7実施例の半導体装置の製造工程の一部を表す図である。

[図16A]第7実施例の半導体装置の製造工程の一部を表す図である。

[図16B]第7実施例の半導体装置の製造工程の一部を表す図である。

[図17A]第7実施例の半導体装置の製造工程の一部を表す図である。

[図17B]第7実施例の半導体装置の製造工程の一部を表す図である。

[図18A]第7実施例の半導体装置の製造工程の一部を表す図である。

[図18B]第7実施例の半導体装置の製造工程の一部を表す図である。

[図19A]第8実施例の半導体装置を表す図である。

[図19B]第8実施例の半導体装置を表す図である。

[図20A]第8実施例の半導体装置を表す図である。

[図20B]第8実施例の半導体装置を表す図である。

[図21A]第8実施例の半導体装置の製造工程の一部を表す図である。

[図21B]第8実施例の半導体装置の製造工程の一部を表す図である。

[図22A]第8実施例の半導体装置の製造工程の一部を表す図である。

[図22B]第8実施例の半導体装置の製造工程の一部を表す図である。

[図23A]第8実施例の半導体装置の変形例を表す図である。

[図23B]第8実施例の半導体装置の変形例を表す図である。

[図24A]第9実施例の半導体装置を表す図である。

[図24B]第9実施例の半導体装置を表す図である。

[図25A]第9実施例の半導体装置の製造工程の一部を表す図である。

[図25B]第9実施例の半導体装置の製造工程の一部を表す図である。

[図25C]第9実施例の半導体装置の製造工程の一部を表す図である。

[図26A]第9実施例の半導体装置を表す図である。

[図26B]第9実施例の半導体装置を表す図である。

[図27]第10実施例の半導体装置を表す図である。

[図28A]第10実施例の半導体装置を表す図である。

[図28B]第10実施例の半導体装置を表す図である。

[図29A]第10実施例の半導体装置を表す図である。

[図29B]第10実施例の半導体装置を表す図である。

[図30A]第10実施例の半導体装置の変形例を表す図である。

[図30B]第10実施例の半導体装置の変形例を表す図である。

[図31]第11実施例の半導体装置を表す図である。

[図32A]第11実施例の半導体装置を表す図である。

[図32B]第11実施例の半導体装置を表す図である。

[図33]第12実施例の半導体装置を表す図である。

[図34]第7～12実施例のトランジスタの配置を説明する図である。

[図35A]本発明の半導体装置の一例を表す図である。

[図35B]本発明の半導体装置の一例を表す図である。

[図36A]本発明の半導体装置の一例を表す図である。

[図36B]本発明の半導体装置の一例を表す図である。

[図37A]本発明の半導体装置の一例を表す図である。

[図37B]本発明の半導体装置の一例を表す図である。

[図38A]本発明の半導体装置の一例を表す図である。

[図38B]本発明の半導体装置の一例を表す図である。

[図38C]本発明の半導体装置の一例を表す図である。

[図39A]本発明の半導体装置の一例を表す図である。

[図39B]本発明の半導体装置の一例を表す図である。

[図39C]本発明の半導体装置の一例を表す図である。

[図40A]本発明の半導体装置の一例を表す図である。

[図40B]本発明の半導体装置の一例を表す図である。

[図40C]本発明の半導体装置の一例を表す図である。

[図41A]本発明の半導体装置の一例を表す図である。

[図41B]本発明の半導体装置の一例を表す図である。

符号の説明

[0019] Acc－1、Acc－2： アクセス・トランジスタ

Drv－1、Drv－2： ドライバ・トランジスタ

Load－1、Load－2： ロード・トランジスタ

nSD： N型ソースおよびドレイン

pSD： P型ソースおよびドレイン

STI： 素子分離絶縁体

LI： 配線

IC： 配線

BOX： 埋め込み絶縁体

SD1 第1の連結基体部

SD2 第2の連結基体部

Gate ゲート電極

1 第1インバータ

2 第2インバータ

3、4、14 下側導電領域、連結基体部

5 第2の連結ゲート電極

7 第1の連結ゲート電極

6 第1局所配線

8 コンタクトプラグ

9、13 配線

11a、11b 第3インバータ

12 第1のトランジスタ

13 第2のトランジスタ

14 基板

15 ゲート電極の上面

17 基体部表面

18 柱部

19 凸部

20 突出部

21 上側導電領域

22 局所配線の下面

23 局所配線の上面

27 第1導電型半導体領域

28 第2導電型半導体領域

29 シリサイド層

発明を実施するための最良の形態

[0020] 半導体装置は、第1のトランジスタおよび第2のトランジスタと、第1局所配線を有する。この第1および第2のトランジスタは、基体部表面から突出した半導体からなる柱部と、基体部に設けられたソースおよびドレインの一方となる下側導電領域と、柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、柱部の側面上に設けられたゲート電極と、ゲート電極と柱部との間に介在するゲート絶縁膜とを有する電界効果型トランジスタである。この第1および第2のトランジスタは、同一面上に形成されている。

[0021] ここで、「基体部」とは、各トランジスタの下側導電領域の少なくとも一部を含む、基板内の特定の領域を表す。基体部は、各トランジスタごとに単独の領域として設けても、複数のトランジスタで共通となる連結基体部として設けても良い。

[0022] また、第1局所配線は、第1のトランジスタの下側導電領域と第2のトランジスタのゲート電極とを直接、電気的に接続する。この第1局所配線は、基体部から突出した凸部と、凸部の側面から突出した突出部とを備える。この凸部は第1のトランジスタの下側導電領域に接続され、突出部は、第2のトランジスタのゲート電極に接続されている。また、第1局所配線の突出部の下面は、第2のトランジスタのゲート電極の上面以下の高さに配置されている。すなわち、この下面は、突出部が接触するゲート電極の上面の高さから基体部表面までの間の高さに位置する。

[0023] ここで、第1局所配線の「突出部の下面」とは、基体部表面に対向する突出部の面を表す。また、第1局所配線が接続されるゲート電極の「上面」とは、基体部表面と同方向を向く方向、すなわち、基体部表面から上部導電領域等が存在する上方に向かう方向を向いている、ゲート電極の面を表す。第1局所配線の突出部の下面は、第1局所配線が接続されるゲート電極の上面と同じ高さとなるか、または、このゲート電極の上面よりも基体部表面側の高さに位置している(言い換えると、第1局所配線の突出部の下面は、第1局所配線が接続されるゲート電極の上面から基体部表面までの高さに位置している)。

[0024] また、第1局所配線は、(a)トランジスタの下側導電領域とゲート電極を直接、電気的に接続する点、および、(b)突出部は、ゲート電極の上面以下の高さに配置される下面を有する点で、コンタクトプラグおよび上層配線を介して電気的に接続される配線構造とは区別される。以上の定義は、後述する第2局所配線および第3局所配線についても同様である。

[0025] 典型的には、「第1局所配線」、「第2局所配線」および「第3局所配線」と、ゲート電極との電気的な接続が行なわれる境界部分には、段差部分が生じることとなる。このため、この境界部分は、例えば、図4A、5、6A、7～9、11A、19A、23A、23B、24A、24B、27、30A、30B、31および33において、ゲート電極と配線が重なっている部分として表されている(一部の図面には、この重なっている部分を符号10で表している)。

[0026] なお、これらの局所配線の上面はゲート電極の上面と同じ高さであっても、異なる高さであっても良い。また、「第1局所配線」、「第2局所配線」および「第3局所配線」

の突出部は、1つの下面を有していても、互いに高さの異なる2以上の下面を有していても良い。なお、異なる高さの複数のゲート電極の上面が存在する場合もあり得る。突出部に高さの異なる複数の下面が存在し、ゲート電極に高さの異なる複数の上面が存在する場合、「突出部の下面は、ゲート電極の上面以下の高さに配置される」とは、突出部の少なくとも一つの下面は、ゲート電極の少なくとも一つの上面以下の高さに配置されていることを表わす。好ましくは、突出部の全ての下面は、ゲート電極の最も基体部表面側に位置する上面(基体部表面までの距離が最も短い上面)以下の高さに配置されているのが良い。

[0027] 「下側導電領域」および「上側導電領域」は、各トランジスタのソースおよびドレインを構成する。下側導電領域がソース、上側導電領域がドレインであっても良く、上側導電領域がソース、下側導電領域がドレインであっても良い。また、下側導電領域は半導体または導電性の領域である。典型的には下側導電領域は不純物を含有させた半導体から構成される。なお、下側導電領域の全体が金属材料(金属材料とは、一般に温度が高いほど抵抗が大きくなる材料である)から構成されていても良い。なお、トランジスタの下側導電領域の全体を金属とすることにより、該トランジスタはいわゆる金属ソースおよびドレインを備えたトランジスタとなる。この場合、良好なトランジスタ特性を実現するため、下側導電領域をなす金属の仕事関数は、n型のトランジスタにおいては半導体の伝導帯下端、p型のトランジスタにおいては半導体の価電子帯上端のそれぞれ近傍に位置する材料を選択する必要がある。

[0028] 半導体装置は、第1のトランジスタの下側導電領域と第2のトランジスタのゲート電極間をコンタクトプラグおよび上層配線により接続する場合と比べて、電気的な接続部分の占有面積を小さくすることができる。また、第1局所配線の下面は、突出部が接触するゲート電極の上面の高さから基体部表面までの間の高さに位置する。このため、その下面がゲート電極の上面より高い配線を用いる場合に比べて、高密度化が可能である。特にゲート電極下方の下側導電領域と第1局所配線とを絶縁する必要がある場合を除き、1回のリソグラフィ工程で第1局所配線を形成することができる。また、第1局所配線の高さを低くすることができるため、第1局所配線の使用による上方配線の高さの増大を抑制することができる。

[0029] 図35～37、39、及び40に本発明の半導体装置の一例を示す。なお、図35Aは、半導体装置の上面図、図35B、36A、36B、37A、37Bは、図35Aの半導体装置の点線で囲まれた部分のA－A'断面図である。

[0030] 図35Aに示されるように、この半導体装置は、第1のトランジスタ12、第2のトランジスタ13を有する。この第1のトランジスタ12の下側導電領域3は、第1局所配線6によって、第2のトランジスタ13のゲート電極5と電気的に接続されている。

[0031] また、図35Bに示されるように、第1および第2のトランジスタは、基体部表面17から突出した半導体からなる柱部18を有する。第2のトランジスタ13のゲート電極5は、第2のトランジスタ13の基体部表面17と同じ方向を向く上面15を有する。また、第1局所配線6は、第1トランジスタの下側導電領域3に接触する凸部19と、凸部19の側面から突出して第2のトランジスタのゲート電極5と接触する突出部20（図35B中の点線で囲まれた部分）とを有する。

[0032] また、この突出部20は、基体部表面17に対向する下面を有する。この下面は、図35B中では、ゲート電極5の上面と接触して、上面と同一の高さの面となっている。また、ゲート電極5の側面は凸部19の側面と接触している。図35Bに例示されるように、第1局所配線の突出部20の下面は、突出部が接触するゲート電極5の上面15以下の高さに配置している。すなわち、突出部20の下面は、ゲート電極5の上面15の高さから基体部表面17までの間の高さに位置している。この下面は1つでも、複数、存在しても良い。

[0033] 以下、第1局所配線と第2のトランジスタのゲート電極が電気的に接続する別の態様を図36、37、39及び40に示す。なお、以下の図面では、各部の説明は省略する。

図36Aは、第1局所配線の凸部19の側面がゲート電極5の側面と接触しておらず、第1局所配線の下面22のみがゲート電極5の上面15に接触する半導体装置を表している。この半導体装置では、下面22はゲート電極5の上面15と同じ高さとなっている。

[0034] 図36Bは、第1局所配線の凸部19の側面および突出部20の下面22がゲート電極5と接触するが、突出部20の下面22は、ゲート電極5の上面15よりも低い基体部表

面17側の高さに位置する半導体装置を表している。

[0035] 図37Aは、第1局所配線の突出部20が2つの下面22を有し、そのうちの一つの下面22がゲート電極5の上面15と接触する半導体装置を表している。この半導体装置では、下面22の一方はゲート電極5の上面15と同じ高さとなっている。下面22の他方はゲート電極5の上面15よりも低く、基体部表面17側に位置している。

[0036] 図37Bは、第1局所配線の凸部19の側面および突出部20の下面22がゲート電極5と接触するが、第1局所配線は全ての部分が、ゲート電極5の上面15よりも低く基体部表面17側に存在する半導体装置を表している。この半導体装置では、下面22はゲート電極5の上面15よりも低い基体部表面17側に配置されている。また、第1局所配線の上面23も、ゲート電極5の上面15より低い基体部表面17側に配置されている。

[0037] 図39は、本発明の半導体装置の別の一例を表す図である。図39Aは、この半導体装置の上面図、図39B及び39Cはそれぞれ図39Aの半導体装置のA－A'断面図、B－B'断面図を表す。図39の半導体装置では、第1局所配線とゲート電極との接触部は部分的重なりをなしている。すなわち、第1局所配線はゲート電極と基体部直上とは異なる位置で接触し、第1局所配線は1回のリソグラフィ工程で形成されている。なお、図39Bの断面図において、左側の基体部に接続するコンタクトプラグと、右側の基体部に属するトランジスタの柱部は省略している。図39に示すとおり、本例においては、ゲート電極と第1局所配線が上方から見て重なっている領域が突出部に相当する(図39A及びB中の20)。この突出部は、ゲート電極と第1局所配線の重なり方によって規定されている。このように突出部は必ずしも一方向にのみ突出するものでなくても良い。

[0038] 図40は、本発明の半導体装置の別の一例を表す図である。図40Aは、この半導体装置の上面図、図40B及び40Cはそれぞれ図40Aの半導体装置のA－A'断面図、B－B'断面図を表す。第1局所配線はゲート電極と基体部直上の位置で接触しており、第1局所配線とゲート電極直下の基体部とを離間させるために第1局所配線は2回のリソグラフィ工程で形成されている。なお、図40の断面図において、左側の基体部に接続するコンタクトプラグと、右側の基体部に属するトランジスタの柱部は省略

している。図40に示すとおり、本例においては、上方から見て、概ね右側の基体部と局所配線が重なっている領域が突出部に相当する(図40A及びB中の20)。この領域は2回のリソグラフィ工程のうちの一方によって規定されている。なお、図40Bでは、柱部は省略している。

[0039] この第1および第2のトランジスタは、n型のトランジスタであってもp型のトランジスタであっても良い。また、第1および第2のトランジスタは、同一の導電型のトランジスタであっても、異なる導電型のトランジスタであっても良い。

[0040] また、上記説明では、第1局所配線の凸部、突出部、下面等について説明したが、第2および第3局所配線を有する半導体装置では、第2および第3局所配線も第1局所配線と同様に凸部、突出部、下面を有する。また、第2および第3局所配線の突出部の下面は、該突出部が接続されるゲート電極の上面以下の高さに配置される。更に、第2および第3局所配線は、第1局所配線と同様の効果を有することができる。

次に、本発明の実施形態について図面を参照して詳細に説明する。

[0041] 1. インバータ・チェーン

本発明の一実施形態は、インバータ・チェーンに関するものである。このインバータ・チェーンは、図2に示すインバータを、図3のように複数、連ねたものであり、バッファや遅延素子として用いることができる。このインバータ・チェーンにおいては、各インバータは、p型の縦型トランジスタとn型の縦型トランジスタとから構成されている。このように縦型トランジスタからインバータを構成することによって、プレナー型トランジスタを使用した場合と比べて、トランジスタの占有面積を小さくすることができる。この結果、微細化を行なうことができる。

[0042] 各縦型トランジスタは、柱部と、基体部に設けられたソースおよびドレインの一方となる下側導電領域と、柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、柱部の側面上に設けられたゲート電極と、ゲート電極と柱部との間に介在するゲート絶縁膜とを有する電界効果型トランジスタである。各インバータを構成する縦型トランジスタのゲート電極は、共通化され一体的に形成されて連結ゲート電極となっている。このように各ゲート電極を一体化して連結ゲート電極とすることにより、高密度化を図ることができる。

[0043] このインバータ・チェーンにおいて、第1および第3のトランジスタの下側導電領域と、第2の連結ゲート電極は、第1局所配線によって電気的に接続されている。この第1局所配線の突出部の下面は、第2の連結ゲート電極の上面以下の高さに配置されている。

[0044] また、3つのインバータを備えたインバータ・チェーンにおいては、第2および第4のトランジスタの下側導電領域と、第3の連結ゲート電極は、第2局所配線によって電気的に接続されている。この第2局所配線の突出部の下面は、第3の連結ゲート電極の上面以下の高さに配置されている。

[0045] この第1～第6のトランジスタは、同一面上に形成されている。下側導電領域はソースおよびドレインのうち何れの領域であっても良い。また、上側導電領域は、下側導電領域とは異なる領域であれば、ソースおよびドレインのうち何れの領域であっても良い。

[0046] ゲート絶縁膜の構成材料は特に限定されるわけではなく、例えば、シリコン酸化膜(SiO_2)、シリコン窒化膜(Si_3N_4)、シリコンオキシナイトライド膜やこれらの膜の積層体、ハフニウム(Hf)を含んだ酸化物等を挙げることができる。また、ゲート絶縁膜としてはこの他に例えば、金属酸化物、金属シリケート、金属酸化物または金属シリケートに窒素が導入された高誘電率絶縁膜などを用いることができる。

[0047] なお、「高誘電率絶縁膜」とは半導体装置においてゲート絶縁膜として広く利用されているSiO_2よりも比誘電率(SiO_2の場合は約3．6)が大きな絶縁膜のことを表す。典型的には、高誘電率絶縁膜の比誘電率としては十～数千のものを挙げることができる。高誘電率絶縁膜としては例えば、HfSiO, HfSiON, HfZrSiO, HfZrSiON, ZrSiO, ZrSiON, HfAlO, HfAlON, HfZrAlO, HfZrAlON, ZrAlO, ZrAlONなどを用いることができる。

[0048] また、ゲート電極としては、例えば、導電性ポリシリコン、金属、シリサイドやこれらの積層体等から構成することができる。導電性ポリシリコンは例えば、ポリシリコン中に不純物を含有させることによって得ることができる。この際、不純物の濃度は、1.0×10^{20}～$1.0\times10^{21}/cm^3$の範囲であることが好ましい。また、この不純物としては、例えば、リン、ヒ素、ボロン等を挙げることができる。

[0049] また、ゲート電極の材料としては、同一の金属材料を用いることが好ましい。このようにゲート電極を同一の金属材料とすることにより、容易に製造することができる。この金属材料としては、通常は、半導体の禁制帯の中央付近の仕事関数を有するものを選択することが好ましい。しかし、場合によっては、ゲート電極の仕事関数を微調整するため、同一のインバータを構成するn型の縦型トランジスタ用ゲート電極と、p型の縦型トランジスタ用ゲート電極とで異なる材料を用いても良い。

[0050] また、ゲート電極の材料としては、シリサイドを用いることもできる。このシリサイドとしては具体的には、NiSi, Ni_2Si, Ni_3Si, $NiSi_2$, WSi, $TiSi_2$, VSi_2, $CrSi_2$, $ZrSi_2$, $NbSi_2$, $MoSi_2$, $TaSi_2$, CoSi, $CoSi_2$, PtSi, Pt_2Si, Pd_2Siなどを挙げることができる。

[0051] 本実施形態では、一方のインバータを構成するn型およびp型のトランジスタの下側導電領域と、他方のインバータを構成する連結ゲート電極を局所配線により電気的に接続している限り、n型およびp型のトランジスタはそれぞれ様々な配置を取ることができる。以下に、実施例を挙げて各トランジスタの具体的な配置および各インバータ間を電気的に接続する配線構造について説明する。なお、以下の実施例は本発明の理解を容易にするために提示するものであり、本発明は以下の実施例に限定されるわけではない。

[0052] (第1実施例)

図4Aは、本実施例における、第1インバータ1と第2インバータ2とから構成される、2段インバータ・チェーンを表す上面図である。第1インバータ1は、第1のn型のトランジスタ(nFET)(第1のトランジスタに相当する)、第1のp型のトランジスタ(pFET)(第3のトランジスタに相当する)から構成されている。また、第2インバータ2は、第2のn型のトランジスタ(nFET)(第2のトランジスタに相当する)、第2のp型のトランジスタ(pFET)(第4のトランジスタに相当する)から構成されている。

[0053] この第1のn型のトランジスタおよび第1のp型のトランジスタのゲート電極は連結されており、第1の連結ゲート電極を構成する。また、第2のn型のトランジスタおよび第2のp型のトランジスタのゲート電極は連結されており、第2の連結ゲート電極を構成する。また、第1のn型のトランジスタから第1のp型のトランジスタに向かう方向と、第2

のn型のトランジスタから第2のp型のトランジスタに向かう方向とは互いに平行となっている。

[0054] 第1実施例では、第1インバータ1を構成するn型のトランジスタ(nFET)の下側導電領域3と、p型のトランジスタ(pFET)の下側導電領域3とは、互いに離間されており、隣接していない。また、第1インバータを構成するn型のトランジスタの下側導電領域3と、p型のトランジスタの下側導電領域3と、第2の連結ゲート電極5は、第1局所配線6を介して電気的に接続されている。

[0055] 第1局所配線6と第2の連結ゲート電極5は、図4A中の第1局所配線の突出部とゲート電極5の延長部(ゲート電極が下側導電領域の上方以外の領域まで延在した部分)が重なった部分10で電気的に接続されている。この第1局所配線の突出部の下面は、基体部表面に対向すると共に、第2の連結ゲート電極の上面以下の高さに配置されている。すなわち、第1局所配線の突出部の下面は、第2の連結ゲート電極5の上面の高さから基体部表面までの間の高さに位置している。

[0056] なお、図4Aにおいて、四角形はコンタクト穴の位置を表し、トランジスタの上側導電領域に電気的に接続されるコンタクトプラグは図示せず、「●」によって電気的な接続があることのみを示している。第1の連結ゲート電極7、各トランジスタの上側導電領域8は、コンタクトプラグを介して外部配線と電気的に接続されている。また、第2インバータのn型およびp型のトランジスタの下側導電領域4は、配線21およびコンタクトプラグを介して外部配線と電気的に接続されている。

[0057] 図4Aの破線で囲まれた本実施例のインバータ・チェーンの占有面積は、理想的な場合には$30F^2$となる。これに対して、図4Bは、図4Aと同様のインバータ間の電気的接続を、第1局所配線を用いず通常のコンタクトプラグと上層配線とで実現した例を表す図である。この配置の占有面積は、理想的な場合には$44F^2$となる。

[0058] 図4Bにおいては、上層配線と接続される全てのコンタクト孔(四角形と●の位置に存在する)を同時に形成するため、コンタクト孔どうしを最小幅Fだけ離間させている。一方、図4Aにおいては、第1局所配線6を上方配線とは別の工程により形成するため、第1局所配線を通常のコンタクト孔に対してぎりぎりまで近づけることができる。具体的には、位置合わせずれによる短絡が起こらないだけの余裕分の距離Δ(通常F

の数分の1である)まで近づけることができる。このため占有面積を削減することができる。なお、上記の理想的な場合とは、Δをゼロとした場合である。

[0059] また、図4Bのような関連する配線構造は、コンタクト孔と配線を別々のリソグラフィ工程によって形成する。一方、本実施例においては、第1局所配線を1回のリソグラフィ工程によって形成することができるため、配線の形成工程数を最小限に留めることができる。第1局所配線を1回のリソグラフィ工程で形成し、かつゲート電極との接触を確保するために、第1局所配線6の突出部の下面は、連結ゲート電極5の上面以下の高さに位置している。第1局所配線は、連結ゲート電極5の側面の少なくとも一部と接触する構造とするのが、接触抵抗を低減するために望ましい。また、この利点を得るために、第1局所配線は連結ゲート電極5の上方を、連結ゲート電極5と接触せずに交差する配線には適用しないようにする。

[0060] 更に、このような第1局所配線を縦型トランジスタに適用することにより得られる他の効果として、配線高さの低減を挙げることができる。縦型トランジスタではチャネル領域が垂直方向に伸びるため、下側導電領域から上方の配線に至る距離が通常のプレナー型トランジスタに比べて長いものとなりやすい。図12Bより分かるように、第1局所配線は上側導電領域より下側に埋設される形態となるため、第1局所配線の使用による上方配線の高さの増大(上方配線は局所配線からある距離だけ離間される必要がある)を、プレナー型トランジスタの場合に比べて抑制することができる。

[0061] 本実施例における局所配線は、インバータの出力を次段インバータの入力に接続する機能に加えて、互いに離間されたn型のトランジスタの下側導電領域とp型のトランジスタの下側導電領域とを電気的に接続する機能を果たしている。すなわち、面積の増大を防ぎつつ、2つの機能を同時に実現している。

(第2実施例)

図5は、第1インバータ1、第2インバータ2、および2つの第3インバータ11a、11bとから構成される、4段インバータ・チェーンを表す上面図である。第3インバータ11a、11bは、それぞれ第3のn型のトランジスタ(nFET)(第5のトランジスタに相当する)、第3のp型のトランジスタ(pFET)(第6のトランジスタに相当する)から構成されている。この第5および第6のトランジスタの柱部、上側導電領域、下側導電領域、ゲート電

極およびゲート絶縁膜は、第1～第4のトランジスタと同様の構造となっている。この第3のn型のトランジスタおよび第3のp型のトランジスタのゲート電極は連結されており、第3の連結ゲート電極を構成する。

[0062] 第1実施例では、第2インバータ2を構成するn型およびp型のトランジスタの下側導電領域4を電気的に接続する配線21（この配線21は、第1の局所配線と同時に形成することができる）がコンタクトプラグを介して外部配線に電気的に接続されていた。しかし、本実施例では、第2局所配線9により、n型およびp型のトランジスタの下側導電領域4が、更に第3インバータ11aを構成する第3の連結ゲート電極12と電気的に接続されている点が、第1実施例とは異なる。また、同様にして、第3インバータ11aと第3インバータ11bとが第2局所配線9を介して電気的に接続されている。この第2局所配線9は、第1局所配線6と同様、凸部と突出部を有する。また、突出部の下面は、第3の連結ゲート電極の上面以下の高さに配置されている。すなわち、突出部の下面は、基体部表面に対向すると共に、ゲート電極5の上面の高さから基体部表面までの間の高さに位置している。更に、第3インバータ11bを構成するn型およびp型のトランジスタの下側導電領域14は、配線13およびコンタクトプラグを介して外部配線と電気的に接続されている。

[0063] （第3実施例）

図6Aは、第1実施例とはトランジスタの配置が異なる2段インバータ・チェーンを示す上面図である。本実施例では、第1インバータ1を構成する第1のn型のトランジスタ（nFET）の下側導電領域と、第1のp型のトランジスタ（pFET）の下側導電領域とが連結して一体的に形成され、第1の連結基体部3を構成している。そして、これらの下側導電領域は、下側導電領域上に、サリサイド技術により設けられたシリサイド層により電気的に接続されている。同様にして、第2インバータ2を構成する第2のn型のトランジスタ（nFET）の下側導電領域と、第2のp型のトランジスタ（pFET）の下側導電領域とが連結して一体的に形成され、第2の連結基体部4を構成している。これらの下側導電領域は、下側導電領域上に、サリサイド技術により設けられたシリサイド層により電気的に接続されている。

[0064] 以下に、図41を用いて連結基体部の構造を詳細に説明する。図41A，Bは、それ

ぞれ図6Aの半導体装置のB－B方向、A－A'方向の断面を表す図である。図41に示されるように、第1の連結基体部3は、第1導電型半導体領域27と、第1導電型半導体領域27に接合する第2導電型半導体領域28とを備えている。なお、この第1及び第2導電型半導体領域27および28は、上方（基体表面の法線方向）から見た場合に、2次元的な面状の領域を構成している。第1導電型半導体領域27には第1のn型トランジスタの柱部が設けられている。また、第2導電型半導体領域28には第1のp型トランジスタの柱部が設けられている。更に、第1の連結基体部の第1導電型半導体領域27と第2導電型半導体領域28の境界を含む領域上に、金属含有導電層であるシリサイド層29が設けられ、第1および第2導電性半導体領域間を電気的に接続している。すなわち、第1導電型半導体領域27におけるn型半導体領域と、第2導電型半導体領域28におけるp型半導体領域と、がシリサイド層29を介して電気的に接続される。この場合、シリサイド層29が無いと、n型半導体領域とp型半導体領域との接合はpnダイオードをなして整流特性を示し、電気的に接続されない。

[0065] 本実施例では、上記第1の連結基体部と同様にして、第2の連結基体部は、第1導電型半導体領域、第2導電型半導体領域およびシリサイド層を備え、第1および第2導電型半導体領域間は電気的に接続されている。このようにn型およびp型の下側導電領域どうしを連結・一体化させた第1の連結基体部とすることで、さらに面積の縮小が可能となる。

[0066] なお、n型およびp型のトランジスタの下側導電領域3の接続手段はシリサイド層に限定されるわけではない。例えば、下側導電領域3をそれぞれ金属材料から構成することにより、隣接する下側導電領域3間を電気的に接続することができる。

[0067] 本実施例では、第1の連結基体部3は、第1のn型トランジスタおよび第1のp型トランジスタの一方から他方へ向かう方向に延在する第1の基体延在部23を有する。そして、第1局所配線6の凸部は、この第1の基体延在部23に接続されている。

[0068] また、第1局所配線6と連結ゲート電極5の接続部分は、図6A中では、第1局所配線と連結ゲート電極が重なった部分10で表されている。このように本実施例では、第1局所配線の突出部は、第2の連結ゲート電極と、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間で接続され、且つ第1局所配線は、第2の連結基体

部とは離間して絶縁されている。なお、図6A中の矢印の部分では、後述する図24Bと同様に、第1局所配線6が、第2の連結基体部4の上方で連結ゲート電極5に接続され、第2の連結基体部4とは離間して絶縁されていることを示している。このような局所配線の利用による効果は後に説明する第9実施例と同様である。

[0069] なお、対称性の観点からは、第1局所配線の突出部は、第2の連結ゲート電極と、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間の中間点で接続されることが好ましい。これにより局所配線と各トランジスタとの距離が等しくなり、製造上の位置合わせずれによる局所配線とトランジスタとの短絡不良発生の可能性を最小とすることができる。

[0070] 図6Aの破線で囲まれた本実施例のインバータ・チェーンの占有面積は、理想的な場合には$26F^2$となる。これに対して、図6Bは、図6Aと同様のインバータ間の電気的接続を、第1局所配線を用いず、通常のコンタクトプラグと上層配線とで実現した例を表す図である。この配置の占有面積は、理想的な場合には$32F^2$となる。このように、本実施例では、各インバータを縦型トランジスタで構成し、第1インバータと第2インバータ間を特別な配線構造で電気的に接続することで、微細化が可能なことが分かる。

[0071] (第4実施例)

図7は、第1インバータ1、第2インバータ2、および2つの第3インバータ1a、11bとから構成される、4段インバータ・チェーンを表す上面図である。本実施例では、第3インバータ11a、11bを構成する第3のn型のトランジスタ(nFET)の下側導電領域3と、第3のp型のトランジスタ(pFET)の下側導電領域3とが連結して一体的に形成され、第3の連結基体部を構成している。

[0072] 第3実施例では、第2の連結基体部4が外部配線に電気的に接続されていた。しかし、本実施例では、第2の連結基体部4が、第2局所配線9により、第3インバータ11aの連結ゲート電極12と電気的に接続されている点が、第3実施例とは異なる。同様にして、第3インバータ11aの連結基体部14と、第3インバータ11bの連結ゲート電極12とが第2局所配線9を介して電気的に接続されている。また、第3インバータ11bの連結基体部14がコンタクトプラグを介して外部配線と電気的に接続されている。

[0073] 本実施例では、第2の連結基体部4は、第1の連結基体部3の延在方向と反対方向

に延在する第2の基体延在部24を備えている。同様にして、第3インバータ11aの第3の連結基体部14は、第2の連結基体部4の延在方向と反対方向に延在する基体延在部25を備えている。また、第3インバータ11bの第3の連結基体部14は、第3インバータ11aの第3の連結基体部4の延在方向と反対方向に延在する基体延在部25を備えている。このように隣り合うインバータの基体延在部を、互いに反対方向に延在するように設けることによって、インバータの占有面積を小さくすることができる。

[0074] なお、対称性の観点からは、第1局所配線の突出部は、第2の連結ゲート電極と、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間で接続されることが好ましい。また、第2局所配線の突出部は、第3の連結ゲート電極と、第3のn型トランジスタの柱部と第3のp型トランジスタの柱部との間の中間点で接続されることが好ましい。これにより局所配線と各トランジスタとの距離が等しくなり、製造上の位置合わせずれによる局所配線とトランジスタとの短絡不良発生の可能性を最小とすることができる。

[0075] （第5実施例）

図8は、第3実施例とはトランジスタの配置が異なる2段インバータ・チェーンを示す上面図である。本実施例では、第1インバータ1を構成する第1のn型のトランジスタ（nFET）の下側導電領域と、第1のp型のトランジスタ（pFET）の下側導電領域とが連結して一体的に形成され、第1の連結基体部3を構成している。そして、これらの下側導電領域は、図41に示したように下側導電領域上にサリサイド技術により設けられたシリサイド層により電気的に接続されているか、または、下側導電領域を金属材料から構成することにより電気的に接続されている。

[0076] 第1の連結基体部3は、第1のn型トランジスタおよび第1のp型トランジスタの一方から他方へ向かう方向に延在する第1の基体延在部23を有する。そして、第1局所配線の凸部は、この第1の基体延在部23に接続されている。また、第2の連結ゲート電極5は、その連結方向に延長される第1のゲート延長部（ゲート電極5が第2の連結基体部4の上方以外の領域まで延在した部分）を備え、第1局所配線の突出部は、第1のゲート延長部に接続されている。なお、第1局所配線6と連結ゲート電極5の接続部分は、図8中では、第1局所配線とゲート延長部が重なった部分10で表される。

[0077] 図8の破線で囲まれた本実施例のインバータ・チェーンの占有面積は、理想的な場合には$26F^2$となる。このように、本実施例では、各インバータを縦型トランジスタで構成し、第1インバータと第2インバータ間を特別な配線構造で電気的に接続することで、微細化が可能なことが分かる。

[0078] (第6実施例)

図9は、第3実施例とはトランジスタの配置が異なる2段インバータ・チェーンを示す上面図である。本実施例では、第1インバータ1を構成する第1のn型のトランジスタ(nFET)の下側導電領域と、第1のp型のトランジスタ(pFET)の下側導電領域とが連結して一体的に形成され、第1の連結基体部3を構成している。そして、これらの下側導電領域は、第5実施例と同様に電気的に接続されている。また、第1の連結基体部3は、第1局所配線6によって、第2の連結ゲート電極5と電気的に接続されている。なお、第1局所配線6と連結ゲート電極5の接続部分は、図9中では、第1局所配線と連結ゲート電極が重なった部分10で表される。また、第1局所配線6は、第2の連結基体部4とは離間して電気的に絶縁されている。このような局所配線の利用による効果は後に説明する第9実施例と同様である。

[0079] 図9の破線で囲まれた本実施例のインバータ・チェーンの占有面積は、理想的な場合には$28F^2$となる。このように、本実施例では、各インバータを縦型トランジスタで構成し、第1インバータと第2インバータ間を特別な配線構造で電気的に接続することで、微細化が可能なことが分かる。

[0080] 上記第1～第6実施例で表されるように、本実施形態のインバータ・チェーンは2以上のインバータを有している。この半導体装置を構成するインバータの数は、少なくとも第1および第2インバータの2以上であれば特に限定されない。すなわち、インバータ・チェーンは、第1および第2インバータ以外にも1以上の第3インバータを有して3以上のインバータから構成されていても良い。

[0081] また、上記第1～第6実施例に例示したように、複数のインバータ間の電気的接続は、典型的には、以下の通りとなる。すなわち、一つのインバータを構成する連結ゲート電極がコンタクトプラグを介して外部配線に電気的に接続されている。また、他の一つのインバータを構成するn型およびp型のトランジスタの下側導電領域は、コンタ

クトプラグを介して外部配線に電気的に接続されている。更に、上記他の一つのインバータ以外のインバータを構成するn型およびp型のトランジスタの下側導電領域は、コンタクトプラグおよび外部配線を用いずに、第1、第2局所配線を介して直接、隣のインバータを構成する連結ゲート電極に電気的に接続されている。このため、インバータ間を接続する配線部分の占有面積を小さくして微細化を行なうことができる。また、各インバータを構成するトランジスタの上側導電領域は、コンタクトプラグを介して外部配線に電気的に接続されている。

[0082] なお、上記第1～第6実施例では、便宜上、第1のn型のトランジスタを第1のトランジスタ、第1のp型のトランジスタを第3のトランジスタとした。しかし、第1および第3のトランジスタはそれぞれ、n型およびp型のトランジスタに限定されるわけではなく、第1のn型のトランジスタを第3のトランジスタ、第1のp型のトランジスタを第1のトランジスタとしても良い。

[0083] 同様にして、第2および第4のトランジスタはそれぞれ、n型およびp型のトランジスタに限定されるわけではなく、第2のn型のトランジスタを第4のトランジスタ、第2のp型のトランジスタを第2のトランジスタとしても良い。また、第5および第6のトランジスタはそれぞれ、n型およびp型のトランジスタに限定されるわけではなく、第3のn型のトランジスタを第6のトランジスタ、第3のp型のトランジスタを第5のトランジスタとしても良い。

[0084] なお、第5および第6のトランジスタの下側導電領域、上側導電領域、ゲート電極およびゲート絶縁膜の材料としては、第1～第4のトランジスタと同様のものを用いることができる。

[0085] 第1および第2実施例においては、n型トランジスタとp型トランジスタの下側導電領域どうしは直接、接続されない。このため、図11Bの例と同様にしてバルク基板を用いることができる。一方、第3～第6実施例においては、n型トランジスタとp型トランジスタの下側導電領域どうしが直接、接続されるため、図19Bの例と同様に下側導電領域が基板とは絶縁されている必要がある。この理由は、以下のSRAMの場合と同様である。

[0086] また、上記第1～第6実施例において、n型トランジスタとp型トランジスタの位置を適

宜、入れ替えることは差し支えない。ただし、n型トランジスタとp型トランジスタの位置を入れ替えた場合は、対応して電源線とグランド線の位置も入れ替える必要がある。

[0087] 2. SRAM(Static Random Access Memory)

本発明の他の一実施形態は、SRAM(スタティックランダムアクセスメモリセル)に関するものである。このSRAMは、メモリセルを有し、このメモリセルは、第1のn型トランジスタと、第1のp型トランジスタと、第2のn型トランジスタと、第2のp型トランジスタと、第1および第2のアクセストランジスタと、第1及び第3局所配線と、を備える。第1インバータは、第1のn型トランジスタ(第1のトランジスタに相当する)および第1のp型トランジスタ(第3のトランジスタに相当する)から構成されている。第2インバータは、第2のn型トランジスタ(第2のトランジスタに相当する)および第2のp型トランジスタ(第4のトランジスタに相当する)から構成されている。

[0088] また、第1～第4のトランジスタ、第1および第2のアクセストランジスタは、基体部表面から突出した半導体からなる柱部と、基体部に設けられたソースおよびドレインの一方となる下側導電領域と、柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、柱部の側面上に設けられたゲート電極と、ゲート電極と前記柱部との間に介在するゲート絶縁膜と、を備える。

[0089] この半導体装置において、第1および第3局所配線は、基体部から突出した凸部および凸部の側面から突出した突出部を有する。第1局所配線の凸部は、第1のn型トランジスタの下側導電領域と、第1のp型トランジスタの下側導電領域と、第1のアクセストランジスタの下側導電領域と、に接続されている。また、第1局所配線の突出部は、第2の連結ゲート電極に接続され、第1局所配線の突出部の下面は第2の連結ゲート電極の上面以下の高さに配置している。

[0090] 第3局所配線の凸部は、第2のn型トランジスタの下側導電領域と、第2のp型トランジスタの下側導電領域と、第2のアクセストランジスタの下側導電領域と、に接続されている。また、第3局所配線の突出部は第1の連結ゲート電極に接続され、第3局所配線の突出部の下面は第1の連結ゲート電極の上面以下の高さに配置されている。また、この第1～第4のトランジスタ並びに第1および第2のアクセストランジスタは、同一面上に形成されている。

[0091] なお、対称性の観点からは、第1局所配線の突出部は、第2の連結ゲート電極と、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間の中間点で接続されることが好ましい。また、第3局所配線の突出部は、第1の連結ゲート電極と、第1のn型トランジスタの柱部と第1のp型トランジスタの柱部との間の中間点で接続されることが好ましい。これにより局所配線と各トランジスタとの距離が等しくなり、製造上の位置合わせずれによる局所配線とトランジスタとの短絡不良発生の可能性を最小とすることができる。

[0092] 第1インバータを構成する第1のn型およびp型のトランジスタのゲート電極は、共通化され一体的に形成されて第1の連結ゲート電極を構成している。また、第2インバータを構成する第2のn型およびp型のトランジスタのゲート電極は、共通化され一体的に形成されて第2の連結ゲート電極を構成している。このように各インバータを構成するゲート電極を一体化して連結ゲート電極とすることにより、高密度化を図ることができる。一方、第1および第2のアクセストランジスタのゲート電極は、同様に最終的には互いに電気的に接続されなければならないものの、必ずしも第1～第4のトランジスタのゲート電極と一体的に形成されていなくても良い。この理由は、第1のアクセストランジスタのゲート電極は、原則として外部配線であるワード線と接続されるから、一体としなくてもワード線を介して電気的に接続することが可能なためである。

[0093] メモリセル上には、ビット線、ワード線、電源線(Vdd)、またはグランド線(Gnd)が設けられている。第1および第2のアクセストランジスタのゲート電極は、それぞれ同一のワード線に電気的に接続されている。また、第1および第2のアクセストランジスタの上側導電領域は、ビット線に電気的に接続されている。

[0094] このように、メモリセルは、第1および第2インバータを構成する第1～第4のトランジスタと、第1および第2のアクセストランジスタの、合計6つの縦型トランジスタを有する。そして、第1インバータを構成する第1のn型およびp型のトランジスタが、第一のドライバ・トランジスタおよび第一のロード・トランジスタに相当する。同様にして、第2インバータを構成する第2のn型およびp型のトランジスタが、第二のドライバ・トランジスタおよび第二のロード・トランジスタに相当する。

[0095] 以下では特記しない場合、第一および第二のアクセス・トランジスタはn型の縦型ト

ランジスタとして説明する。また、第一および第二のドライバ・トランジスタはn型のトランジスタ、第一および第二のアクセス・トランジスタはp型のトランジスタであるものとする。ドライバ・トランジスタの上側導電領域はグランド線（Gnd）に、ロード・トランジスタの上側導電領域は電源線（Vdd）に電気的に接続される。

[0096] また、第1のアクセストランジスタの下側導電領域、第1のn型およびp型のトランジスタの下側導電領域、第1局所配線、および第2の連結ゲート電極は、第一の蓄積ノードを構成する。同様にして、第2のアクセストランジスタの下側導電領域、第2のn型およびp型のトランジスタの下側導電領域、第3局所配線、および第1の連結ゲート電極は、第二の蓄積ノードを構成する。

[0097] 図10は、本実施形態のSRAMのメモリセルの一例を表す回路図を示す。図10に示すように、p型のトランジスタである第一のロード・トランジスタLoad－1と、n型のトランジスタである第一のドライバ・トランジスタDrv－1とが第1インバータを構成する。また、p型のトランジスタである第二のロード・トランジスタLoad－2と、n型のトランジスタである第二のドライバ・トランジスタDrv－2とが第2インバータを構成する。

[0098] この半導体装置においては、第1インバータの出力ノードN1は第2インバータの連結ゲート電極を介して第2インバータに入力され、第2インバータの出力ノードN2は第1インバータの連結ゲート電極を介して第1インバータに入力されるようになっている。このノードN1およびN2は蓄積ノードを構成している。また、一方のノードがグランド電位（Gnd）であれば他方が電源電位（Vdd）となり、一方が電源電位（Vdd）であれば他方がグランド電位（Gnd）となるように構成されている。そして、メモリセルは、上記の2つの状態を、「1」状態または「0」状態として情報を記憶する。

[0099] この蓄積ノードN1は、n型のトランジスタである第一のアクセス・トランジスタAcc－1を介して第一のビット線BL1に接続されている。また、蓄積ノードN2は、n型のトランジスタである第二のアクセス・トランジスタAcc－2を介してビット線BL2に接続されている。この2つのアクセス・トランジスタAcc－1、Acc－2のゲート電極は、共通のワード線Wordに接続されている。また、2つのロード・トランジスタLoad－1、Load－2の蓄積ノードと反対側の上側導電領域は電源線Vddに接続されている。また、2つのドライバ・トランジスタDrv－1、Drv－2の蓄積ノードと反対側の上側導電領域は、グラ

ンド線Gndに接続されている。

[0100] 図10においては、上記のように、メモリセルを構成する6個の縦型トランジスタは各々が一対の下側導電領域および上側導電領域を有している。また、下側導電領域は、何れかの蓄積ノードN1またはN2に電気的に接続されている。また、蓄積ノードN1またはN2は、メモリセル内の縦型トランジスタのゲート電極と電気的に接続されれば良く、セル外に繋がる配線（Vdd、Gnd、BL1、BL2、Word）の何れとも電気的に接続されていない。

[0101] なお、第1および第2のアクセストランジスタの下側導電領域、上側導電領域、ゲート電極およびゲート絶縁膜の材料としては、第1および第2インバータを構成するトランジスタと同様のものを用いることができる。

[0102] このように本実施形態のSRAMを構成する半導体装置は以下の効果を奏する。

（1）メモリセルを構成する6つのトランジスタを縦型トランジスタとすることによって、トランジスタの占有面積を小さくすることができる。

（2）各縦型トランジスタのうち、ゲート電極と接続されるソースまたはドレインを、下側導電領域として全て下側に配置できる。この結果、メモリセルの面積を容易に微細化することができる。

（3）ゲート電極は、コンタクトプラグおよび外部配線等を介さずに、直接、同一のメモリセル内の他の下側導電領域に電気的に接続されている。このため、下側導電領域をコンタクトプラグおよび外部配線等に電気的に接続するための領域を設ける必要がなく、メモリセルの面積を小さくして微細化を容易に行なうことができる。

（4）メモリセル間を結ぶ配線をすべて上方に形成することで、配線抵抗を、プレナー型トランジスタと同等に低抵抗とすることができる。この結果、高性能なSRAMを実現することができる。

（5）外部配線との電気的接続は、第一および二のアクセス・トランジスタAcc－1、Acc－2の上側導電領域を介して行なわれる。このため、余分な面積を占有することなく、容易に外部配線とのコンタクトをとることができる。

（6）構造が単純であるため、簡易な製造工程で、半導体装置を製造することができる。

[0103] 本実施形態においては、各縦型トランジスタが上記のように電気的に接続されている限り、各縦型トランジスタはそれぞれ様々な配置を取ることができる。以下に、実施例を挙げてSRAMのメモリセルを構成する各縦型トランジスタの具体的な配置および各インバータ間を電気的に接続する配線構造について説明するが、本発明は以下の実施例に限定されるわけではない。

[0104] （第7実施例）

半導体装置

図11Aは、メモリセルの一例を示す上面図、図11Bは図11AのA－A'断面図、図12Aは図11AのB－B'断面図、図12Bは図11AのC－C'断面図である。なお、図11Aにおいて、下側導電領域を構成する部分のハッチングは省略している。また、ゲート絶縁膜は通常、極めて薄いため、図11および12において、ゲート絶縁膜は図示していない。なお、図13以降の図面においても、上面図についてはゲート絶縁膜および下側導電領域のハッチングを省略している。

[0105] 本実施例では、メモリセルは、バルク半導体基板を用いて形成されている。このバルク半導体基板を構成する半導体としては、典型的にはSiを用いるが、SiGe、Geや他の半導体を用いても良い。

[0106] このメモリセルは、6個の縦型トランジスタから構成されており、各トランジスタは半導体基板の基体部表面17からその上方に向かって突出した柱部18を有している。また、各柱部18の上部は上側導電領域となっている。また、この柱部の側面上には、ゲート絶縁膜およびゲート電極が設けられている。そして、各トランジスタがON状態となった時には、この下側導電領域と上側導電領域間の柱部がチャネル領域となり、下側導電領域と上側導電領域間にチャネル電流が流れる。各トランジスタの下側導電領域は、素子分離絶縁体（STI）によって基板の面方向に平行な方向の領域が画定され、素子分離絶縁体の深さによって下側の境界が画定されている。

[0107] n型のトランジスタでは、下側導電領域および上側導電領域は高濃度のn型半導体領域、下側導電領域と上側導電領域間の柱部は典型的には低濃度のnまたはp型にドープされた半導体領域となっている。また、p型の縦型トランジスタでは、下側導電領域および上側導電領域は高濃度のp型半導体領域、下側導電領域と上側導電

領域間の半導体領域は典型的には低濃度のnまたはp型にドープされた半導体領域となっている。

[0108] 図11Aに示されるように、第一のアクセス・トランジスタAcc－1と第一のドライバ・トランジスタDrv－1の基体部は一体的に形成されて、第1の連結基体部を構成している。これにより、第一のアクセス・トランジスタの下側導電領域と第一のドライバ・トランジスタの下側導電領域は配線を用いることなく電気的に接続されて、第一の蓄積ノードの一部を構成する。一方、第一のロード・トランジスタLoad－1の下側導電領域は、第一のアクセス・トランジスタおよび第一のドライバ・トランジスタの基体部とは分離して形成されている。

[0109] また、上記と同様にして、第二のアクセス・トランジスタAcc－2と第二のドライバ・トランジスタDrv－2の下側導電領域は一体的に形成されて、第2の連結基体部を構成している。これにより、第二のアクセス・トランジスタの下側導電領域と第二のドライバ・トランジスタの下側導電領域は配線を用いることなく電気的に接続されて、第二の蓄積ノードの一部を構成する。一方、第二のロード・トランジスタLoad－2の下側導電領域は、第二のアクセス・トランジスタおよび第二のドライバ・トランジスタの基体部とは分離して形成されている。

[0110] 本実施例において、同一のインバータを構成する、n型のトランジスタの下側導電領域と、p型のトランジスタの下側導電領域を分離する理由は、電源やグランドとの間が短絡して動作不良が発生することを防止するためである。すなわち、n型のトランジスタの下側導電領域（n型）がnウェルを介して電源と短絡することを防止するためである。また、p型のトランジスタの下側導電領域（p型）がpウェルを介してグランドと短絡することを防止するためである。

[0111] 図11および12に示されるように、第二のドライバ・トランジスタと第二のロード・トランジスタは一体的に形成された第2の連結ゲート電極5を構成し、この連結ゲート電極5は図面左方向に延長された第2のゲート延長部30を有する。すなわち、上方から見た場合、この第2のゲート延長部30は、第2インバータを構成するn型およびp型のトランジスタの下側導電領域4の上方から更にその外側にまで延在している。そして、第一のアクセス・トランジスタ、第一のドライバ・トランジスタおよび第一のロード・トラン

ジスタの下側導電領域3は、第1局所配線6によって、第2のゲート延長部30と電気的に接続されている。そして、この第一のアクセス・トランジスタ、第一のドライバ・トランジスタおよび第一のロード・トランジスタの下側導電領域3、ゲート電極5、並びに第1局所配線6は、第一の蓄積ノードを構成する。

[0112] また、同様にして、第一のドライバ・トランジスタと第一のロード・トランジスタは一体的に形成された第1の連結ゲート電極7を構成し、この連結ゲート電極7は図面右方向に延長された第1のゲート延長部31を有する。すなわち、このゲート延長部31は、上方から見た場合、第1インバータを構成するn型およびp型のトランジスタの下側導電領域3の上方から更にその外側にまで延在している。そして、第二のアクセス・トランジスタ、第二のドライバ・トランジスタおよび第二のロード・トランジスタの下側導電領域4は、第3局所配線9によって、第1のゲート延長部31と電気的に接続されている。そして、この第二のアクセス・トランジスタ、第二のドライバ・トランジスタおよび第二のロード・トランジスタの下側導電領域4、ゲート電極7、並びに第3局所配線9は、第二の蓄積ノードを構成する。

[0113] なお、第1局所配線6と連結ゲート電極5の接続部分は、図11A中では、第1局所配線6と第2のゲート延長部30が重なった部分10で表される。また、第3局所配線9と連結ゲート電極7の接続部分は、図11A中では、第3局所配線9と第1のゲート延長部31が重なった部分10で表される。

[0114] 図12Bに示すように、この第1局所配線6は、凸部19と突出部20を有し、突出部20の下面は、連結ゲート電極5の上面15と接触して上面15と同じ高さとなっている。なお、図12Bのような断面図では示していないが、第3局所配線9も、第1局所配線6と同様に、凸部と突出部を有している。また、第3局所配線9の下面は、ゲート電極7の上面と接触してこの面と同じ高さとなっている。

[0115] なお、図11および12では図示していないが、第一と第二のドライバ・トランジスタの上側導電領域はグランド線に、第一と第二のロード・トランジスタの上側導電領域は電源線に、それぞれ電気的に接続されている。また、第一のアクセス・トランジスタの上側導電領域は第一のビット線に、第二のアクセス・トランジスタの上側導電領域は第二のビット線に、それぞれ電気的に接続されている。

[0116] また、本実施例では、図11Bおよび12Bに示されるように、下側導電領域および上側導電領域はゲート絶縁膜と接触しておらず、下側導電領域および上側導電領域上にゲート電極は設けられていない。

[0117] しかし、本実施例の縦型トランジスタの下側導電領域および上側導電領域は、このような形態に限定されない。図13AおよびBは、図11AのA－A'断面に相当する部分の断面を表す図であり、図11Bとは下側導電領域および上側導電領域の形態が異なるものを表す図である。図13Aの半導体装置では、下側導電領域および上側導電領域が柱部のゲート電極側までより広い領域に存在してゲート絶縁膜と接触し、下側導電領域および上側導電領域上にゲート電極が設けられている。本実施例においては、図13Aのように下側導電領域および上側導電領域がゲート絶縁膜と接触している場合であっても、各トランジスタおよびメモリセルを問題なく動作させることができる。また、このように下側導電領域および上側導電領域をゲート絶縁膜と接触させるか否かは、半導体装置の製造工程において、柱部内で下側導電領域および上側導電領域用の不純物を拡散させる領域、およびゲート絶縁膜とゲート電極を形成する領域を制御することにより実現できる。

[0118] また、本実施例では、図11Bおよび12Bに示すように、各トランジスタの柱部直下の基体部には下側導電領域が設けられていない。本実施例では、このような構造とすることにより、トランジスタがON状態の時に、チャネル領域が半導体基板と電気的に接続されることとなる。この結果、チャネル領域の電位が不安定となる、いわゆる、基板浮遊効果を防止することができる。しかしながら、下側導電領域を形成する領域は、このように柱部の根本部分を囲む領域に限られず、図13Bに示すように、柱部の下部全体であっても良い。図13Bのような構造とする場合、トランジスタがON状態の時に、チャネル領域と半導体基板との間に下側導電領域が存在し、下側導電領域によってチャネル領域が半導体基板から完全に分離されることとなる。この場合には、チャネル領域が反転時に完全に空乏化する、完全空乏形動作となるようトランジスタを設計することが好ましい。

[0119] 半導体基板内には、関連するプレナー型の縦型トランジスタと同様に、pウェルとnウェルが形成されている。pウェルはn型のトランジスタを設ける領域に存在しており、

通常、グランド電位（Gnd）が与えられる。nウェルはp型のトランジスタを設ける領域に存在しており、通常、電源電位（Vdd）が与えられる。これによって、下側導電領域および上側導電領域とウェルとの間、およびnウェルとpウェルとの間は全て逆バイアスとなり、絶縁されることが保証される。

[0120] 図11および12において、各トランジスタの基体部の大きさ、断面形状は、同一としている。これにより、パターンの規則性が増し、加工が容易となる。また、基体部の面積が増すことで蓄積ノードの電気的容量を増し、擾乱に対してSRAMの動作を安定化することができる。なお、配線との接続が行える限り、ロード・トランジスタの基体部を、一体的に形成されたアクセス・トランジスタとドライバ・トランジスタの基体部よりも小さくしても良い。また、各トランジスタは、ほぼ同一の高さとなるように形成する。本実施例では、特許文献1および6に開示されているようなトランジスタの多層化は行っておらず、製造工程を簡略化させることができる。

[0121] 図14は、図11および12のメモリセルを、アレー状に複数、配置し、かつ各メモリセルに対して電源線Vdd、グランド線Gnd、第一および第二のビット線BL1とBL2、ワード線Wordを電気的に接続した半導体装置の一例を表す図である。図14において、四角い破線領域が単一のメモリセルに相当する。図14中の各構造物の最小幅と最小間隔をともにFとして作成したとすると、このメモリセルの寸法は、おおむね横幅が8F、縦幅が4Fであり、面積は理想的な場合、$32F^2$となる。

[0122] このように、本実施例では、第1のn型およびp型のトランジスタならびに第1のアクセストランジスタの下側導電領域と、第2の連結ゲート電極を第1局所配線によって直接、電気的に接続している。第1局所配線は近接するコンタクト孔との距離を小さくすることができ、第1のn型およびp型のトランジスタならびに第2のアクセストランジスタの下側導電領域と、第2の連結ゲート電極の接続部分の占有面積を小さくできることが分かる。

[0123] 同様にして、第2のn型およびp型のトランジスタならびに第2のアクセストランジスタの下側導電領域と、第1の連結ゲート電極を第3局所配線によって直接、電気的に接続している。第3局所配線は近接するコンタクト孔との距離を小さくすることができ、第2のn型およびp型のトランジスタならびに第2のアクセストランジスタの下側導電領

域と、第1の連結ゲート電極の接続部分の占有面積を小さくできることが分かる。このため、本実施例では、セル間を結ぶ配線をすべて上方に形成でき、超高密度のメモリセルを実現することができることが分かる。

[0124] 本実施例においてはメモリセルを並べるとき、横方向には図14のように、単位セルの境界線を中心とする鏡像対称となるよう配置することが望ましい。この理由は、ワード線とアクセス・トランジスタのゲート電極との接続部を隣接セル間で共有でき、集積度を高めることができるからである。図14では、縦方向にも同様に鏡像対象でメモリセルを並べた例を示している。しかし、メモリセルの配置方法はこれに限定されるわけではなく、縦方向には並進対象(単純にセルを平行移動した形で並べる)で単位セルを並べても差し支えない。この理由は、何れの場合であっても、隣接するメモリセル間で、配線の接続部を共有することができないからである。

[0125] 半導体装置の製造方法

以下に、図15～18を参照して、第7実施例の半導体装置の製造方法を説明する。まず、シリコンなどの半導体基板において、リソグラフィ技術によりマスクを設けることによって所望領域を保護する。次に、保護されない半導体基板の領域のみ基板を選択的にエッチングして、半導体基板の基体部表面17から上方に突起した6つの柱部18を形成する。

[0126] 次に、リソグラフィ技術によりマスクを設けることによって所望領域を保護し、保護されない半導体基板の領域のみ基板を選択的にエッチングして素子分離絶縁体となる領域の基板を除去する。次に、柱部よりも高い厚さとなるように絶縁体を堆積した後、CMP技術によって絶縁体の表面を平坦化する。さらに、絶縁体を選択的にエッチバックすることによって素子分離絶縁体を形成する。

[0127] 次に、p型のトランジスタを形成する領域をマスクにより覆った後、上方からp型不純物をイオン注入することにより、n型のトランジスタを形成する領域にpウェルを形成する。次に、p型のトランジスタを形成する領域を覆ったマスクを除去した後、n型のトランジスタを形成する領域をマスクで覆う。この後、上方から垂直にn型不純物をイオン注入することにより、p型のトランジスタを形成する領域にnウェルを形成する。次に、n型のトランジスタを形成する領域を覆ったマスクを除去する。なお、このnウェルとpウ

ェルを形成する順番は上記と逆であっても良い。また、nウェルとpウェルの形成は、柱部および素子分離絶縁体の形成前に行っても良い。

[0128] 次に、p型のトランジスタを形成する領域を覆うようにマスクを形成した後、上方から垂直にn型不純物をイオン注入することにより、n型のトランジスタ用の柱部の上部とその根元付近に、それぞれ上側導電領域および下側導電領域を形成する。次に、p型のトランジスタを形成する領域を覆ったマスクを除去した後、n型のトランジスタを形成する領域をマスクで覆う。次に、上方から垂直にp型不純物を垂直にイオン注入することにより、p型のトランジスタ用の柱部の上部とその根元付近に、それぞれ上側導電領域および下側導電領域を形成する。次に、n型のトランジスタを形成する領域を覆ったマスクを除去する。なお、n型のトランジスタの下側導電領域および上側導電領域と、p型のトランジスタの下側導電領域および上側導電領域を形成する順番は逆でも良い。また、図13AおよびBのような下側導電領域を形成するためには、製造工程において、ソースおよびドレインの不純物を適宜ゲート方向に向かって拡散させれば良い。

[0129] 以上により、図15および16の構造を得ることができた。なお、図15Aは途中の製造工程を表す上面図、図15Bは図15AのA－A'断面図、図16Aは図15AのB－B'断面図、図16Bは図15AのC－C'断面図を表す。上記方法によれば、柱部の上部とその根元付近にそれぞれ上側導電領域および下側導電領域を同時に形成することができる。次に、チャネル領域となる柱部の部分と半導体基板が、下側導電領域によって分離されず連通している構造を容易に実現することができる。

[0130] 次に、柱部より高い厚さとなるように絶縁体を堆積した後、CMP技術によってこの絶縁体の表面を平坦化する。この後、絶縁体を選択的にエッチバックすることにより、後に形成されるゲート電極の下端と同じ高さを有し、柱部の存在しない領域の全面を覆う第一の絶縁体膜を形成する。次に、柱部の表面を熱酸化やCVDによってゲート絶縁膜で覆う。次に、柱部より高い厚さとなるようにゲート電極材料である金属を堆積した後、CMP技術によって金属の表面を平坦化する。次に、この金属を選択的にエッチバックすることにより、柱部の上側導電領域の上端と同じ高さを有し、柱部の存在しない領域全面を覆う金属膜を形成する。次に、リソグラフィ技術により形成したマス

クによって所望領域を保護し、保護されない領域のみ金属膜を選択的にエッチングしてゲート電極を形成する。以上の工程により、図17および18の構造を得ることができた。なお、図17Aは途中の製造工程を表す上面図、図17Bは図17AのA－A'断面図、図18Aは図17AのB－B'断面図、図18Bは図17AのC－C'断面図を表す。

[0131] 次に、柱部よりも高い厚さとなるように絶縁体を堆積した後、CMP技術によって絶縁体の表面を平坦化することで全面を覆う絶縁体膜を形成する。次に、リソグラフィ技術により形成したマスクによって所望領域を保護し、保護されない領域のみ絶縁膜を選択的にエッチングして配線を埋め込むべき溝を形成した。次に、この溝に充填するように導体を堆積した後、CMP技術によって導体の表面を平坦化することで、溝内に導体を埋め込んで配線を形成する。次に、全面に絶縁体を形成することにより、図11および12の構造を得ることができる。

[0132] この配線の材料としては、外部配線ほどの低抵抗が要求されないため、従来からコンタクト埋め込みに利用されているタングステンなどの高融点金属を使用することができる。例えば、窒化チタンなどの薄いバリア膜上にタングステンを積層するのが好適である。

[0133] （第8実施例）

図19および20は、メモリセルの他の一例を示す図である。図19Aは本実施例のメモリセルを表す上面図、図19Bは図19AのA－A'断面図、図20Aは図19AのB－B'断面図、図20Bは図19AのC－C'断面図を表す。本実施例では、絶縁体上に半導体薄膜を有し、この半導体薄膜の中に各トランジスタの下側導電領域が形成されている点が第7実施例とは異なる。このように絶縁体上に半導体薄膜を有する基板の典型例としては、シリコン・オン・インシュレータ（SOI）基板を挙げることができるが、この半導体薄膜はSiGeやGeや他の半導体からなっていても良い。

[0134] また、本実施例では、第一のアクセス・トランジスタ、第一のドライバ・トランジスタに加えて、第一のロード・トランジスタの下側導電領域が一体的に形成され、第一の蓄積ノードの一部に属する基体部を構成している点が第7実施例とは異なる。すなわち、第一のアクセス・トランジスタの基体部と、第一のドライバ・トランジスタの基体部、第一のロード・トランジスタの基体部が一体化されて第1の連結基体部を構成している。

[0135] また、第二のアクセス・トランジスタ、第二のドライバ・トランジスタに加えて、第二のロード・トランジスタの下側導電領域が一体的に形成され、第二の蓄積ノードの一部に属する基体部を構成している点が第7実施例とは異なる。すなわち、第二のアクセス・トランジスタの基体部と、第二のドライバ・トランジスタの基体部と、第二のロード・トランジスタの基体部が一体化されて第2の連結基体部を構成している。

[0136] 本実施例では、このような構造としても、半導体薄膜の下が埋め込み絶縁体により絶縁されているため、n型のトランジスタの下側導電領域(n型)がnウェルを介して電源と短絡することはない。また、p型のトランジスタの下側導電領域(p型)がpウェルを介してグランドと短絡することはない。

[0137] また、n型のトランジスタの下側導電領域とp型のトランジスタの下側導電領域は通常、直接、接触するだけでは必ずしも短絡しない。従って、同一のインバータを構成するn型のトランジスタの下側導電領域(n型領域)と、p型の縦型トランジスタの下側導電領域(p型領域)を跨ぐように局所配線を形成することができる。この場合、下側導電領域および上側導電領域は不純物をドープした半導体領域としている。このような構造の局所配線とすることにより、公知のリソグラフィー技術を利用した簡易な工程で配線を形成することができる。

[0138] そして、この第一のアクセス・トランジスタ、第一のドライバ・トランジスタおよび第一のロード・トランジスタの下側導電領域3は、第1局所配線6によって連結ゲート電極5に電気的に接続されている。また、同様にして、第二のアクセス・トランジスタ、第二のドライバ・トランジスタおよび第二のロード・トランジスタの下側導電領域4は、第2局所配線9によって連結ゲート電極7に電気的に接続されている。

[0139] なお、第1局所配線6と連結ゲート電極5の接続部分は、図19A中では、第1局所配線と連結ゲート電極5の第2のゲート延長部(ゲート電極が第2の連結基体部の上方以外の領域まで延在した部分)30が重なった部分10で表される。この接続部分10は第2の連結基体部SD2の上方以外の領域となる。また、第2局所配線9と連結ゲート電極7の接続部分は、図19A中では、第2局所配線と連結ゲート電極7の第1のゲート延長部(ゲート電極が第1の連結基体部の上方以外の領域まで延在した部分)31が重なった部分10で表される。この接続部分10は第1の連結基体部SD1の上方

以外の領域となる。

[0140] 図12Bおよび20Bに示すように、この第1局所配線6は、凸部19と突出部20を有し、突出部20の下面は連結ゲート電極5の上面15と接触して上面15と同じ高さとなっている。なお、図12Bのような断面図では示していないが、第3局所配線9も、第1局所配線6と同様に、凸部と突出部を有している。また、第3局所配線9の下面は、連結ゲート電極7の上面と接触してこの面と同じ高さとなっている。

[0141] このように第1および第3局所配線6、9と連結ゲート電極との接続部分は、上記のような構造となっているため、1回のリソグラフィ工程で第1および第3局所配線を形成することができる。更に、第1および第3局所配線の高さを低くすることができるため、局所配線の使用による上方配線の高さの増大(上方配線は局所配線からある距離だけ離間される必要がある)を抑制することができる。

[0142] なお、下側導電領域間の接続方法は上記方法に限定されるわけではない。例えば、不純物をドープした半導体領域上にサリサイド技術により、シリサイド層を形成し、このシリサイド層によって下側導電領域間を電気的に接続しても良い。また、n型およびp型のトランジスタの下側導電領域を金属材料から構成することによって電気的に接続しても良い。このように、n型とp型のトランジスタの下側導電領域を金属材料から構成するか、またはサリサイド構造とすることにより、n型とp型のトランジスタの下側導電領域を直接、接触させるだけで自動的に電気的に接続されることとなる。このため、このような場合には、n型とp型のトランジスタの下側導電領域を跨いで電気的に接続するような局所配線を形成する必要はなく、工程を簡略化することができる。

[0143] サリサイド構造は、従来のプレナー型トランジスタにおける方法と同様に、例えば以下のようにして形成できる。すなわち、図15A～図16Bの構造を得た後、絶縁膜の気相成長と異方性エッチングにより柱部の側面を絶縁性保護膜で覆う。次にNi、Coなどの金属を堆積し、加熱により金属と露出した半導体とを自己整合的に合金化(サリサイド化、サリサイド＝Self－aligned Silicide)させる。次に、下側導電領域と接触しなかった未反応の金属を薬液によるエッチングで除去する。これにより下側導電領域表面にのみNiシリサイドなどの金属を自己整合的に形成する。さらに必要に応じて絶縁性保護膜を除去する。なお、このサリサイド工程において、イオン注入により形

成された下側導電領域が完全にシリサイド化するようにして下側導電領域を完全に金属としても良い。このとき事前にイオン注入されたn型およびp型の不純物を、金属ソースおよびドレインの実効的な仕事関数をn型の縦型トランジスタおよびp型の縦型トランジスタに対して好ましいように調整する働きをさせることができる。

[0144] 図38に、サリサイド構造を有する半導体装置の一例を表す。図38A～Cは、それぞれ図19Aの半導体装置のA－A'方向、B－B'方向、C－C'方向の断面に相当する図である。図38に示されるように、第1の連結基体部SD1は、第1導電型半導体領域27と、第1導電型半導体領域27に接合する第2導電型半導体領域28とを備えている。なお、この第1及び第2導電型半導体領域27および28は、上方（基体表面の法線方向）から見た場合に、2次元的な面状の領域を構成している。第1導電型半導体領域27には第1のn型トランジスタの柱部が設けられている。また、第2導電型半導体領域28には第1のp型トランジスタの柱部が設けられている。第1導電型半導体領域27と第2導電型半導体領域28の境界を含む領域上に、金属含有導電層であるシリサイド層29が設けられ、第1および第2導電型半導体領域間を電気的に接続している。

[0145] 本実施例では、上記第1の連結基体部SD1と同様にして、第2の連結基体部SD2は、第1導電型半導体領域27、第2導電型半導体領域28およびシリサイド層29を備え、第1および第2導電型半導体領域間は電気的に接続されている。このようにn型およびp型の下側導電領域どうしを連結・一体化させた第1および第2の連結基体部とすることで、さらに面積の縮小が可能となる。

[0146] なお、n型およびp型のトランジスタの下側導電領域3の接続手段はシリサイド層に限定されるわけではない。例えば、下側導電領域3をそれぞれ金属材料から構成することにより、隣接する下側導電領域3間を電気的に接続することができる。

[0147] また、局所配線の形状は本実施例のものに限定されず、適宜、選択することができるが、本実施例のように、絶縁体上に半導体薄膜を形成する半導体装置においては局所配線の形状の自由度が大きい。特に、関連する半導体装置では、微細化を進めると配線の寸法が小さくなり、n型とp型のトランジスタの下側導電領域を跨ぐ局所配線を形成するのが難しくなる場合がある。これに対して、本実施例では、n型とp型

のトランジスタの下側導電領域の上部または全部を連続して電気的に接続するように金属領域またはサリサイド構造の配線を形成することができ、局所配線がn型とp型のトランジスタの下側導電領域を跨ぐ必要をなくすことができる。このため、微細化を進めた場合であっても、容易に第1および第2局所配線を形成することができる。

[0148] なお、本実施例のように、絶縁体上に半導体薄膜を形成し、この半導体薄膜内に下側導電領域を形成した構造も、第7実施例の場合とほぼ同様にして製造することができる。図21および22は、本実施例の製造途中の構造を表す図である。なお、図21Aは途中の製造工程を表す上面図、図21Bは図21AのA－A'断面図、図22Aは図21AのB－B'断面図、図22Bは図21AのC－C'断面図を表す。

[0149] 図21Aに示されるように、本実施例では、第一のアクセス・トランジスタ、第一のドライバ・トランジスタおよび第一のロード・トランジスタ、並びに第二のアクセス・トランジスタ、第二のドライバ・トランジスタおよび第二のロード・トランジスタの基体部の平面構造を略正方形としている。これによりパターンが単純化され、その加工を容易にすることができる。また、基体部の面積が増すことで蓄積ノードの電気的容量が増し、擾乱に対してSRAMの動作を安定化することができる。

[0150] なお、本実施例において、基体部の形状は略正方形に限定されるわけではなく、基体部の形状を所望の形状とすることができる。このように基体部の形状を適宜、変更することで、セルの面積を縮小することが可能である。

[0151] 図23に、トランジスタの配置が異なる半導体装置の他の例を示す。この半導体装置では、図19および20と同様に、第一のアクセス・トランジスタ、第一のドライバ・トランジスタおよび第一のロード・トランジスタの基体部は一体化されて第1の連結基体部を構成している。また、第二のアクセス・トランジスタ、第二のドライバ・トランジスタおよび第二のロード・トランジスタの基体部が一体化されて第2の連結基体部を構成している。しかし、これらの一体化された連結基体部の平面構造が略正方形ではない点が図19および20の半導体装置とは異なる。

[0152] 図23の半導体装置では、基体部の正方形の頂点のうち何れのトランジスタも近接して配置されない頂点の近傍を後退させた形状としている。そして、第一のアクセス・トランジスタを第二のロード・トランジスタに対向させ、第二のアクセス・トランジスタを

第一のロード・トランジスタに対向させている。これにより、第一のアクセス・トランジスタと第二のロード・トランジスタとの距離、および第二のアクセス・トランジスタと第一のロード・トランジスタとの距離を短くしている。この配置により、単位セルの横幅は略8Fから7Fに短縮され、セル面積は$32F^2$から$28F^2$に縮小することができる。なお、このようなセル面積を縮小し得る基体部の形状は種々の選択肢から適宜、選択することができる。

[0153] （第9実施例）

図24は、メモリセルの他の一例を示す図である。図24Aは、半導体装置の上面図、図24Bは図24AのA－A'断面図を示したものである。本実施例では、第8実施例と同様に、絶縁体上に半導体薄膜を有し、この半導体薄膜の中に各トランジスタの下側導電領域が形成されている。しかし、本実施例の半導体装置は、図24Aに示されるように、第8実施例とは各トランジスタの配置、およびゲート電極上の配線が接続される位置が異なる。本実施例においても、配線構造の制約が減り、容易にセル面積を縮小することができる。

[0154] 第8実施例では、第1および第3局所配線が連結ゲート電極と接続する部分は、各インバータを構成する連結基体部の上方以外の領域まで延在した延長部分であった。これに対して、本実施例では、図24Bに示すように、第1局所配線6は、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間で、連結ゲート電極5と接続される。また、第1局所配線6は、第2の連結基体部SD2の上方で連結ゲート電極5と接続され、且つ第1局所配線6は第2の連結基体部SD2とは離間して絶縁されている。

[0155] 同様にして、第3局所配線9は、第1のn型トランジスタの柱部と第1のp型トランジスタの柱部との間で、連結ゲート電極7と接続される。また、第3局所配線9は、第1の連結基体部SD1の上方で連結ゲート電極7と接続され、且つ第3局所配線9は第1の連結基体部SD1とは離間して絶縁されている。

[0156] また、この第1局所配線6は、凸部19と突出部20を有し、突出部20は2つの下面を有する。このうち、突出部の1つの下面は連結ゲート電極5の上面15と接触して上面15と同じ高さとなり、突出部のもう一つの下面22は上面15よりも基体部表面17側に

存在している。なお、図12Bのような断面図では示していないが、第3局所配線9も、第1局所配線6と同様に、凸部と突出部を有している。また、第3局所配線9の突出部は、連結ゲート電極6の上面と接触してこの上面と同じ高さとなる下面と、該上面よりも基体部表面17側に存在する下面を有する。この第1局所配線9と連結ゲート電極5の接続部分は、図24Aでは、第1局所配線とゲート電極が重なった部分10で表される。

[0157] 図24Bの構造により、縦型トランジスタに特有の効果を得ることができる。すなわち、本実施例においてはインバータを構成する2つのトランジスタの下側導電領域どうしの結合と、該トランジスタのゲート電極どうしの結合が上方から見て同一位置においてなされている。これにより、メモリセルの占有面積を削減することができる。また、この状態では、2つのトランジスタの下側導電領域が該下側導電領域どうしを結合する配線手段として機能し、2つのトランジスタのゲート電極が該ゲート電極どうしを結合する配線手段として機能している。そして、配線となる下側導電領域と、配線となるゲート電極は上下に離間されることで絶縁され、結局2本の配線が同一平面位置に配置されることとなっている。このような構成は、従来のプレナー型のトランジスタでは通常、実現することが不可能である。この理由は、プレナー型のトランジスタにおいて半導体領域(素子分離以外の領域)とゲート電極を同一位置に配置した場合、ゲート電極下の半導体領域に自動的にトランジスタが形成されることとなる。このため、半導体領域とゲート電極を独立な配線手段とすることができないためである。

[0158] また、本実施例の局所配線は、縦型トランジスタの下側導電領域の直上で該縦型トランジスタのゲート電極と電気的に接続され、かつ該縦型トランジスタの下側導電領域とは離間して絶縁される。言い換えれば、本実施例の局所配線は、下方配線たる下側導電領域と上方配線たるゲート電極が基板上方向から見てほぼ同一位置を占める箇所において、上方配線たるゲート電極にのみ選択的に、かつ省面積で接続する配線手段を提供する。これにより縦型トランジスタ特有の高密度構成を実現することができる。

[0159] 更に、第1および第3局所配線の高さを低くすることができるため、局所配線の使用による上方配線の高さの増大(上方配線は局所配線からある距離だけ離間される必

要がある）を抑制することができる。以上の効果は第3、4、6実施例に示したインバータでも同様である。

[0160] このような構造とすることにより、第一の蓄積ノードと第二の蓄積ノードが短絡することを防ぐことができる。このように、第1および第3局所配線がゲート電極とは電気的に接続されるが、ゲート電極直下の下側導電領域とは絶縁されるべき箇所を、図24Aの上面図中に矢印で明示する。

[0161] なお、本実施例の配線構造を実現するためには、第1および第3局所配線を2段階に分けて形成すれば良い。すなわち、以下に一例として一つの局所配線を形成する例を説明する。まず、各トランジスタを形成した後、全面に絶縁膜を形成する。次に、図25Aに示すように、第一のリソグラフィとエッチング工程によって、この絶縁膜中に、ゲート電極には達するが下側導電領域には達しない広い溝を設ける。続いて、図25Bに示すように、第二のリソグラフィとエッチング工程によって、電気的に接続する予定の下側導電領域にのみ達する狭い溝を形成する。続いて、図25AおよびBに示される広い溝および狭い溝中に導体を埋め込むことで局所配線を形成する。

[0162] なお、上記工程とは逆に、まず、狭い溝を形成し、続いて広い溝を形成しても良い。すなわち、図25Cに示すように、第一のリソグラフィとエッチング工程によって、電気的に接続する予定の下側導電領域にのみ達する狭い溝を設ける。続いて、狭い溝の中に、マスクとして有機膜を埋め込む。この後、第二のリソグラフィとエッチング工程によって、絶縁膜および有機膜中に、ゲート電極には達するが下側導電領域には達しない広い溝を設ける。続いて、酸素プラズマ処理などにより、有機膜を除去することにより図25Bの構造を得ることができる。最後に、図25AおよびBに示される広い溝および狭い溝中に導体を埋め込むことで局所配線を形成する。なお、上記工程では、公知のLSI用ダマシン配線形成手法を援用することができる。

[0163] 本実施例においては、局所配線は上方配線とは別の工程により形成される。このため局所配線を通常のコンタクト孔（SRAMの実施例においては、各トランジスタの上側導電領域の位置に設けられる）に対してぎりぎりまで近づけることができるという利点は他の実施形態と同様である。具体的には、位置あわせずれによる短絡が起こらないだけの余裕分の距離Δ（通常Fの数分の1である）まで近づけることができる。

[0164] 本実施例においては、コンタクト孔と局所配線を別々のリソグラフィ工程によって形成する関連する配線構造と同様、2回のリソグラフィ工程によって形成している。しかしながら、ゲート電極に対するコンタクト孔相当のパターン形成を省略している点において関連する配線構造とは異なる。これにより接続すべき2点にそれぞれ1個ずつのコンタクト孔を並べて配置するのに比べて局所配線を微小化することが可能である。ゲート電極に対するコンタクト孔相当のパターン形成を省略し、かつゲート電極との接触を確保するために、局所配線の突出部の下面は、ゲート電極の上面以下の高さに配置されている。また、局所配線はゲート電極の側面の少なくとも一部と接触する構造とすることが、接触抵抗を低減するために望ましい。また、この利点を得るために、局所配線はゲート電極の上方をゲート電極と接触せずに交差する配線には適用しないようにする。

[0165] 図24Bの局所配線と図12Bの局所配線は、製造工程を複雑化することなく同一基板上に混在させることができる。図24Bの構造を得るための深い溝の形成のみを適用し、浅い溝の形成を省略することで、図12Bの構造が得られるから、図24Bの構造を形成する工程に特段の工程追加をすることなく図12Bの構造を形成することができる。

[0166] 図24Aにおいては、ロード・トランジスタとドライバ・トランジスタの下側導電領域が基体部によって連結され、ロード・トランジスタとドライバ・トランジスタのゲート電極もまた、その上方で連結されている。これらゲート電極と基体部は基板上方から見た場合にほぼ同一位置に配置されるが、両者は上下に離間されて互いに絶縁され独立の配線として機能する。このような構造は縦型トランジスタに特有のものである。この理由は、通常のプレナー型トランジスタにおいては、基板上方から見た場合に、基体部に相当する半導体領域とゲート電極とを同一位置に重なるよう配置すると、この重なり領域における素子領域にはチャネル部が自動的に形成されるためである。この結果、重なり領域におけるチャネル部を配線として機能させることができないためである。本実施例においては、この縦型トランジスタに特有の構造を図24Bの局所配線構造と組み合わせることにより、SRAMセルの高密度化を実現している。

[0167] 図26は、図24のメモリセルをアレー状に複数、配置し、且つ電源線Vdd、グランド

線Gnd、第一および第二のビット線BL1とBL2、ワード線Wordが接続した半導体装置を表す図である。図26Aはビット線およびグランド線Gnd、図26Bはワード線および電源線Vddを、それぞれ表している。図26中において、四角い破線領域がメモリセルとなる。なお、横方向のメモリセルの並べ方は図7と同様に、メモリセルの境界線を中心とする鏡像対称とする配置としている。これにより、ワード線と、アクセス・トランジスタのゲート電極との接続部を隣接セル間で共有し、集積度を高めることができる。なお、図26では縦方向も同様に鏡像対象でセルを並べた例を示しているが、縦方向には並進対象で単位セルを並べても差し支えない。

[0168] 本実施例では、セルの横幅が略6F、縦幅が略4Fであり、面積$24F^2$の超微細のメモリセルを実現できる。さらに、本実施例では、平面配置の規則性が高く、高密度でありながら製造が容易となる。すなわち、図26に示すように、縦型トランジスタの配置を、縦横方向に完全に等間隔とすることができる。なお、本明細書において、トランジスタの間隔とは、縦型トランジスタを、下側導電領域から上側導電領域に向う方向から見た場合の、半導体領域の重心同士の距離で定義される。また、ゲート電極と配線は単純な長方形とすることができる。さらに縦横の金属配線についても等間隔に並べることができる。

[0169] （第10実施例）

図27は、メモリセルの他の一例を示す図である。本実施例は、絶縁体上に形成された半導体薄膜中に下側導電領域を有するメモリセルに関するものである。本実施例によれば、セルの横幅は略7F、縦幅は略4Fであり、面積$28F^2$のメモリセルが実現できる。

[0170] 図28および29はそれぞれ、図27のメモリセルをアレー状に複数、配置し、且つ電源線Vdd、グランド線Gnd、第一および第二のビット線BL1とBL2、ワード線Wordが接続した半導体装置を表す図である。図28Aはワード線および電源線Vdd、図28Bはビット線およびグランド線Gndを、それぞれ表している。また、図29Aはビット線、図29Bはワード線および配線（Vdd、Gnd）をそれぞれ表している。図28の半導体装置ではワード線が横方向、ビット線が縦方向に形成され、図29の半導体装置では逆にビット線が横方向、ワード線が縦方向に形成されていることが分かる。このように、本

実施例では、ワード線とビット線が走る方向を適宜、選択できるという利点がある。なお、他の実施例ではワード線とビット線が走る向きを変更することは不可能ではないが、配置上の制約よりワード線とビット線の走る方向を替えると不自然な配線の引き回しが必要となる場合がある。

[0171] なお、本実施例でワード線を縦方向に形成する場合、ゲート電極の構造を図27に代えて、図30Aのように縦方向に連続したパターンとしても良い。ただし、この場合は、メモリセルの縦方向の並べ方を図29に示したように鏡像対称としてゲート電極が連続パターンとなるようにする必要がある。また、図30Bに示すように、メモリセル内でゲート電極を分断して、これを上方のワード線によって連結する構造としても良い。

[0172] (第11実施例)

図31は、メモリセルの他の一例を示す図である。本実施例は、絶縁体上に形成された半導体薄膜中に下側導電領域を有するメモリセルに関するものである。本実施例によれば、セルの横幅は略4F、縦幅は略8Fであり、面積$32F^2$のメモリセルが実現できる。

[0173] 図32は、図31のセルがアレー状に複数、配置され、かつ電源線Vdd、グランド線Gnd、第一および第二のビット線BL1とBL2、ワード線Wordを電気的に接続した半導体装置の一例を表す図である。図32Aはワード線および配線(Vdd、Gnd)、図32Bはビット線を、それぞれ表している。なお、図32では、横方向のセルの並べ方は単位セルの境界線を中心とする鏡像対称、縦方向のセルの並べ方は並進対称とする配置としているが、縦横ともに鏡像対称、並進対称の何れの配置であっても差し支えない。

[0174] (第12実施例)

図33は、メモリセルの他の一例を示す図である。本実施例は、絶縁体上に形成された半導体薄膜中に下側導電領域を有するメモリセルに関するものである。本実施例では、一方のインバータのゲート電極と、他方のインバータの下側導電領域の基体部とが横方向に対向するように突出しており、互いに電気的に接続しやすくなっている。

[0175] 本実施例のセルの横幅は略5F、縦幅は略6Fであり、面積$30F^2$のメモリセルを実

現することができる。なお、セルをアレー状に複数、配置した半導体装置においては、電源線Vdd、グランド線Gnd、第一および第二のビット線BL1とBL2、ワード線Wordとの接続方法は第11実施例と同様として良い。

[0176] 以上のように、第10～12実施例では、アクセス・トランジスタのゲート電極を隣接するセルに渡って連続に形成できるという特徴を有する。これによりアクセス・トランジスタのゲート電極そのものをワード線配線と兼用し、別途、ワード線配線を上方に設けることを省略することが可能となる。または、上方のワード線配線を省略せずに、ワード線配線とアクセス・トランジスタのゲート電極とのコンタクトを各セルごとではなく、複数セルごとに設けることで、コンタクト数を減らすことが可能となる。

[0177] 図34に、上記実施例7～12のメモリセルを整理して捉えるための模式図を示す。図34中で、丸印は縦型トランジスタの位置を示している。この2個の丸印を含む長方形は、ドライバ・トランジスタとロード・トランジスタから構成されるインバータを示している。また、1個の丸印を含む正方形はアクセス・トランジスタを示している。更に、図34中で四角形どうしを結ぶ実線（連結線）は、結ばれた四角形が同じ蓄積ノード（第一または第二の蓄積ノード）に属することを記号的に示している。

[0178] これらの縦型トランジスタを矩形領域中に稠密に配置する方法は、対称性により等価な配置を除けば、図34に示すように、type1～type5の5種類が存在する。ここで、Type1には、連結線の結び方によって2種類の配置が存在することが分かる（Type1A、Type1B）。本明細書においては、これらの配置の中で、比較的実用度が高いType1A、Type1B、Type2、Type3の4つの配置に関して具体的実施例を挙げて説明した。すなわち、第7および第8実施例はType1A、第9実施例はType1B、第10実施例はType3、第11および12実施例はType2となっている。

[0179] また、図24以降の図面においては、n型のトランジスタの下側導電領域と、p型のトランジスタの下側導電領域の境界を明示していない。しかしながら、これらの図24以降においても、異なる型のトランジスタの下側導電領域間にはp／n境界が存在するものとする。

[0180] 基体部がバルク半導体基板上に形成される場合においては、n型のトランジスタとp型のトランジスタの位置関係に制約がある。この理由は、n型のトランジスタとp型のト

ランジスタの基体部の絶縁をウェルによって行うが、ウェルは外部から一定電位を与えられるよう、メモリセルを並べたときに連続したパターンとなる必要があるためである。例えば、第7実施例では図14において、nウェルとpウェルは上下に連続した帯状の領域を占め、並んだセルの外周部においてウェル電位を与えることが可能なようになっている。アクセス・トランジスタをp型のトランジスタとしたとき同様の配置を実現するためには、ドライバ・トランジスタとロード・トランジスタの位置を入れ替えればよい。基体部が絶縁体上に形成される場合においては、n型のトランジスタとp型のトランジスタの位置関係の自由度が高まる。すなわち、ドライバ・トランジスタとロード・トランジスタの位置を適宜、入れ替えることができる。また、第一および第二のアクセス・トランジスタをp型のトランジスタとする場合、対応してドライバ・トランジスタとロード・トランジスタの位置を入れ替える必要は必ずしもない。ただし、配置方法によっては局所配線をn型のトランジスタの下側導電領域とp型のトランジスタの下側導電領域を跨ぐように形成することが難しくなる。このような場合は、これらの下側導電領域を金属で形成するか、またはサリサイド構造とすることが望ましい。

[0181] また、絶縁体上の半導体薄膜内に下側導電領域を有する基板を用いた第8実施例以降では、互いに隣接する、n型とp型のトランジスタの下側導電領域を、サリサイド構造の利用や、下側導電領域を金属材料から構成することなどによって、自動的に電気的に接続することができる。この場合、上層配線の配置に支障をきたさない範囲において、適宜、第一のドライバ・トランジスタと第一のロード・トランジスタの位置を入れ替え、または第二のドライバ・トランジスタと第二のロード・トランジスタの位置を入れ替えることが可能である。ただし、この場合には、上層のVddとGndの配線を変更する必要がある。例えば、図24Aにおいて、第一のドライバ・トランジスタと第一のロード・トランジスタの位置を入れ替え、かつ第二のドライバ・トランジスタと第二のロード・トランジスタの位置を入れ替え、更に図26においてVddとGndを入れ替えることができる。

[0182] 以上の説明において、ドライバ・トランジスタがn型のトランジスタ、ロード・トランジスタがp型のトランジスタとしていた。しかし、ドライバ・トランジスタおよびロード・トランジスタの型はこれに限定されず、ドライバ・トランジスタをp型のトランジスタ、ロード・トラ

ンジスタをn型のトランジスタとすることもできる。ただし、このようにn型とp型を入れ替えることは、以上の説明においてドライバ・トランジスタとロード・トランジスタの位置を入れ替えることと全く等価である。従ってドライバ・トランジスタがn型、ロード・トランジスタがp型と限定しても説明の一般性は失われない。

[0183] また、上記第7～第12実施例では、便宜上、第1のn型のトランジスタを第1のトランジスタ、第1のp型のトランジスタを第3のトランジスタとした。しかし、第1および第3のトランジスタはそれぞれ、n型およびp型のトランジスタに限定されるわけではなく、第1のn型のトランジスタを第3のトランジスタ、第1のp型のトランジスタを第1のトランジスタとしても良い。

[0184] 同様にして、第2および第4のトランジスタはそれぞれ、n型およびp型のトランジスタに限定されるわけではなく、第2のn型のトランジスタを第4のトランジスタ、第2のp型のトランジスタを第2のトランジスタとしても良い。

[0185] なお、図14、26、28、29および32において、少なくとも横方向に走る配線と縦方向に走る配線は、互いが短絡しないよう別層に別工程で形成する必要がある。また、横方向に走る配線同士、または縦方向に走る配線同士を適宜、別工程で形成しても良い。例えば、図14Aにおいて、グランド線Gndとワード線Wordを別工程で形成しても良い。これにより、別工程で形成した配線同士を、リソグラフィ技術の解像度によって制限される最小ピッチに比べて近接して配置することが可能となり、配線の密度を高めることができる。

[0186] 上記実施例1～12において、縦型トランジスタを上方から見た断面構造を円形としているが、断面構造は円形に限定されるわけではなく、楕円形、方形など、適宜、変更しても良い。

[0187] また、上記実施例1～12において、各部分の寸法は以下のような制約を課して決定している。すなわち、基体部、ゲート電極、配線、トランジスタなどの各要素を上から見た寸法は最小で略F以上とする。また、基体部同士、ゲート電極同士、配線同士、トランジスタ同士を上から見た間隔は最小でも略F以上とする。要素どうしの電気的接続をとるためには略F以上の重なりを設ける。このような制約を満足したセル構造により、実際に最小線幅Fの能力を有する製造装置を用いてセルを製造することが可

能となる。

[0188] また、本発明の半導体装置は各種の集積回路へ搭載することが可能であり、特に、SRAMとして用いることができる。

[0189] この出願は、2008年4月16日に出願された日本出願の特願2008－107011を基礎とする優先権を主張し、その開示範囲の全てをここに取り込む。

請求の範囲

[1] 少なくとも第1および第2のトランジスタ、並びに第1局所配線を備えた半導体装置であって、

第1および第2のトランジスタは、

基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備え、

第1局所配線は、

基体部表面から突出した凸部と、

前記凸部の側面から突出した突出部と、

を備え、

第1局所配線の凸部は、第1のトランジスタの下側導電領域に接続され、

第1局所配線の突出部は、第2のトランジスタのゲート電極に接続され、

第1局所配線の突出部の下面は、第2のトランジスタのゲート電極の上面以下の高さに配置される、

ことを特徴とする半導体装置。

[2] 第1局所配線は、第2のトランジスタの基体部上方で第2のトランジスタのゲート電極に接続され、

第1局所配線は、第2のトランジスタの基体部とは離間して絶縁されている、

ことを特徴とする請求項1に記載の半導体装置。

[3] 前記半導体装置は、少なくとも第3および第4のトランジスタをさらに備え、

第3および第4のトランジスタは、

基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備え、

第1のトランジスタのゲート電極と第3のトランジスタのゲート電極とが連結された第1の連結ゲート電極と、

第2のトランジスタのゲート電極と第4のトランジスタのゲート電極とが連結された第2の連結ゲート電極と、

を備え、

第1局所配線の突出部の下面は、第2の連結ゲート電極の上面以下の高さに配置され、

第1局所配線の凸部は、第1のトランジスタの下側導電領域と第3のトランジスタの下側導電領域とに接続され、

第2のトランジスタの下側導電領域と第4のトランジスタの下側導電領域とは電気的に接続されており、

第1のトランジスタは、第1のn型トランジスタおよび第1のp型トランジスタの一方であり、第3のトランジスタは、第1のn型トランジスタおよび第1のp型トランジスタの他方であり、

第2のトランジスタは、第2のn型トランジスタおよび第2のp型トランジスタの一方であり、第4のトランジスタは、第2のn型トランジスタおよび第2のp型トランジスタの他方である、

ことを特徴とする請求項1または2に記載の半導体装置。

[4] 第1のn型トランジスタと、第1のp型トランジスタと、第2のn型トランジスタと、第2のp型トランジスタとは、第1のn型トランジスタから第1のp型トランジスタへ向かう方向と、第2のn型トランジスタから第2のp型トランジスタへ向かう方向とが、平行となるように配置されている、

ことを特徴とする請求項3に記載の半導体装置。

[5] 第1のn型トランジスタの基体部と、第1のp型トランジスタの基体部とが一体に形成された第1の連結基体部と、

第2のn型トランジスタの基体部と、第2のp型トランジスタの基体部とが一体に形成された第2の連結基体部と、

を備え、

第1の連結ゲート電極は、第1の連結基体部の上方に設けられ、

第2の連結ゲート電極は、第2の連結基体部の上方に設けられている、

ことを特徴とする請求項3または4に記載の半導体装置。

[6] 第1の連結基体部は、第1のn型トランジスタおよび第1のp型トランジスタの一方から他方へ向かう方向に延在する第1の基体延在部を備え、

第1局所配線の凸部は、第1の基体延在部に接続されている、

ことを特徴とする請求項5に記載の半導体装置。

[7] 第1局所配線の突出部は、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間で、第2の連結ゲート電極に接続され、

第1局所配線は、第2の連結基体部とは離間して絶縁されている、

ことを特徴とする請求項6に記載の半導体装置。

[8] 前記半導体装置は、少なくとも第5および第6のトランジスタ、並びに第2局所配線をさらに備え、

第5および第6のトランジスタは、

基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備え、

第2局所配線は、

基体部表面から突出した凸部と、

前記凸部の側面から突出した突出部と、

を備え、

第5のトランジスタのゲート電極と第6のトランジスタのゲート電極とが連結された第3の連結ゲート電極と、

第5のトランジスタの基体部と、第6のトランジスタの基体部とが一体に形成された第3の連結基体部と、

を備え、

第2局所配線の突出部は、第5のトランジスタの柱部と第6のトランジスタの柱部との間で、第3の連結ゲート電極に接続され、

第2局所配線の突出部の下面は、第3の連結ゲート電極の上面以下の高さに配置され、

第2局所配線は、第3の連結基体部とは離間して絶縁され、

第2の連結基体部は、第1の連結基体部の延在方向と反対方向に延在する第2の基体延在部を備え、

第2局所配線の凸部は、第2のn型トランジスタの下側導電領域と第2のp型トランジスタの下側導電領域とに接続され、

第2局所配線の凸部は、第2の基体延在部に接続され、

第5のトランジスタの下側導電領域と第6のトランジスタの下側導電領域とは電気的に接続され、

第5のトランジスタは、第3のn型トランジスタおよび第3のp型トランジスタの一方であり、第6のトランジスタは、第3のn型トランジスタおよび第3のp型トランジスタの他方である、

ことを特徴とする請求項7に記載の半導体装置。

[9] 第2の連結ゲート電極は、その連結方向に延長される第1のゲート延長部を備え、

第1局所配線の突出部は、第1のゲート延長部に接続される、

ことを特徴とする請求項5または6に記載の半導体装置。

[10] 第1局所配線の突出部は、第2の連結基体部上方で第1のゲート延長部に接続され、

第1局所配線は、第2の連結基体部とは離間して絶縁されている、

ことを特徴とする請求項9に記載の半導体装置。

[11] 第1の連結基体部は、第1導電型半導体領域と、該第1導電型半導体領域に接合する第2導電型半導体領域とを備え、

第1の連結基体部の第1導電型半導体領域には、第1のn型トランジスタの柱部が設けられ、

第1の連結基体部の第2導電型半導体領域には、第1のp型トランジスタの柱部が設けられ、

第1の連結基体部の第1導電型半導体領域と第2導電型半導体領域との境界を含む領域上に、金属含有導電層が設けられ、

第2の連結基体部は、第1導電型半導体領域と、該第1導電型半導体領域に接合する第2導電型半導体領域とを備え、

第2の連結基体部の第1導電型半導体領域には、第2のn型トランジスタの柱部が設けられ、

第2の連結基体部の第2導電型半導体領域には、第2のp型トランジスタの柱部が設けられ、

第2の連結基体部の第1導電型半導体領域と第2導電型半導体領域との境界を含む領域上に、金属含有導電層が設けられている、

ことを特徴とする請求項5から10のいずれか1項に記載の半導体装置。

[12] 前記半導体装置は、スタティックランダムアクセスメモリセルを備え、

前記スタティックランダムアクセスメモリセルは、

第1のn型トランジスタと、第1のp型トランジスタと、

第2のn型トランジスタと、第2のp型トランジスタと、

第1および第2のアクセストランジスタと、

第3局所配線と、

を少なくとも備え、

第1および第2のアクセストランジスタは、

基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と

、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備え、

第3局所配線は、

前記基体部から突出した凸部と、

前記凸部の側面から突出した突出部と、

を備え、

第1局所配線の凸部は、第1のn型トランジスタの下側導電領域と、第1のp型トランジスタの下側導電領域と、第1のアクセストランジスタの下側導電領域と、に接続され

、

第1局所配線の突出部は、第2の連結ゲート電極に接続され、

第1局所配線の突出部の下面は、第2の連結ゲート電極の上面以下の高さに配置され、

第3局所配線の凸部は、第2のn型トランジスタの下側導電領域と、第2のp型トランジスタの下側導電領域と、第2のアクセストランジスタの下側導電領域と、に接続され

、

第3局所配線の突出部は、第1の連結ゲート電極に接続され、

第3局所配線の突出部の下面は、第1の連結ゲート電極の上面以下の高さに配置される、

ことを特徴とする請求項3または4に記載の半導体装置。

[13] 第1のn型トランジスタの基体部と、第1のp型トランジスタの基体部とが一体に形成された第1の連結基体部と、

第2のn型トランジスタの基体部と、第2のp型トランジスタの基体部とが一体に形成された第2の連結基体部と、

を備え、

第1の連結ゲート電極は、第1の連結基体部の上方に設けられ、

第3局所配線の突出部は、第1のn型トランジスタの柱部と第1のp型トランジスタの柱部との間で、第1の連結ゲート電極に接続され、

第3局所配線は、第1の連結基体部とは離間して絶縁され、

第2の連結ゲート電極は、第2の連結基体部の上方に設けられ、

第1局所配線の突出部は、第2のn型トランジスタの柱部と第2のp型トランジスタの柱部との間で、第2の連結ゲート電極に接続され、

第1局所配線は、第2の連結基体部とは離間して絶縁されている、

ことを特徴とする請求項12に記載の半導体装置。

[14] 第1の連結基体部は、第1導電型半導体領域と、該第1導電型半導体領域に接合する第2導電型半導体領域とを備え、

第1の連結基体部の第1導電型半導体領域には、

第1のアクセストランジスタの柱部と、

第1のn型トランジスタおよび第1のp型トランジスタの一方のトランジスタの柱部と、

が設けられ、

第1の連結基体部の第2導電型半導体領域には、第1のn型トランジスタおよび第1のp型トランジスタの他方のトランジスタの柱部が設けられ、

第1の連結基体部の第1導電型半導体領域と第2導電型半導体領域との境界を含む領域上に、金属含有導電層が設けられ、

第2の連結基体部は、第1導電型半導体領域と、該第1導電型半導体領域に接合する第2導電型半導体領域とを備え、

第2の連結基体部の第1導電型半導体領域には、

第2のアクセストランジスタの柱部と、

第2のn型トランジスタおよび第2のp型トランジスタの一方のトランジスタの柱部と、

が設けられ、

第2の連結基体部の第2導電型半導体領域には、第2のn型トランジスタおよび第

2のp型トランジスタの他方のトランジスタの柱部が設けられ、

第2の連結基体部の第1導電型半導体領域と第2導電型半導体領域との境界を含む領域上に、金属含有導電層が設けられている、

ことを特徴とする請求項12または13に記載の半導体装置。

[15] 少なくとも第1および第2のトランジスタ、並びに第1局所配線を備えた半導体装置の製造方法であって、

(1)基体部表面から突出した半導体からなる柱部と、

前記基体部に設けられたソースおよびドレインの一方となる下側導電領域と、

前記柱部の上部に設けられたソースおよびドレインの他方となる上側導電領域と、

前記柱部の側面上に設けられたゲート電極と、

前記ゲート電極と前記柱部との間に介在するゲート絶縁膜と、

を備えた第1および第2のトランジスタを形成する工程と、

(2)前記基体部表面から突出した凸部と、

前記凸部の側面から突出した突出部と、

を備え、

前記凸部は、第1のトランジスタの下側導電領域に接続され、

前記突出部は、第2のトランジスタのゲート電極に接続され、

前記突出部の下面は、第2のトランジスタのゲート電極の上面以下の高さに配置される、第1局所配線を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

[16] 前記工程(2)において、

第1局所配線は、第2のトランジスタの基体部上方で第2のトランジスタのゲート電極に接続され、

第1局所配線は、第2のトランジスタの基体部とは離間して絶縁されるように、第1局所配線を形成することを特徴とする請求項15に記載の半導体装置の製造方法。

[17] 前記工程(2)は、

全面に絶縁膜を形成する工程と、

第2のトランジスタのゲート電極が露出するまで第1および第2のトランジスタ上の絶縁膜を除去する工程と、

第1のトランジスタの下側導電領域上の絶縁膜を、第1のトランジスタの下側導電領域が露出するまで除去する工程と、

第1のトランジスタの下側導電領域と、第2のトランジスタのゲート電極とを電気的に接続するように金属材料を堆積させることによって前記第1局所配線を形成する工程と、

を有することを特徴とする請求項16に記載の半導体装置の製造方法。

[18] 前記工程(2)は、

全面に絶縁膜を形成する工程と、

第1のトランジスタの下側導電領域上の絶縁膜を、第1のトランジスタの下側導電領域が露出するまで除去する工程と、

露出した第1のトランジスタの下側導電領域上にマスクを設ける工程と、

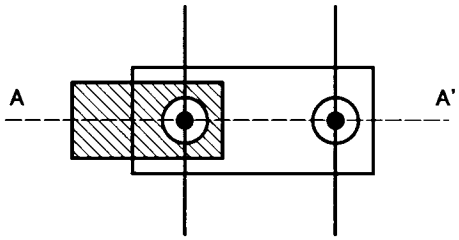
第2のトランジスタのゲート電極が露出するまで第1および第2のトランジスタ上の絶縁膜およびマスクを除去する工程と、

残留した第1のトランジスタの下側導電領域上のマスクを除去して第1のトランジスタの下側導電領域を露出させる工程と、

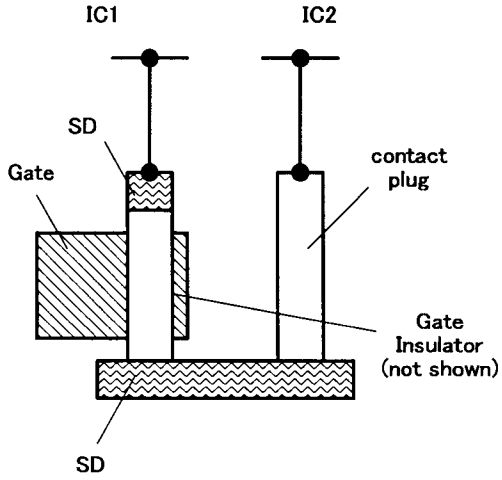
第1のトランジスタの下側導電領域と、第2のトランジスタのゲート電極とを電気的に接続するように金属材料を堆積させることによって前記第1局所配線を形成する工程と、

を有することを特徴とする請求項16に記載の半導体装置の製造方法。

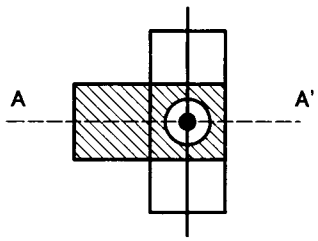
[図1A]



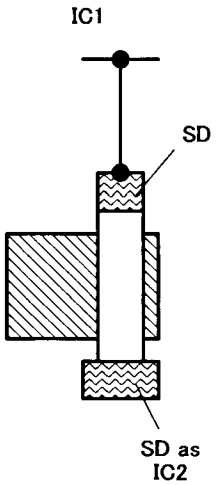
[図1B]



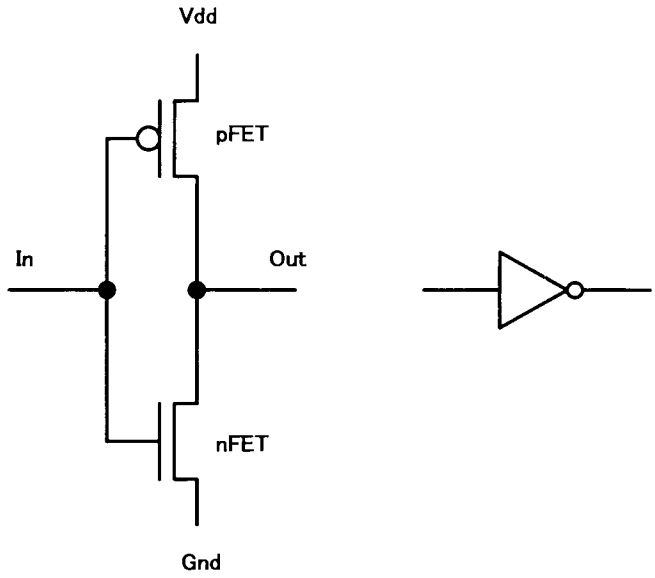
[図1C]



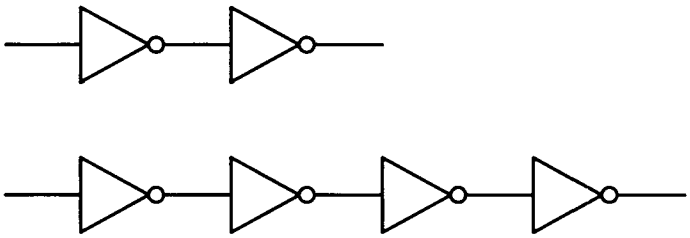
[図1D]



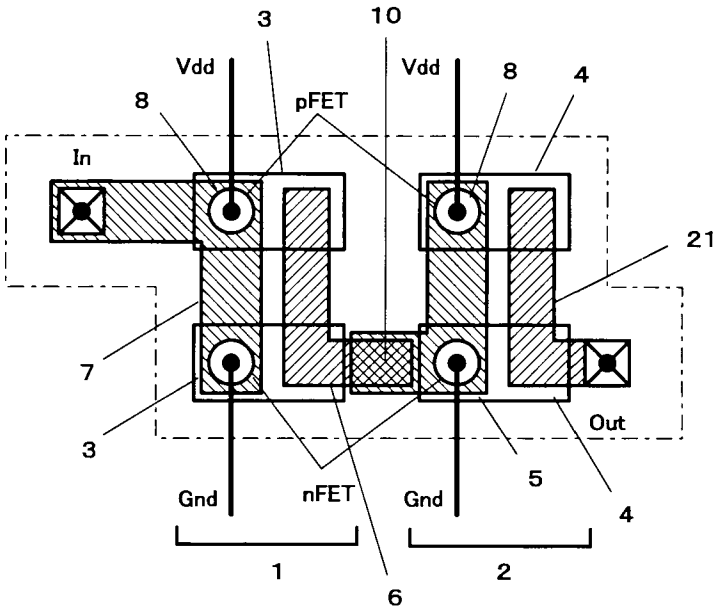
[図2]


Vdd
pFET
In
Out
nFET
Gnd

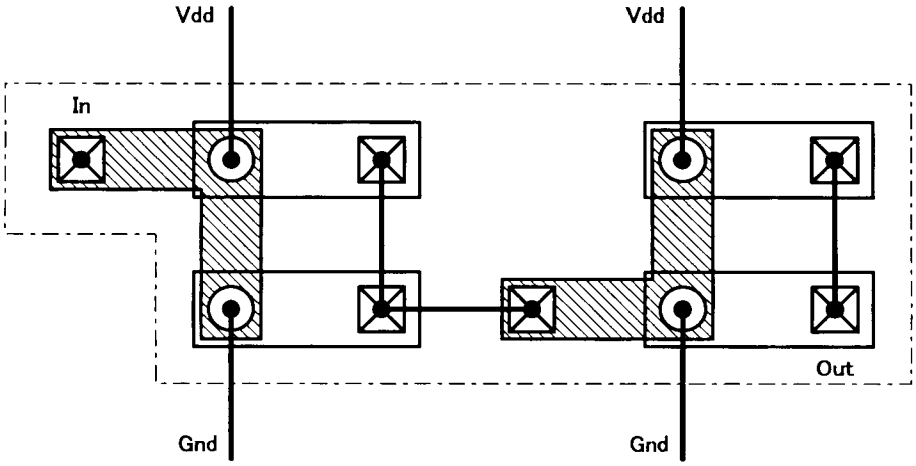
[図3]



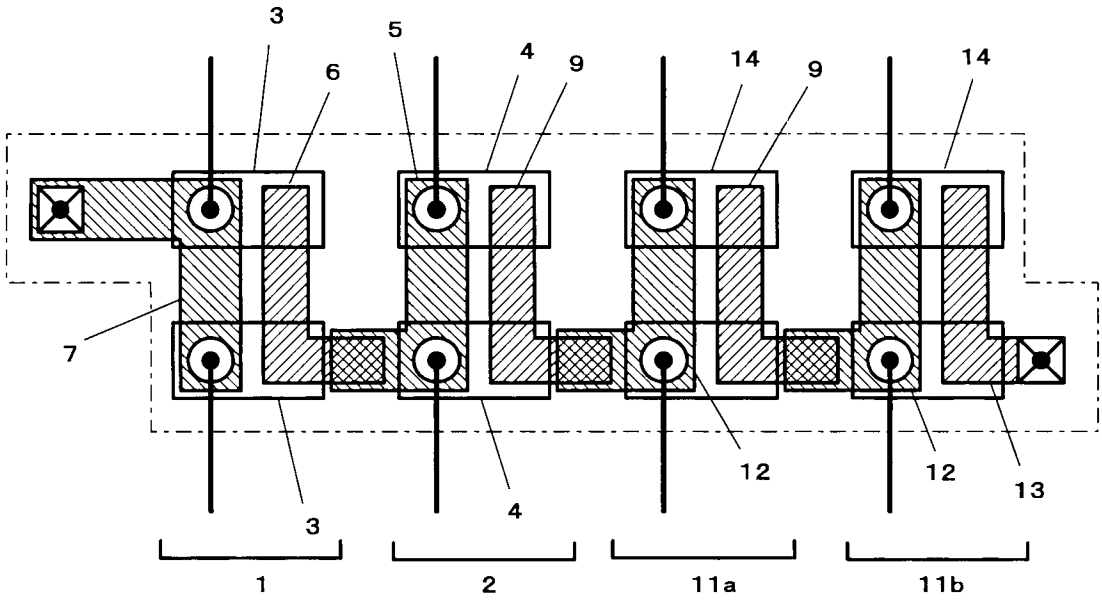
[図4A]


3
10
Vdd
Vdd
8
4
8
pFET
In
21
7
3
Out
5
Gnd
nFET
Gnd
4
1
2
6

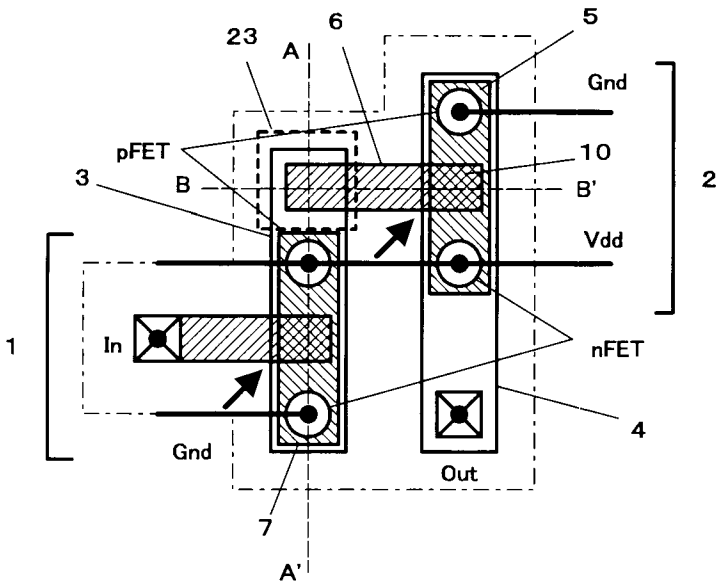
[図4B]


Vdd
Vdd
In
Out
Gnd
Gnd

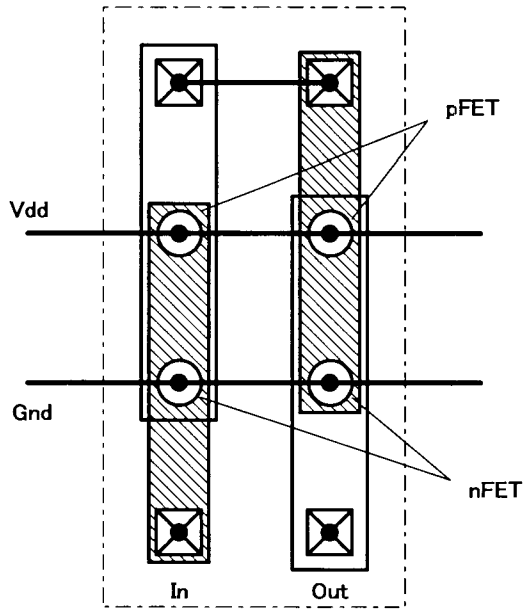
[図5]


3
5
4
9
14
9
14
6
7
12
12
13
3
4
1
2
11a
11b

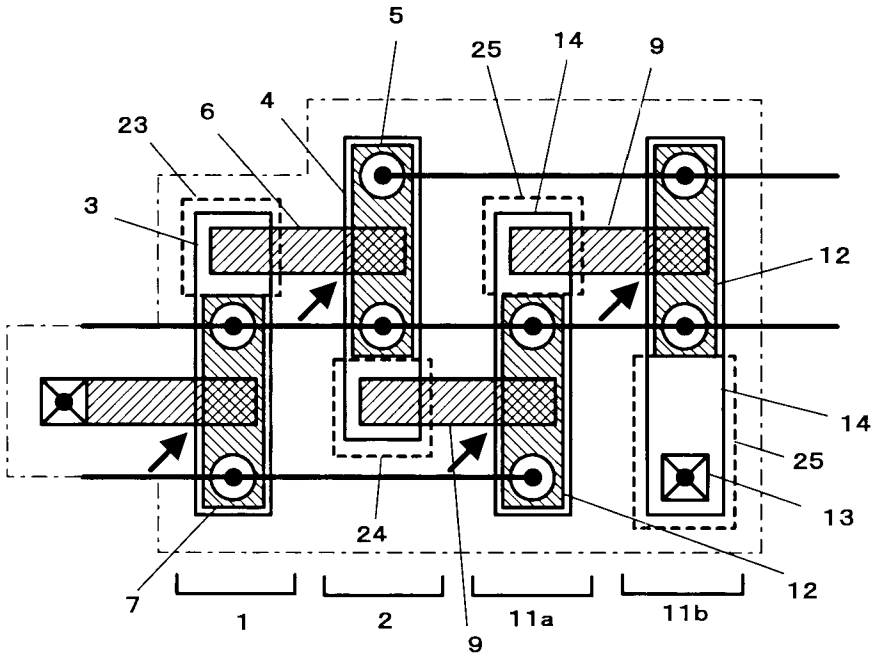
[図6A]


23
A
6
5
Gnd
pFET
10
3
B
B'
2
Vdd
1
In
nFET
4
Gnd
Out
7
A'

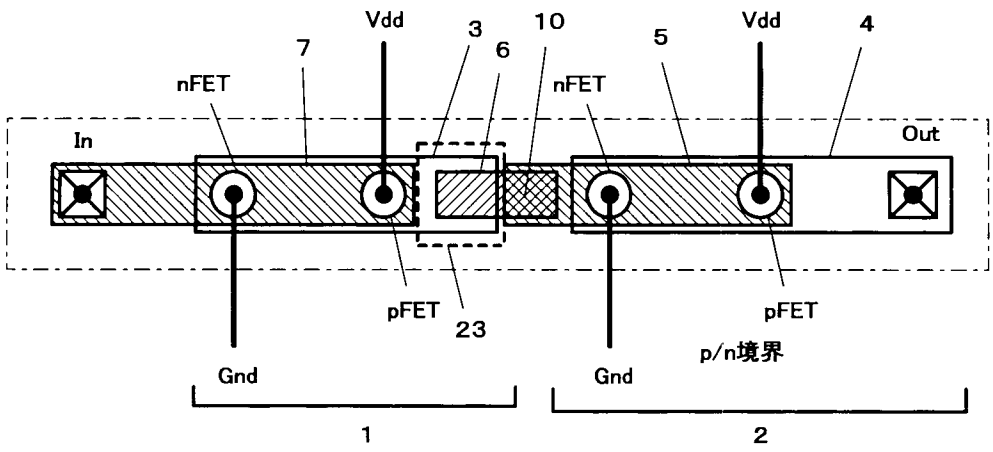
[図6B]


pFET
Vdd
Gnd
nFET
In
Out

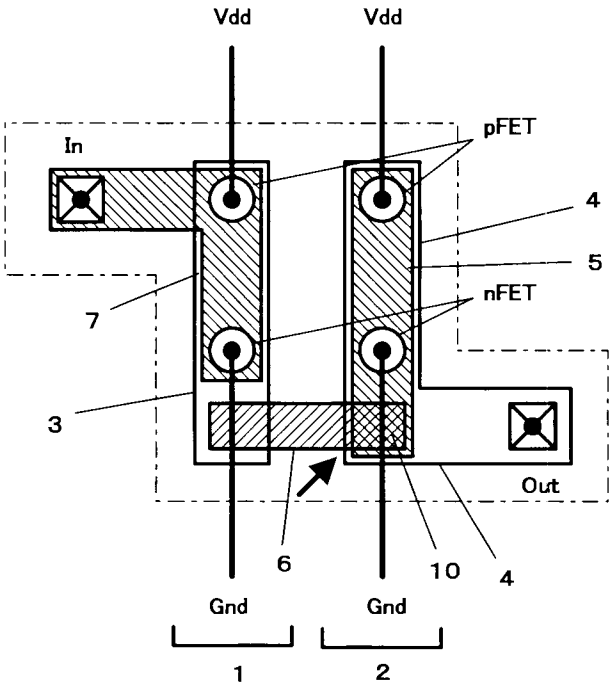
[図7]


5
25
14
9
4
6
23
3
12
14
25
13
24
12
7
1
2
11a
11b
9

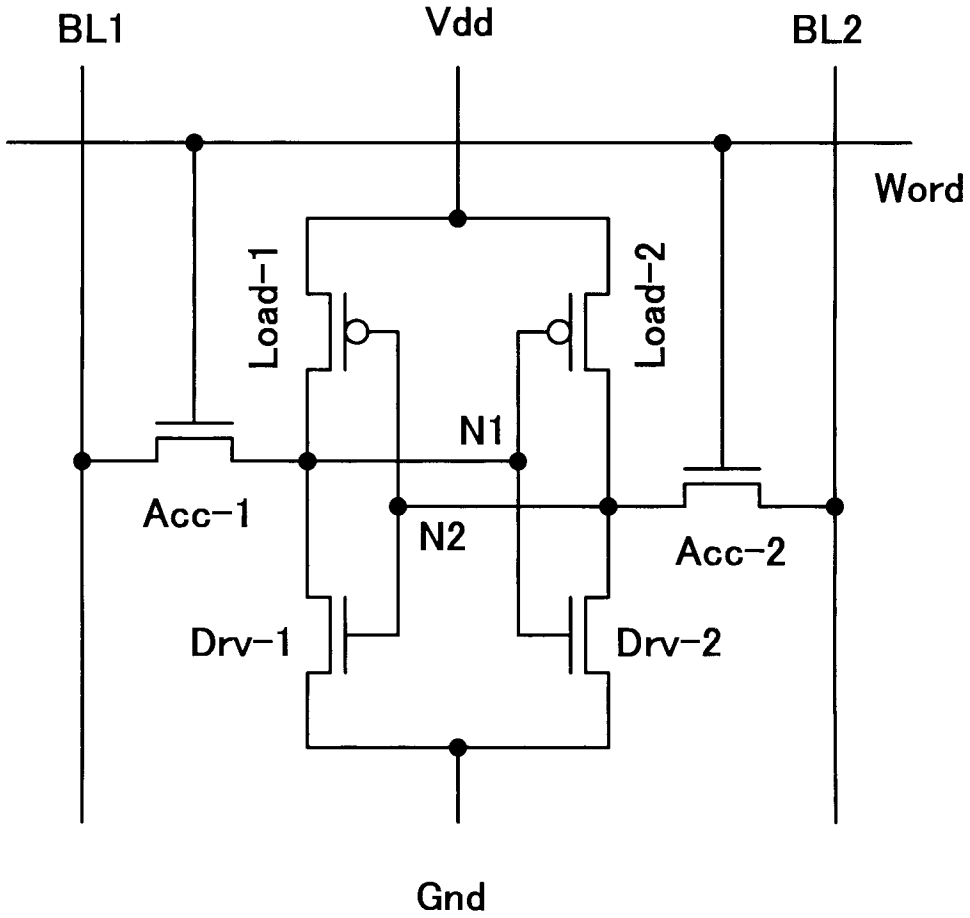
[図8]


Vdd
3
10
Vdd
4
7
6
5
nFET
nFET
In
Out
pFET
23
pFET
p/n境界
Gnd
Gnd
1
2

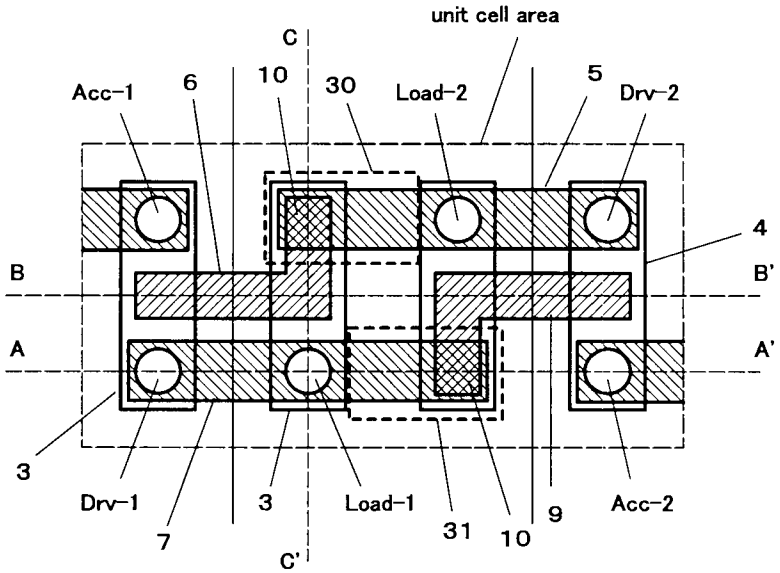
[図9]


Vdd
Vdd
In
pFET
4
5
nFET
7
3
Out
6
10
4
Gnd
Gnd
1
2

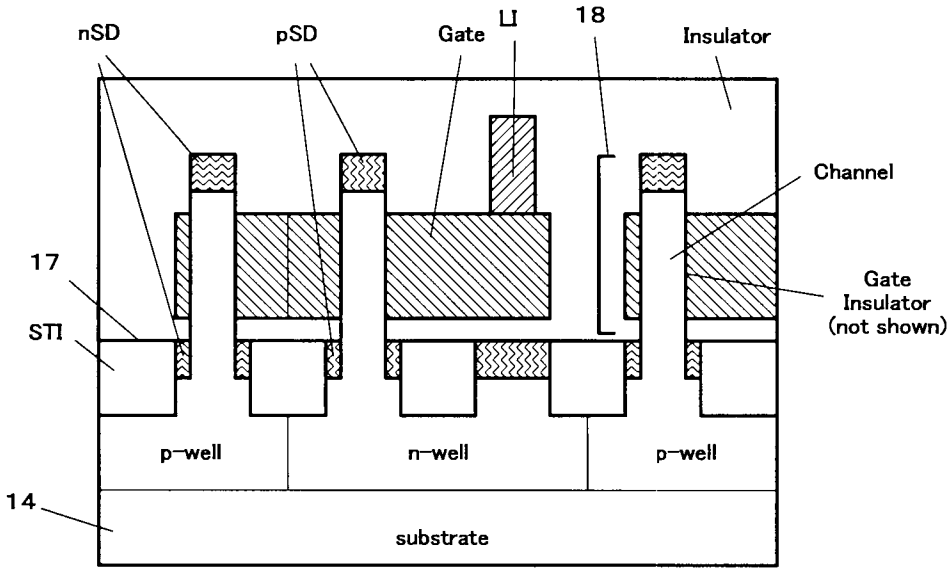
[図10]


BL1
Vdd
BL2
Word
Load-1
Load-2
N1
Acc-1
N2
Acc-2
Drv-1
Drv-2
Gnd

[図11A]

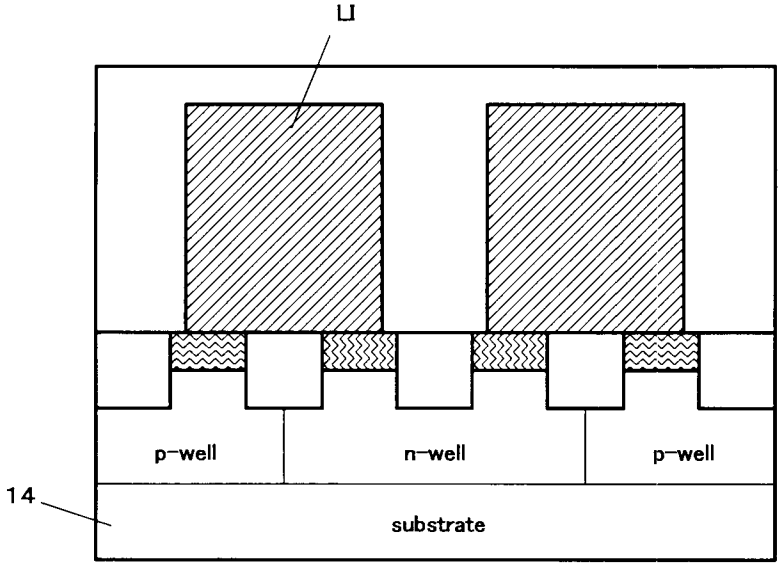


[図11B]



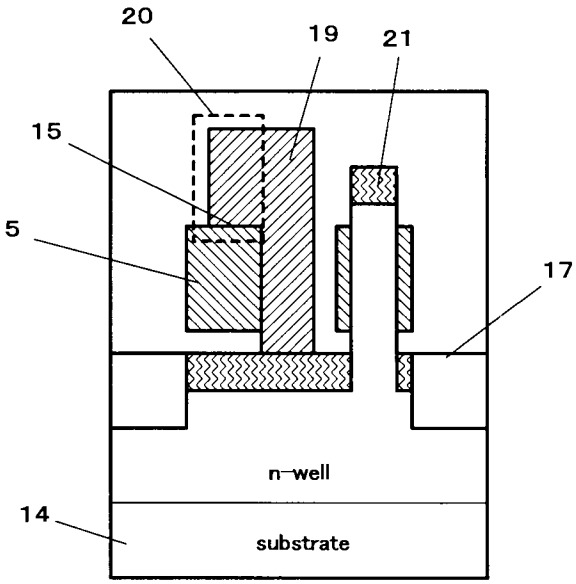
A-A'断面

[図12A]



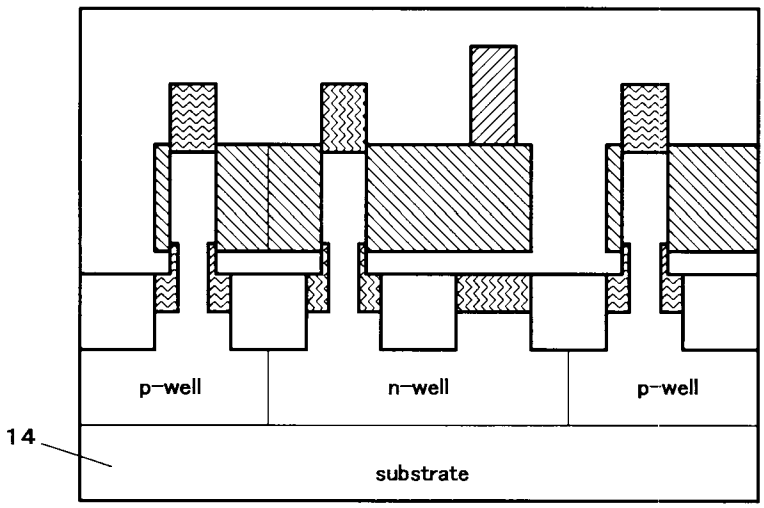
B-B'断面

[図12B]

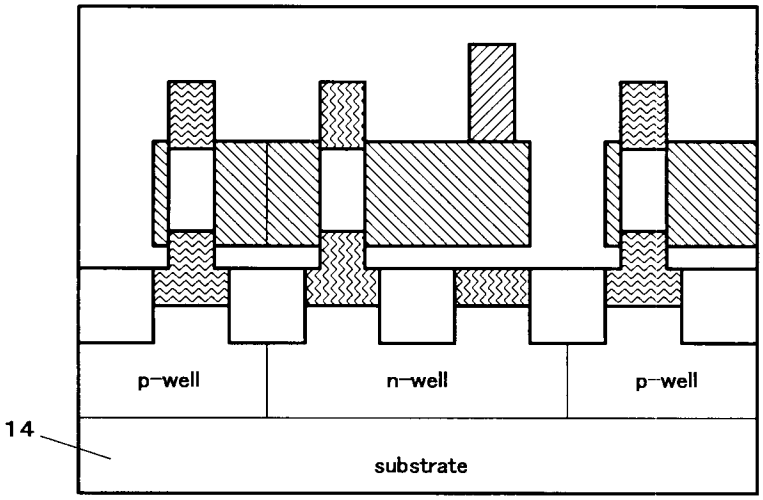


C-C'断面

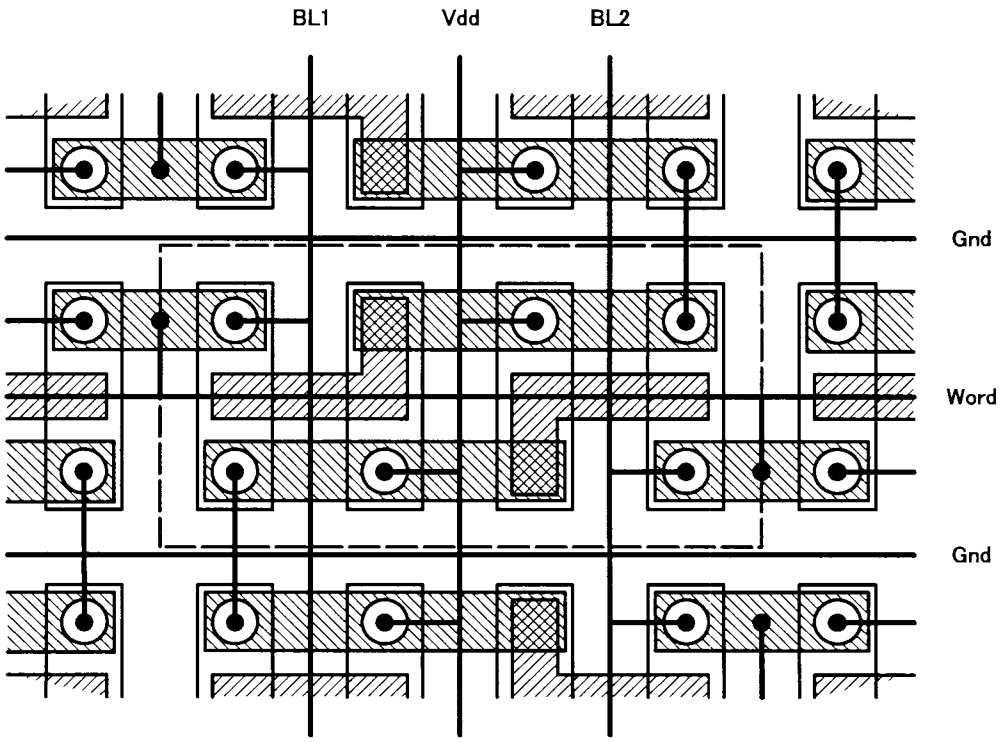
[図13A]



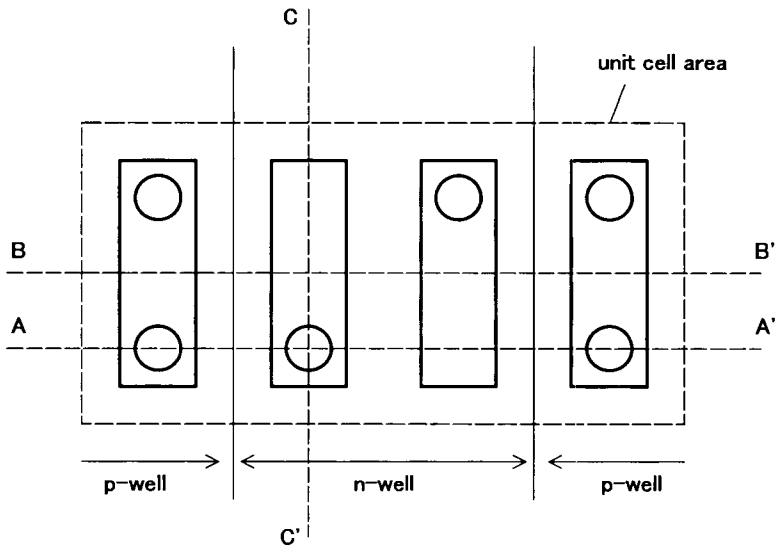
[図13B]



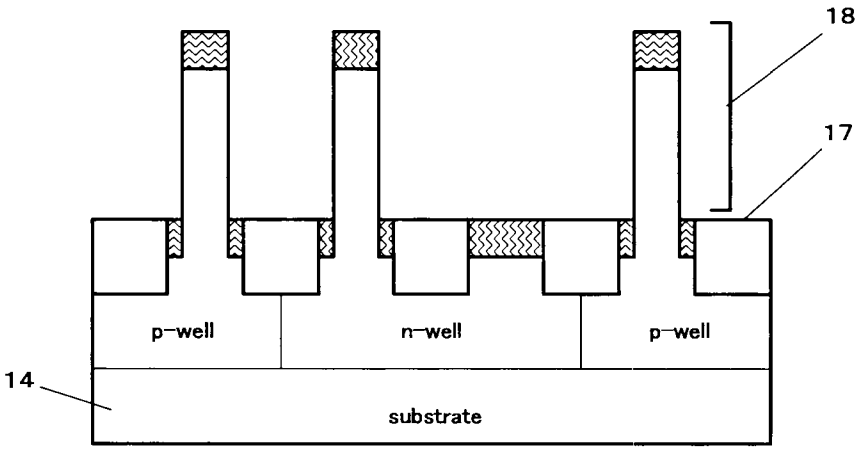
[図14]



[図15A]

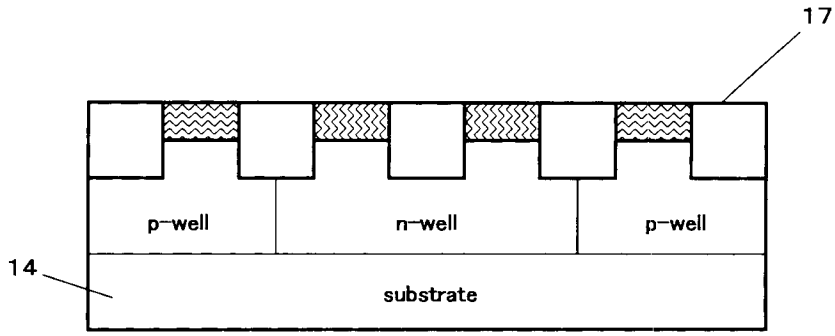


[図15B]



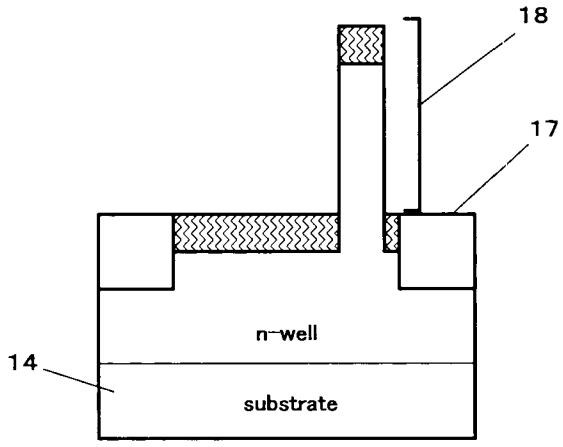
A-A'断面

[図16A]



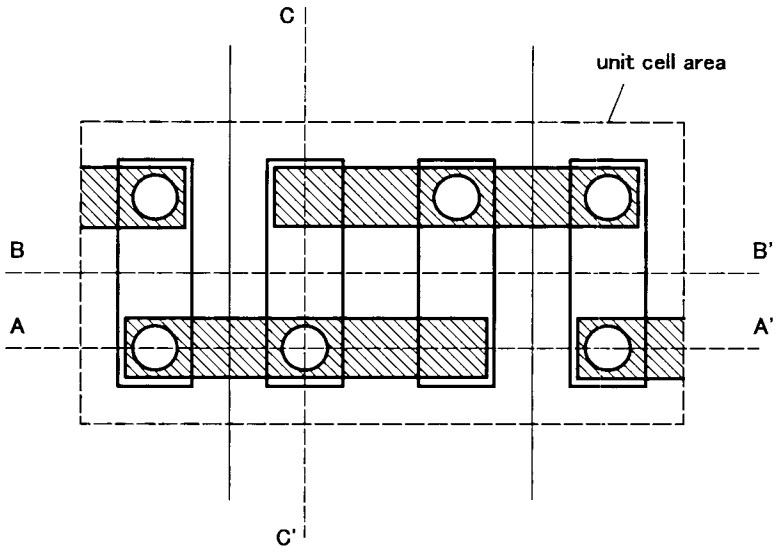
B-B'断面

[図16B]

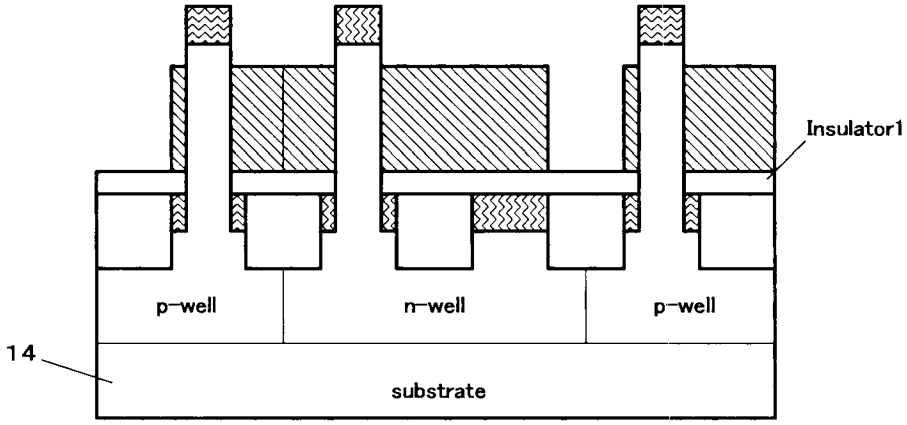


C-C'断面

[図17A]

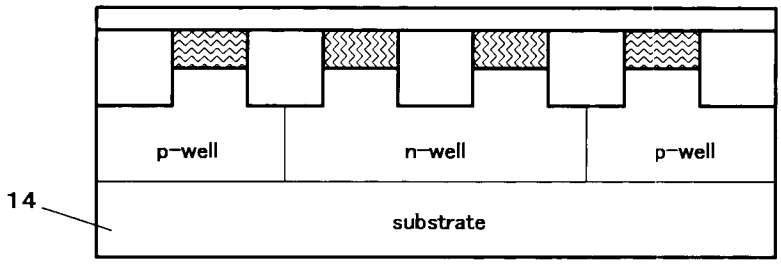


[図17B]



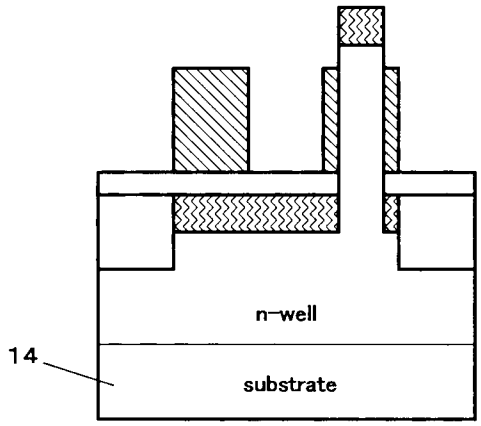
A-A'断面

[図18A]



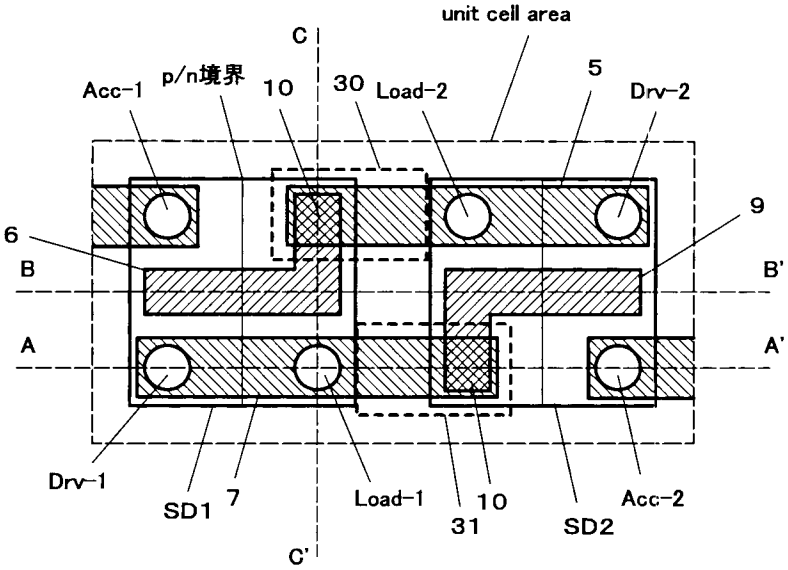
B-B'断面

[図18B]

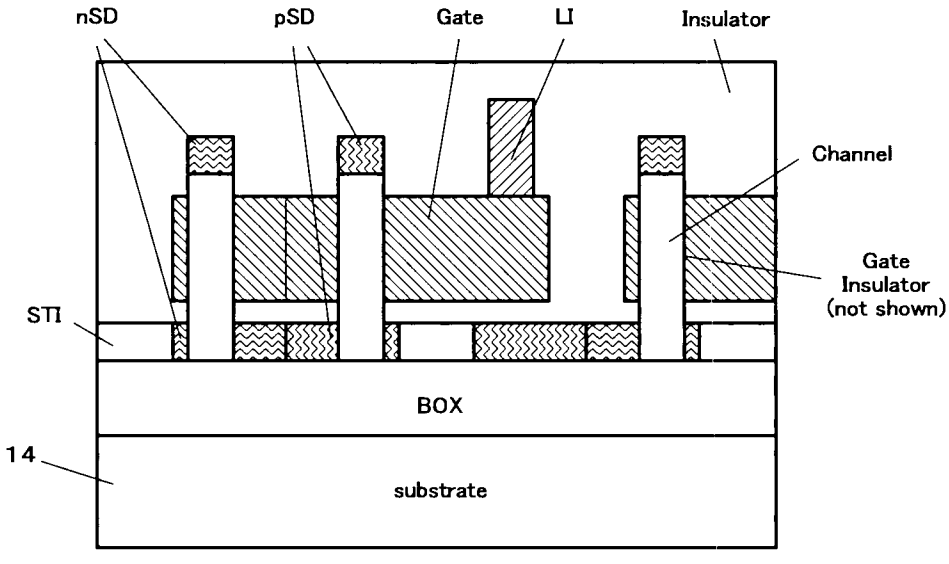


C-C'断面

[図19A]

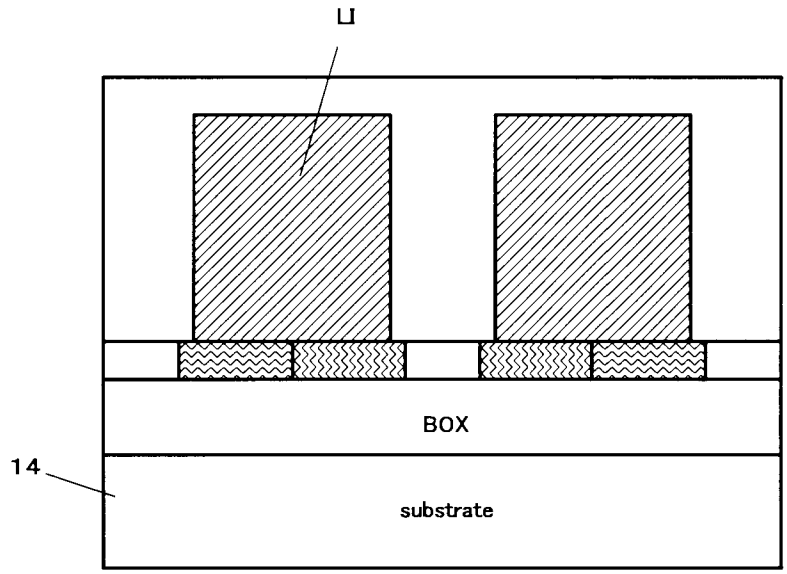


[図19B]



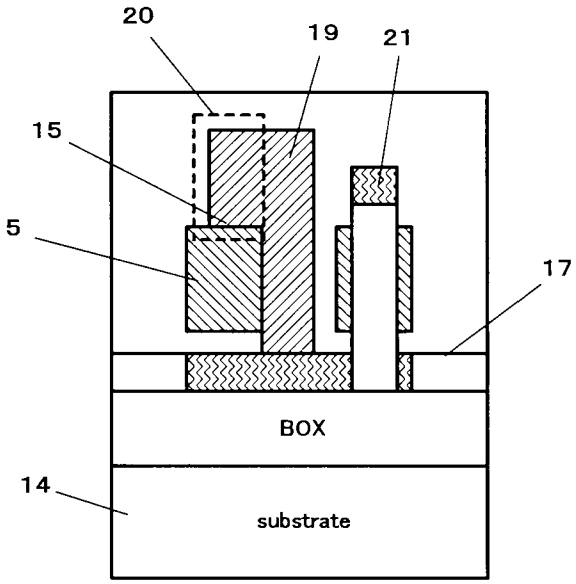
A-A'断面

[図20A]



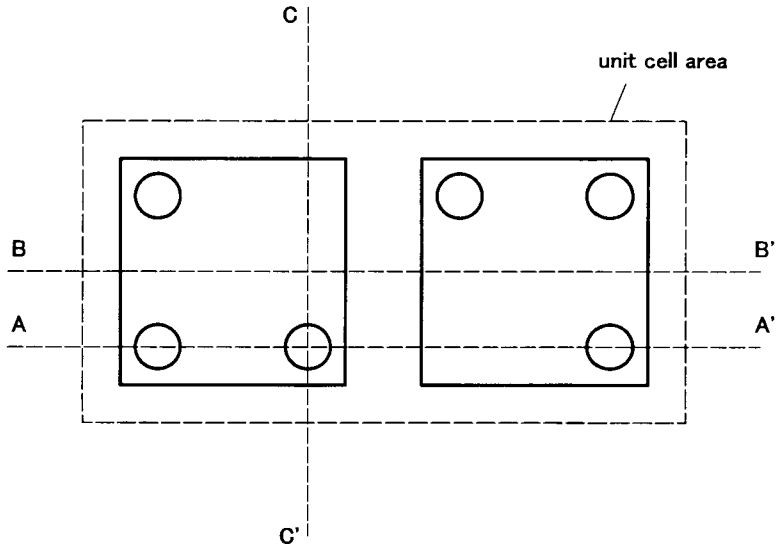
B-B'断面

[図20B]

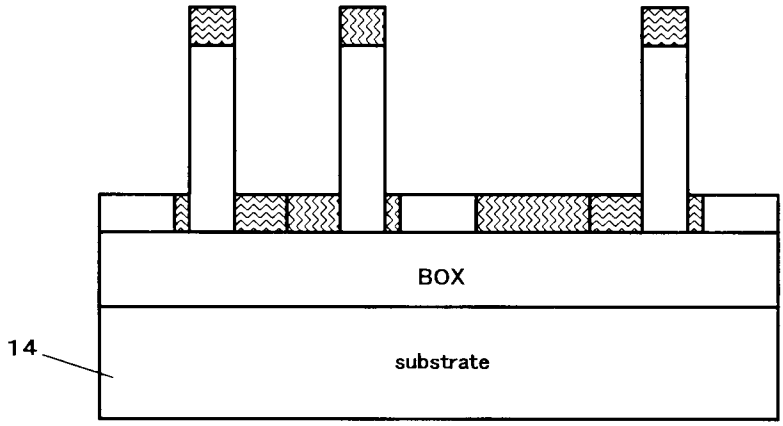


C-C'断面

[図21A]

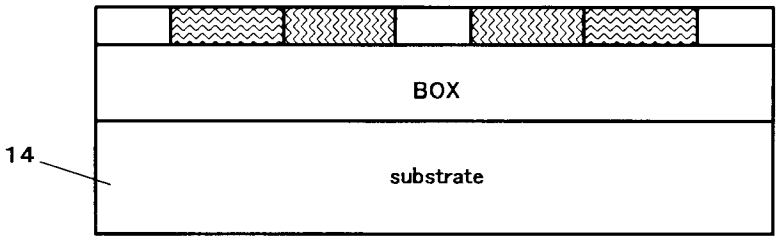


[図21B]



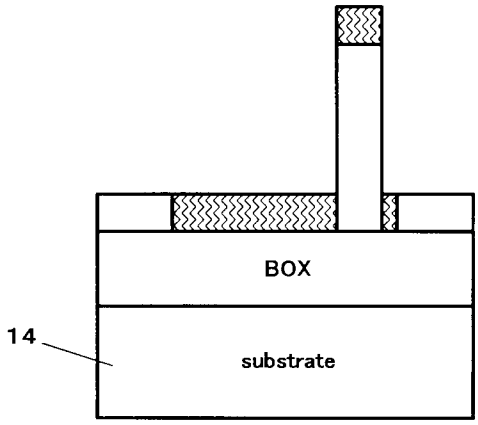
A-A'断面

[図22A]



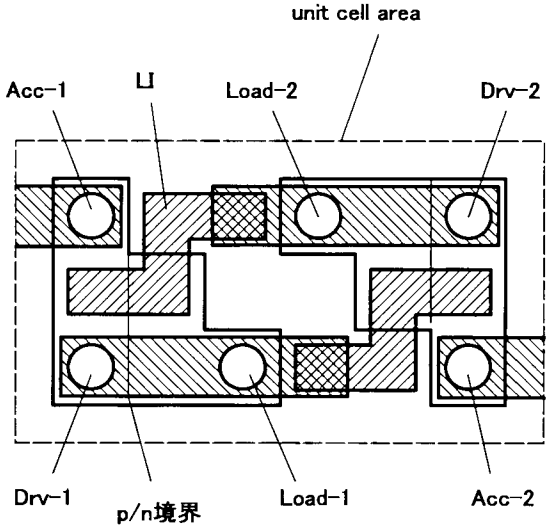
B-B'断面

[図22B]

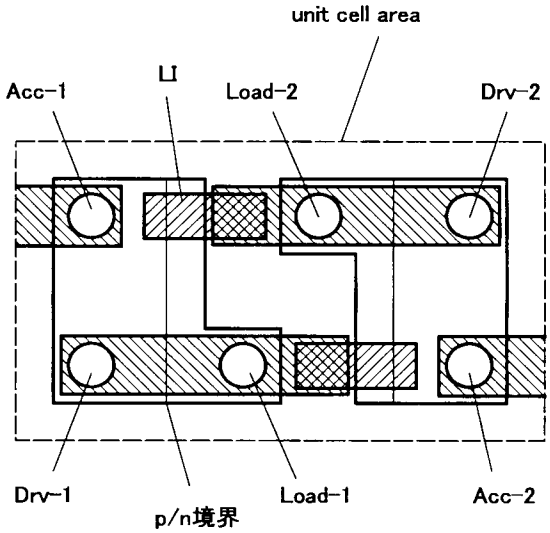


C-C'断面

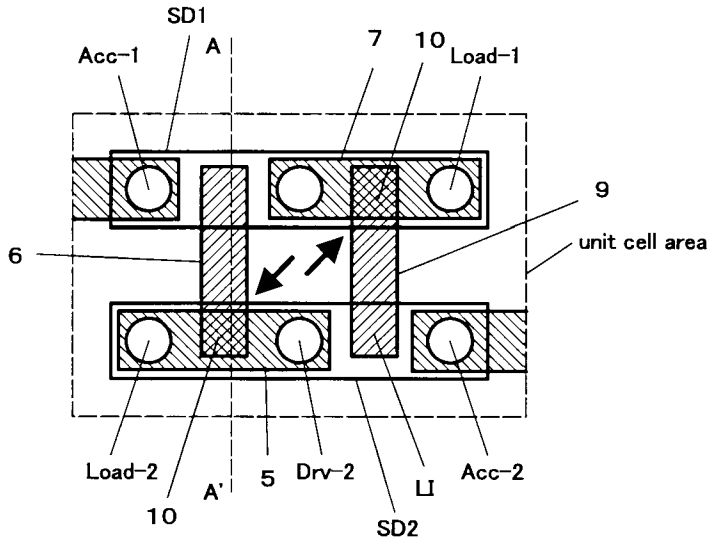
[図23A]



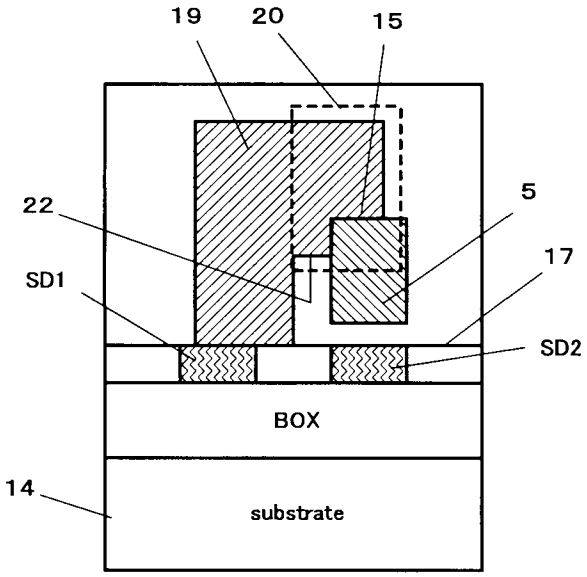
[図23B]



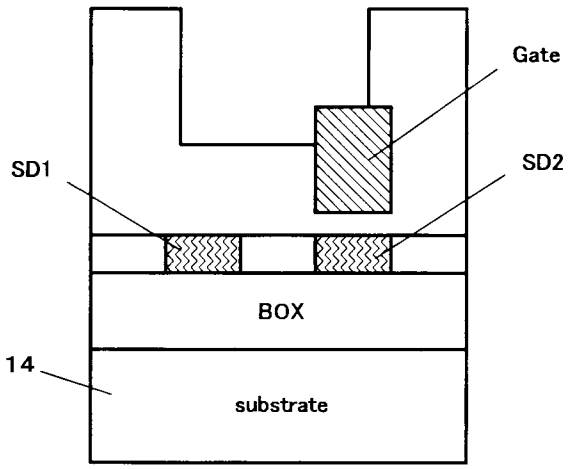
[図24A]



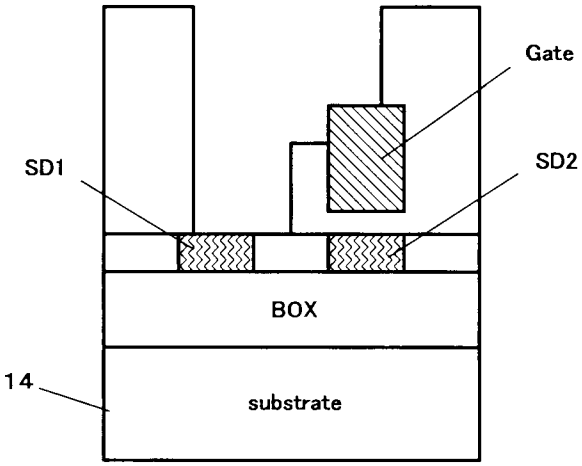
[図24B]



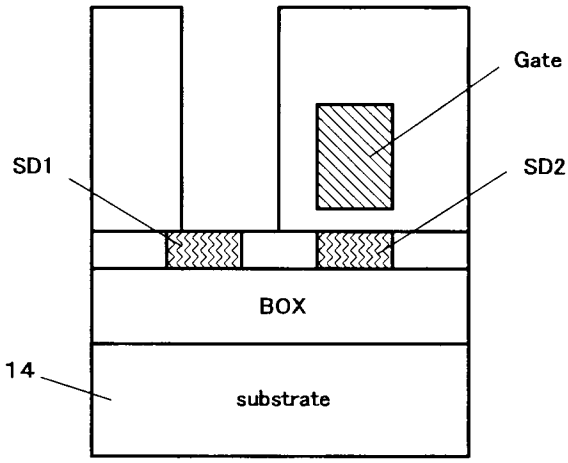
[図25A]



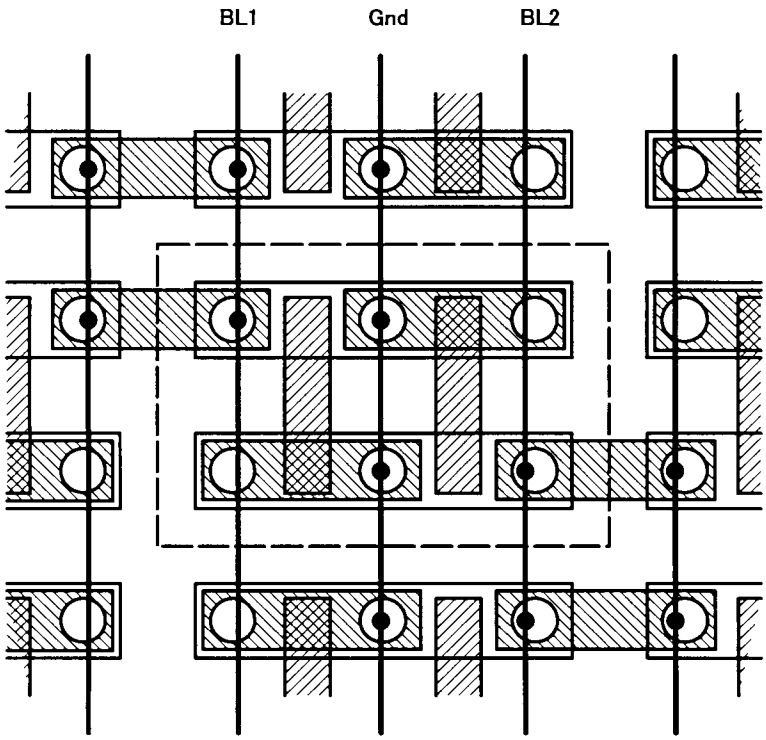
[図25B]



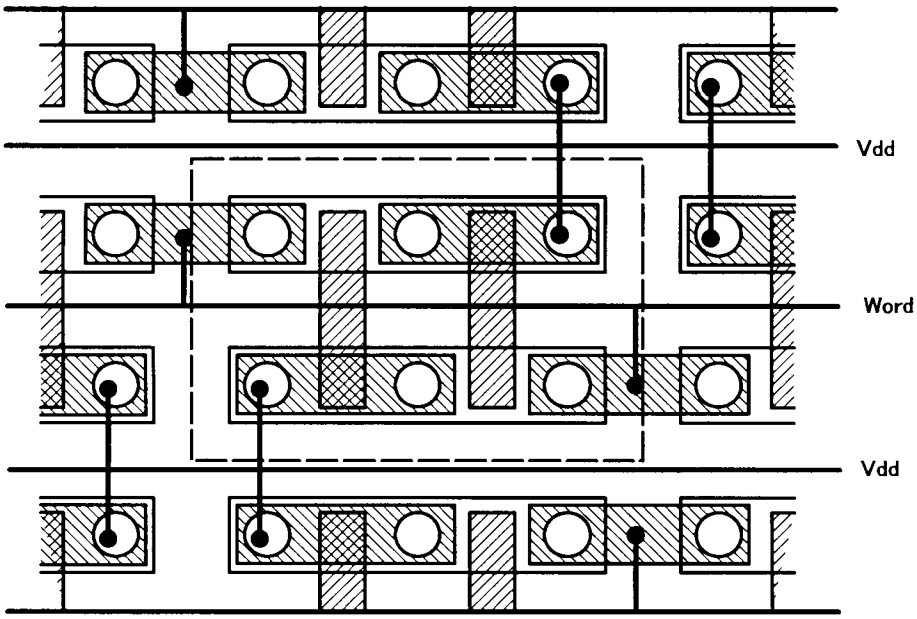
[図25C]



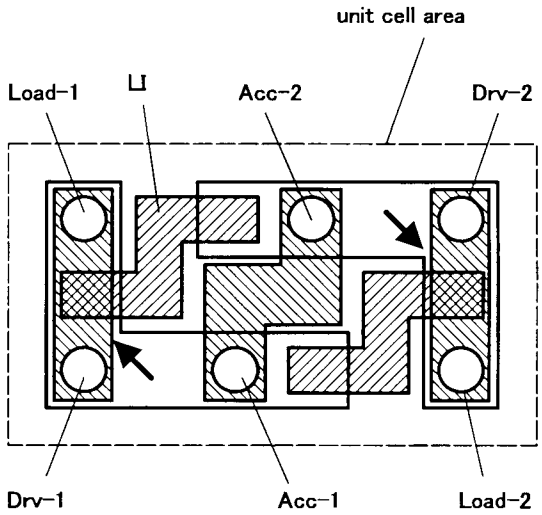
[図26A]



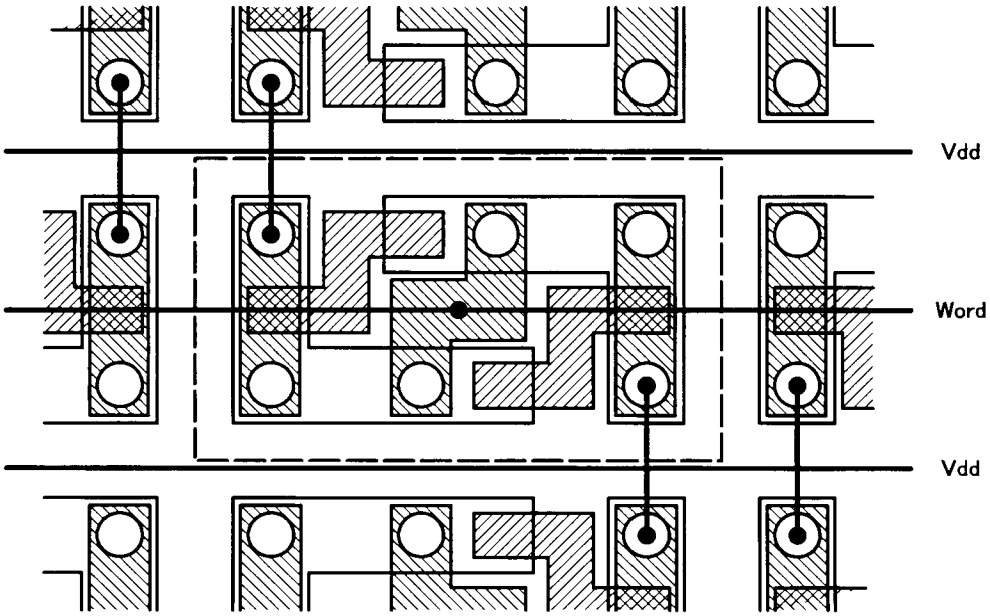
[図26B]



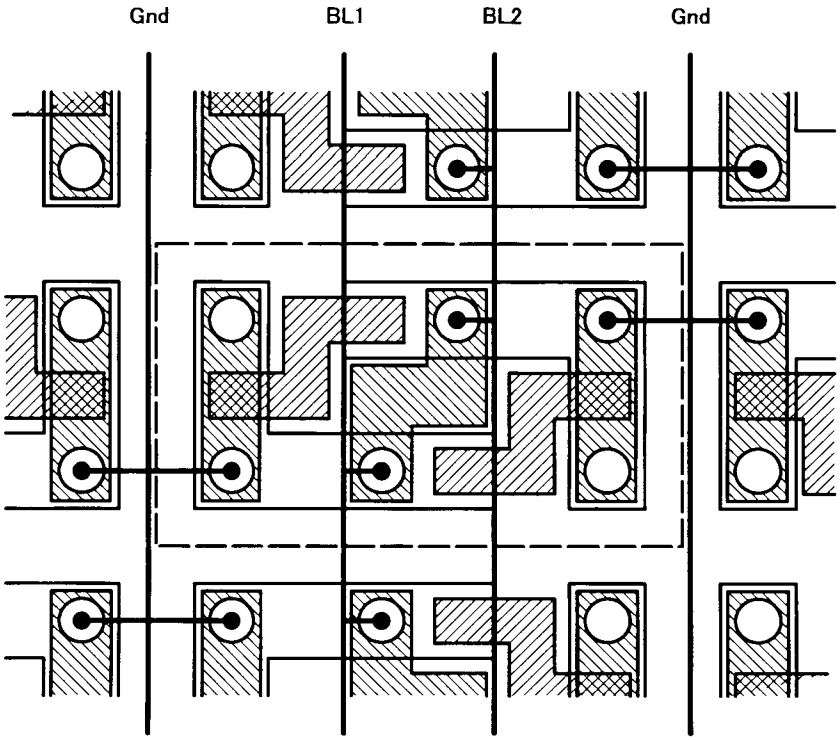
[図27]



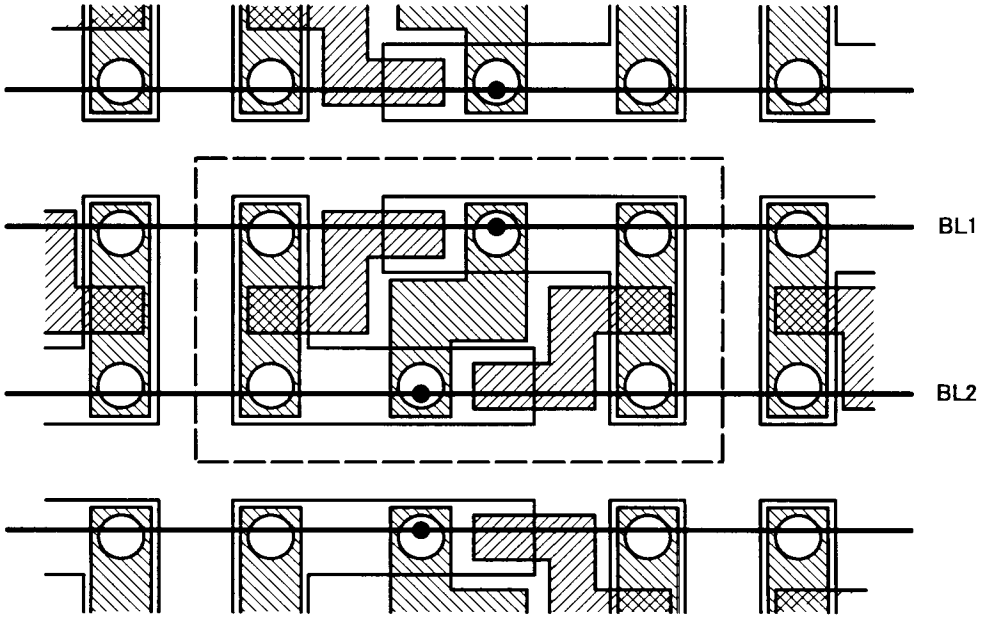
[図28A]



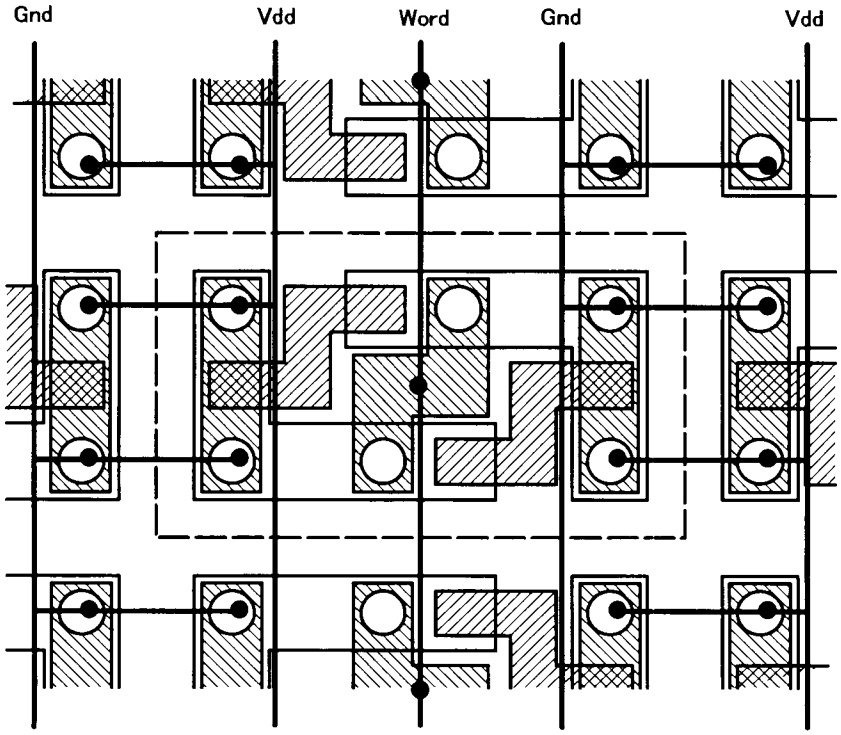
[図28B]



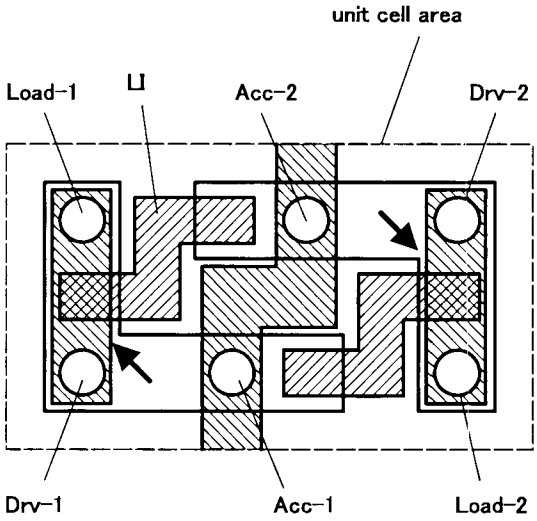
[図29A]



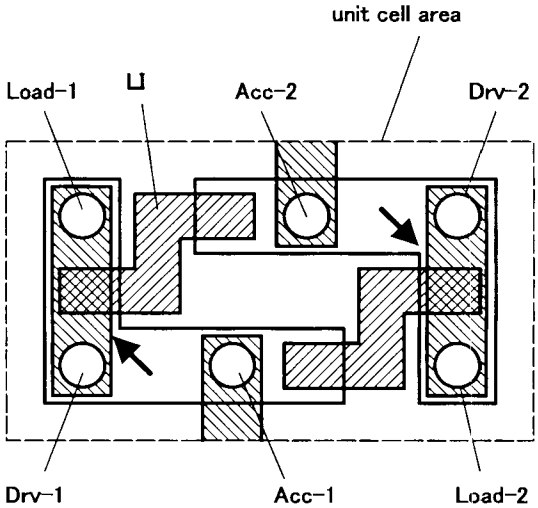
[図29B]



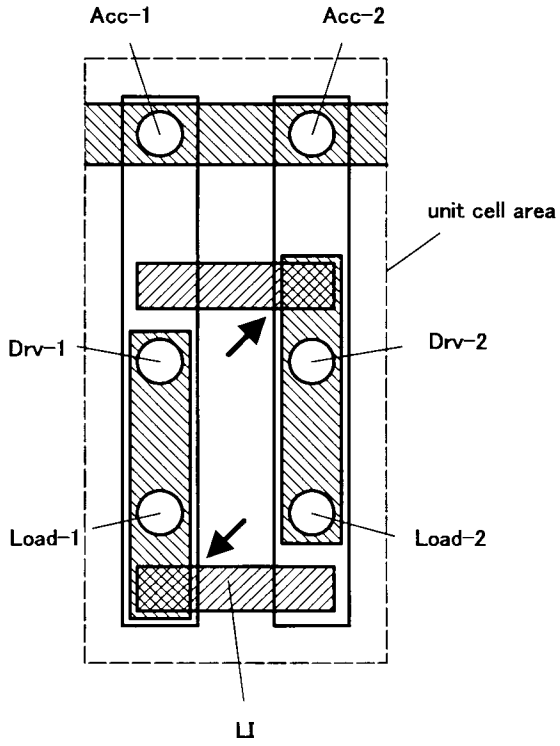
[図30A]



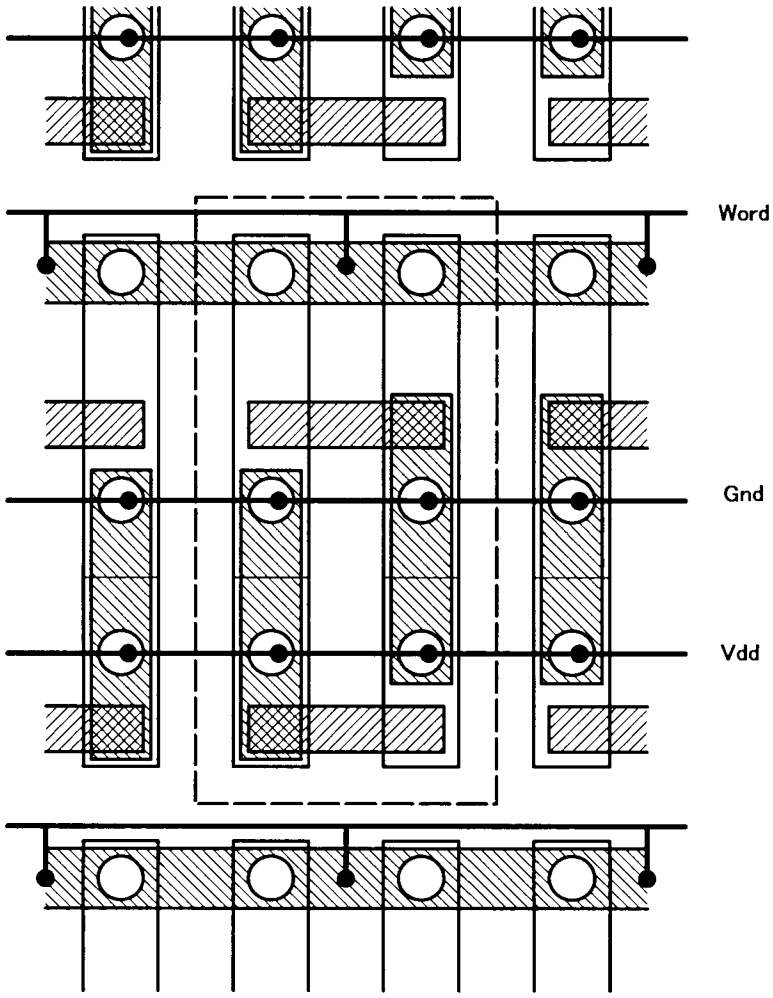
[図30B]



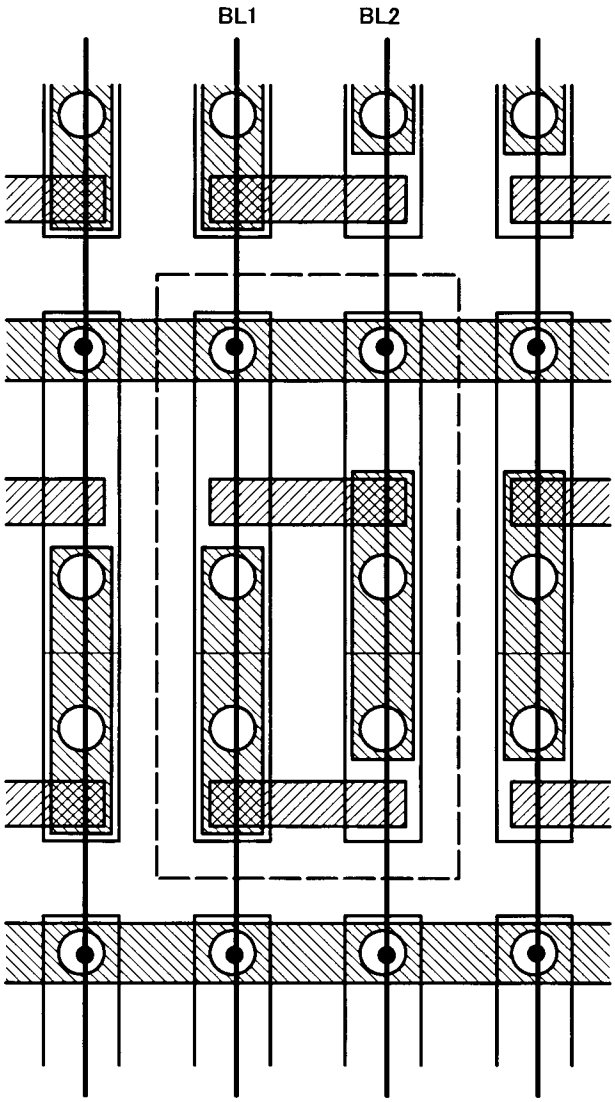
[図31]


Acc-1
Acc-2
unit cell area
Drv-1
Drv-2
Load-1
Load-2
LI

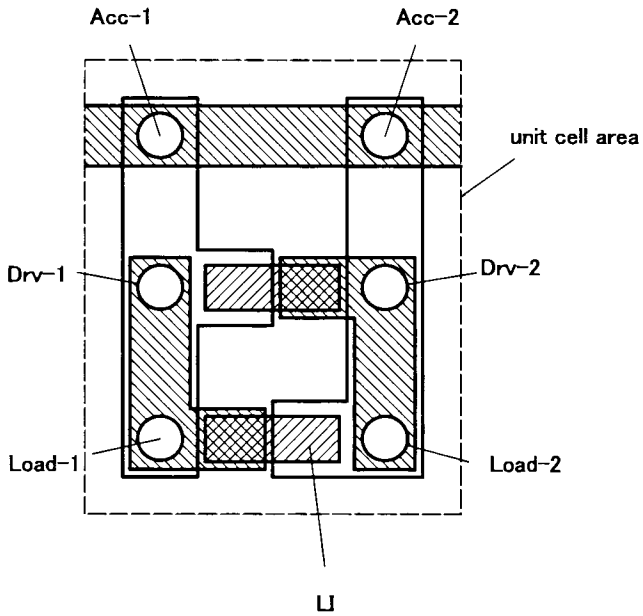
[図32A]


Word
Gnd
Vdd

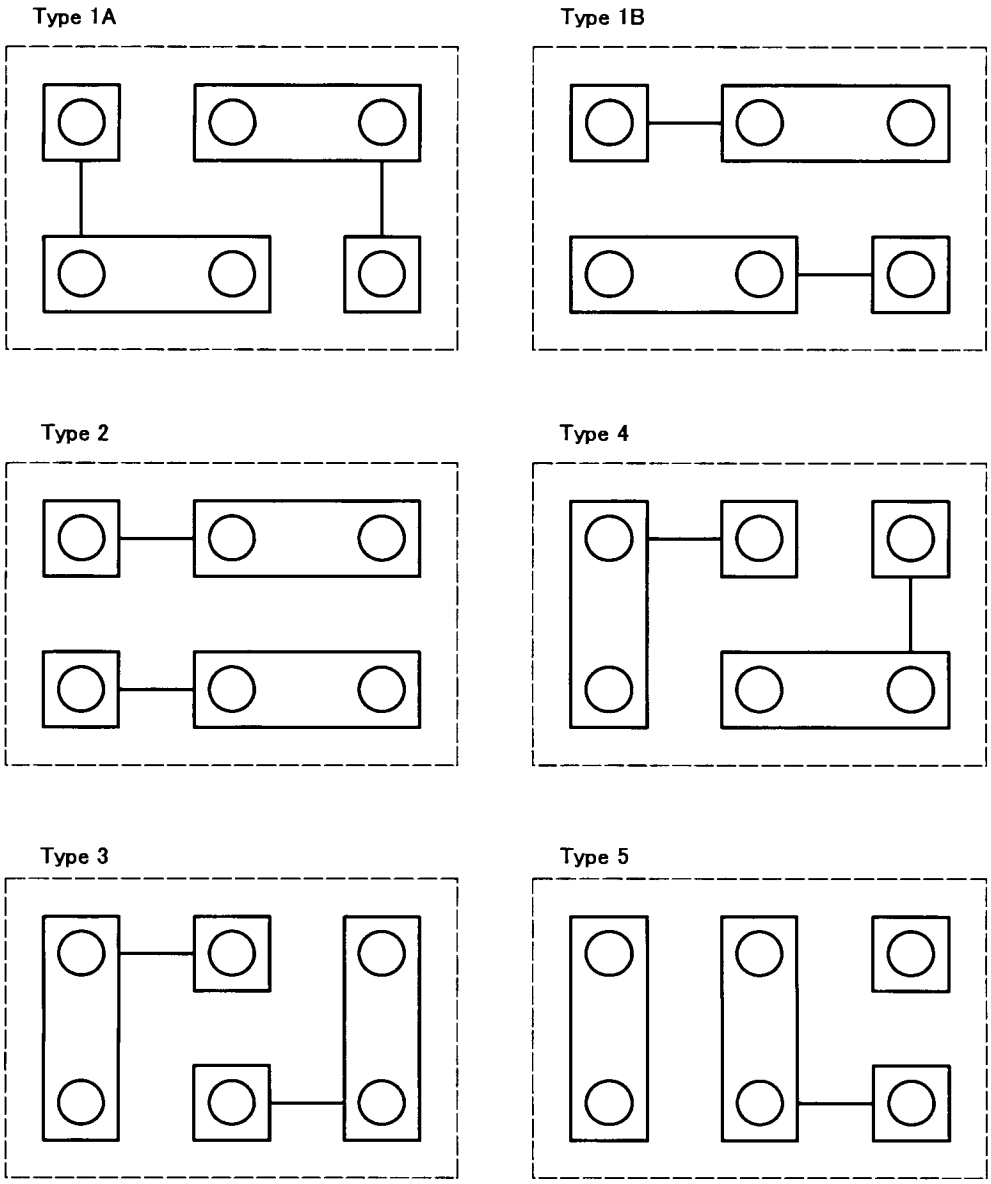
[図32B]



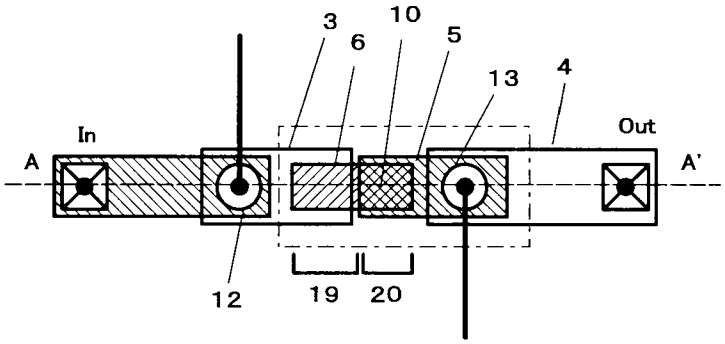
[図33]



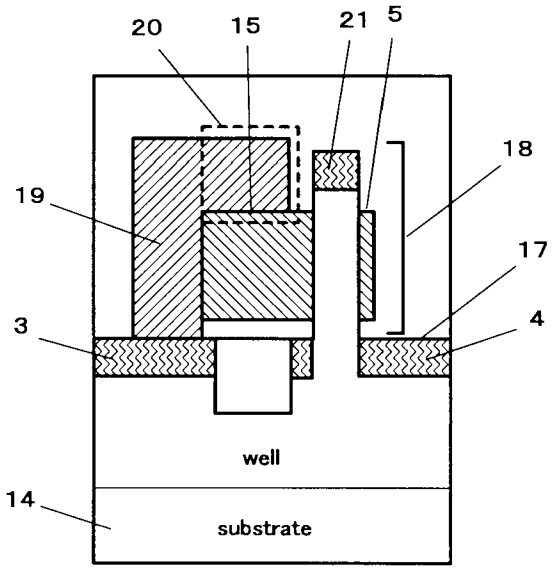
[図34]


Type 1A
Type 1B
Type 2
Type 4
Type 3
Type 5

[図35A]

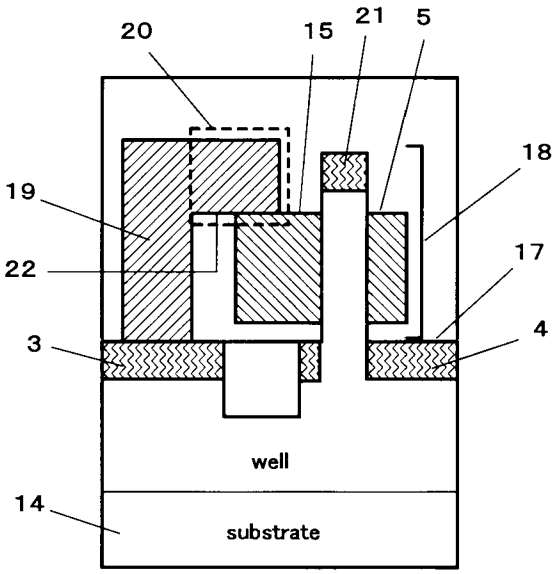

3
10
6
5
13
4
In
Out
A
A'
12
19
20

[図35B]



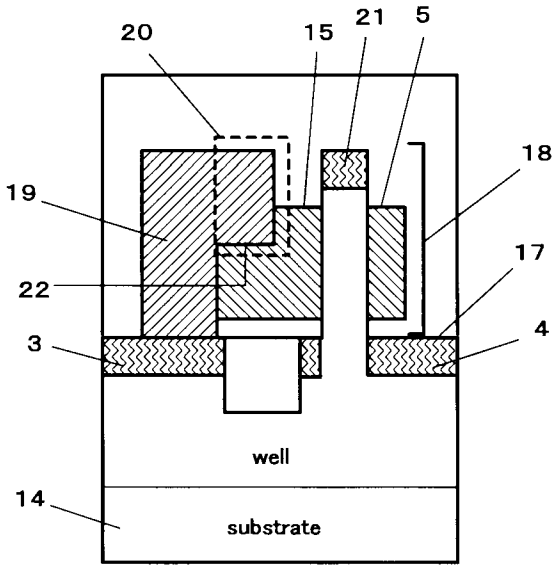
A-A'断面

[図36A]



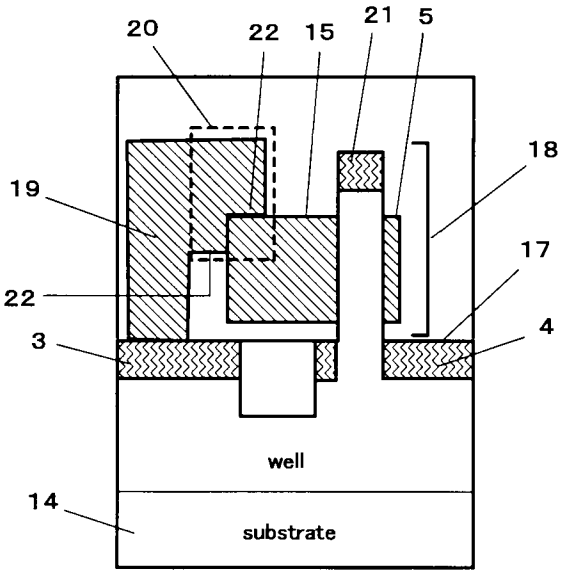
A-A'断面

[図36B]



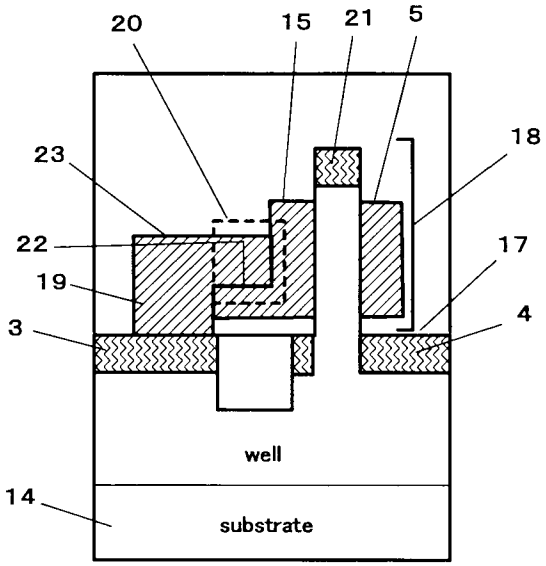
A-A'断面

[図37A]



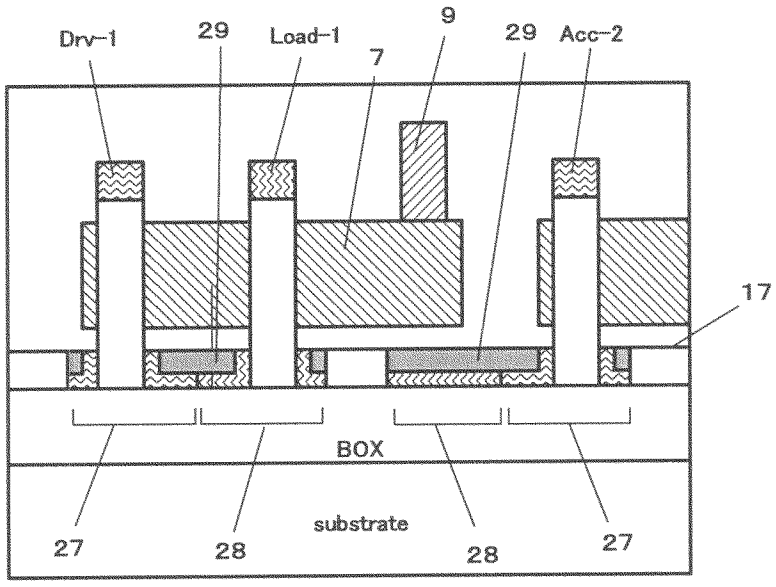
A-A'断面

[図37B]



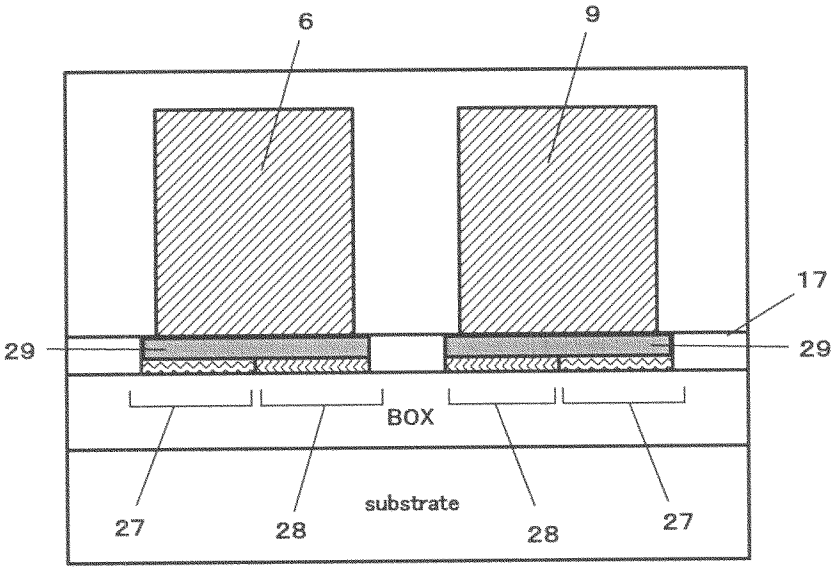
A-A'断面

[図38A]



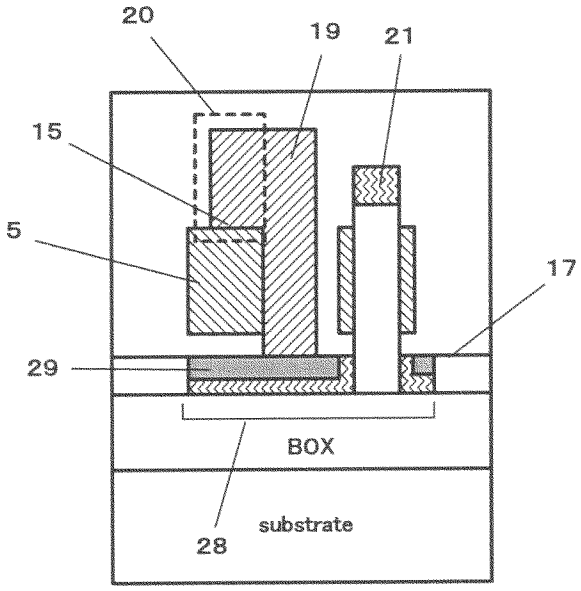
A-A'断面

[図38B]



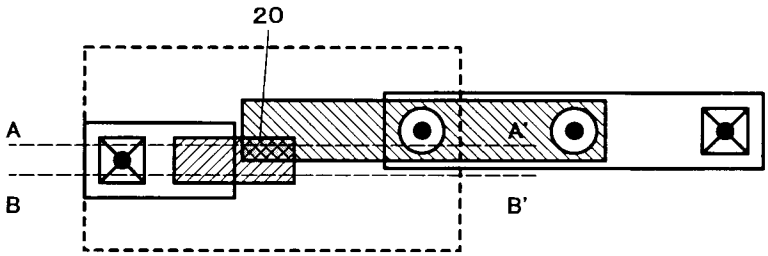
B-B'断面

[図38C]

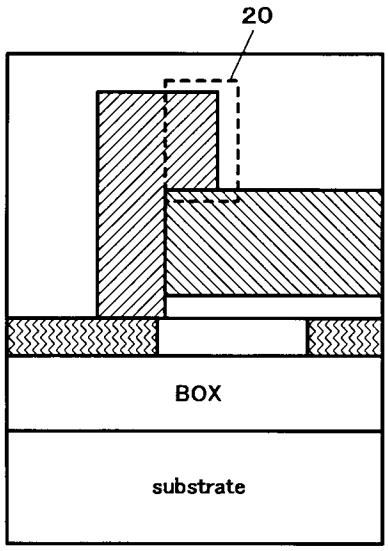


C-C'断面

[図39A]

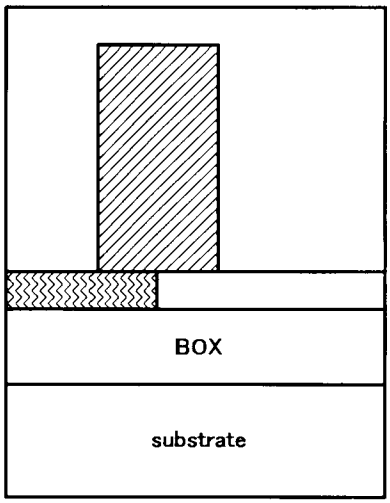


[図39B]



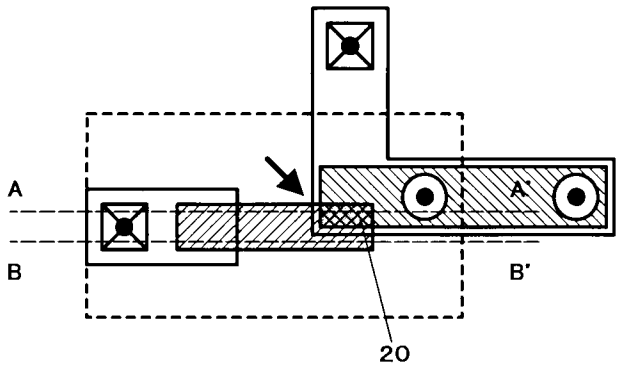
A-A'断面

[図39C]

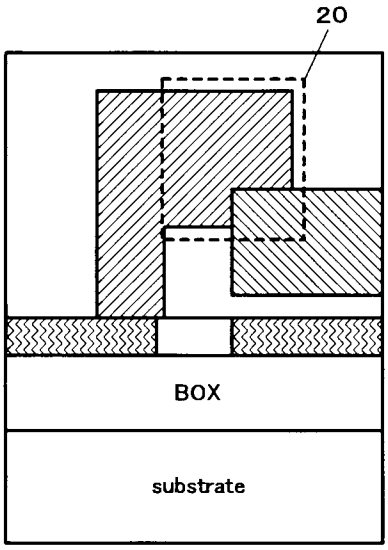


B-B'断面

[図40A]

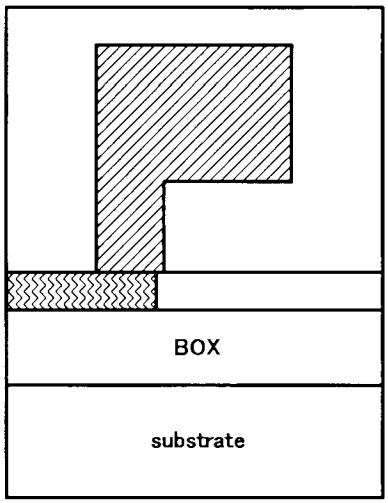


[図40B]



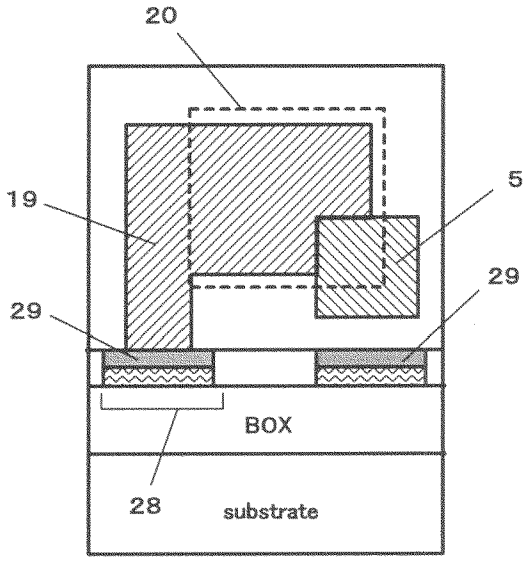
A-A'断面

[図40C]



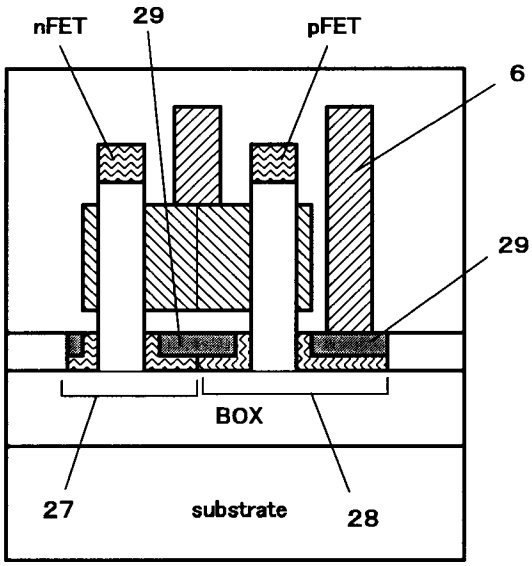
B-B'断面

[図41A]



B-B'断面

[図41B]



A-A'断面

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/056331

A. CLASSIFICATION OF SUBJECT MATTER
See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8234, H01L21/336, H01L21/768, H01L21/82, H01L21/822, H01L21/8244, H01L23/522, H01L27/04, H01L27/08, H01L27/088, H01L27/11, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-193588 A (International Business Machines Corp.), 08 July, 2004 (08.07.04), Full text; all drawings & US 2004/0113207 A1 Full text; all drawings & US 2007/0007601 A1 & KR 10-2004-0051506 A & CN 1507035 A	1-18
A	JP 2002-217315 A (Seiko Epson Corp.), 02 August, 2002 (02.08.02), Full text; all drawings & CN 1411926 A	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 June, 2009 (16.06.09)	23 June, 2009 (23.06.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/056331

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-310651 A (Toshiba Corp.), 09 November, 2006 (09.11.06), Full text; all drawings & US 7115476 B1 Full text; all drawings	1-18
A	JP 2004-319808 A (Takehide SHIRATO), 11 November, 2004 (11.11.04), Full text; all drawings (Family: none)	1-18
A	JP 2-156664 A (Toshiba Corp.), 15 June, 1990 (15.06.90), Full text; all drawings & US 5258635 A Full text; all drawings	1-18
A	JP 2003-142684 A (Toshiba Corp.), 16 May, 2003 (16.05.03), Full text; all drawings (Family: none)	1-18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/056331

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L21/8234(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/768*(2006.01)i, *H01L21/82*(2006.01)i, *H01L21/822*(2006.01)i, *H01L21/8244*(2006.01)i, *H01L23/522*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/08*(2006.01)i, *H01L27/088*(2006.01)i, *H01L27/11*(2006.01)i, *H01L29/78*(2006.01)i, *H01L29/786*(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０５６３３１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　特別ページ参照

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8234, H01L21/336, H01L21/768, H01L21/82, H01L21/822, H01L21/8244, H01L23/522, H01L27/04, H01L27/08, H01L27/088, H01L27/11, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-193588 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2004.07.08, 全文, 全図 & US 2004/0113207 A1, 全文, 全図 & US 2007/0007601 A1 & KR 10-2004-0051506 A & CN 1507035 A	1-18
A	JP 2002-217315 A (セイコーエプソン株式会社) 2002.08.02, 全文, 全図 & CN 1411926 A	1-18

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １６．０６．２００９	国際調査報告の発送日 ２３．０６．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｌ　３１２５ 宇多川　勉 電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2006-310651 A (株式会社東芝) 2006.11.09, 全文, 全図 & US 7115476 B1, 全文, 全図	1-18
A	JP 2004-319808 A (白土猛英) 2004.11.11, 全文, 全図 (ファミリーなし)	1-18
A	JP 2-156664 A (株式会社東芝) 1990.06.15, 全文, 全図 & US 5258635 A, 全文, 全図	1-18
A	JP 2003-142684 A (株式会社東芝) 2003.05.16, 全文, 全図 (ファミリーなし)	1-18

発明の属する分野の分類
H01L21/8234(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i,
H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L21/8244(2006.01)i,
H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L27/08(2006.01)i,
H01L27/088(2006.01)i, H01L27/11(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i