



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201715732 A

(43) 公開日：中華民國 106 (2017) 年 05 月 01 日

(21) 申請案號：105133095 (22) 申請日：中華民國 105 (2016) 年 10 月 13 日  
 (51) Int. Cl. : *H01L29/78 (2006.01)* *H01L21/336 (2006.01)*  
 (30) 優先權：2015/10/16 美國 14/885,115  
 (71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING CO., LTD. (TW)  
 新竹市新竹科學工業園區力行六路 8 號  
 (72) 發明人：江國誠 CHING, KUO CHENG (TW)；蔡慶威 TSAI, CHING WEI (TW)；王志豪  
 WANG, CHIH HAO (TW)；梁英強 LEUNG, YING-KEUNG (HK)  
 (74) 代理人：李世章；秦建譜  
 申請實體審查：無 申請專利範圍項數：1 項 圖式數：50 共 86 頁

## (54) 名稱

藉由調變源極／汲極間距離而提升輸入／輸出之半導體裝置

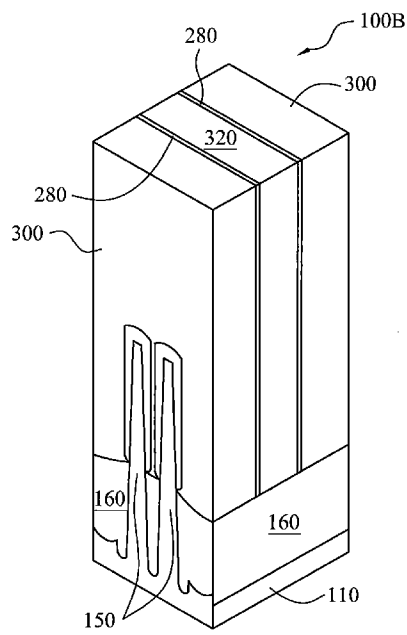
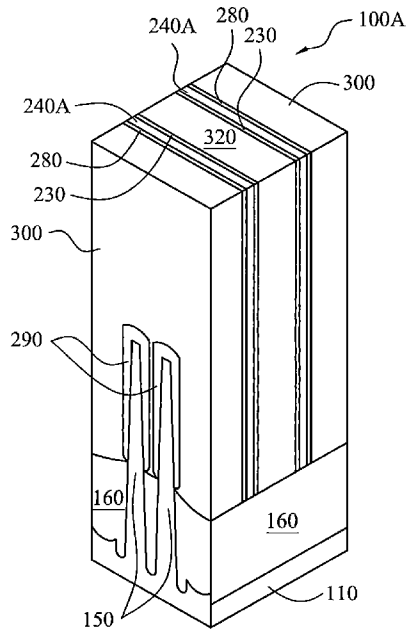
A SEMICONDUCTOR OF TUNING SOURCE/DRAIN PROXIMITY FOR INPUT/OUTPUT DEVICE RELIABILITY ENHANCEMENT

## (57) 摘要

一種半導體裝置包含第一鳍式場效電晶體及第二鳍式場效電晶體。第一鳍式場效電晶體包含第一閘極、第一源極及第一汲極，且具有源極/汲極間之第一距離。第二場鳍式效電晶體包含第二閘極、第二源極及第二汲極，且具有小於第一鳍式場效電晶體源極/汲極間距離之第二距離。在一些實施例中，第一鳍式場效電晶體裝置為一種輸入/輸出裝置，而第二鳍式場效電晶體裝置為諸如一核心裝置之非輸入/輸出裝置。在一些實施例中，第一鳍式場效電晶體源極/汲極之間具有較大的距離，是因為第一鳍式場效電晶體裝置的一附加間隔層而第二鳍式場效電晶體裝置沒有。

A semiconductor device includes a first FinFET device and a second FinFET device. The first FinFET device includes a first gate, a first source, and a first drain. The first FinFET device has a first source/drain proximity. The second FinFET device includes a second gate, a second source, and a second drain. The second FinFET device has a second source/drain proximity that is smaller than the first source/drain proximity. In some embodiments, the first FinFET device is an Input/Output (I/O) device, and the second FinFET device is a non-I/O device such as a core device. In some embodiments, the greater source/drain proximity of the first FinFET device is due to an extra spacer of the first FinFET device that does not exist for the second FinFET device.

指定代表圖：



第 15 圖

符號簡單說明：

- 100A . . . 輸入/輸出裝置
- 100B . . . 非輸入/輸出裝置
- 110 . . . 半導體層
- 150 . . . 鰭狀結構
- 160 . . . 隔離層
- 230 . . . 密封層
- 240A . . . 間隔層
- 280 . . . 間隔層
- 290 . . . 源極/汲極磊晶區
- 300 . . . 層間介電層
- 320 . . . 閘極結構

申請案號：105137695

申請日：105-10-13

201715732

## 【發明摘要】

IPC分類：~~H01L 29/78~~ (2006.01)

【中文發明名稱】藉由調變源極/汲極間距離而提升輸入/輸出之半導體裝置

【英文發明名稱】A SEMICONDUCTOR OF TUNING SOURCE/DRAIN PROXIMITY FOR INPUT/OUTPUT DEVICE RELIABILITY ENHANCEMENT

## 【中文】

一種半導體裝置包含第一鰭式場效電晶體及第二鰭式場效電晶體。第一鰭式場效電晶體包含第一閘極、第一源極及第一汲極，且具有源極/汲極間之第一距離。第二場鰭式場效電晶體包含第二閘極、第二源極及第二汲極，且具有小於第一鰭式場效電晶體源極/汲極間距離之第二距離。在一些實施例中，第一鰭式場效電晶體裝置為一種輸入/輸出裝置，而第二鰭式場效電晶體裝置為諸如一核心裝置之非輸入/輸出裝置。在一些實施例中，第一鰭式場效電晶體源極/汲極之間具有較大的距離，是因為第一鰭式場效電晶體裝置的一附加間隔層而第二鰭式場效電晶體裝置沒有。

## 【英文】

A semiconductor device includes a first FinFET device and a second FinFET device. The first FinFET device includes a first gate, a first source, and a first drain. The first FinFET device has a first source/drain proximity. The second FinFET device includes a second gate, a second source, and a second drain. The second FinFET device has a second source/drain proximity that is smaller

than the first source/drain proximity. In some embodiments, the first FinFET device is an Input/Output (I/O) device, and the second FinFET device is a non-I/O device such as a core device. In some embodiments, the greater source/drain proximity of the first FinFET device is due to an extra spacer of the first FinFET device that does not exist for the second FinFET device.

**【指定代表圖】** 第15圖

**【代表圖之符號簡單說明】**

100A：輸入/輸出裝置

100B：非輸入/輸出裝置

110：半導體層

150：鰭狀結構

160：隔離層

230：密封層

240A：間隔層

280：間隔層

290：源極/汲極磊晶區

300：層間介電層

320：閘極結構

**【特徵化學式】**

無

## 【發明說明書】

【中文發明名稱】 藉由調變源極/汲極間距離而提升輸入/輸出之半導體裝置

【英文發明名稱】 A SEMICONDUCTOR OF TUNING SOURCE/DRAIN PROXIMITY FOR INPUT/OUTPUT DEVICE RELIABILITY ENHANCEMENT

### 【技術領域】

【0001】 本發明實施例係揭露一種關於半導體裝置的製造方法，且特別係關於一種藉由調變源極/汲極間距離而提升輸入/輸出裝置可靠性之方法。

### 【先前技術】

【0002】 爲了追求更高的裝置密度、更佳的效能及更低的成本，半導體產業已進入奈米等級技術。隨著此項進展，來自製造與設計兩方面的挑戰導致了三維結構的設計，例如：鰭式場效電晶體(FinFET)裝置。一典型的鰭式場效電晶體裝置具有從基板延伸出來的一薄「鰭片」(或類似鰭狀結構)。此鰭片通常含有矽並形成電晶體裝置本體。電晶體的通道形成於此直立的鰭片內。閘極形成於鰭片之上並沿著鰭片的側邊(即包裹著鰭片)，此種閘極型態更能有效的控制通道。其他有關鰭式場效電晶體裝置的優點還包含了減少短通道效應(short channel effect)以及具有更高的電流。

【0003】 然而，傳統的鰭式場效電晶體裝置仍然存在一些缺點。例如，輸入/輸出用之鰭式場效電晶體裝置的源極/汲極間距離大致與核心鰭式場效電晶體裝置的源極/汲極間

距離一樣。如此一來會造成一些可靠性問題，例如崩潰電壓 (breakdown voltage)，熱流載子注入 (hot carrier injection) 或漏電流 (leakage current)。

【0004】 因此，儘管現有的鰭式場效電晶體裝置及其製造方法雖然大致已經滿足了此領域可預期的目的，卻無法在各方面令人滿意。

### 【發明內容】

【0005】 依據本發明實施例之一態樣係提供一種半導體裝置，包含一第一鰭式場效電晶體裝置及一第二鰭式場效電晶體裝置。該第一鰭式場效電晶體裝置包含一第一閘極、一第一源極以及一第一汲極，其中該第一鰭式場效電晶體裝置具有一源極/汲極間第一距離。該第二鰭式場效電晶體裝置包含一第二閘極、一第二源極以及一第二汲極，其中該第二鰭式場效電晶體裝置具有不同於該源極/汲極間第一距離之一源極/汲極間第二距離。

### 【圖式簡單說明】

【0006】 為讓本發明實施例之上述和其他目的、特徵、優點與實施例能更明顯易懂，在閱讀下述的說明書時請參照所附圖式。值得注意的是，根據業界的標準做法，各種特徵並非按比例繪製。事實上為清楚說明，此些特徵的尺寸可任意放大或縮小。

第1圖繪示本發明實施例中，一鰭式場效電晶體裝置的透視圖。

第2-15、17-30及32-44圖繪示本發明實施例中，一鰭

式場效電晶體裝置於各製造階段的三維透視圖。

第16、31及45-48圖繪示本發明實施例中，一鱗式場效電晶體裝置不同的剖面側視圖。

第49-50圖繪示本發明實施例中，製造一鱗式場效電晶體裝置之諸方法的流程圖。

### 【實施方式】

【0007】 以下的說明將提供許多不同的實施方式或實施例來實施本揭露的主題。元件或排列的具體範例將在以下討論以簡化本揭露。當然，這些描述僅為部分範例且本揭露並不以此為限。例如，將第一特徵係形成在第二特徵上或上方，此一敘述不但包含第一特徵和第二特徵直接接觸的實施方式，也包含其他特徵形成在第一特徵與第二特徵之間，且在此情形下第一特徵和第二特徵不會直接接觸的實施方式。此外，本揭露可能會在不同的範例中重複標號或文字。重複的目的是為了簡化及明確敘述，而非界定所討論之不同實施方式及配置間的關係。此外，為了簡化及明確敘述，圖式中各種特徵的尺寸可任意地繪製。

【0008】 除此之外，空間相對用語如「下面」、「下方」、「低於」、「上面」、「上方」及其他類似的用語，在此是為方便描述圖中的一個元件或特徵和另一個元件或特徵的關係。空間相對用語除了涵蓋圖中所描繪的方位外，該用語更涵蓋裝置在使用或操作時的其他方位。也就是說，當該裝置的方位與圖式不同(旋轉90度或在其他方位)時，在本揭露中所使用的空間相對用語同樣可相應地進行解釋。

【0009】 本發明實施例係揭露關於一種鱗式場效電晶體

(FinFET)裝置，但不以此為限。例如，該FinFET裝置可以為一種互補式金屬氧化半導體(CMOS)，其中包含P型金屬氧化半導體(PMOS) 鳍式場效電晶體裝置以及N型金屬氧化半導體(NMOS) 鳍式場效電晶體裝置。下面將以一個或一個以上的FinFET的實施例揭露本發明的各種實施方式。然而，可以理解的是，該應用不限於特定形式的裝置，除非係於明確要求保護的狀態下。

**【0010】** 使用FinFET裝置已在半導體產業中日漸普及。第1圖為繪示本發明之一實施例中，一種FinFET裝置50的示意圖。所述的FinFET裝置50是一種內置在基板上的非平面多閘極電晶體。一種薄矽「鳍狀」結構(又稱為鳍片)形成了該FinFET裝置50的主體。而FinFET裝置50的閘極60包覆圍繞該鳍片。Lg則表示閘極60的長度(或寬度，取決於視角)。FinFET裝置50的源極70和汲極80係形成在本身作為一通道用途的鳍片的延伸上，其相對位置在閘極60的相異兩側。FinFET裝置50的有效通道將取決於鳍片的尺寸。

**【0011】** 相較於傳統的金屬氧化半導體場效電晶體(MOSFET)裝置(亦可稱為平面裝置) FinFET裝置更提供了若干優點。此些優點包括了較佳的芯片面積效率，改善載體遷移率，且製造過程亦可與製造平面裝置相容。因此，可預期使用FinFET裝置進而設計一部分或整個積體電路芯片(IC chip)。

**【0012】** 然而，傳統FinFET的製造方法仍存在部分缺點。例如，傳統FinFET的製造方法無法區別輸入/輸出(I/O)裝置與非I/O裝置。在一些實施例中，I/O裝置是一種處理



輸入和/或輸出電壓/電流的裝置，因此I/O裝置相較於非I/O裝置必須能夠承受更大量的電壓/電流擺幅。在一些實施例中，核心裝置是指慣用的邏輯裝置(及不需要直接處理電壓/電流)，舉例來說，各種邏輯閘像是NAND，NOR，反相器(INVERTER)等。在一些實施例中，核心裝置包含一個靜態隨機存取記憶體(static random-access memory，SRAM)區域。由於傳統的製造方法無法區別I/O裝置與非I/O裝置，導致I/O FinFET裝置中的源極與汲極之間距離與非I/O FinFET裝置中的源極與汲極之間距離大致相同。這樣反過來又可能產生一些可靠性問題，例如崩潰電壓(breakdown voltage)，熱流載子注入(hot carrier injection)和/或漏電流(leakage current)的產生。當IC製造進展到下一個技術世代時，例如10奈米技術節點(或更小的節點)，這些可靠性問題將更加嚴重。在先進的IC科技製造技術節點上，這部分至少是起因於間距的縮小。

**【0013】** 爲了改善FinFET裝置的可靠性問題，本發明實施例了利用各種技術手段製造FinFET裝置，其中於I/O裝置中源極與汲極之間的距離大於非I/O裝置中源極與汲極之間的距離。請配合參照第2-15圖，將更詳細的描述於下。

**【0014】** 第2-15圖繪示本發明實施例中，一種FinFET裝置100A和100B於各階段製造的三維透視圖。FinFET裝置100A是一種I/O裝置且FinFET裝置100B是一種非I/O裝置，例如爲核心裝置。FinFET裝置100A和100B係製造於同一基板上，基於簡化的理由並未在圖中繪示出基板。在一些實施例中，基板包含介電材料，例如氧化矽(SiO<sub>2</sub>)。

**【0015】** 形成一半導體層110於基板上。在一實施例

中，此半導體層110包含晶體矽材料。在佈植流程中可植入複數個摻雜離子至半導體層110中，其中在一實施例中摻雜離子可以包含N型材料，例如砷或磷，或在一實施例中摻雜離子可以包含P型材料，例如硼，摻雜離子的種類將決定形成NMOS或PMOS。在施行佈植製程後，在半導體層110中摻雜濃度範圍介於 $1 \times 10^{17}$  ions/cm<sup>3</sup>至 $5 \times 10^{19}$  ions/cm<sup>3</sup>之間。

**【0016】** 形成一介電層120於半導體層110上。在一些實施例中，該介電層120包含氧化矽。形成另一介電層130於上述介電層120上，其中介電層130與介電層120係由不同材料所組成。在一些實施例中，介電層130包含氮化矽。介電層130與介電層120可一起充當硬式罩幕層，可將下方的半導體層110進行圖案化。

**【0017】** 請參考第3圖，介電層120、130以及半導體層110經過一次或多次微影製程並圖案化後形成鰭狀結構(或鰭片)150。微影製程可包含用於形成圖案的光阻劑(圖中未繪示)，並可通過諸如沉積，曝光，顯影，熱烘等流程形成(不一定按順序執行)。已圖案化的光阻層可藉由蝕刻移除部分沒有被已圖案化光阻層保護的層別110-130以形成鰭狀結構150。可以理解的是，鰭狀結構150中的部份半導體層110可做為FinFET裝置100A和100B中的源極，汲極以及通道區。

**【0018】** 請參考第4圖，形成一隔離結構160用以電性隔離鰭片150，且隔離結構160亦可被稱為淺溝層隔離(shallow trench isolation, STI)結構。在一些實施例中，隔離結構160包含介電材料，例如氧化矽或氮化矽。隔離結

構160可通過沉積介電材料以填充鰭狀結構150間的開口而形成，接著進行研磨製程(例如化學機械研磨)以平坦化該表面。移除介電層120、130，此步驟可執行於形成隔離結構160之前或之後。

**【0019】** 接著請參考第5圖，進行一次或多次蝕刻流程以形成一些凹部170。藉由移除隔離結構160部分(並非全部)的材料以形成這些凹部170。此時，鰭狀結構150部分地向上凸出且脫離隔離結構160，也就是說，至少每個鰭狀結構150有一部分裸露出來，另一部分則被隔離結構160所覆蓋。

**【0020】** 請參考第6圖，已圖案化的假性(dummy)閘極結構200形成於隔離結構160上。經過一次或多次圖案化流程後才形成已圖案化的假性閘極結構200。例如，將多晶矽材料形成於隔離結構160上，接著將一已圖案化的硬式罩幕層形成於多晶矽材料上，其中該硬式罩幕層包含一介電層210和另一介電層220。在一些實施例中，介電層210包含氮化矽，且介電層220可包含氧化矽。接著將已圖案化的硬式罩幕層用以圖案化(例如，經過一次或多次蝕刻製程)下面的多晶矽材料，使之形成已圖案化的假性閘極結構200。如第6圖所示，已圖案化的假性閘極結構200形成並環繞該鰭狀結構150。可以理解的是，該假性閘極結構200可包含一形成於多晶矽材料下的假性介電層，但是為簡單明瞭起見該假性介電層並未繪式於圖中。

**【0021】** 請參考第7圖，形成一密封層230於隔離結構160，鰭狀結構150以及假性閘極結構200上。在一些實施例中，密封層230包含碳化矽的氮氧化合物(SiCON)。在其他實施例中，密封層230包含矽的碳氧化合物(SiOC)。層

240形成於密封層230上。在一些實施例中，層240包含氮化矽。在其他實施例中，層240包含氧化矽。在一些實施例中，層240包含非晶矽。在一實施例中，密封層230和層240各自形成conformally。形成於I/O裝置100A的層240將藉由下面討論的後續流程轉變成一附加的間隔層。

**【0022】** 直到這個製造階段為止，形成I/O裝置100A和非I/O裝置100B的製造流程是完全相同的。也就是說，I/O裝置100A和非I/O裝置100B於此製造階段是相同的，後續的製造流程將以不同的製造方法區別I/O裝置100A和非I/O裝置100B。

**【0023】** 請參考第8圖，於I/O裝置100A中進行離子佈植步驟250。在一些實施例中，該離子佈植步驟250係植入碳離子至層240中。在其他實施例中，該離子佈植步驟250係植入硼離子至層240中。該離子佈植步驟250是將這些離子植入覆蓋假性閘極結構200之層240的側壁中以及層240的上表面。基本上未被植入離子而影響的部分層240係與已植入離子的部分層240而形成如圖所示之240A有所區隔。例如，覆蓋鰭狀結構150側壁上的部分層240基本上部會受到離子植入的影響。倘若任何離子皆可植入到上述層240的這些區域，爲了本發明所揭露的目的，該些離子須符合足夠低的數量以及濃度以便可以忽略不計。在一些實施例中，進行該離子佈植步驟250時係藉由一傾斜角度操作，其中該傾斜角度範圍介於10度至45度。

**【0024】** 同時，在離子佈植步驟250前形成一保護層260於非I/O裝置100B上。在一些實施例中，該保護層260包含一光阻材料。該保護層260保護了非I/O裝置100B中的每一

層別，使之不受到離子佈植步驟250中離子植入的影響。換句話說，當離子植入I/O裝置100A中的層240上時，在保護層260的保護下離子將無法植入非I/O裝置100B中的層240。

**【0025】** 請參考第9圖，進行一乾式蝕刻流程移除層240A的上表面(例如，部分的層240A係覆蓋介電層220的上表面，鱗狀結構150的上表面以及隔離結構160的上表面)。然而，此乾式蝕刻流程基本上是不會對形成於I/O裝置100A中假性閘極結構200側壁上的部份層240A造成影響。以此種方式，殘留在假性閘極結構200側壁上的部份層240A即形成間隔層。由部份層240A形成的間隔層為一「附加」間隔層的理由將於下面說明，且參照圖中標號240A於後續文中將被相互交替用於指稱間隔層240A或被離子植入的層240A。

**【0026】** 同時，由於非I/O裝置100B上具有該保護層260，乾式蝕刻步驟則無法影響非I/O裝置100B。也就是說，非I/O裝置100B中不會形成間隔層。

**【0027】** 請參考第10圖，移除非I/O裝置100B上的保護層260，因而露出非I/O裝置100B。亦進行退火步驟(annealing process)以修復/恢復因離子佈植步驟250造成的損傷。此後，進行濕式蝕刻流程同時去除I/O裝置100A與非I/O裝置100B中的層240A。在一些實施例中，於濕式蝕刻步驟中使用熱磷酸當作一種蝕刻劑。經過離子植入後的間隔層240A具有不同於層240的物理性質(例如蝕刻速率)。其結果是濕式蝕刻步驟基本上無法蝕刻掉該間隔層240A(形成在I/O裝置100A)，實質上是完好如初的。相較

之下，非I/O裝置100B中全部被移除的層240，包含覆蓋假性閘極結構200側壁上(以及一些介電層210-220)的部份層240。在這個製造階段，I/O裝置100A具有附加的間隔層240A而非I/O裝置100B則沒有。

**【0028】** 請參考第11圖，於I/O裝置100A與非I/O裝置100B中皆形成間隔層280。可藉由沉積介電材料和蝕刻介電材料而形成間隔層280。在一些實施例中，該間隔層280包含碳化矽的氮氧化物(SiCON)。在其他實施例中，該間隔層280包含矽的碳氧化物(SiOC)。對I/O裝置100A而言，該間隔層280係形成於「附加」間隔層240A的側壁上。對非I/O裝置100B而言，該間隔層280係形成於密封層230的側壁上。在圖式實施例中，該間隔層280與該密封層230具有相同的組成成分，因此爲了簡單起見兩者於後須皆被標示爲間隔層280。值得注意的是，覆蓋介電層220之密封層230的一部分亦被移除，而露出介電層220的上表面。需要注意的是，任何先前形成在鰭狀結構150上的介電材料都已經被去除了。如此一來，在此製造階段該鰭狀結構150亦裸露出來。

**【0029】** 請參考第12圖，使該鰭狀結構150修整或變薄。形成源極/汲極磊晶區290於鰭狀結構150上，且源極/汲極磊晶區290圍繞於鰭狀結構150上。在I/O裝置100A與非I/O裝置100B皆進行鰭片修整步驟以及形成源極/汲極磊晶區步驟。

**【0030】** 請參考第13圖，形成一層間介電層(ILD)300於I/O裝置100A與非I/O裝置100B中的隔離層160上。在一些實施例中，該ILD層300包含氧化矽。藉由適當的沉積步驟形成該ILD層300。進行研磨製程，例如化學機械研磨

(chemical-mechanical-polishing, CMP), 以平坦化該ILD層300的上表面, 且介電層210和220亦被去除。因此, 露出該假性閘極結構200的上表面。

【0031】 請參考第14圖, 移除I/O裝置100A與非I/O裝置100B中的該假性閘極結構200, 因而形成一開口310。在移除假性閘極結構200的步驟中包含移除了假性閘極結構中的假性多晶矽材料以及假性介電材料。

【0032】 請參考第15圖, 形成一功能性閘極結構320於I/O裝置100A與非I/O裝置100B的開口310中。在一些實施例中, 該功能性閘極結構320包含一高介電(high-k)閘極絕緣以及一金屬閘極電極。高介電絕緣材料是一種具有比二氧化矽介電常數更大的材料, 其中二氧化矽介電常數大約為4。在一實施例中, 該高介電閘極絕緣包含氧化鈺( $\text{HfO}_2$ ), 其中該介電常數介於約18至約40。在替代實施例中, 該高介電閘極絕緣可包含氧化鋯( $\text{ZrO}_2$ ), 氧化釷( $\text{Y}_2\text{O}_3$ ), 氧化鏷( $\text{La}_2\text{O}_5$ ), 氧化釷( $\text{Gd}_2\text{O}_5$ ), 二氧化鈦( $\text{TiO}_2$ ), 五氧化二鉭( $\text{Ta}_2\text{O}_5$ ), 氧化鉿鈦( $\text{HfErO}$ ), 氧化鏷鈦( $\text{HfLaO}$ ), 氧化釷鈦( $\text{HfY}_2\text{O}$ ), 氧化釷鈦( $\text{HfGdO}$ ), 氧化鋁鈦( $\text{HfAlO}$ ), 氧化鋯鈦( $\text{HfZrO}$ ), 氧化鈦鈦( $\text{HfTiO}$ ), 氧化鉭鈦( $\text{HfTaO}$ ), 或氧化鈦銻( $\text{SrTiO}$ )。該金屬閘極電極包含一功函數金屬組件和一填充金屬組件。該功函數金屬組件的配置係調整相對應FinFET的功函數以達到所需的臨界電壓 $V_t$ 。在各實施例中, 該功函數金屬組件可包含: 鈦鋁( $\text{TiAl}$ ), 氮化鋁鈦( $\text{TiAlN}$ ), 碳氮化鉭( $\text{TaCN}$ ), 氮化鈦( $\text{TiN}$ ), 氮化鎢( $\text{WN}$ ), 或鎢( $\text{W}$ ), 或其組合。該填充金屬組件的配置係視為功能性閘極結構320中主要的導電部分。在各實施例中, 該填充金

屬組件包含鋁(A1)，鎢(W)，銅(Cu)或其組合。由功能性閘極結構320替換假性閘極結構200的置換過程可稱爲一閘極置換(或後閘極)步驟。

**【0033】** 通過在I/O裝置100A中形成該「附加」間隔層240A，本發明實施例在I/O裝置100A中S/D間距離較非I/O裝置100B中S/D間距離更有效地延長。在第16圖中更清楚地繪示出I/O裝置100A與非I/O裝置100B中兩個不同的剖面側視圖。其中一個剖面側視圖是沿X軸方向截開(X-cut)的視圖，另一個剖面側視圖是沿Y軸方向(Y-cut)截開的視圖。X-cut的視圖與Y-cut的視圖是相互垂直的關係。

**【0034】** 根據X-cut的視圖可清楚得知，在I/O裝置100A中較非I/O裝置100B中多出了「附加」間隔層240A。因此，在I/O裝置100A中的S/D間距離350較非I/O裝置100B中S/D間距離360更大。在一些實施例中，該「附加」間隔層240A的側向長度範圍係介於3奈米至10奈米，因此在I/O裝置100A中的S/D間距離350較非I/O裝置100B中S/D間距離360超過3奈米至10奈米。I/O裝置100A具有較大S/D間距離350係可以增強其可靠性，例如關於崩潰電壓，熱流載子注入或漏電流部分。

**【0035】** 第17-31圖繪示本發明之其他實施方式中，一種增加I/O裝置中S/D間距離的另一態樣。基於解說上一致性及清楚起見，於第17-31圖與第2-16圖中出現的相似元件，其標號將標記相同。

**【0036】** 請參考第17圖，FinFET裝置100A是一種I/O裝置且FinFET裝置100B是一種非I/O裝置，例如爲核心裝置。FinFET裝置100A和100B係製造於同一基板上，基於



簡化的理由並未在圖中繪示出基板。在一些實施例中，基板包含介電材料，例如氧化矽( $\text{SiO}_2$ )。

**【0037】** 形成一半導體層110於基板上。在一實施例中，此半導體層110包含晶體矽材料。在佈植流程中可植入複數個摻雜離子至半導體層110中，其中在一實施例中摻雜離子可以包含N型材料，例如砷或磷，或在一實施例中摻雜離子可以包含P型材料，例如硼，摻雜離子的種類將決定形成NMOS或PMOS。在施行佈植流程後，在半導體層110中摻雜濃度範圍介於 $1 \times 10^{17}$  ions/cm<sup>3</sup>至 $5 \times 10^{19}$  ions/cm<sup>3</sup>之間。

**【0038】** 形成一介電層120於半導體層110上。在一些實施例中，該介電層120包含氧化矽。形成另一介電層130於上述介電層120上，其中介電層130與介電層120係由不同材料所組成。在一些實施例中，介電層130包含氮化矽。介電層130與介電層120可一起充當硬式罩幕層，可將下方的半導體層110進行圖案化。

**【0039】** 請參考第18圖，介電層120、130以及半導體層110經過一次或多次微影製程並圖案化後形成鰭狀結構(或鰭片)150。微影製程可包含用於形成圖案的光阻劑(圖中未繪示)，並可通過諸如沉積，曝光，顯影，熱烘等流程形成(不一定按順序執行)。已圖案化的光阻層可藉由蝕刻移除部分沒有被已圖案化光阻層保護的層別110-130以形成鰭狀結構150。可以理解的是，鰭狀結構150中的部份半導體層110可做為FinFET裝置100A和100B中的源極，汲極以及通道區。

**【0040】** 請參考第19圖，形成一隔離結構160用以電性

隔離鰭片150，且隔離結構160亦可被稱為淺溝層隔離(shallow trench isolation, STI)結構。在一些實施例中，隔離結構160包含介電材料，例如氧化矽或氮化矽。隔離結構160可通過沉積介電材料以填充鰭狀結構150間的開口而形成，接著進行研磨製程(例如化學機械研磨)以平坦化該表面。移除介電層120、130，此步驟可執行於形成隔離結構160之前或之後。

**【0041】** 接著請參考第20圖，進行一次或多次蝕刻流程以形成一些凹部170。藉由移除隔離結構160部分(並非全部)的材料以形成這些凹部170。此時，鰭狀結構150部分地向上凸出且脫離隔離結構160，也就是說，至少每個鰭狀結構150有一部分裸露出來，另一部分則被隔離結構160所覆蓋。

**【0042】** 請參考第21圖，已圖案化的假性閘極結構200形成於隔離結構160上。經過一次或多次圖案化流程後才形成已圖案化的假性閘極結構200。例如，將多晶矽材料形成於隔離結構160上，接著將一已圖案化的硬式罩幕層形成於多晶矽材料上，其中該硬式罩幕層包含一介電層210和另一介電層220。在一些實施例中，介電層210包含氮化矽，且介電層220可包含氧化矽。接著將已圖案化的硬式罩幕層用以圖案化(例如，經過一次或多次蝕刻製程)下面的多晶矽材料，使之形成已圖案化的假性閘極結構200。如第6圖所示，已圖案化的假性閘極結構200形成並環繞該鰭狀結構150。可以理解的是，該假性閘極結構200可包含一形成於多晶矽材料下的假性介電層，但是為簡單明瞭起見該假性介電層並未繪式於圖中。

【0043】 請參考第22圖，形成一密封層230於隔離結構160，鰭狀結構150以及假性閘極結構200上。在一些實施例中，密封層230包含碳化矽的氮氧化合物(SiCON)。在其他實施例中，密封層230包含矽的碳氧化合物(SiOC)。層240形成於密封層230上。在一些實施例中，層240包含氮化矽。在其他實施例中，層240包含氧化矽。在一些實施例中，層240包含非晶矽。在一實施例中，密封層230和層240各自共形(conformally)形成。形成於I/O裝置100A的層240將藉由下面討論的後續流程轉變成一附加的間隔層。

【0044】 直到這個製造階段為止，形成I/O裝置100A和非I/O裝置100B的製造流程是完全相同的。也就是說，I/O裝置100A和非I/O裝置100B於此製造階段是相同的，後續的製造流程將以不同的製造方法區別I/O裝置100A和非I/O裝置100B。

【0045】 請參考第23圖，於I/O裝置100A中進行離子佈植步驟250。在一些實施例中，該離子佈植步驟250係植入碳離子至層240中。在其他實施例中，該離子佈植步驟250係植入硼離子至層240中。該離子佈植步驟250是將這些離子植入覆蓋假性閘極結構200之層240的側壁中以及層240的上表面。基本上未被植入離子而影響的部分層240係與已植入離子的部分層240而形成如圖所示之240A有所區隔。例如，覆蓋鰭狀結構150側壁上的部分層240基本上部會受到離子植入的影響。倘若任何離子皆可植入到上述層240的這些區域，爲了本發明所揭露的目的，該些離子須符合足夠低的數量以及濃度以便可以忽略不計。在一些實施例中，進行該離子佈植步驟250時係藉由一傾斜角度操作，其中該傾

斜角度範圍介於10度至45度。

【0046】 同時，在離子佈植步驟250前形成一保護層260於非I/O裝置100B上。在一些實施例中，該保護層260包含一光阻材料。該保護層260保護了非I/O裝置100B中的每一層別，使之不受到離子佈植步驟250中離子植入的影響。換句話說，當離子植入I/O裝置100A中的層240上時，在保護層260的保護下離子將無法植入非I/O裝置100B中的層240。

【0047】 請參考第24圖，進行一乾式蝕刻流程移除層240A的上表面(例如，部分的層240A係覆蓋介電層220的上表面，鰭狀結構150的上表面以及隔離結構160的上表面)。然而，此乾式蝕刻流程基本上是不會對形成於I/O裝置100A中假性閘極結構200側壁上的部份層240A造成影響。以此種方式，殘留在假性閘極結構200側壁上的部份層240A即形成間隔層。由部份層240A形成的間隔層為一「附加」間隔層的理由將於下面說明，且參照圖中標號240A於後續文中將被相互交替用於指稱間隔層240A或被離子植入的層240A。

【0048】 同時，由於非I/O裝置100B上具有該保護層260，乾式蝕刻步驟則無法影響非I/O裝置100B。也就是說，非I/O裝置100B中不會形成間隔層。

【0049】 請參考第25圖，移除非I/O裝置100B上的保護層260，因而露出非I/O裝置100B。亦進行退火步驟(annealing process)以修復/恢復因離子佈植步驟250造成的損傷。此後，進行濕式蝕刻流程同時去除I/O裝置100A與非I/O裝置100B中的層240A。在一些實施例中，於濕式

蝕刻步驟中使用熱磷酸當作一種蝕刻劑。經過離子植入後的間隔層240A具有不同於層240的物理性質(例如蝕刻速率)。其結果是濕式蝕刻步驟基本上無法蝕刻掉該間隔層240A(形成在I/O裝置100A)，實質上是完好如初的。相較之下，非I/O裝置100B中全部被移除的層240，包含覆蓋假性閘極結構200側壁上(以及一些介電層210-220)的部份層240。在這個製造階段，I/O裝置100A具有附加的間隔層240A而非I/O裝置100B則沒有。

**【0050】** 請參考第26圖，於I/O裝置100A與非I/O裝置100B中皆形成間隔層280。可藉由沉積介電材料和蝕刻介電材料而形成間隔層280。在一些實施例中，該間隔層280包含碳化矽的氮氧化物(SiCON)。在其他實施例中，該間隔層280包含矽的碳氧化物(SiOC)。對I/O裝置100A而言，該間隔層280係形成於「附加」間隔層240A的側壁上。對非I/O裝置100B而言，該間隔層280係形成於密封層230的側壁上。在圖式實施例中，該間隔層280與該密封層230具有相同的組成成分，因此爲了簡單起見兩者於後須皆被標示爲間隔層280。值得注意的是，覆蓋介電層220之密封層230的一部分亦被移除，而露出介電層220的上表面。

**【0051】** 此外，將在隔離結構160上的一部份鰭狀結構150去除。因此，先前形成於這些鰭狀結構150(於此步驟被除去)側壁上的間隔層280則被開口400所區隔開來。

**【0052】** 請參考第27圖，在I/O裝置100A以及非I/O裝置100B中形成一源極和汲極區410於開口400內，舉例來說可藉由一磊晶成長(epitaxial growth)步驟。根據第27圖所示，該源極和汲極區410從開口400向外凸出且亦可具有一

弧形的截面外廓。

【0053】 請參考第28圖，形成一層間介電層(ILD)300於I/O裝置100A與非I/O裝置100B中的隔離層160上。在一些實施例中，該ILD層300包含氧化矽。藉由適當的沉積步驟形成該ILD層300。進行研磨製程，例如化學機械研磨(chemical-mechanical-polishing，CMP)，以平坦化該ILD層300的上表面，且介電層210和220亦被去除。因此，露出該假性閘極結構200的上表面。

【0054】 請參考第29圖，移除I/O裝置100A與非I/O裝置100B中的該假性閘極結構200，因而形成一開口310。在移除假性閘極結構200的步驟中包含移除了假性閘極結構中的假性多晶矽材料以及假性介電材料。

【0055】 請參考第30圖，形成一功能性閘極結構320於I/O裝置100A與非I/O裝置100B的開口310中。在一些實施例中，該功能性閘極結構320包含一高介電(high-k)閘極絕緣以及一金屬閘極電極。高介電絕緣材料是一種具有比二氧化矽介電常數更大的材料，其中二氧化矽介電常數大約為4。在一實施例中，該高介電閘極絕緣包含氧化鈺( $\text{HfO}_2$ )，其中該介電常數介於約18至約40。在替代實施例中，該高介電閘極絕緣可包含氧化鋯( $\text{ZrO}_2$ )，氧化釷( $\text{Y}_2\text{O}_3$ )，氧化鏷( $\text{La}_2\text{O}_5$ )，氧化釷( $\text{Gd}_2\text{O}_5$ )，二氧化鈦( $\text{TiO}_2$ )，五氧化二鉭( $\text{Ta}_2\text{O}_5$ )，氧化鉬鈺( $\text{HfErO}$ )，氧化鏷鈺( $\text{HfLaO}$ )，氧化釷鈺( $\text{HfYO}$ )，氧化釷鈺( $\text{HfGdO}$ )，氧化鋁鈺( $\text{HfAlO}$ )，氧化鋯鈺( $\text{HfZrO}$ )，氧化鈦鈺( $\text{HfTiO}$ )，氧化鉭鈺( $\text{HfTaO}$ )，或氧化鈦銻( $\text{SrTiO}$ )。該金屬閘極電極包含一功函數金屬組件和一填充金屬組件。該功函數金屬組件的配置係調整相對

應FinFET的功函數以達到所需的臨界電壓 $V_t$ 。在各實施例中，該功函數金屬組件可包含：鈦鋁(TiAl)，氮化鋁鈦(TiAlN)，碳氮化鉭(TaCN)，氮化鈦(TiN)，氮化鎢(WN)，或鎢(W)，或其組合。該填充金屬組件的配置係視為功能性閘極結構320中主要的導電部分。在各實施例中，該填充金屬組件包含鋁(Al)，鎢(W)，銅(Cu)或其組合。由功能性閘極結構320替換假性閘極結構200的置換過程可稱為一閘極置換(或後閘極)步驟。

**【0056】** 同參照第2-16圖所述之實施例，對應至第17-30圖的實施例於I/O裝置100A中亦形成「附加」間隔層240A。如此一來，I/O裝置100A中的S/D間距離較非I/O裝置100B中S/D間距離更有效地延長。在第31圖中更清楚地繪示出I/O裝置100A與非I/O裝置100B中兩個不同的剖面側視圖。其中一個剖面側視圖是沿X軸方向截開(X-cut)的視圖，另一個剖面側視圖是沿Y軸方向(Y-cut)截開的視圖。X-cut的視圖與Y-cut的視圖是相互垂直的關係。

**【0057】** 根據X-cut的視圖可清楚得知，在I/O裝置100A中較非I/O裝置100B中多出了「附加」間隔層240A。因此，在I/O裝置100A中的S/D間距離350較非I/O裝置100B中S/D間距離360更大。在一些實施例中，該「附加」間隔層240A的側向長度範圍係介於3奈米至10奈米，因此在I/O裝置100A中的S/D間距離350較非I/O裝置100B中S/D間距離360超過3奈米至10奈米。I/O裝置100A具有較大S/D間距離350係可以增強其可靠性，例如關於崩潰電壓，熱流載子注入或漏電流部分。

**【0058】** 第32-46圖繪示本發明之其他實施方式中，一

種增加I/O裝置中S/D間距離的另一態樣。基於解說上一致性及清楚起見，於第32-46圖與第2-16圖中出現的相似元件，其標號將標記相同。

**【0059】** 請參考第32圖，FinFET裝置100A是一種I/O裝置且FinFET裝置100B是一種非I/O裝置，例如為核心裝置。FinFET裝置100A和100B係製造於同一基板上，基於簡化的理由並未在圖中繪示出基板。在一些實施例中，基板包含介電材料，例如氧化矽(SiO<sub>2</sub>)。

**【0060】** 形成一半導體層110於基板上。在一實施例中，此半導體層110包含晶體矽材料。在佈植流程中可植入複數個摻雜離子至半導體層110中，其中在一實施例中摻雜離子可以包含N型材料，例如砷或磷，或在一實施例中摻雜離子可以包含P型材料，例如硼，摻雜離子的種類將決定形成NMOS或PMOS。在施行佈植流程後，在半導體層110中摻雜濃度範圍介於 $1 \times 10^{17}$  ions/cm<sup>3</sup>至 $5 \times 10^{19}$  ions/cm<sup>3</sup>之間。

**【0061】** 形成一介電層120於半導體層110上。在一些實施例中，該介電層120包含氧化矽。形成另一介電層130於上述介電層120上，其中介電層130與介電層120係由不同材料所組成。在一些實施例中，介電層130包含氮化矽。介電層130與介電層120可一起充當硬式罩幕層，可將下方的半導體層110進行圖案化。

**【0062】** 請參考第33圖，介電層120、130以及半導體層110經過一次或多次微影製程並圖案化後形成鰭狀結構(或鰭片)150。微影製程可包含用於形成圖案的光阻劑(圖中未繪示)，並可通過諸如沉積，曝光，顯影，熱烘等流程形成(不



一定按順序執行)。已圖案化的光阻層可藉由蝕刻移除部分沒有被已圖案化光阻層保護的層別110-130以形成鰭狀結構150。可以理解的是，鰭狀結構150中的部份半導體層110可做為FinFET裝置100A和100B中的源極，汲極以及通道區。

**【0063】** 請參考第34圖，形成一隔離結構160用以電性隔離鰭片150，且隔離結構160亦可被稱為淺溝層隔離(shallow trench isolation, STI)結構。在一些實施例中，隔離結構160包含介電材料，例如氧化矽或氮化矽。隔離結構160可通過沉積介電材料以填充鰭狀結構150間的開口而形成，接著進行研磨製程(例如化學機械研磨)以平坦化該表面。移除介電層120、130，此步驟可執行於形成隔離結構160之前或之後。

**【0064】** 接著請參考第35圖，進行一次或多次蝕刻流程以形成一些凹部170。藉由移除隔離結構160部分(並非全部)的材料以形成這些凹部170。此時，鰭狀結構150部分地向上凸出且脫離隔離結構160，也就是說，至少每個鰭狀結構150有一部分裸露出來，另一部分則被隔離結構160所覆蓋。

**【0065】** 請參考第36圖，已圖案化的假性閘極結構200形成於隔離結構160上。經過一次或多次圖案化流程後才形成已圖案化的假性閘極結構200。例如，將多晶矽材料形成於隔離結構160上，接著將一已圖案化的硬式罩幕層形成於多晶矽材料上，其中該硬式罩幕層包含一介電層210和另一介電層220。在一些實施例中，介電層210包含氮化矽，且介電層220可包含氧化矽。接著將已圖案化的硬式罩幕層用

以圖案化(例如，經過一次或多次蝕刻製程)下面的多晶矽材料，使之形成已圖案化的假性閘極結構200。如第6圖所示，已圖案化的假性閘極結構200形成並環繞該鰭狀結構150。可以理解的是，該假性閘極結構200可包含一形成於多晶矽材料下的假性介電層，但是為簡單明瞭起見該假性介電層並未繪式於圖中。

**【0066】** 請參考第37圖，形成一密封層230於隔離結構160，鰭狀結構150以及假性閘極結構200上。在一些實施例中，密封層230包含碳化矽的氮氧化合物(SiCON)。在其他實施例中，密封層230包含矽的碳氧化合物(SiOC)。層240形成於密封層230上。在一些實施例中，層240包含氮化矽。在其他實施例中，層240包含氧化矽。在一些實施例中，層240包含非晶矽。在一實施例中，密封層230和層240各自形成conformally。形成於I/O裝置100A的層240將藉由下面討論的後續流程轉變成一附加的間隔層。

**【0067】** 直到這個製造階段為止，形成I/O裝置100A和非I/O裝置100B的製造流程是完全相同的。也就是說，I/O裝置100A和非I/O裝置100B於此製造階段是相同的，後續的製造流程將以不同的製造方法區別I/O裝置100A和非I/O裝置100B。

**【0068】** 請參考第38圖，形成一保護層500於I/O裝置100A上而不是於非I/O裝置100B上。在一些實施例中，該保護層500包含光阻材料。當該保護層500保護I/O裝置100A下的各個層別時，層240則從非I/O裝置100B上移除。例如，可通過一次或多次的蝕刻步驟來去除層240。調控層230和240的材料成分，使之在各個蝕刻步驟中具有實

質上不同的蝕刻速率(例如，較高的蝕刻選擇性)並使得層240被蝕刻時不會影響到層230。因此，當蝕刻流程完成後，該密封層230仍覆蓋在非I/O裝置100B上但是層240則已經被去除。

**【0069】** 並非因為I/O裝置100A的層240未被移除而於後續流程中將I/O裝置100A的層240用於形成「附加」間隔層。相較之下，非I/O裝置100B將不具有這樣的「附加」間隔層。

**【0070】** 請參考第39圖，移除該保護層500，例如光阻剝離或灰化(ashing)流程。在此製造階段，層240係覆蓋於I/O裝置100A上而不是非I/O裝置100B上。

**【0071】** 請參考第40圖，移除I/O裝置100A上部分(例如，部分的上表面)的層240和層230，並移除非I/O裝置100B上部分的密封層230，從而露出層220。在此，非I/O裝置100B中間隔層230係藉由殘留部分的密封層230於該閘極結構200的側壁上而形成，且I/O裝置100A中間隔層230/240藉由殘留部分的密封層230和層240於該閘極結構200的側壁上而形成。其結果是，I/O裝置100A具有附加的間隔層240A而非I/O裝置100B則沒有。

**【0072】** 移除部分凸出於該隔離層160的鰭狀結構150以及形成於鰭狀結構150上方的部分層230和240。因此，於I/O裝置100A與非I/O裝置100B中皆形成凹部400(簡稱S/D凹部)。

**【0073】** 請參考第41圖，在I/O裝置100A以及非I/O裝置100B中形成一源極和汲極區410於開口400內，舉例來說可藉由一磊晶成長(epitaxial growth)步驟。根據第27圖所

示，該源極和汲極區410從開口400向外凸出且亦可具有一弧形的截面外廓。

**【0074】** 請參考第42圖，形成一層間介電層(ILD)300於I/O裝置100A與非I/O裝置100B中的隔離層160上。在一些實施例中，該ILD層300包含氧化矽。藉由適當的沉積步驟形成該ILD層300。進行研磨製程，例如化學機械研磨(chemical-mechanical-polishing，CMP)，以平坦化該ILD層300的上表面，且介電層210和220亦被去除。因此，露出該假性閘極結構200的上表面。

**【0075】** 請參考第43圖，移除I/O裝置100A與非I/O裝置100B中的該假性閘極結構200，因而形成一開口310。在移除假性閘極結構200的步驟中包含移除了假性閘極結構中的假性多晶矽材料以及假性介電材料。

**【0076】** 請參考第44圖，形成一功能性閘極結構320於I/O裝置100A與非I/O裝置100B的開口310中。在一些實施例中，該功能性閘極結構320包含一高介電(high-k)閘極絕緣以及一金屬閘極電極。高介電絕緣材料是一種具有比二氧化矽介電常數更大的材料，其中二氧化矽介電常數大約為4。在一實施例中，該高介電閘極絕緣包含氧化鈪( $\text{HfO}_2$ )，其中該介電常數介於約18至約40。在替代實施例中，該高介電閘極絕緣可包含氧化鋯( $\text{ZrO}_2$ )，氧化釷( $\text{Y}_2\text{O}_3$ )，氧化釷( $\text{La}_2\text{O}_5$ )，氧化釷( $\text{Gd}_2\text{O}_5$ )，二氧化鈦( $\text{TiO}_2$ )，五氧化二鉭( $\text{Ta}_2\text{O}_5$ )，氧化鉿鈪( $\text{HfErO}$ )，氧化釷鈪( $\text{HfLaO}$ )，氧化釷鈪( $\text{HfYO}$ )，氧化釷鈪( $\text{HfGdO}$ )，氧化鋁鈪( $\text{HfAlO}$ )，氧化鋯鈪( $\text{HfZrO}$ )，氧化鈦鈪( $\text{HfTiO}$ )，氧化鉭鈪( $\text{HfTaO}$ )，或氧化鈦銲( $\text{SrTiO}$ )。該金屬閘極電極包含一功函數金屬組

件和一填充金屬組件。該功函數金屬組件的配置係調整相對應FinFET的功函數以達到所需的臨界電壓 $V_t$ 。在各實施例中，該功函數金屬組件可包含：鈦鋁(TiAl)，氮化鋁鈦(TiAlN)，碳氮化鉭(TaCN)，氮化鈦(TiN)，氮化鎢(WN)，或鎢(W)，或其組合。該填充金屬組件的配置係視為功能性閘極結構320中主要的導電部分。在各實施例中，該填充金屬組件包含鋁(Al)，鎢(W)，銅(Cu)或其組合。由功能性閘極結構320替換假性閘極結構200的置換過程可稱為一閘極置換(或後閘極)步驟。

**【0077】** 根據上述所敘，可以得知對應至第32-44圖的實施例於I/O裝置100A中亦形成「附加」間隔層240A。如此一來，I/O裝置100A中的S/D間距離較非I/O裝置100B中S/D間距離更有效地延長。在第31圖中更清楚地繪示出I/O裝置100A與非I/O裝置100B中兩個不同的剖面側視圖。其中一個剖面側視圖是沿X軸方向截開(X-cut)的視圖，另一個剖面側視圖是沿Y軸方向(Y-cut)截開的視圖。X-cut的視圖與Y-cut的視圖是相互垂直的關係。

**【0078】** 根據X-cut的視圖可清楚得知，在I/O裝置100A中較非I/O裝置100B中多出了「附加」間隔層240A。因此，在I/O裝置100A中的S/D間距離350較非I/O裝置100B中S/D間距離360更大。在一些實施例中，該「附加」間隔層240A的側向長度範圍係介於3奈米至10奈米，因此在I/O裝置100A中的S/D間距離350較非I/O裝置100B中S/D間距離360超過3奈米至10奈米。I/O裝置100A具有較大S/D間距離350係可以增強其可靠性，例如關於崩潰電壓，熱流載子注入或漏電流部分。

**【0079】** 雖然本發明實施例如上實施例之通道材料(即，半導體層110的材料)係使用晶體矽，但其他合適的材料也可以於替代實施例中用於該通道材料。例如，參照第46-48圖，使用銻化矽(SiGe)或銻(Ge)代替矽作為通道材料。

**【0080】** 第46圖所示之實施例係相似於上述如第2-16圖所示之實施例，其不同之處在於I/O裝置100A與非I/O裝置100B皆具有銻化矽或銻通道600。換句話說，第46圖所示之實施例係使用相同於上述如第1-16圖所示之製造步驟所形成，其不同之處在於使用銻化矽或銻代替半導體層110中的晶體矽材料。I/O裝置100A具有較大S/D間距離350(相較於S/D間距離360)仍可以增強銻化矽通道FinFET或銻通道FinFET的可靠性，舉例來說係關於崩潰電壓或漏電流，例如閘極誘導汲極漏電流(gate-induced drain leakage, GIDL)。

**【0081】** 第47圖所示之實施例係相似於上述如第17-31圖所示之實施例，其不同之處在於I/O裝置100A與非I/O裝置100B皆具有銻化矽或銻通道600。換句話說，第47圖所示之實施例係使用相同於上述如第17-31圖所示之製造步驟所形成，其不同之處在於使用銻化矽或銻代替半導體層110中的晶體矽材料。I/O裝置100A具有較大S/D間距離350(相較於S/D間距離360)仍可以增強銻化矽通道FinFET或銻通道FinFET的可靠性，舉例來說係關於崩潰電壓或漏電流，例如閘極誘導汲極漏電流(gate-induced drain leakage, GIDL)。

**【0082】** 第48圖所示之實施例係相似於上述如第32-45

圖所示之實施例，其不同之處在於I/O裝置100A與非I/O裝置100B皆具有銻化矽或銻通道。換句話說，第48圖所示之實施例係使用相同於上述如第32-45圖所示之製造步驟所形成，其不同之處在於使用銻化矽或銻代替半導體層110中的晶體矽材料。I/O裝置100A具有較大S/D間距離350(相較於S/D間距離560)仍可以增強銻化矽通道FinFET或銻通道FinFET的可靠性，舉例來說係關於崩潰電壓或漏電流，例如閘極誘導汲極漏電流(gate-induced drain leakage, GIDL)。

**【0083】** 第49圖繪示本發明實施例中，一種關於鰭式場效電晶體裝置之製造方法800流程圖。方法800包含一步驟810係形成第一鰭式場效電晶體裝置之第一鰭狀結構以及第二鰭式場效電晶體裝置之第二鰭狀結構於基板上。該鰭狀結構包含一半導體材料，例如矽，銻化矽或銻。在一些實施例中，形成該第一及第二鰭狀結構時包含形成一半導體層於基板上之步驟以及圖案化半導體層使之變成鰭狀結構之步驟。在一些實施例中，該第一鰭式場效電晶體裝置係為一輸入/輸出(I/O)裝置，且該第二鰭式場效電晶體裝置係為一非輸入/輸出(non-I/O)裝置。例如，該非輸入/輸出裝置為一核心裝置。

**【0084】** 方法800包含一步驟820係形成第一閘極於第一鰭狀結構上以及第二閘極於第二鰭狀結構上。

**【0085】** 方法800包含一步驟830係形成材料層於第一閘極與第二閘極上。在一些實施例中，該材料層包含一介電材料，例如氮化矽或氧化矽。

**【0086】** 方法800包含一步驟840係形成保護層於第二

閘極上並非第一閘極上。在一些實施例中，該保護層包含光阻劑。

**【0087】** 方法800包含一步驟850係當第二閘極具有保護層保護時，植入摻雜離子至形成於第一閘極側壁上的部分材料層中。在一些實施例中，該摻雜離子包含碳離子。在一些實施例中，該摻雜離子包含硼離子。

**【0088】** 方法800包含一步驟860係於佈植後，蝕刻第一閘極中的材料層以形成第一間隔層。

**【0089】** 方法800包含一步驟870係蝕刻後移除保護層。

**【0090】** 方法800包含一步驟880係蝕刻去除部分殘留的保護層，但不去除第一間隔層。由於離子植入第一間隔層後導致難以移除。

**【0091】** 方法800包含一步驟890係於第一閘極與第二閘極中皆形成第二間隔層。該第一間隔層與第二間隔層是由不同材料組成而形成。在一些實施例中，該第一間隔層包含氮化矽，氧化矽或多晶矽。在一些實施例中，該第二間隔層包含碳化矽的氮氧化物(SiCON)或矽的碳氧化物(SiOC)。

**【0092】** 第一鱈式場效電晶體裝置因形成該第一間隔層而具有大於第二鱈式場效電晶體裝置之源極/汲極間之距離。

**【0093】** 可以理解的是亦可提供額外的步驟於此流程如上述完整的半導體裝置之製造步驟810-890所示之前、其中或之後。例如，該第一閘極以及第二閘極可以是假性閘極，在這種情形下，方法800可以包含一使用高介電金屬閘極置換假性閘極之步驟。並且爲了簡單起見其他流程步驟不在此贅述。



【0094】 第50圖繪示本發明實施例中，一種關於鰭式場效電晶體裝置之製造方法900流程圖。方法900包含一步驟910係形成第一鰭式場效電晶體裝置之第一鰭狀結構以及第二鰭式場效電晶體裝置之第二鰭狀結構於基板上。該鰭狀結構包含一半導體材料，例如矽，銻化矽或銻。在一些實施例中，形成該第一及第二鰭狀結構時包含形成一半導體層於基板上之步驟以及圖案化半導體層使之變成鰭狀結構之步驟。在一些實施例中，該第一鰭式場效電晶體裝置係為一輸入/輸出(I/O)裝置，且該第二鰭式場效電晶體裝置係為一非輸入/輸出(non-I/O)裝置。例如，該非輸入/輸出裝置為一核心裝置。

【0095】 方法900包含一步驟920係形成第一閘極於第一鰭狀結構上以及形成第二閘極於第二鰭狀結構上。

【0096】 方法900包含一步驟930係形成密封層於第一閘極與第二閘極上。

【0097】 方法900包含一步驟940係形成材料層於密封層上。

【0098】 方法900包含一步驟950係形成保護層於第一閘極上而非第二閘極上。

【0099】 方法900包含一步驟960係當第一閘極具有保護層保護時，蝕刻形成於第二閘極上的材料層而非密封層。該密封層與該材料層是由不同材料組成而形成使得兩者在蝕刻該材料層時具有不同蝕刻速率。

【0100】 方法900包含一步驟970係蝕刻後移除保護層。

【0101】 方法900包含一步驟980係移除保護層後，第一閘極而非第二閘極之密封層將轉變為第一間隔層且材料層

將轉變為第二間隔層。該第一鱈式場效電晶體裝置因形成該第二間隔層而具有大於第二鱈式場效電晶體裝置之源極/汲極間之距離。

**【0102】** 可以理解的是亦可提供額外的步驟於此流程如上述完整的半導體裝置之製造步驟910-980所示之前、其中或之後。例如，該第一閘極以及第二閘極可以是假性閘極，在這種情形下，方法900可以包含一使用高介電金屬閘極置換假性閘極之步驟。並且為了簡單起見其他流程步驟不在此贅述。

**【0103】** 根據以上敘述，可以得知本揭露相較於傳統場效電晶體以及其製造方法更提供了多項優點。可以理解的是雖然其他實施例可提供附加的優點但並非所有的優點已全數揭露於本發明實施方式中，且本揭露所敘述之各個實施方式或實施例不需要特定的特徵優點。再者，於其他實施方式或實施例中亦可能提供不同的特徵優點。本發明之場效電晶體裝置揭露其中一優點，係I/O裝置中S/D間距離大於非I/O裝置中S/D間距離。在各個實施例中，由於獨特的製造流程使得I/O裝置中包含附加間隔層而具有較大S/D間距離，惟非I/O裝置中則不包含附加間隔層。由於I/O裝置中S/D間距離較大使得所述場效電晶體裝置之可靠度得以改善，例如崩潰電壓，熱流載子注入或漏電流。本發明實施例的另一優點是如文中所述之獨特的製造步驟(及生成附加間隔層)是容易實現的且與現有之製造流程相容的。因此，本發明所揭露之實施內容並不會導致成本增加。

**【0104】** 本發明實施例關於一半導體裝置之一態樣。該半導體裝置包含第一鱈式場效電晶體裝置及第二鱈式場效

電晶體裝置。該第一鰭式場效電晶體裝置包含第一閘極，第一源極以及第一汲極。該第一鰭式場效電晶體裝置具有源極/汲極間第一距離。該第二鰭式場效電晶體裝置包含第二閘極，第二源極以及第二汲極。該第二鰭式場效電晶體裝置具有不同於源極/汲極間第一距離之源極/汲極間第二距離。

**【0105】** 本發明實施例關於一製造半導體裝置方法之另一態樣。形成第一鰭式場效電晶體裝置之第一鰭狀結構以及第二鰭式場效電晶體裝置之第二鰭狀結構於基板上。形成第一閘極於第一鰭狀結構上以及形成第二閘極於第二鰭狀結構上。形成材料層於第一閘極與第二閘極上。形成保護層於第二閘極上並非第一閘極上。當第二閘極具有保護層保護時，植入摻雜離子至形成於第一閘極側壁上的部分材料層中。於植入離子後，蝕刻該材料層使之形成第一閘極中之第一間隔層。

**【0106】** 本發明實施例關於一製造半導體裝置方法之又一態樣。形成第一鰭式場效電晶體裝置之第一鰭狀結構以及第二鰭式場效電晶體裝置之第二鰭狀結構於基板上。形成第一閘極於第一鰭狀結構上以及形成第二閘極於第二鰭狀結構上。形成密封層於第一閘極與第二閘極上。形成材料層於密封層上。形成保護層於第一閘極上而非第二閘極上。當第一閘極具有保護層保護時，蝕刻形成於第二閘極上的材料層(並非密封層)。蝕刻材料層後移除保護層。移除保護層後，第一閘極而非第二閘極之密封層將轉變為第一間隔層且材料層將轉變為第二間隔層。

**【0107】** 雖然本發明實施例實施方式如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本揭露之精神和範

圍內，當可作各種之更動與潤飾，因此本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

**【符號說明】**

**【0108】**

- 50：鱗式場效電晶體裝置
- 60：閘極
- 70：源極
- 80：汲極
- 100A：輸入/輸出裝置
- 100B：非輸入/輸出裝置
- 110：半導體層
- 120：第一介電層
- 130：第二介電層
- 150：鱗狀結構
- 160：隔離層
- 170：凹部
- 200：假性閘極結構
- 210：閘極介電層
- 220：源電極及汲電極
- 230：低功率電漿處理
- 240：介電層
- 240A：第一間隔層
- 250：離子佈植流程
- 260：保護層
- 280：第二間隔層

- 290：源極/汲極磊晶區
- 300：層間介電層
- 310：開口
- 320：閘極結構
- 350：第一源極/汲極間距離
- 360：第二源極/汲極間距離
- 400：開口
- 410：源極及汲極區
- 550：第一源極/汲極間距離
- 560：第二源極/汲極間距離
- 600：通道
- 800、900：方法
- 810~890、910~980：操作步驟

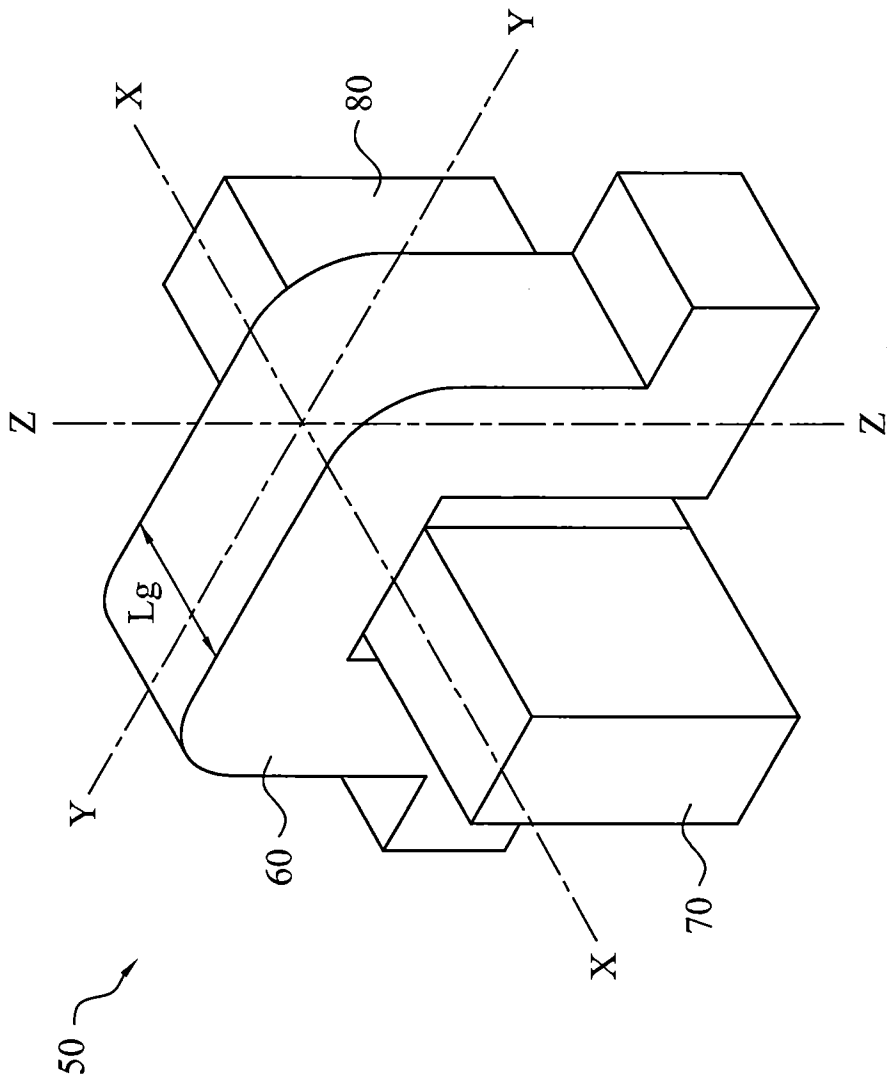
## 【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

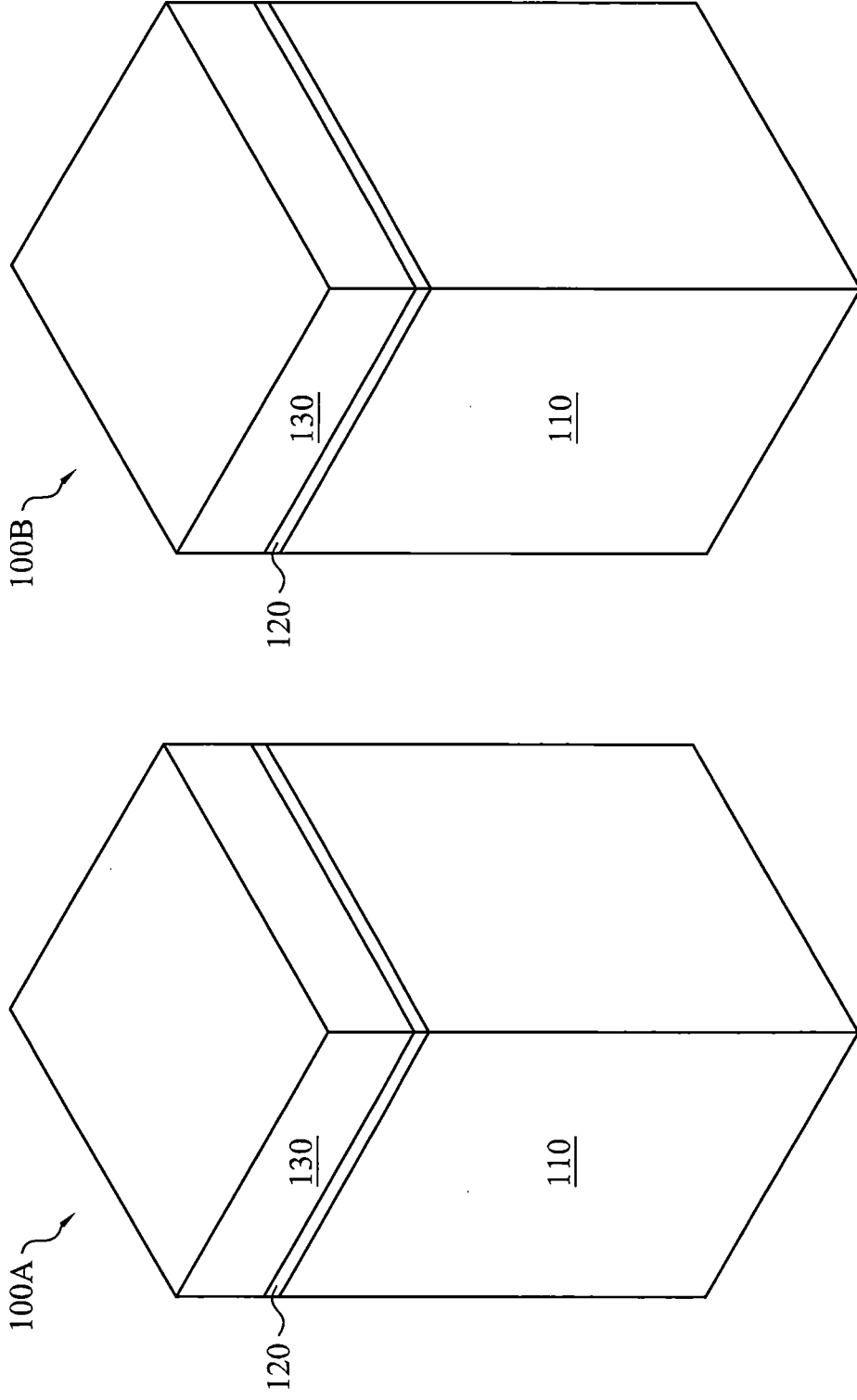
一第一鰭式場效電晶體裝置，包含一第一閘極，一第一源極，以及一第一汲極，其中該第一鰭式場效電晶體裝置具有一源極/汲極間第一距離；以及

一第二鰭式場效電晶體裝置，包含一第二閘極，一第二源極，以及一第二汲極，其中該第二鰭式場效電晶體裝置具有不同於該源極/汲極間該第一距離之一源極/汲極間第二距離。

圖式

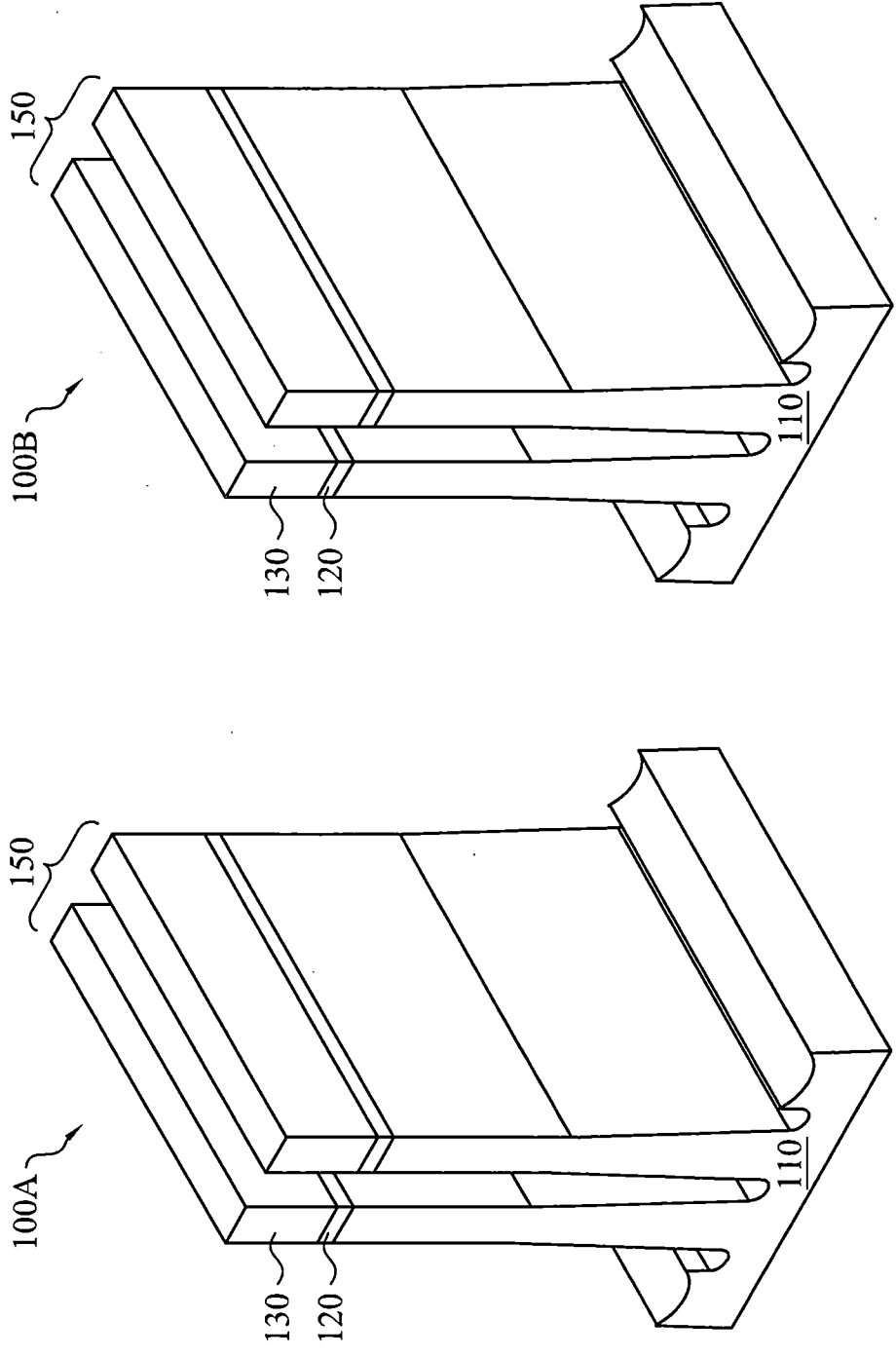


第1圖

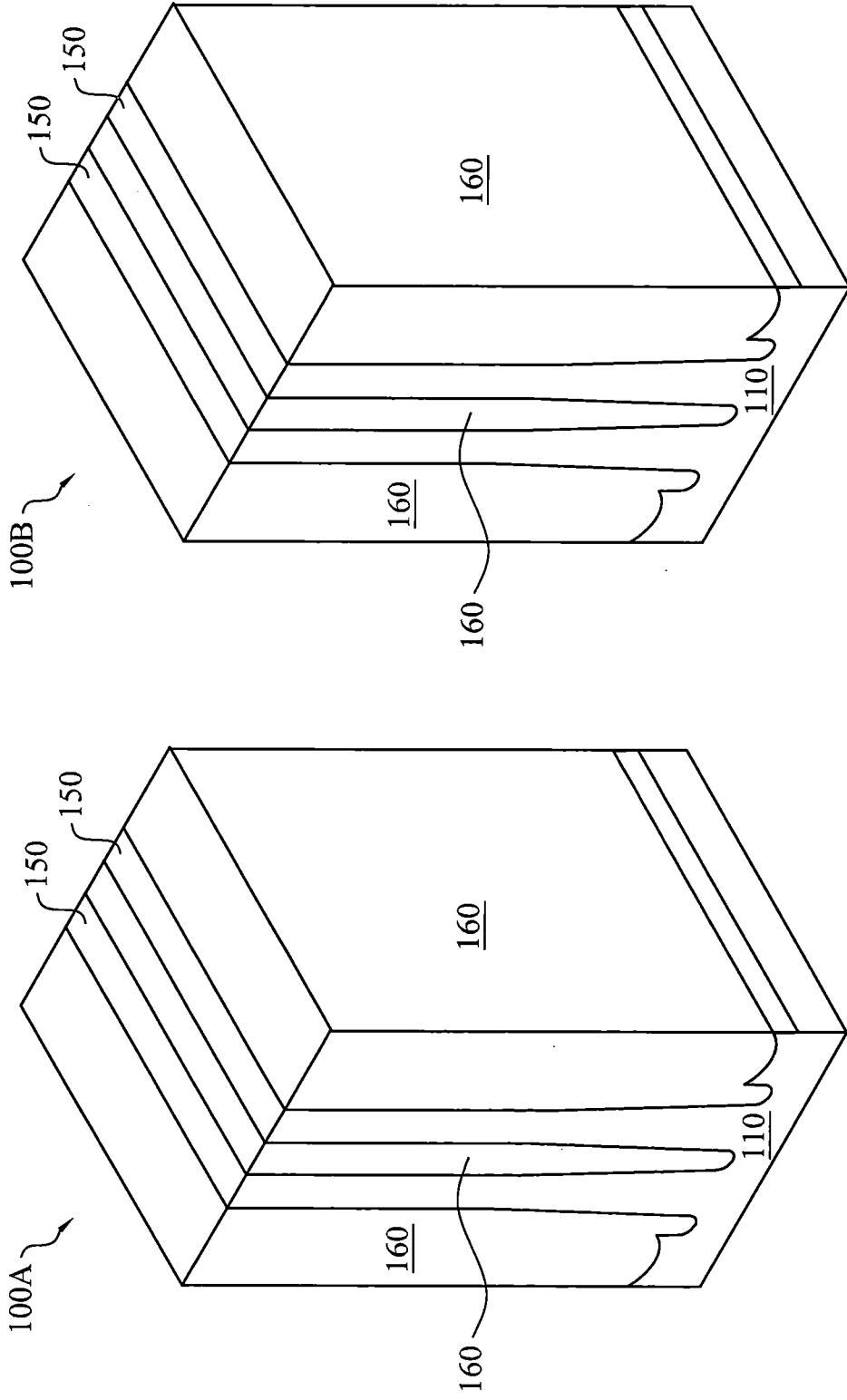


第2圖

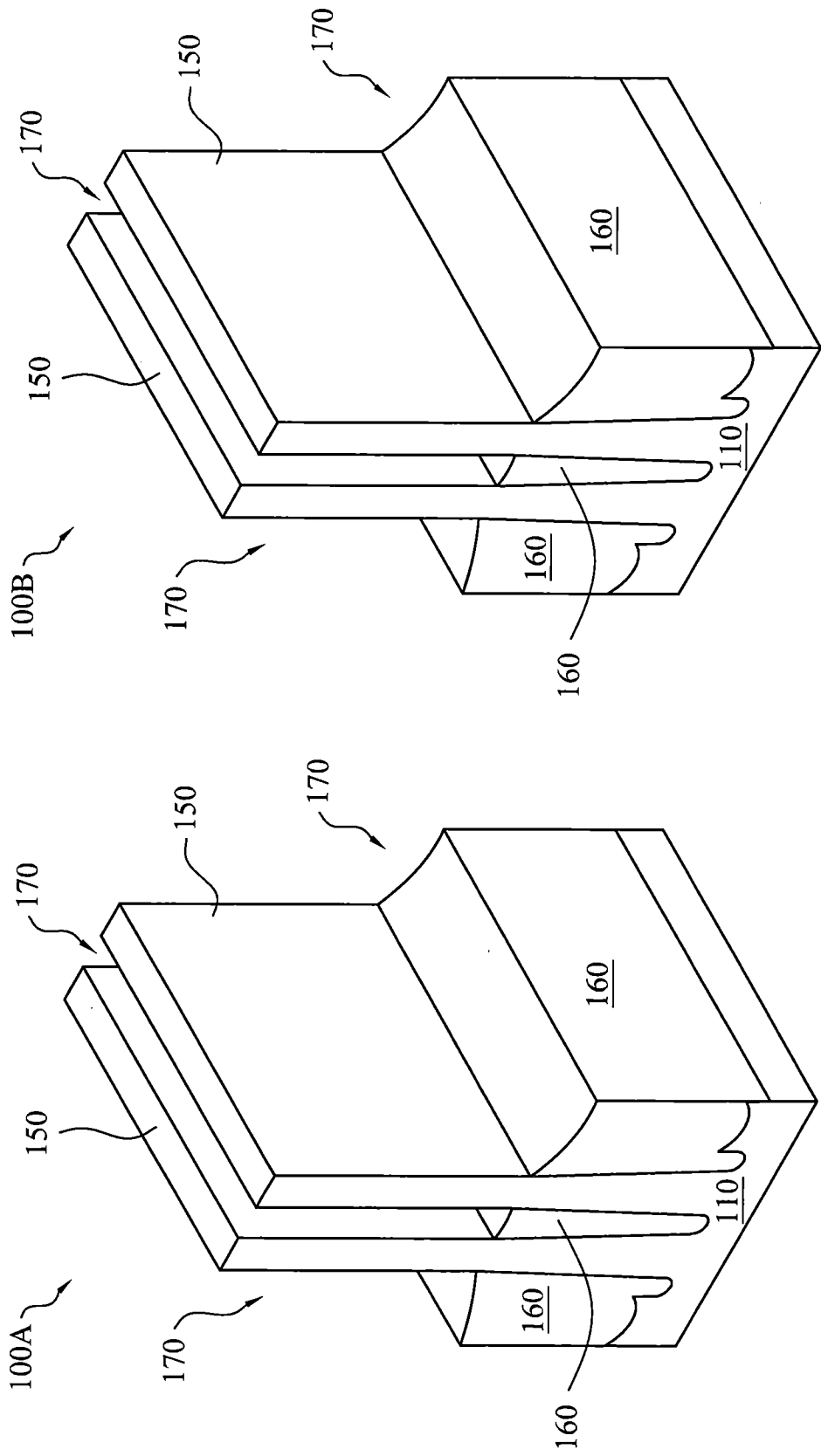




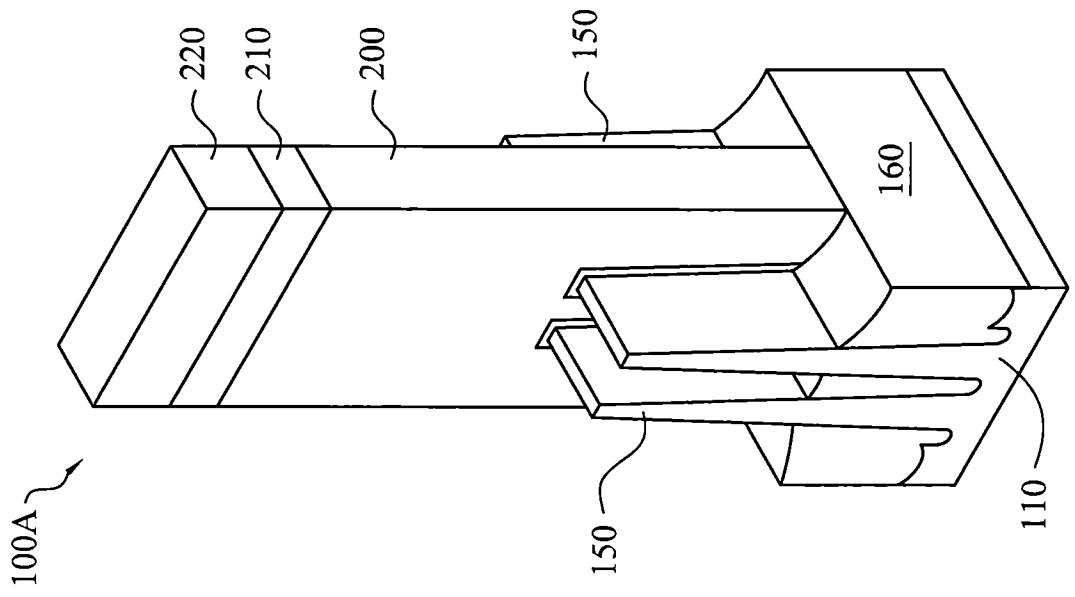
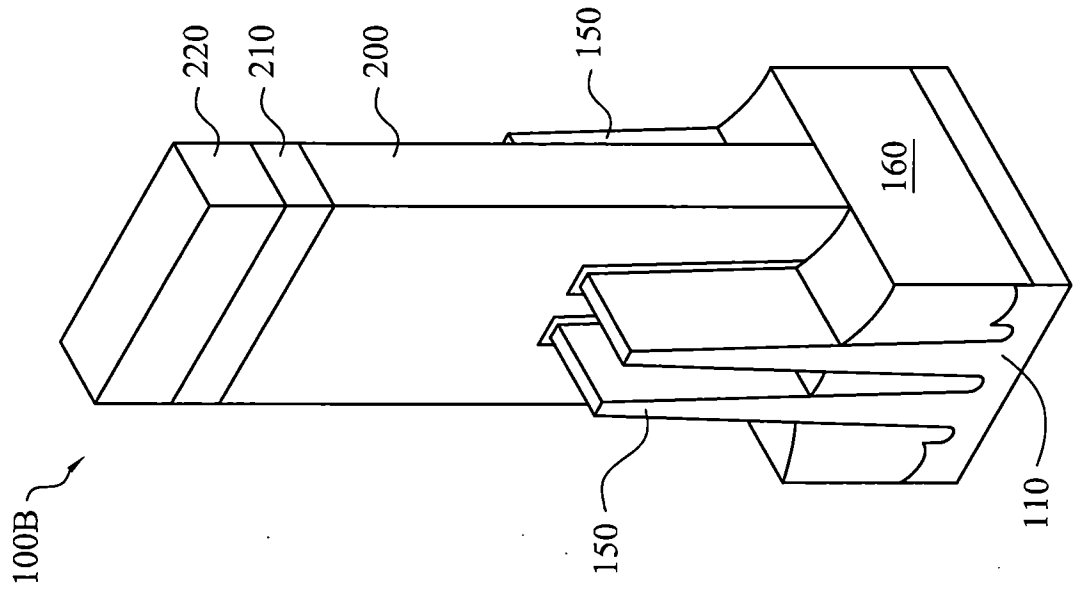
第 3 圖



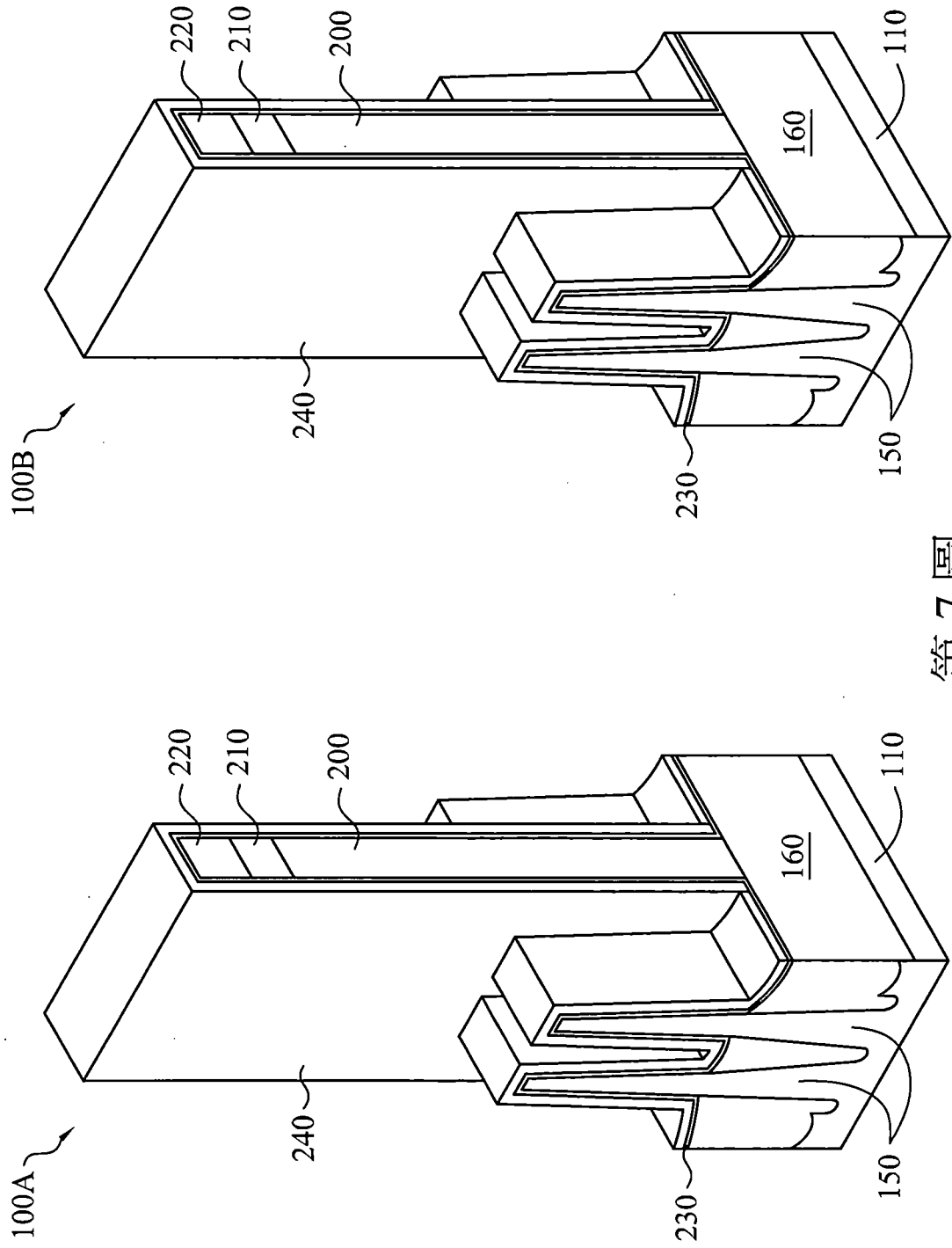
第4圖



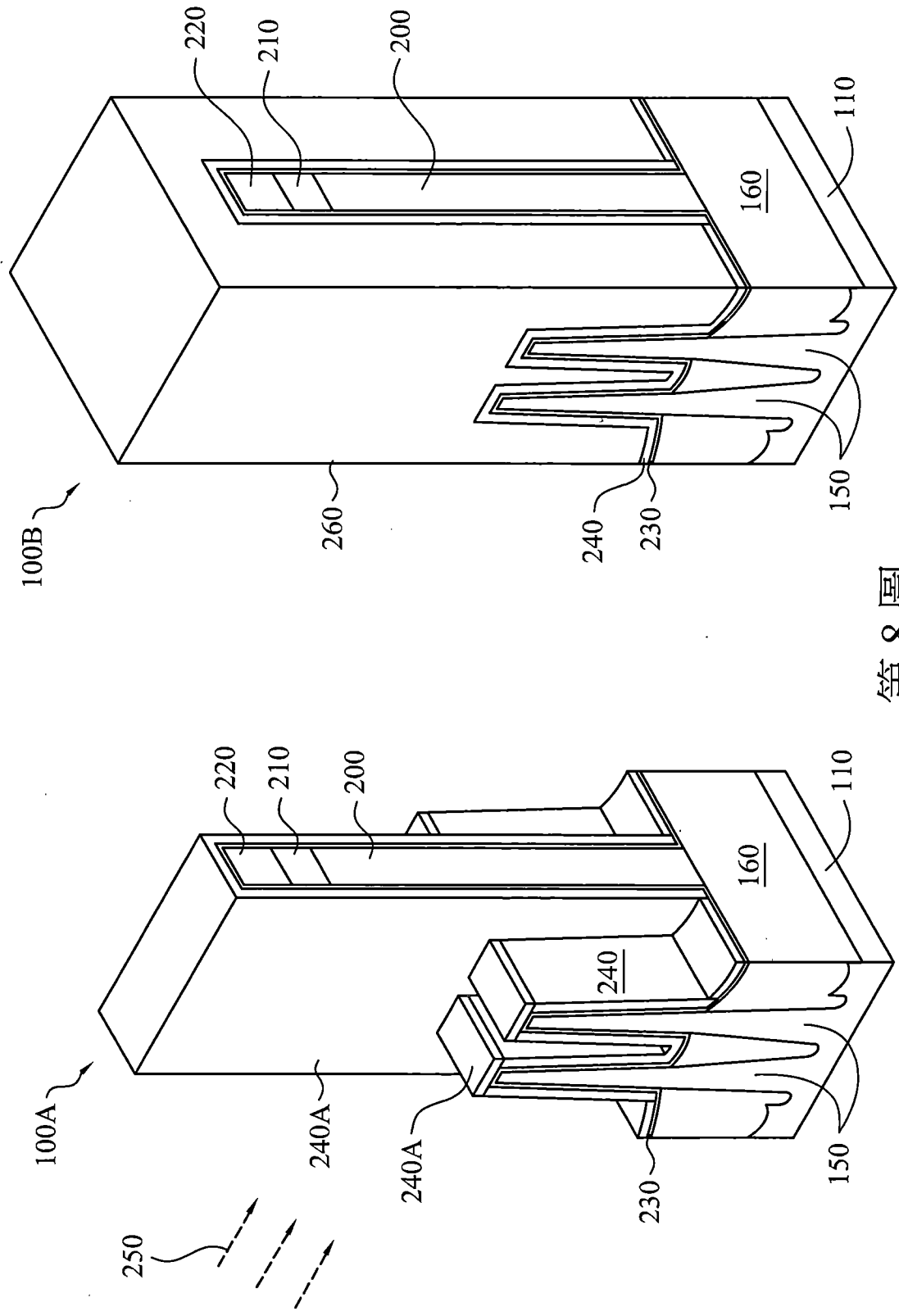
第5圖



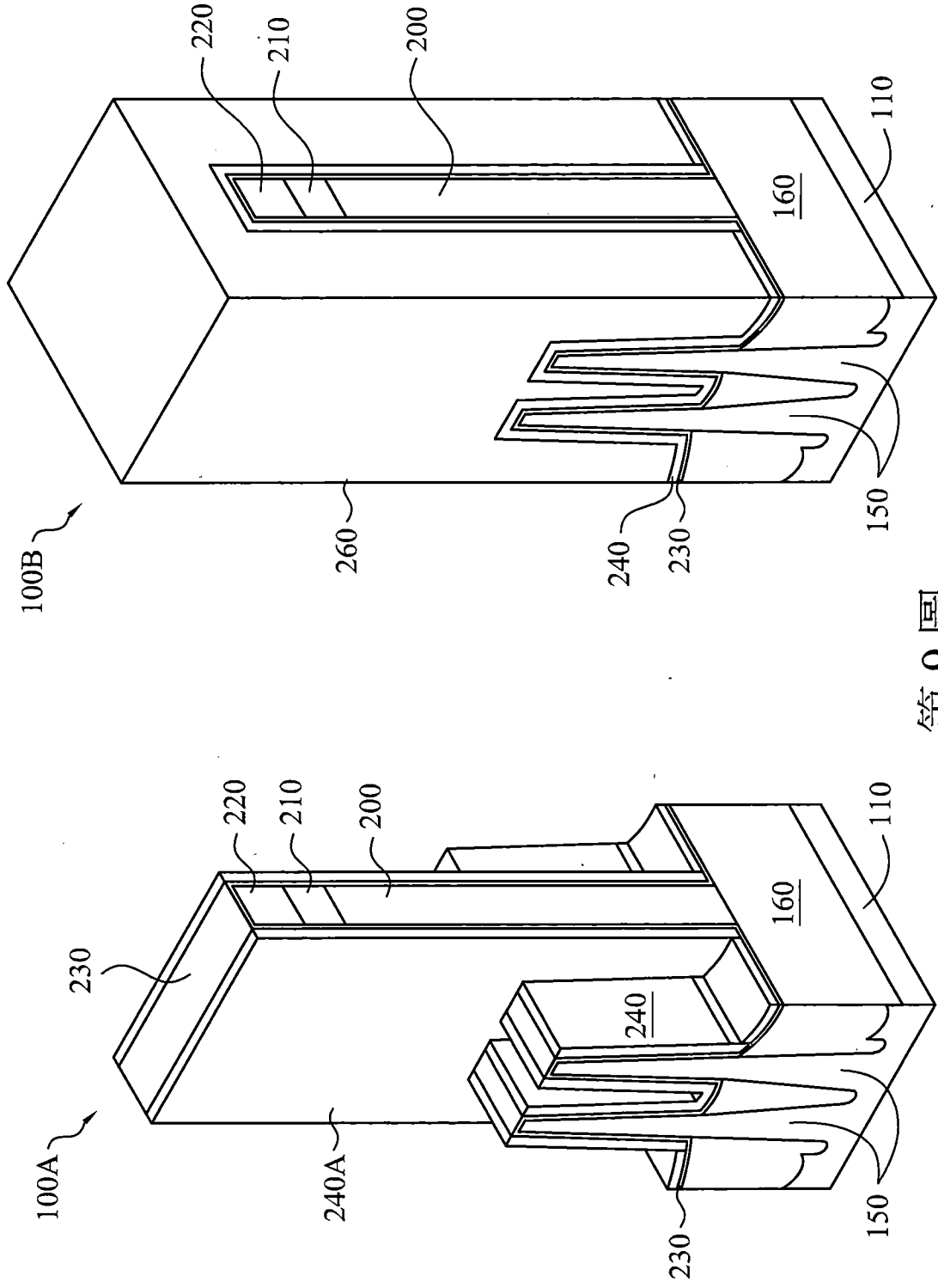
第6圖



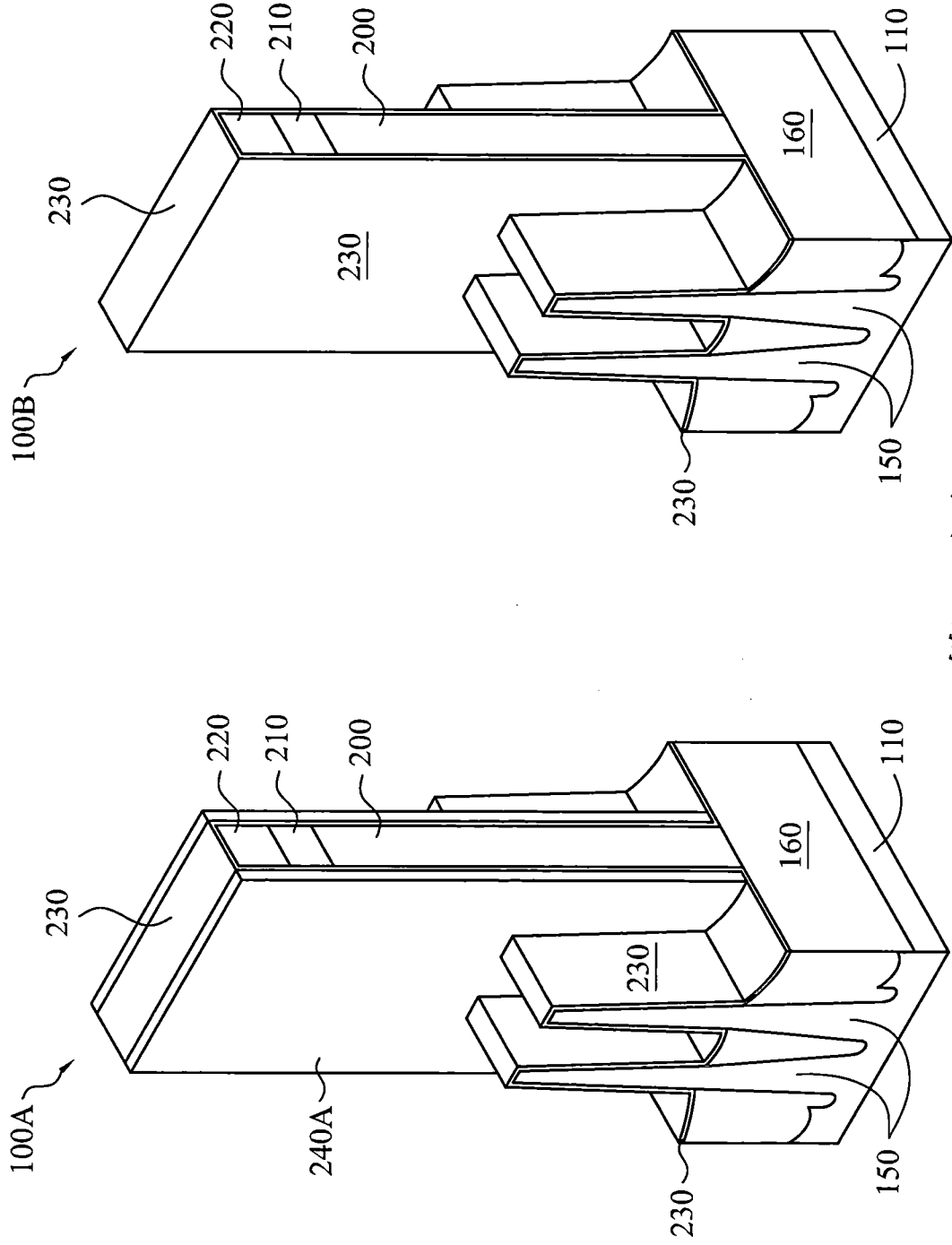
第7圖



第 8 圖

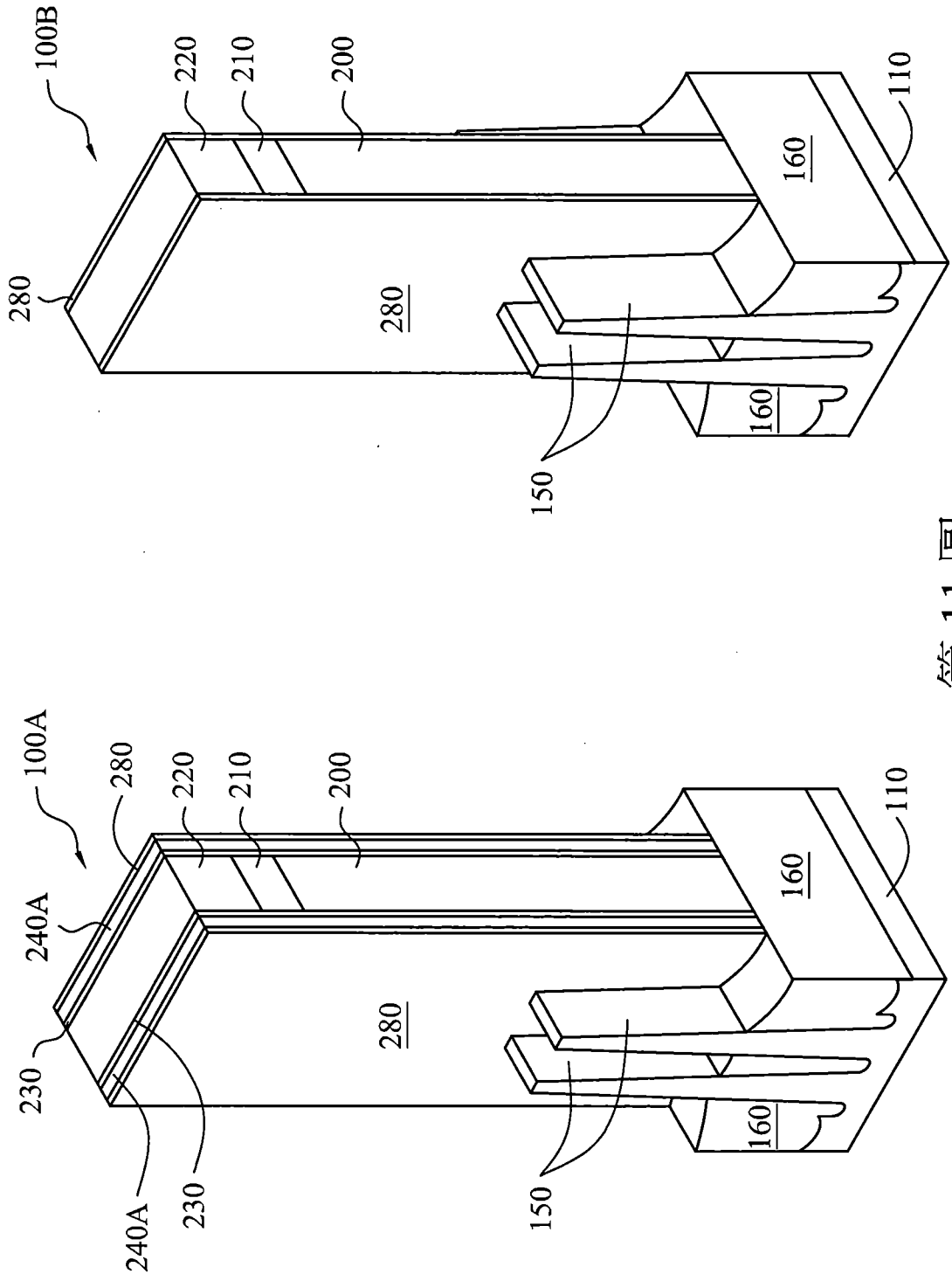


第9圖

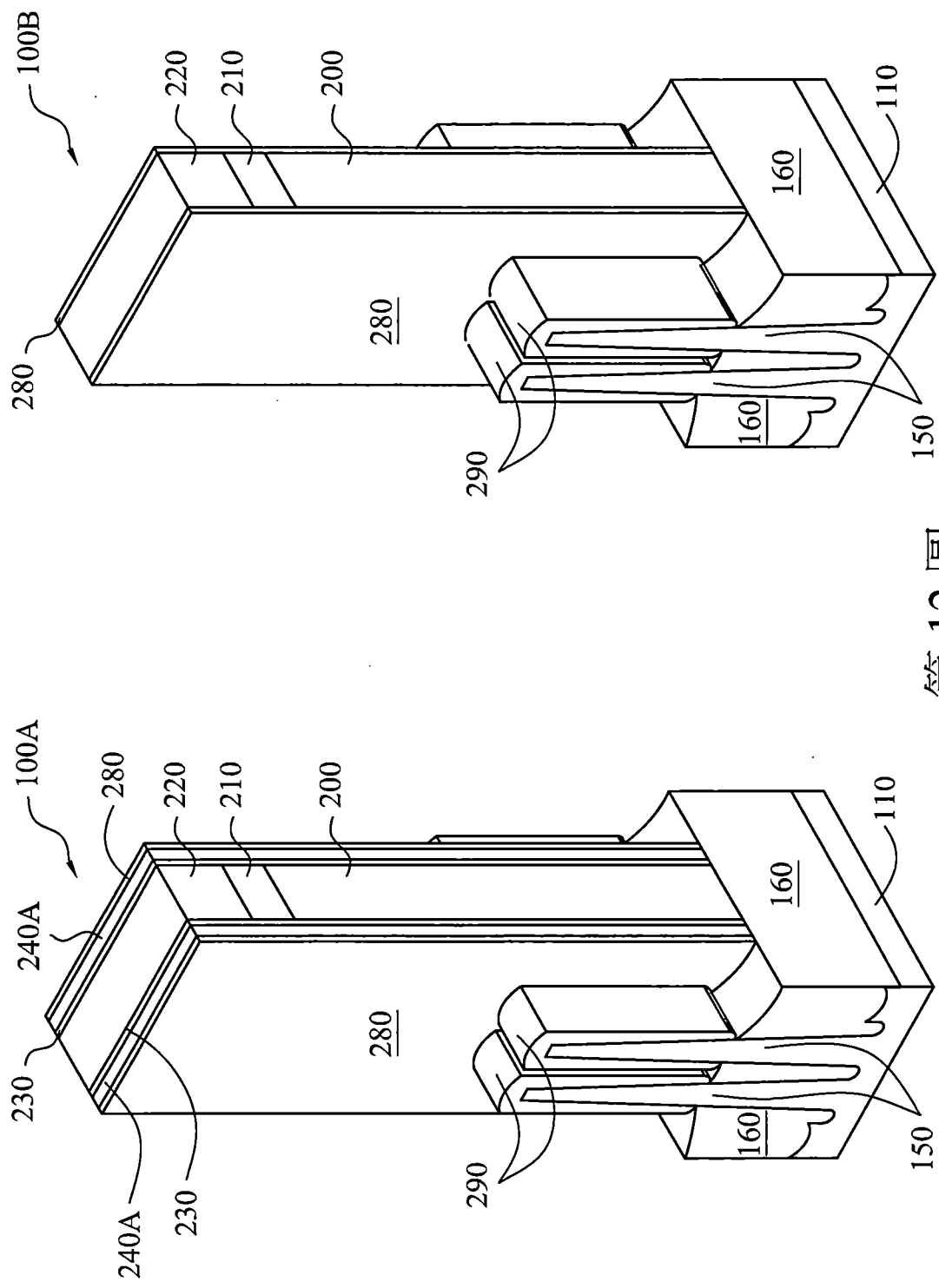


第 10 圖

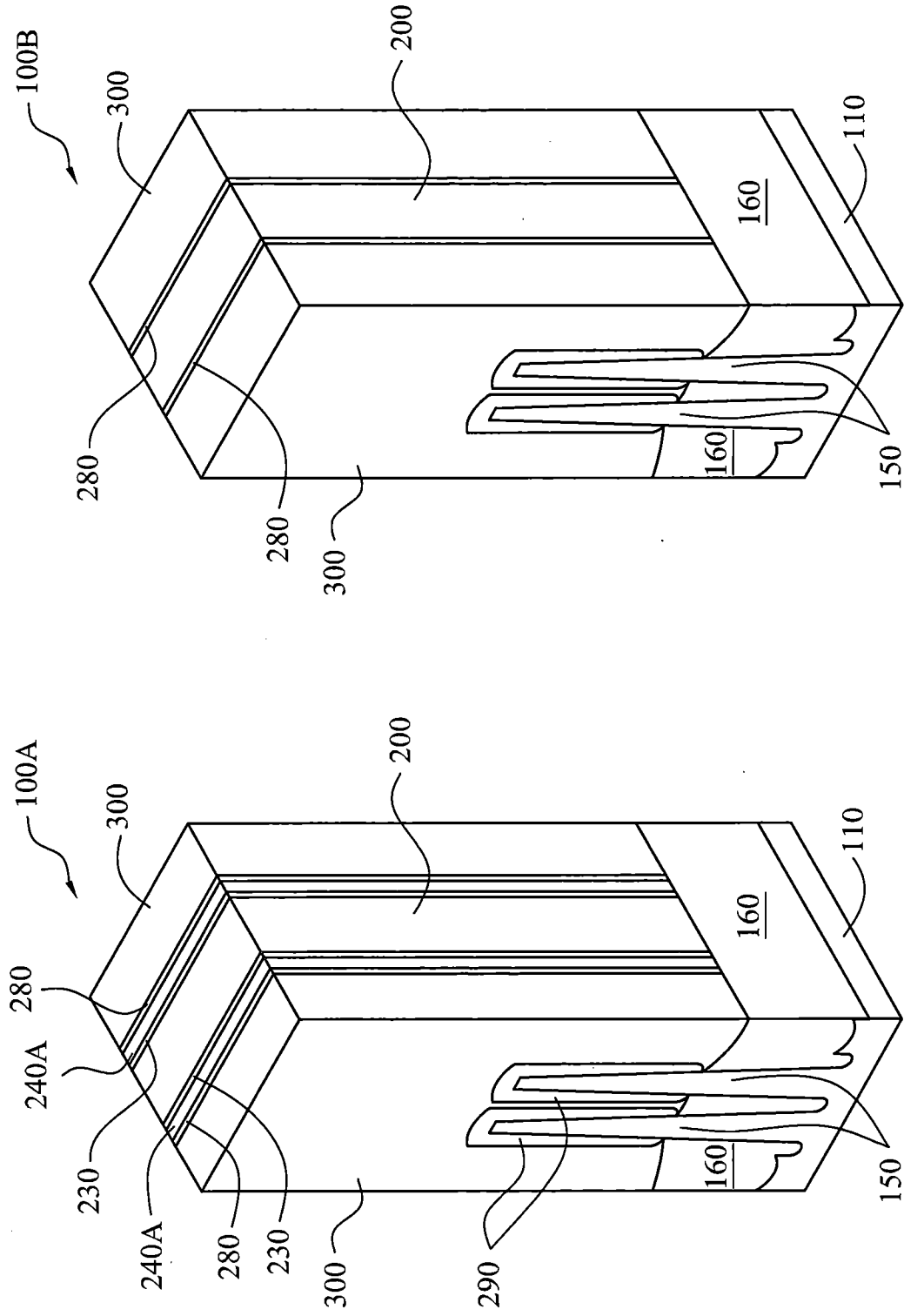




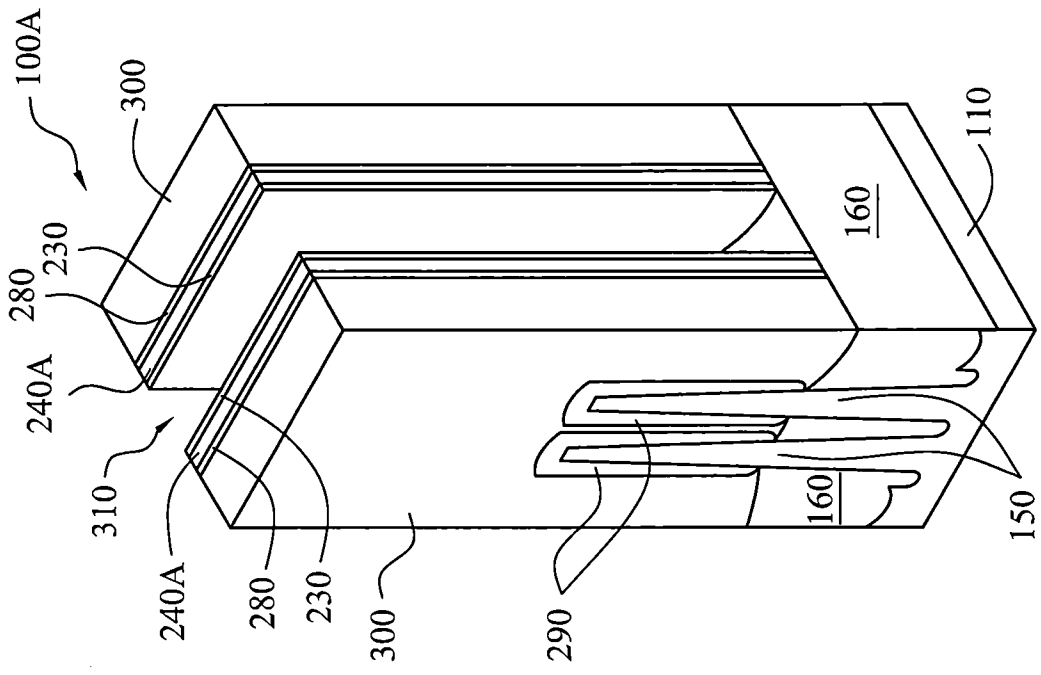
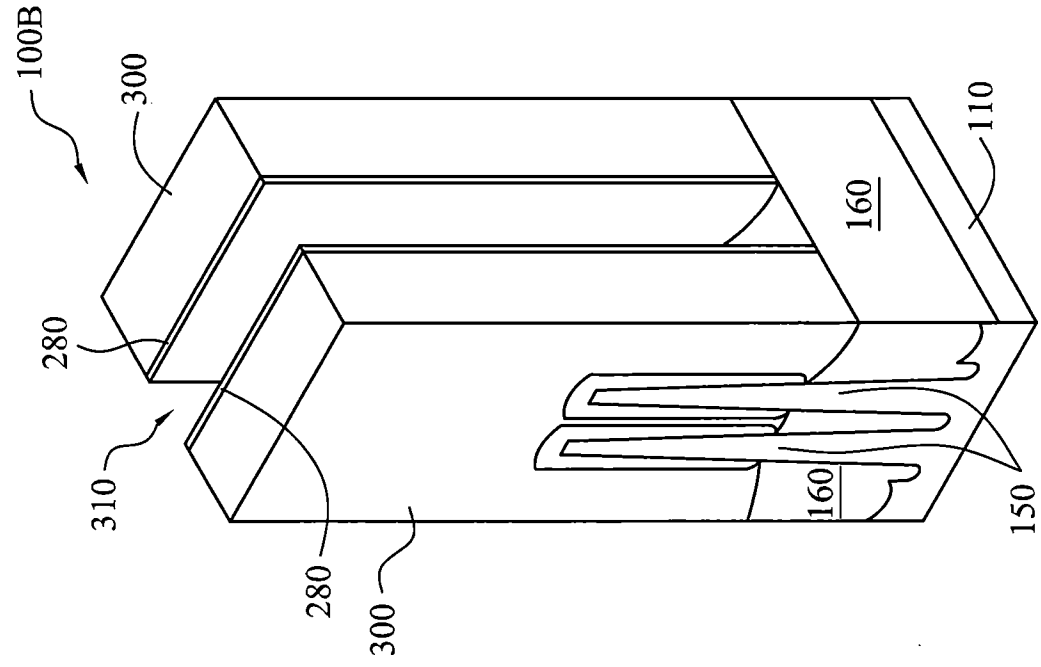
第 11 圖



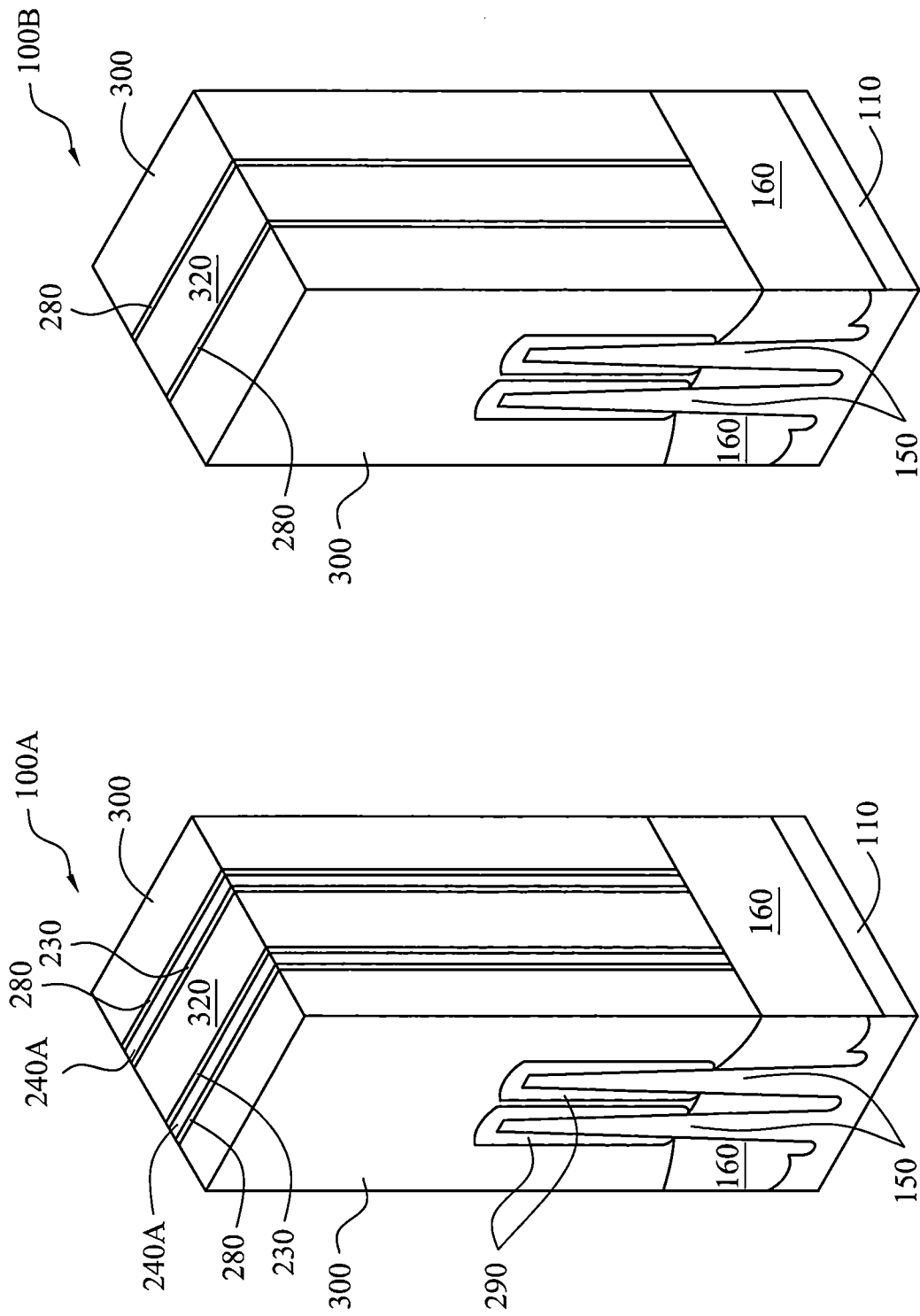
第 12 圖



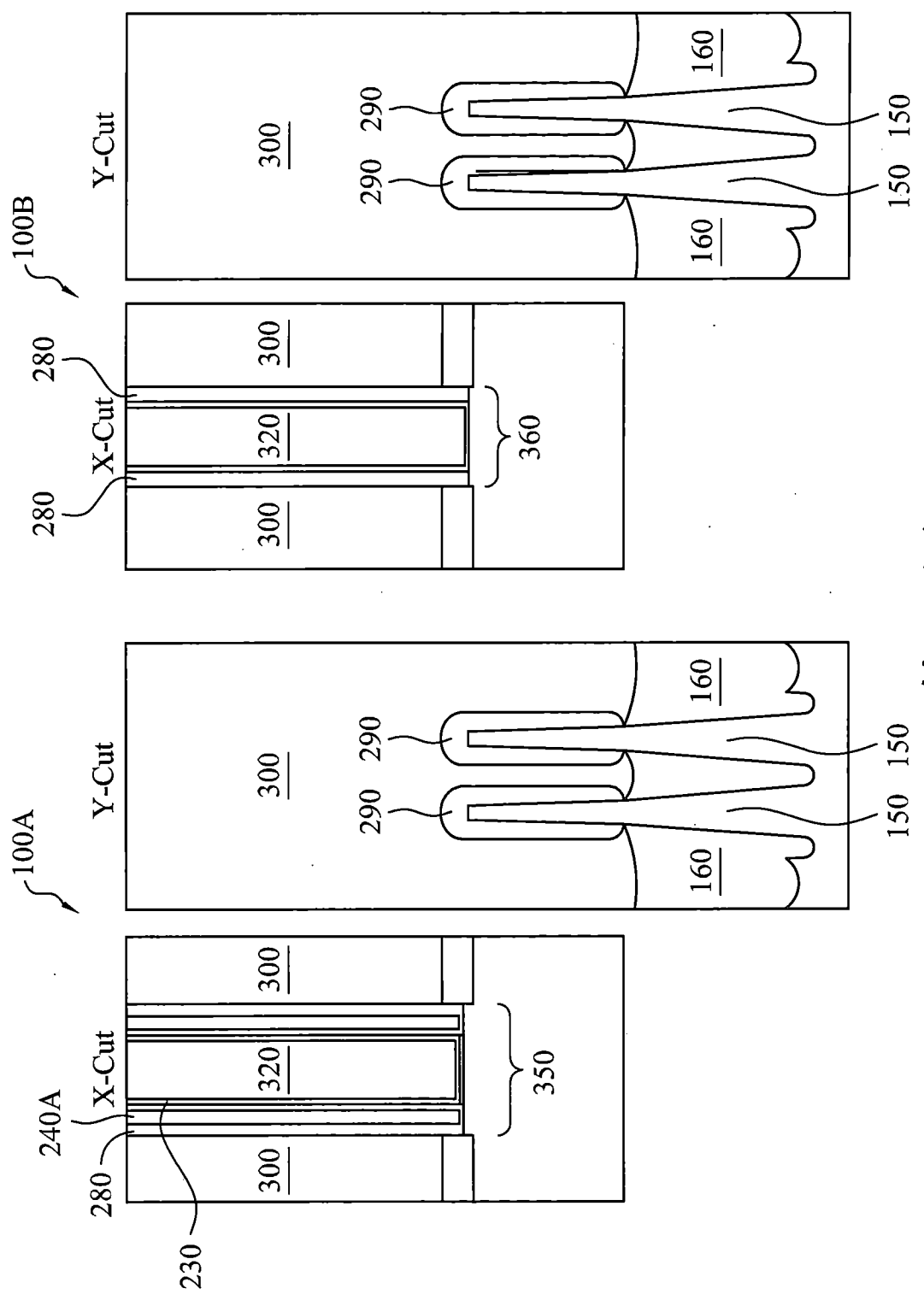
第13圖



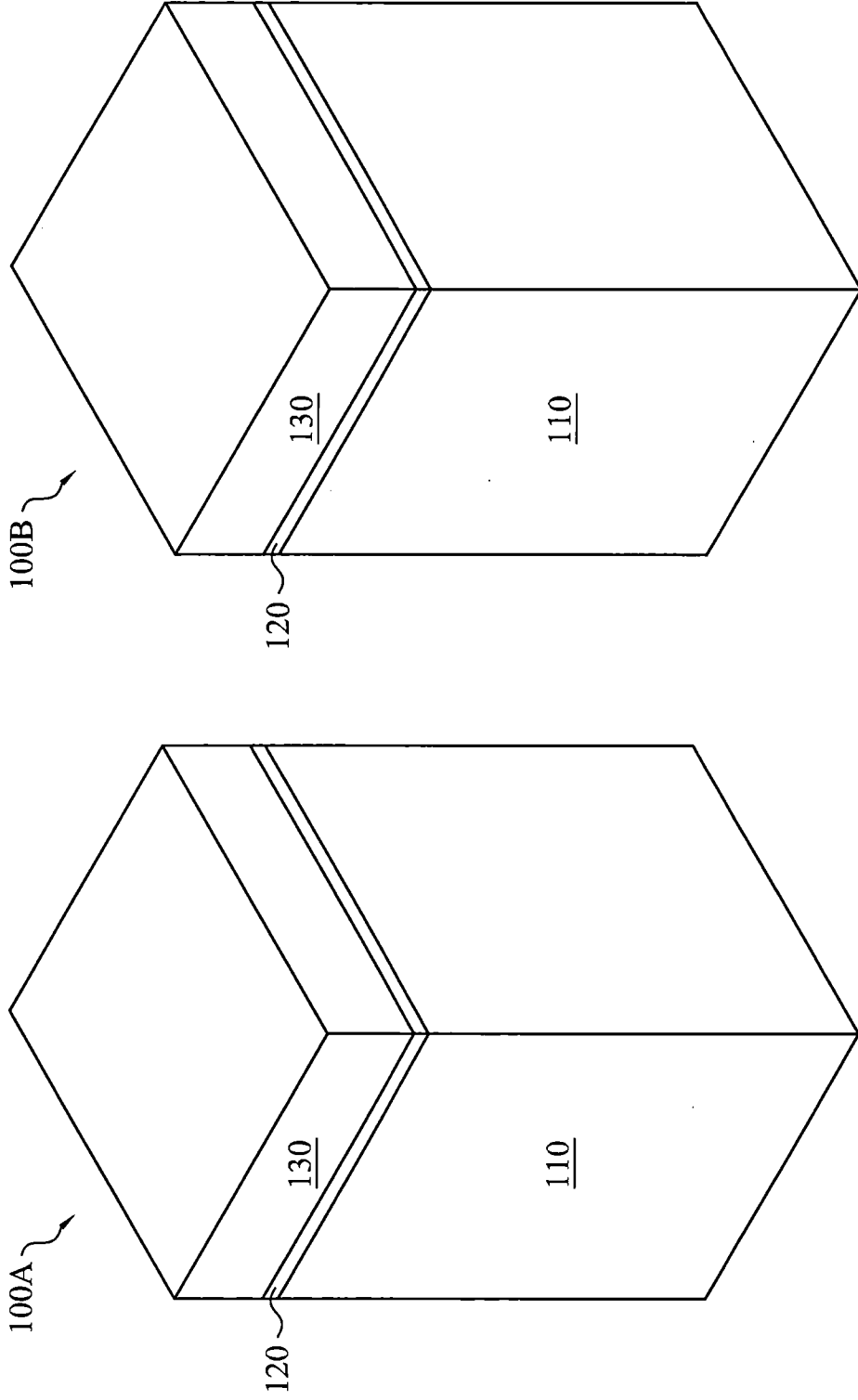
第 14 圖



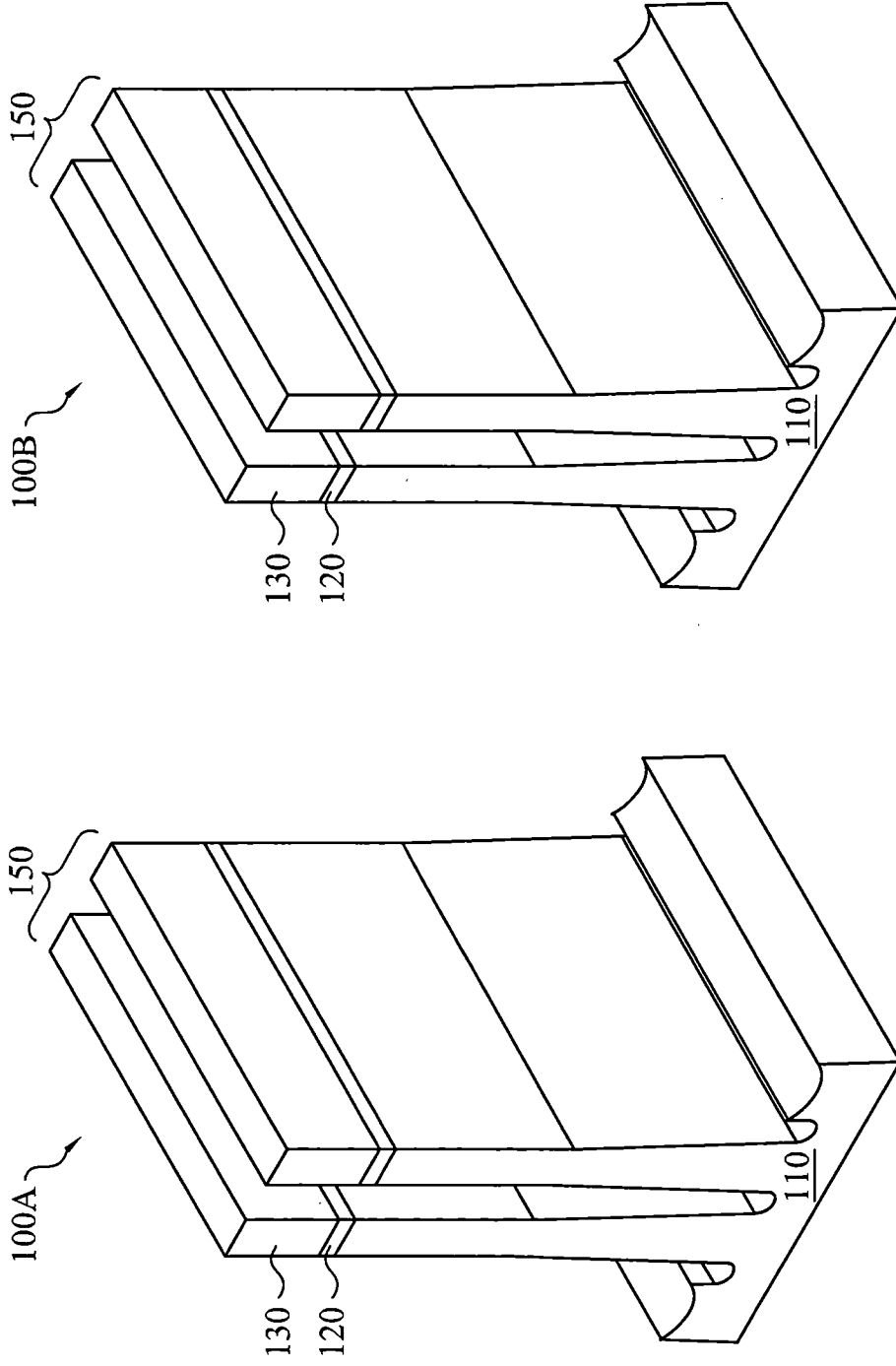
第15圖



第 16 圖

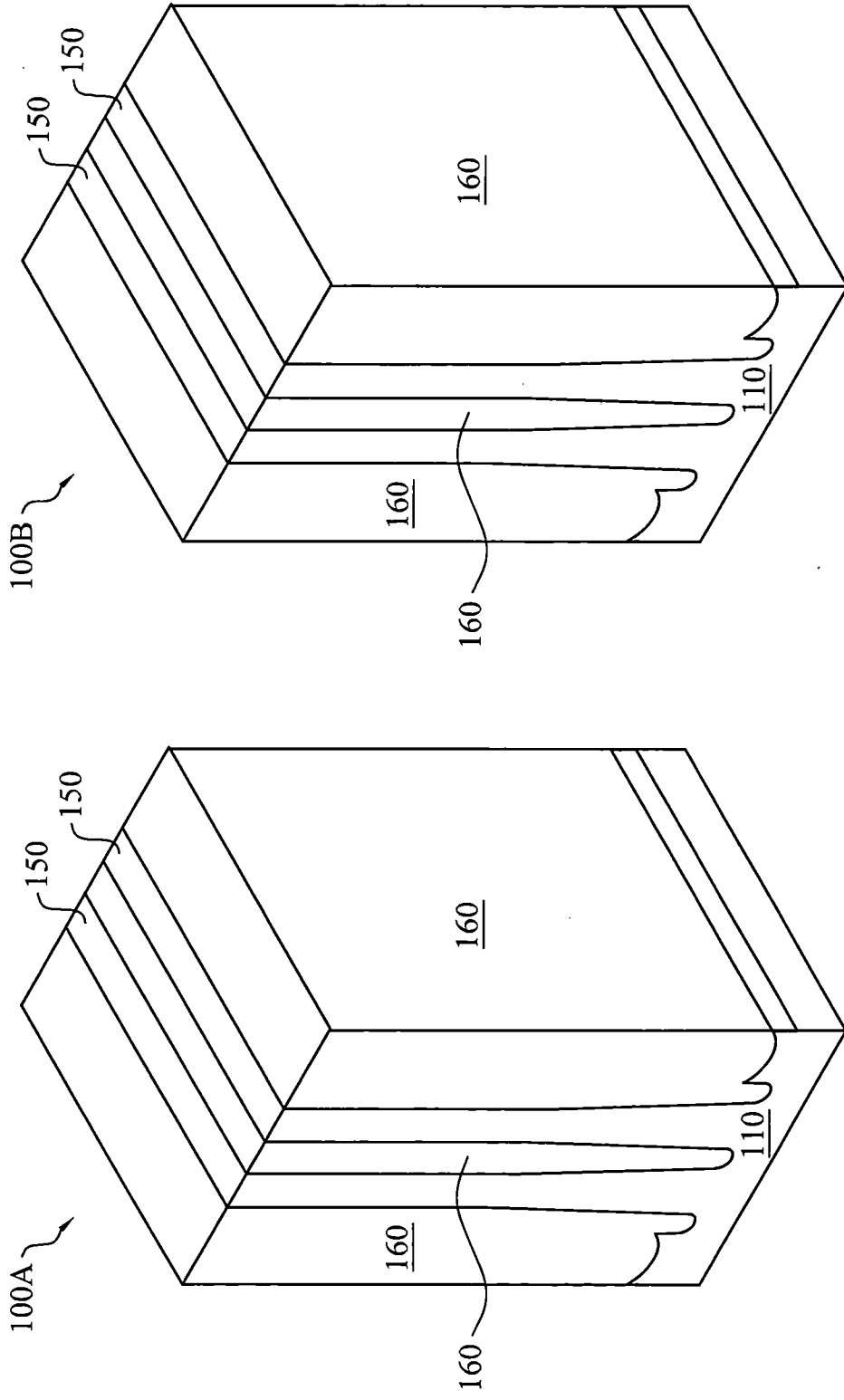


第17圖

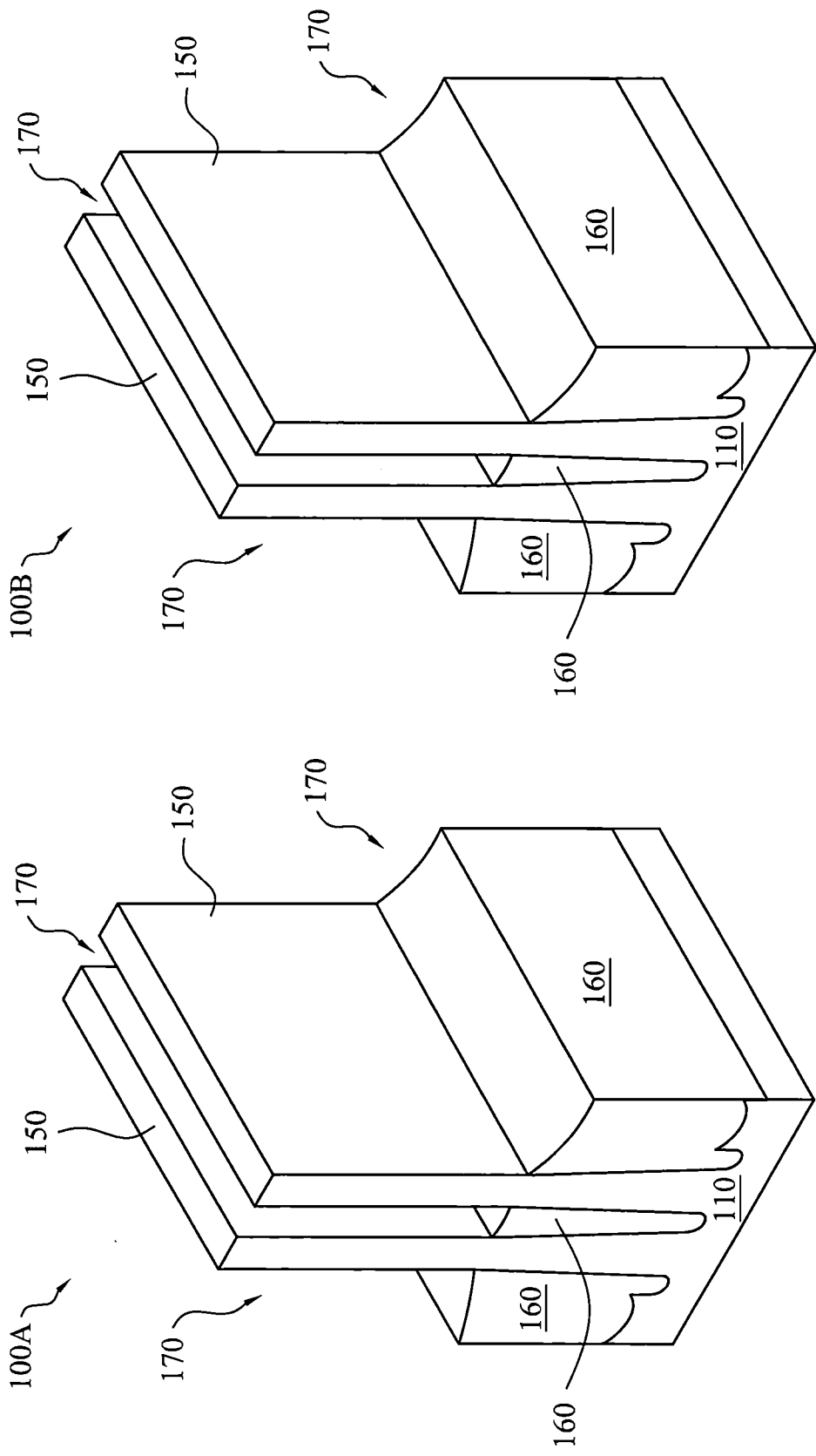


第 18 圖

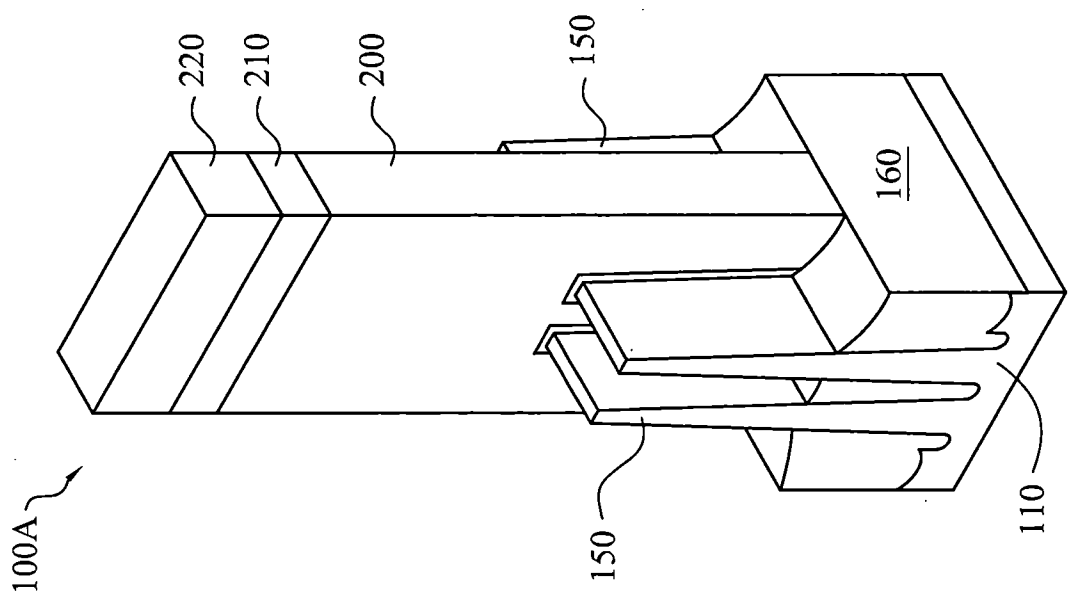
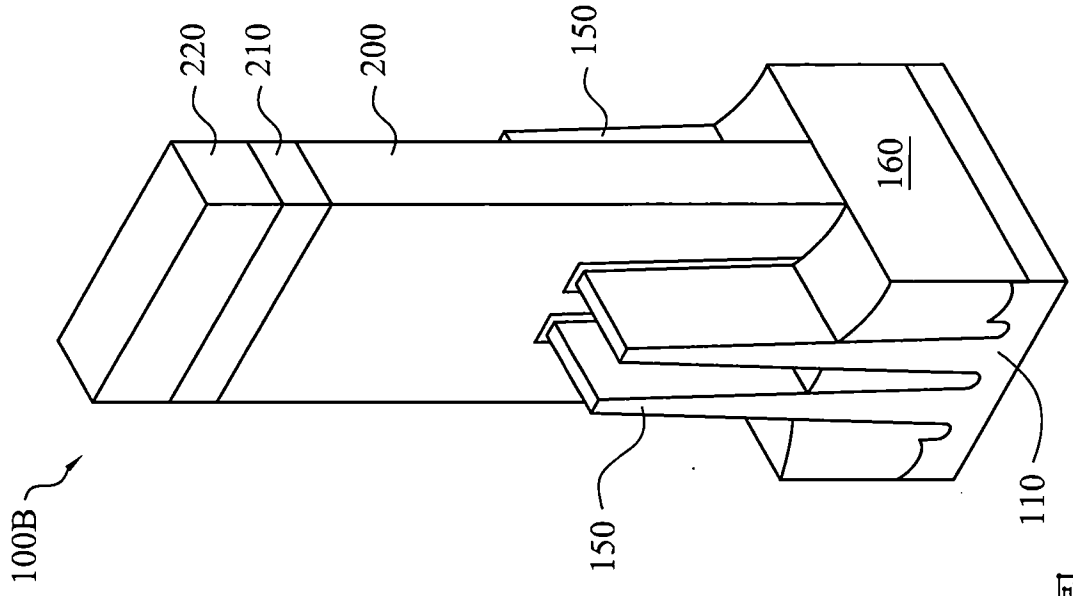




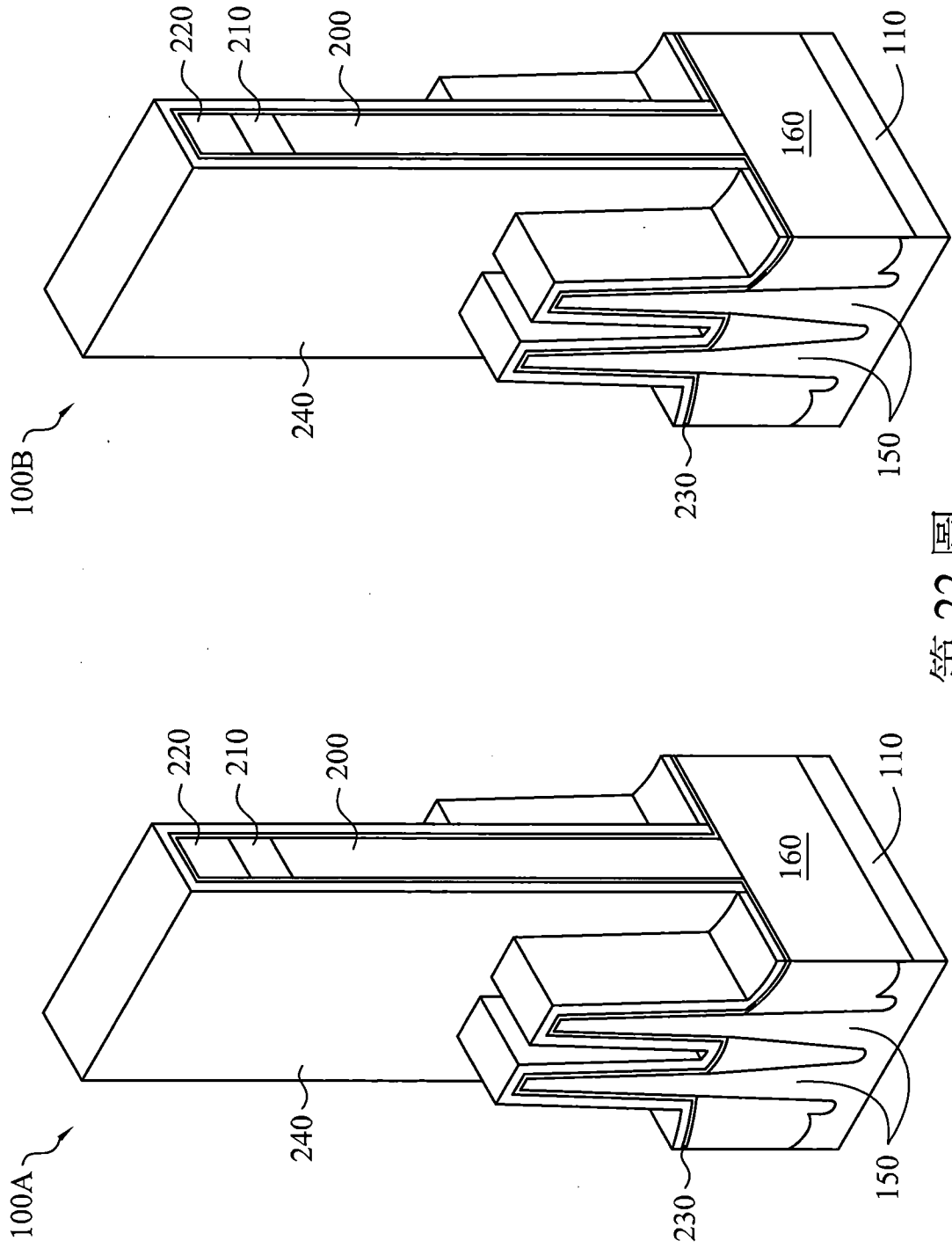
第 19 圖



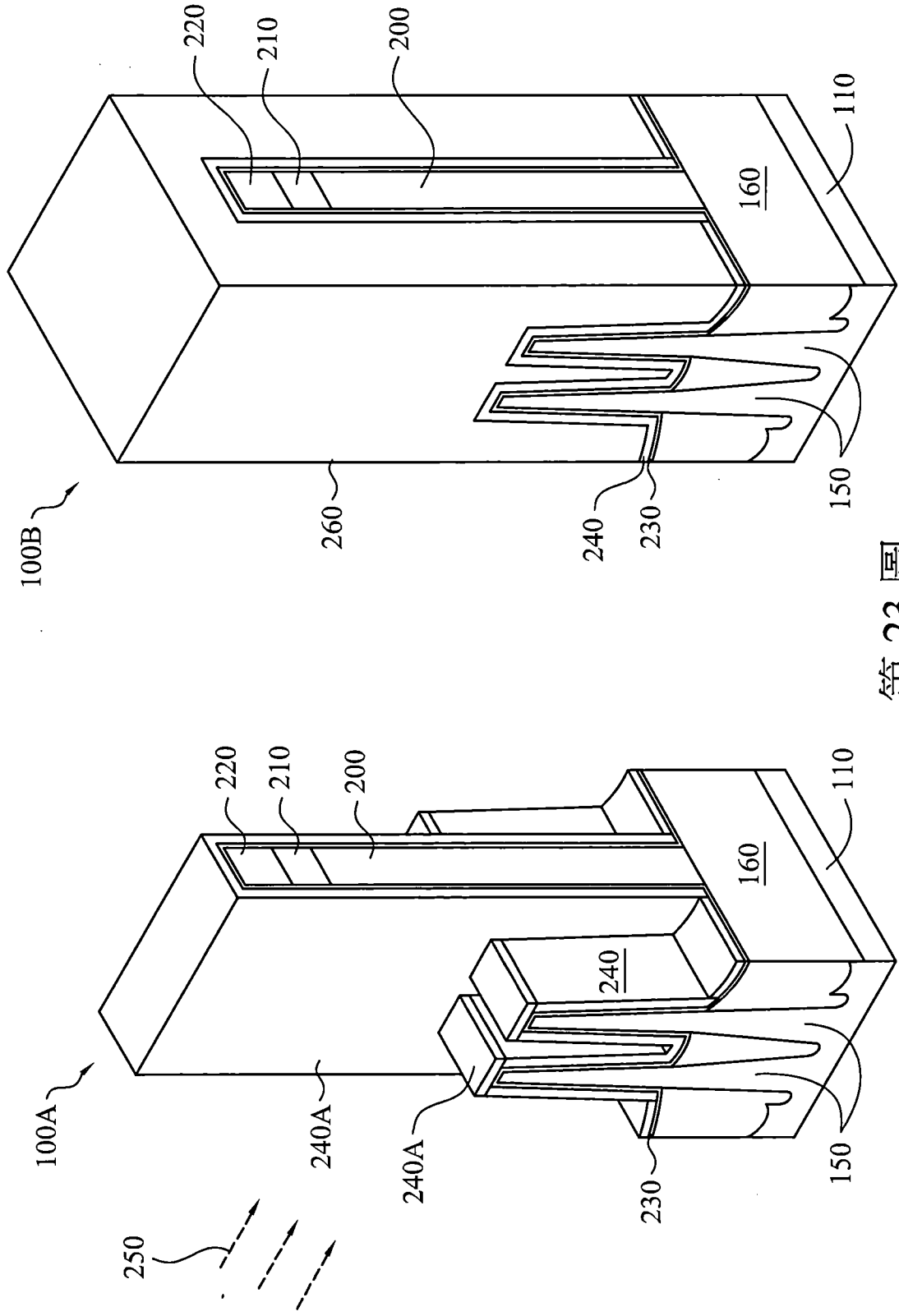
第 20 圖



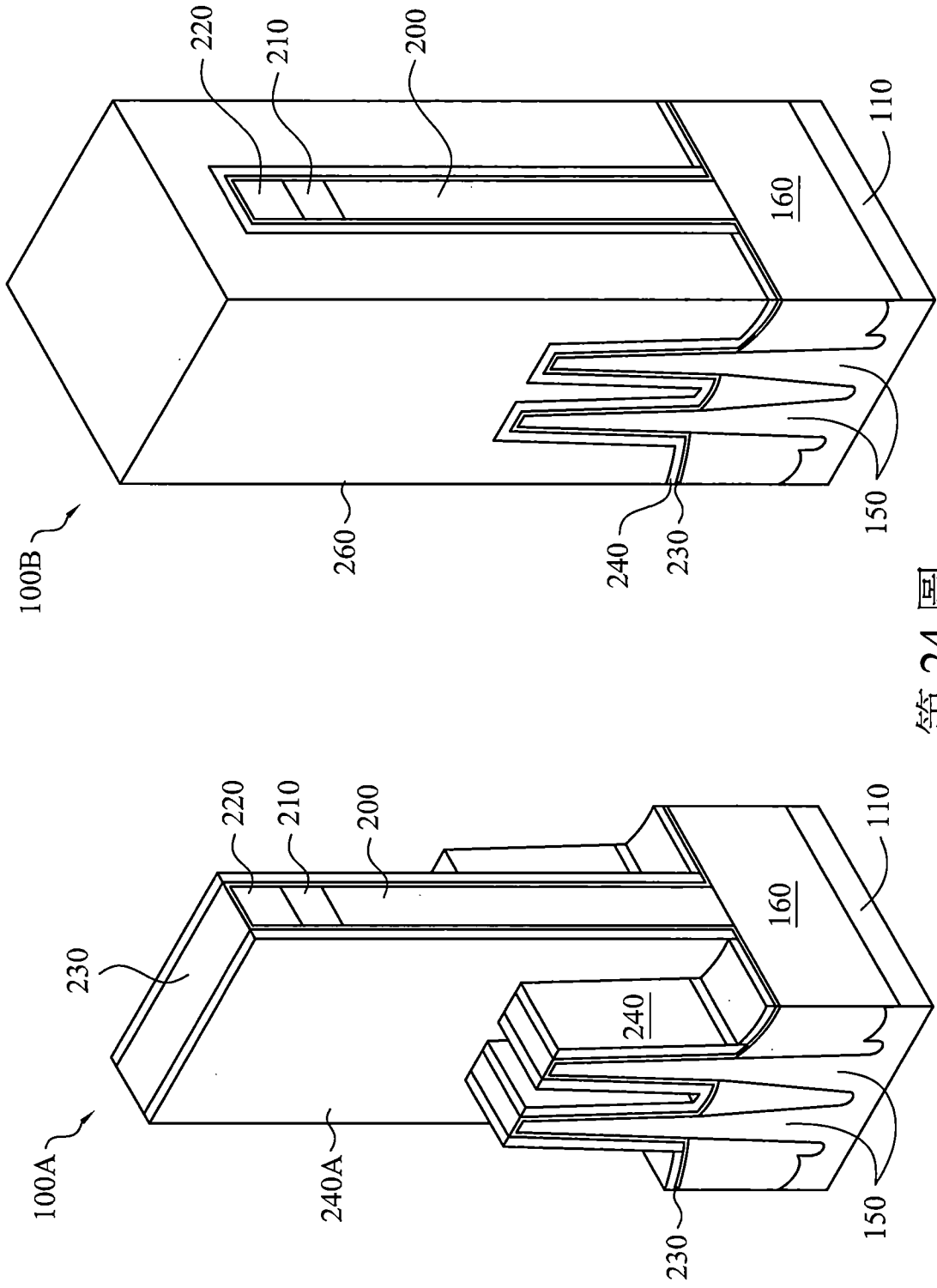
第21圖



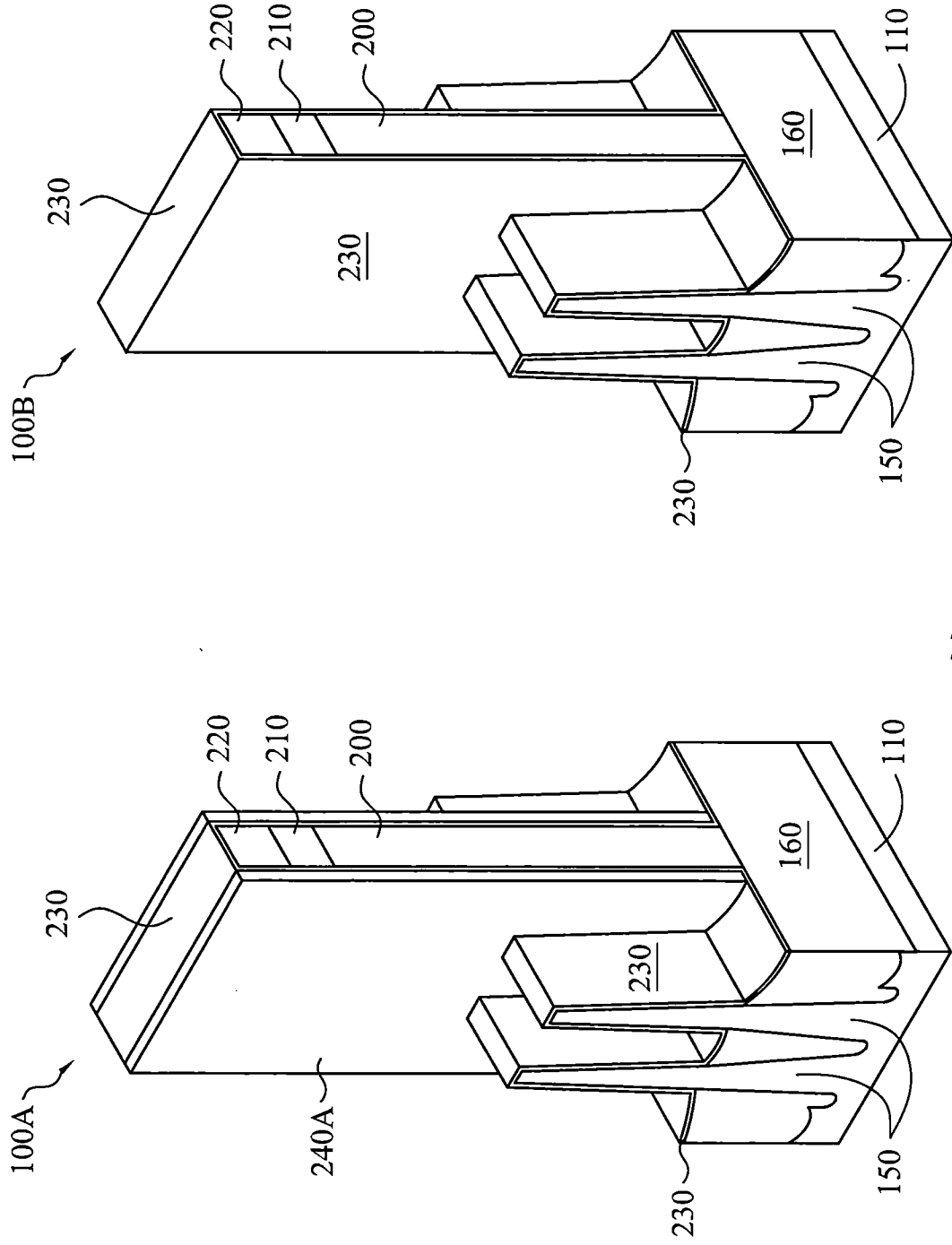
第 22 圖



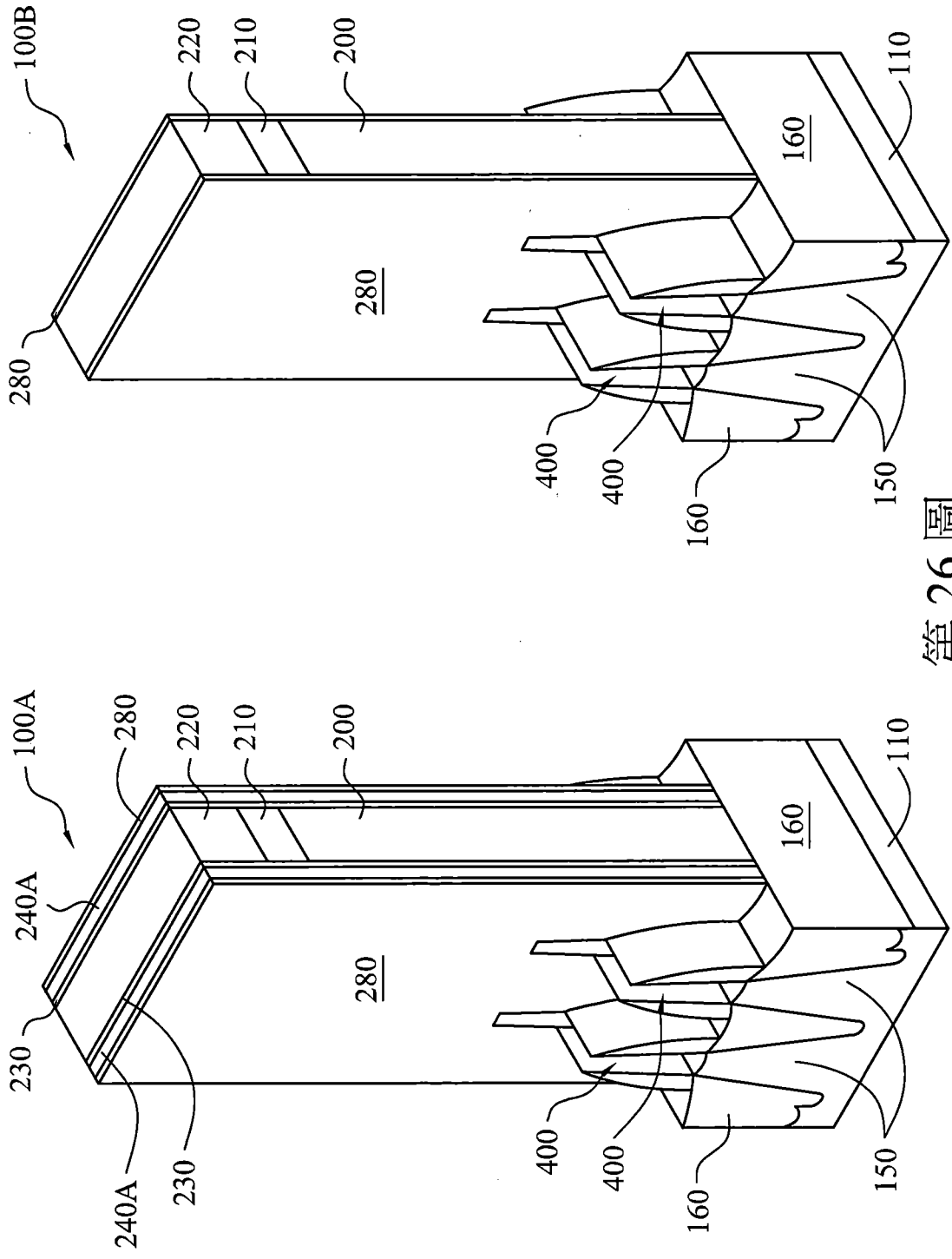
第 23 圖



第24圖

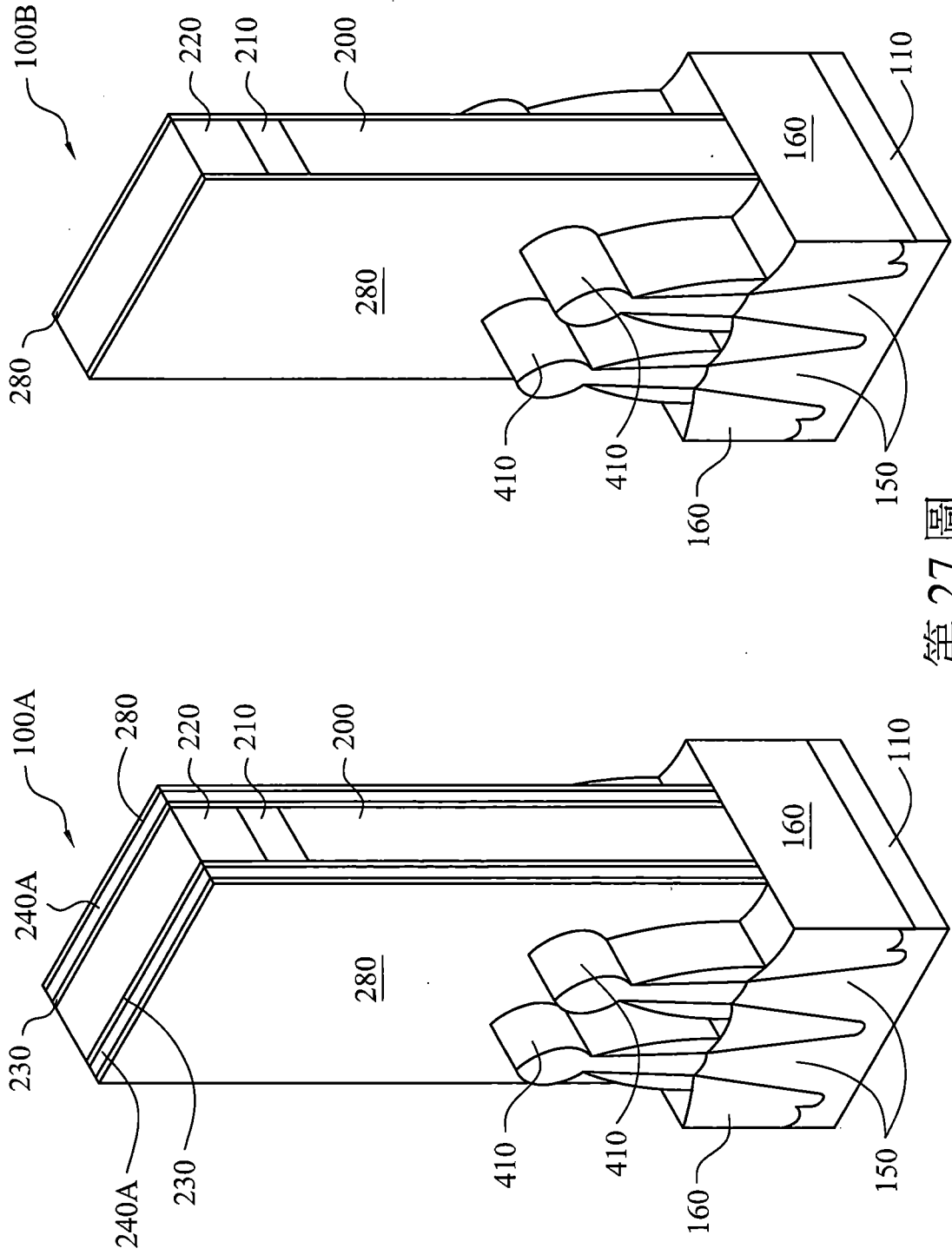


第 25 圖

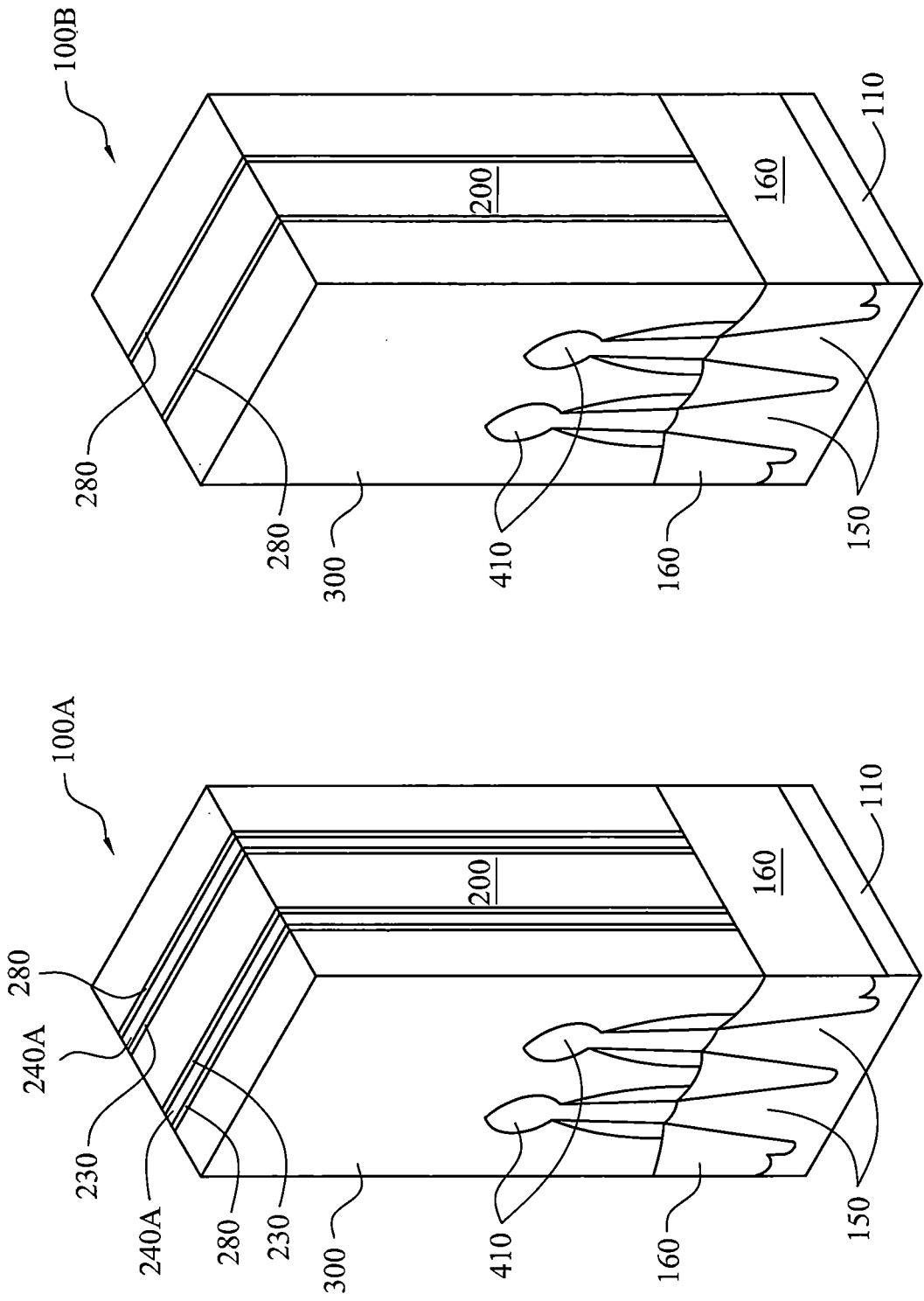


第 26 圖

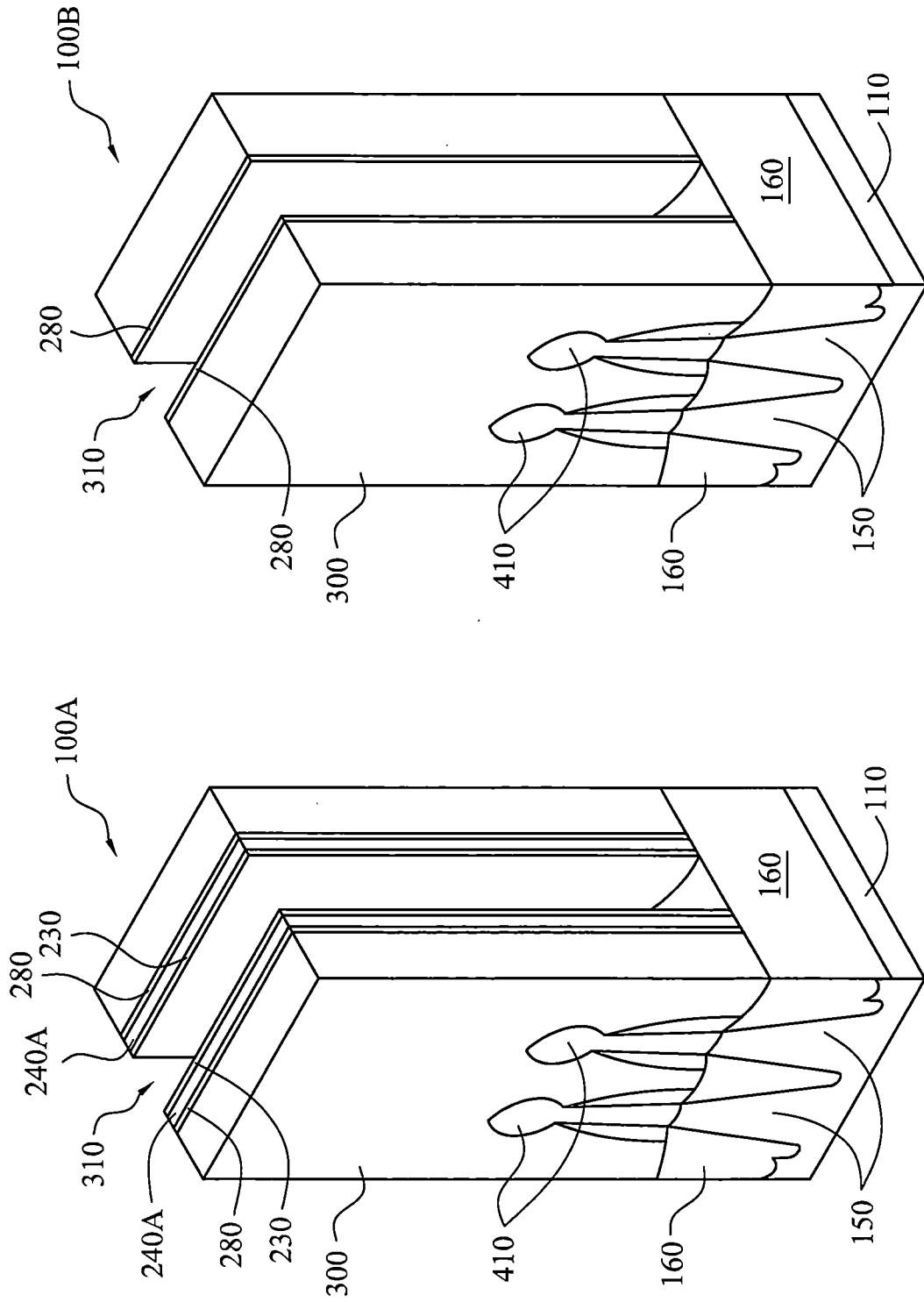




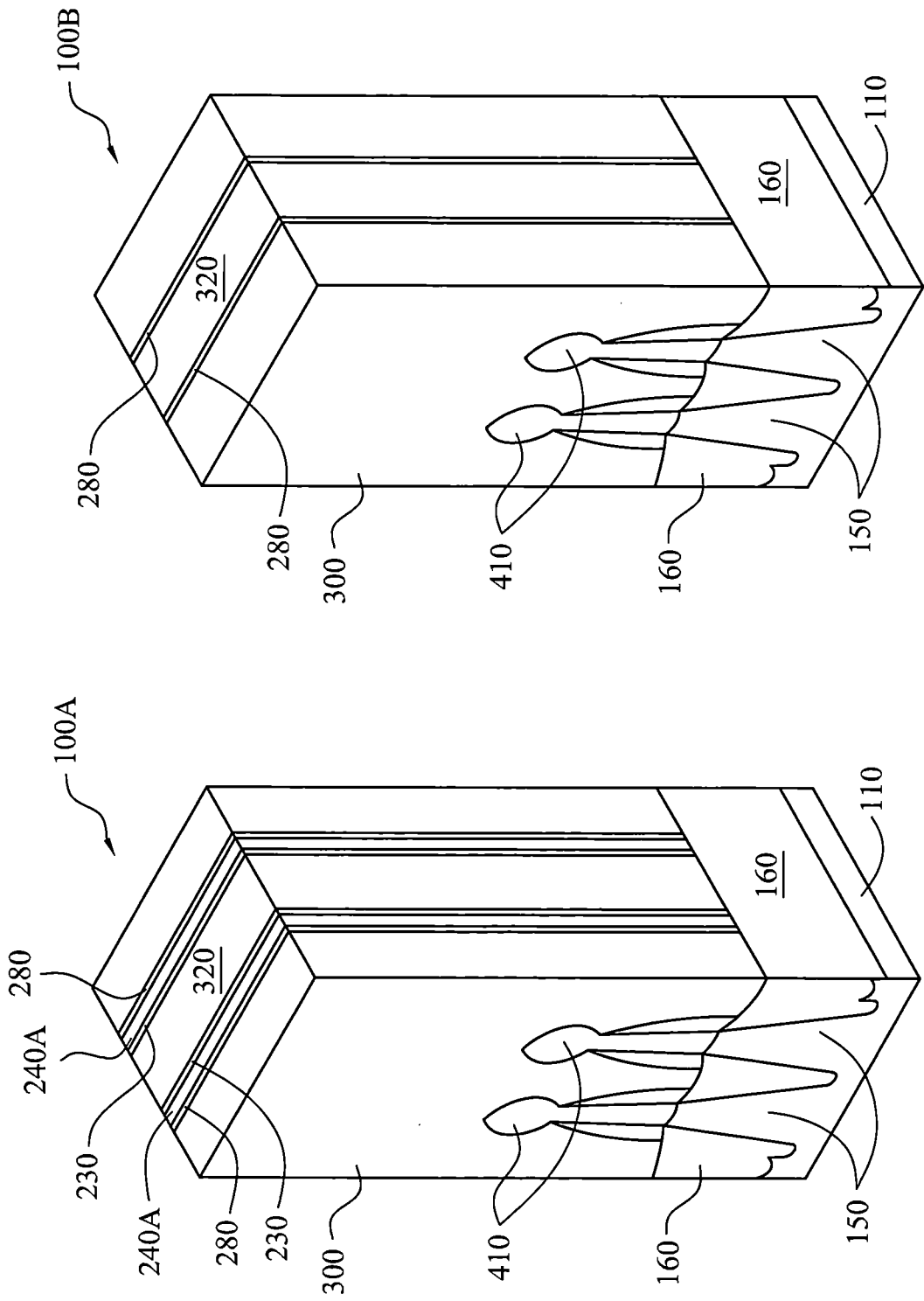
第27圖



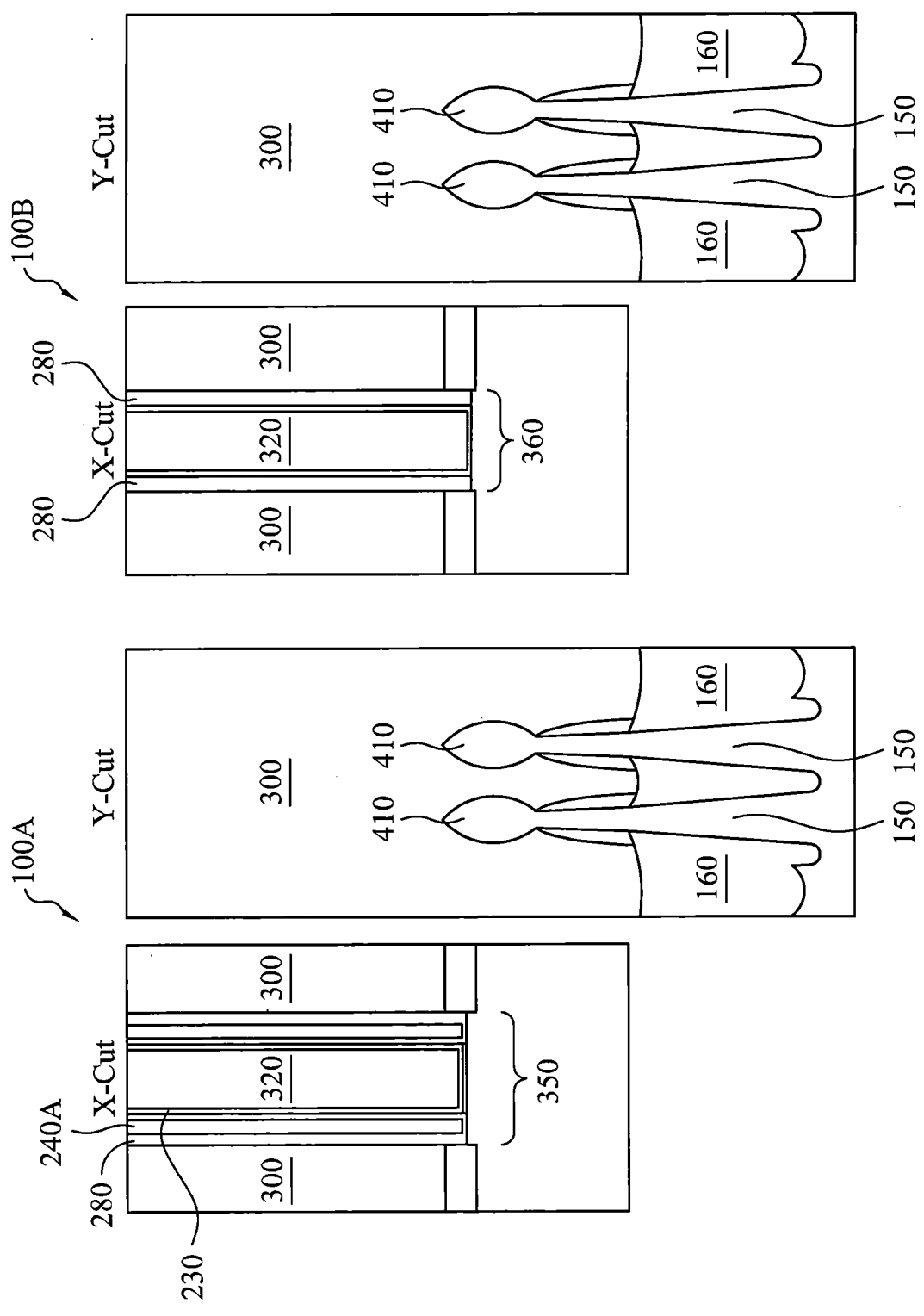
第 28 圖



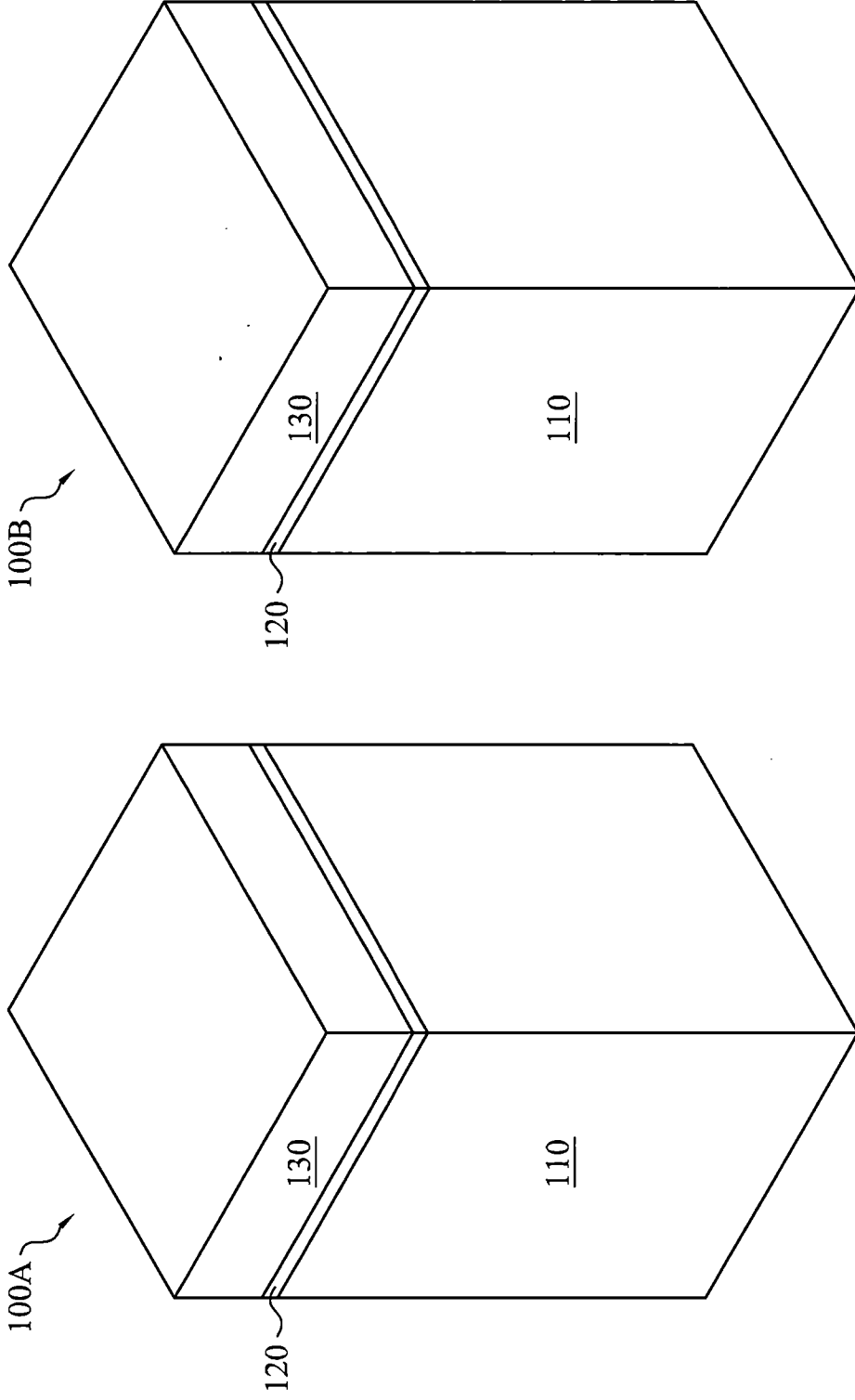
第 29 圖



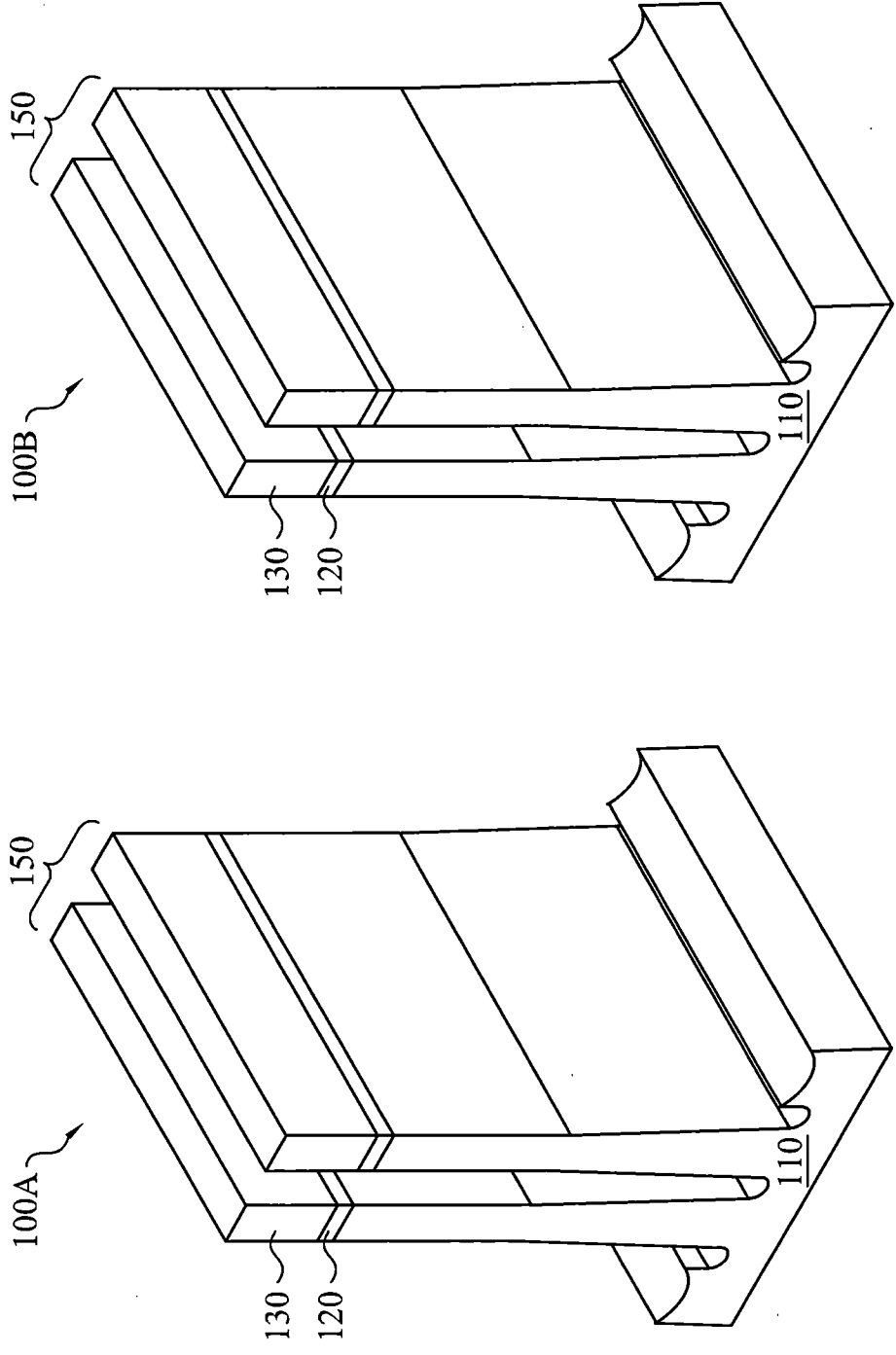
第 30 圖



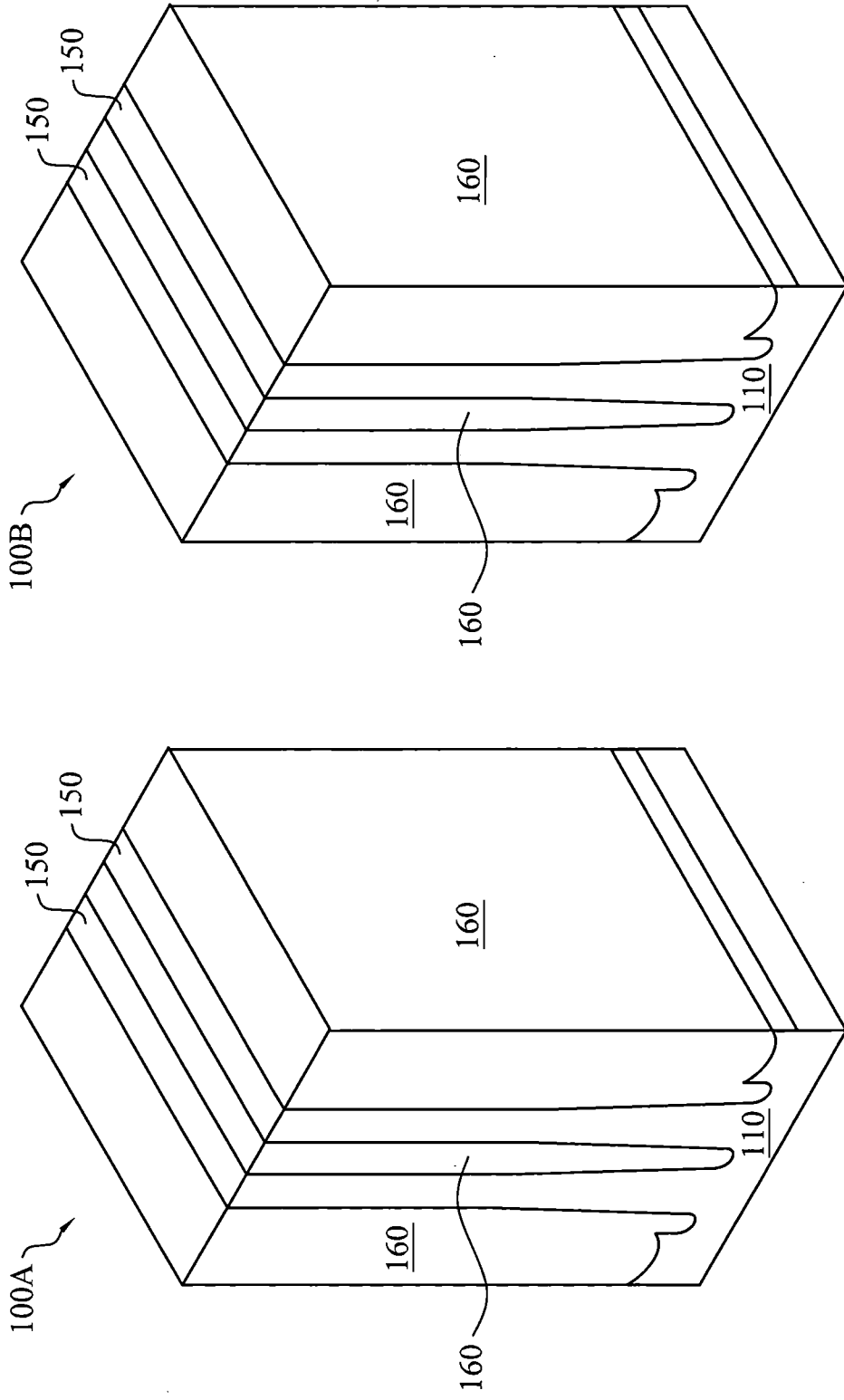
第31圖



第 32 圖

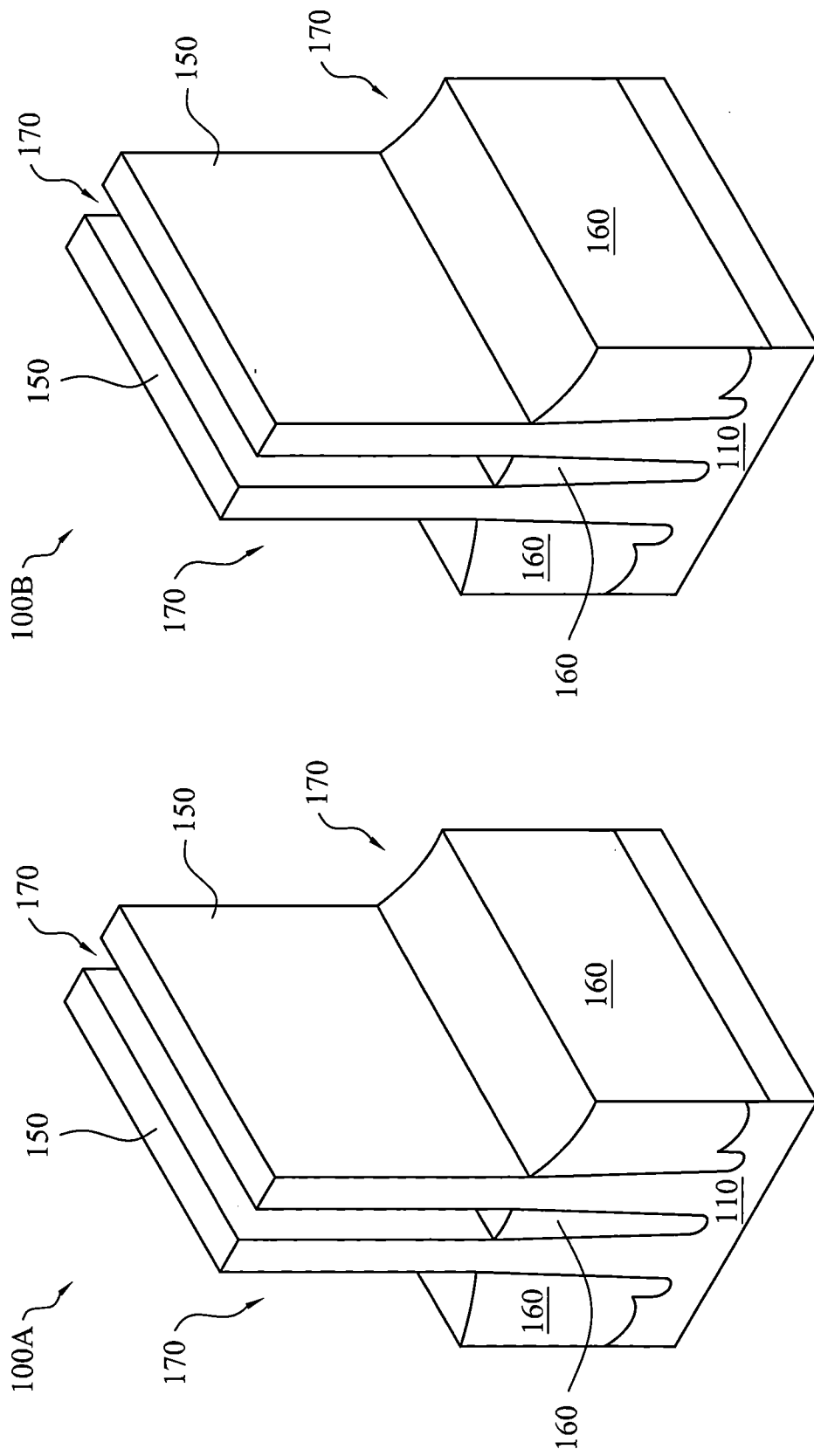


第 33 圖

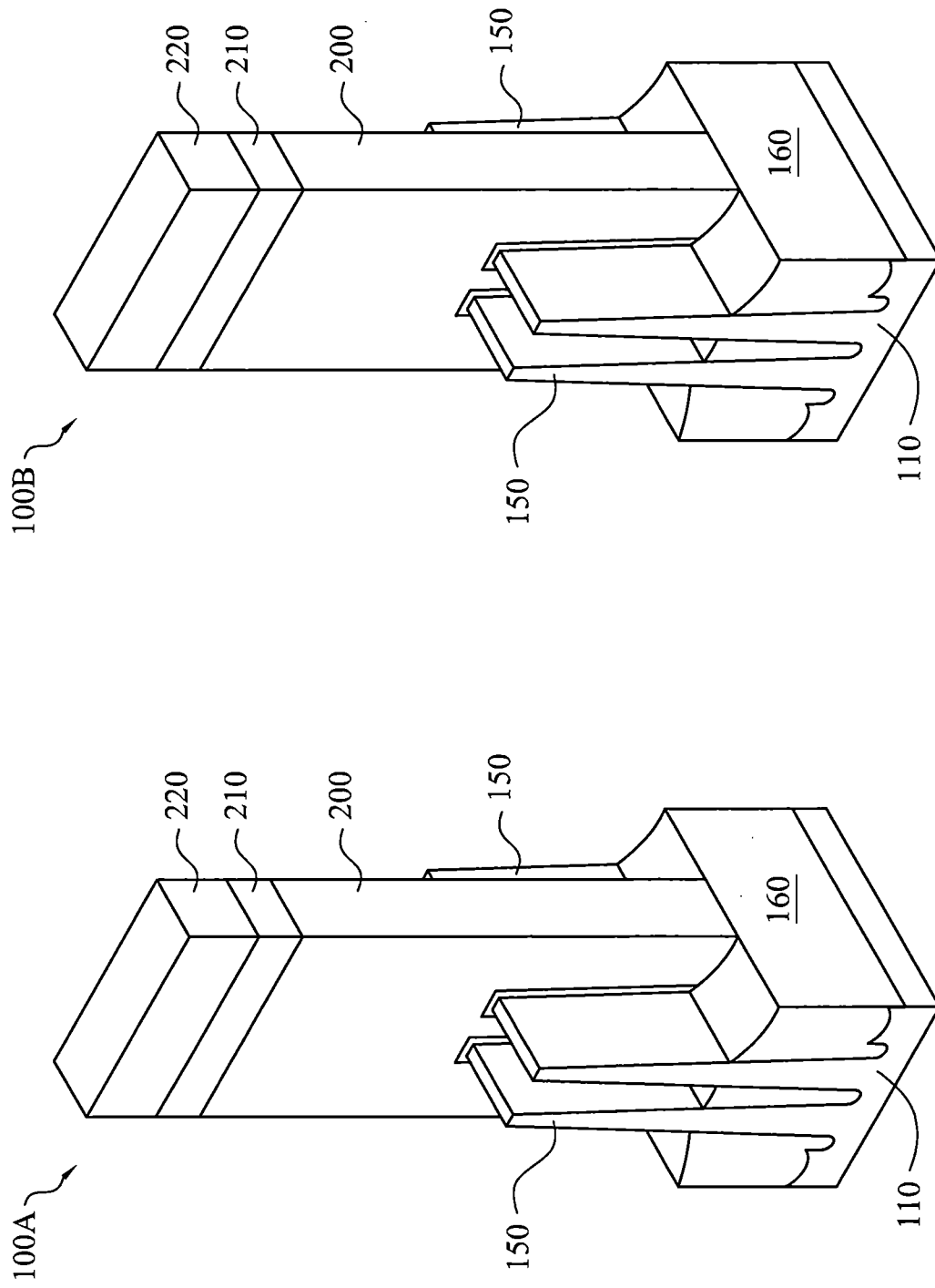


第 34 圖

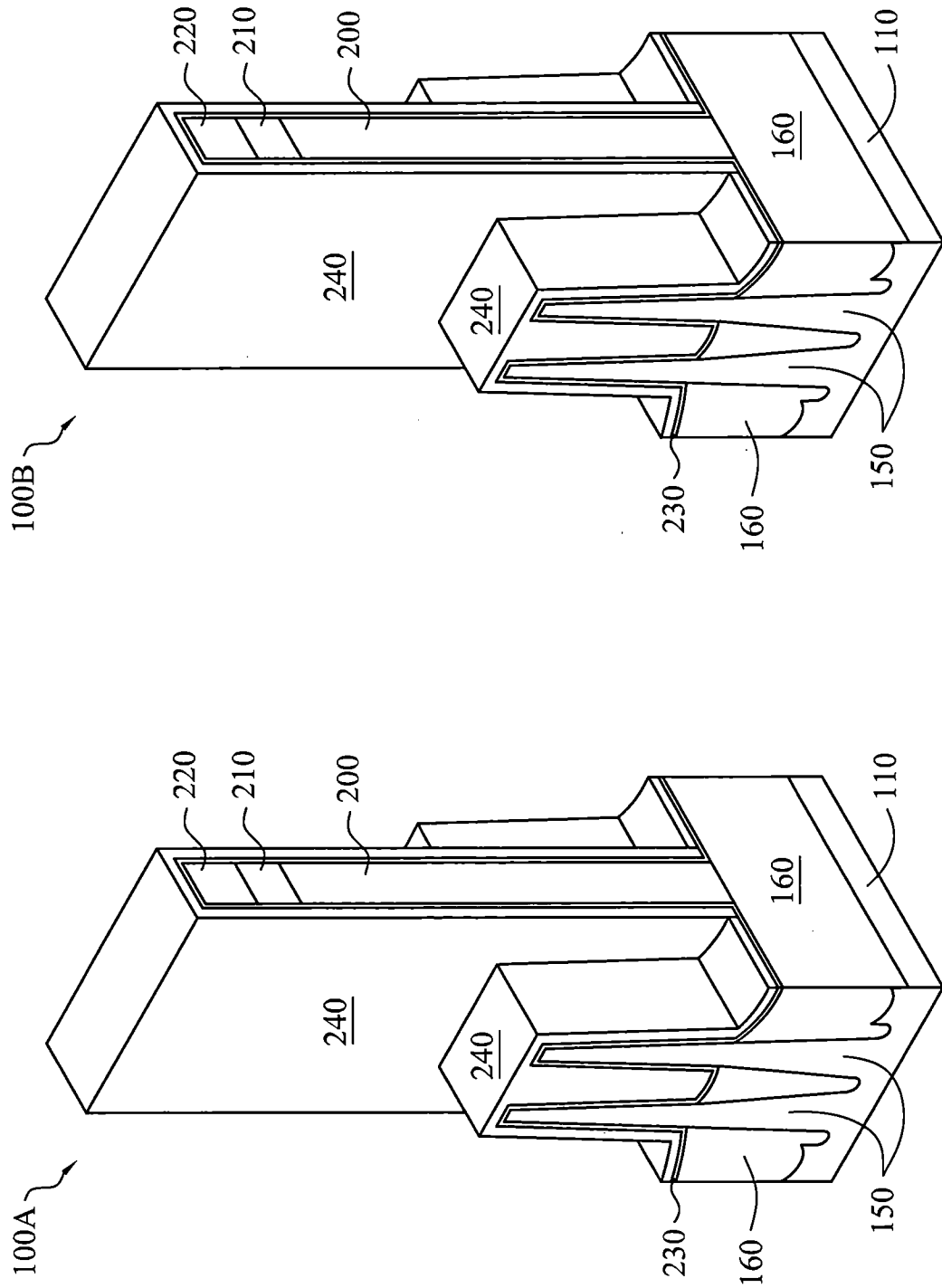




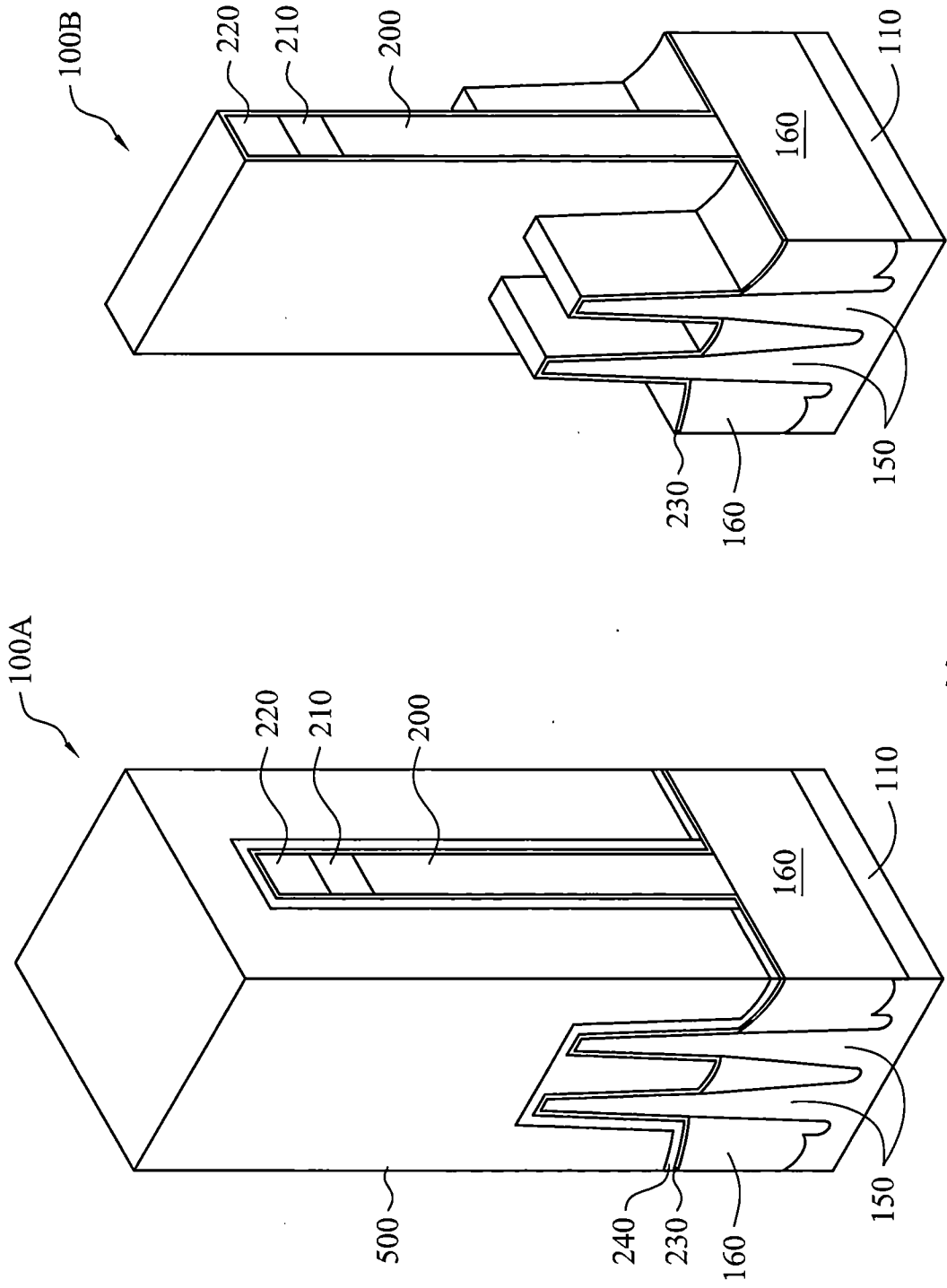
第 35 圖



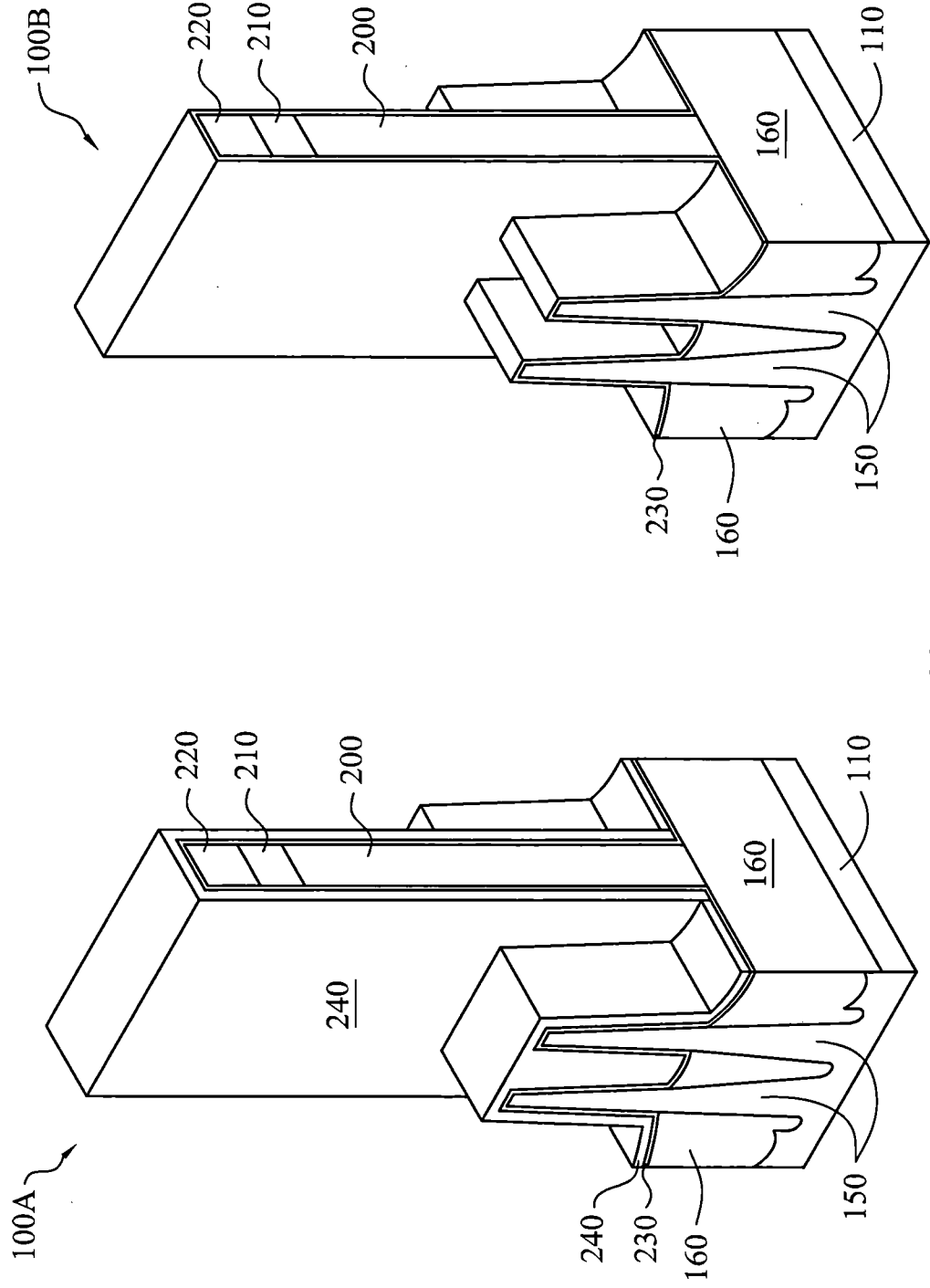
第36圖



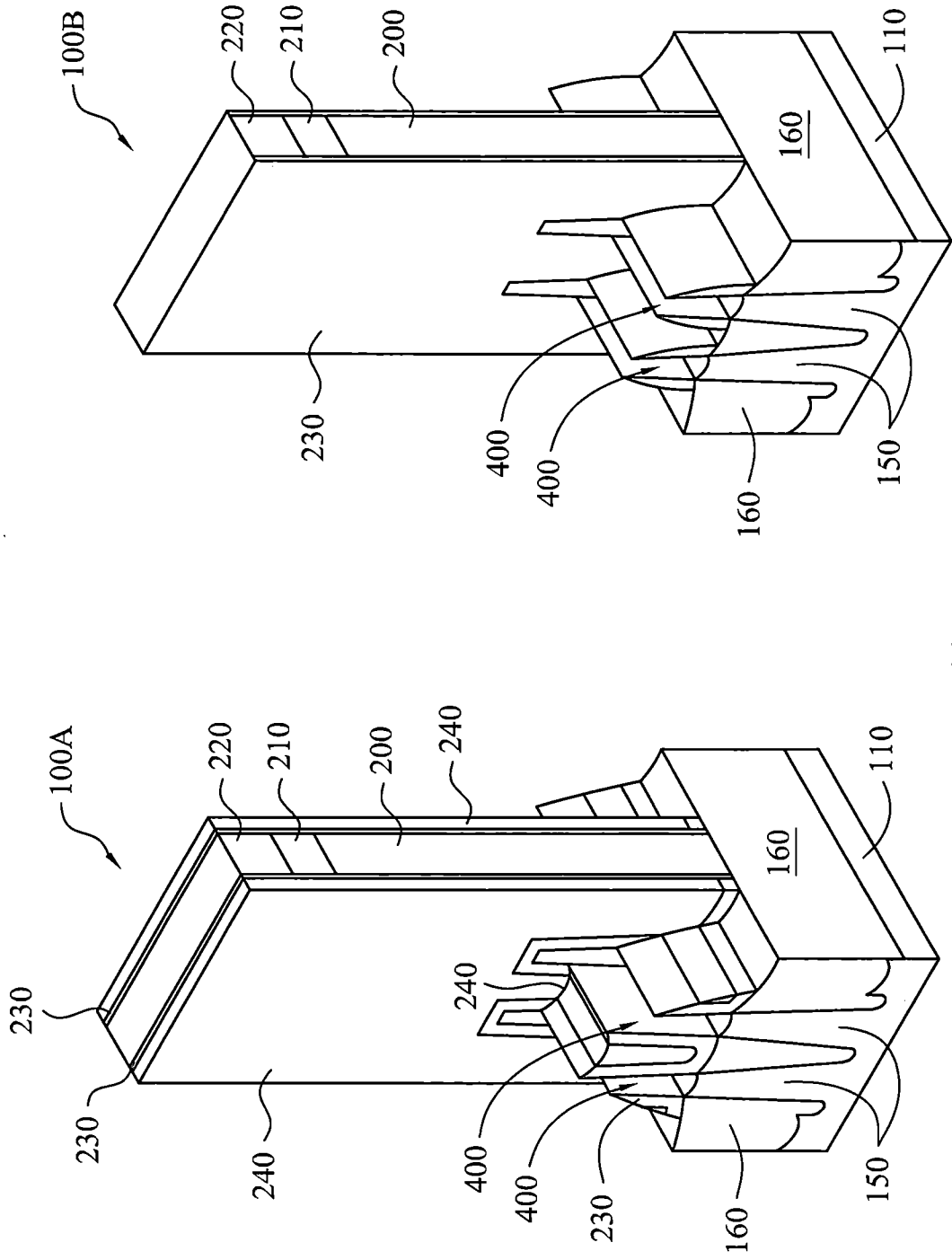
第37圖



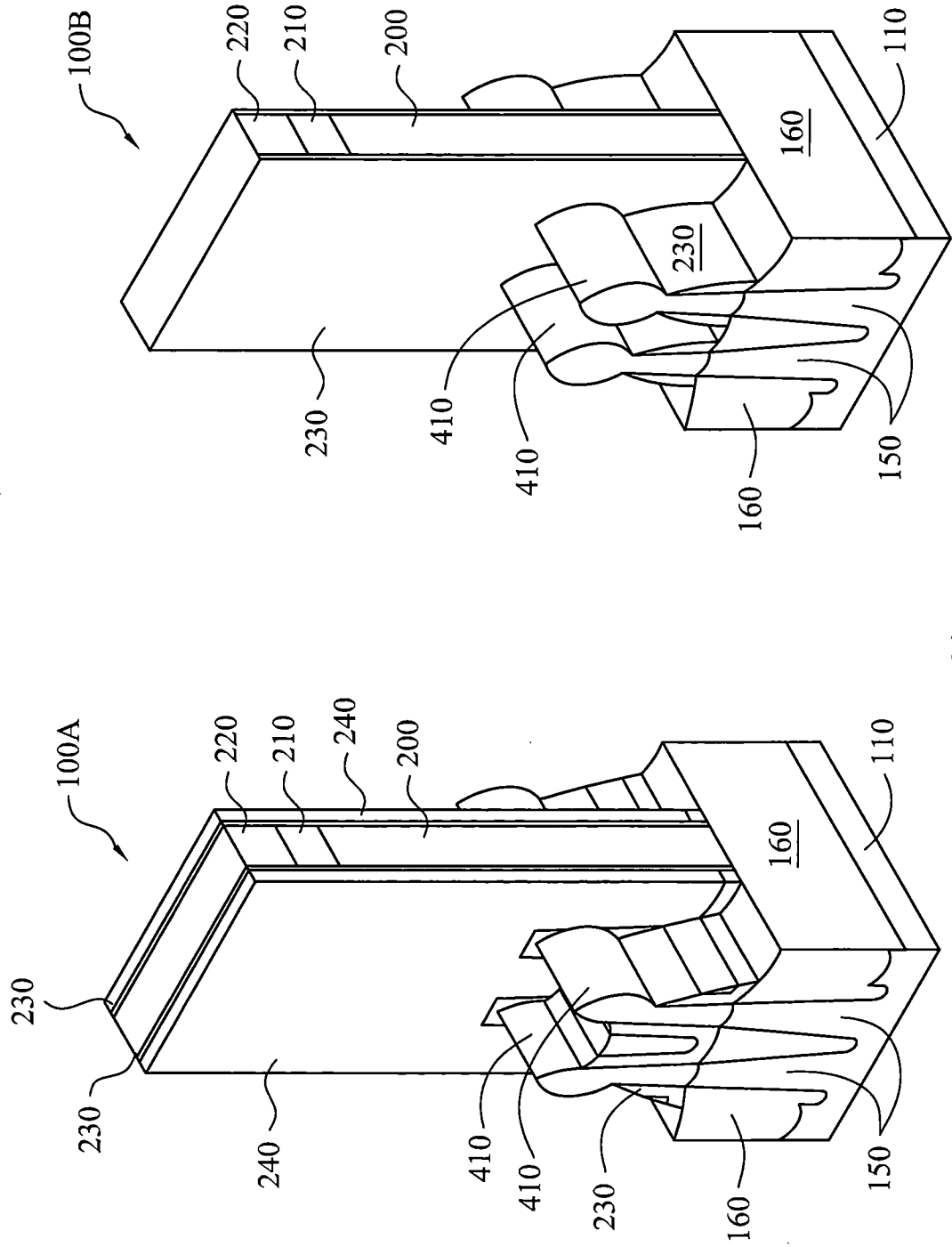
第 38 圖



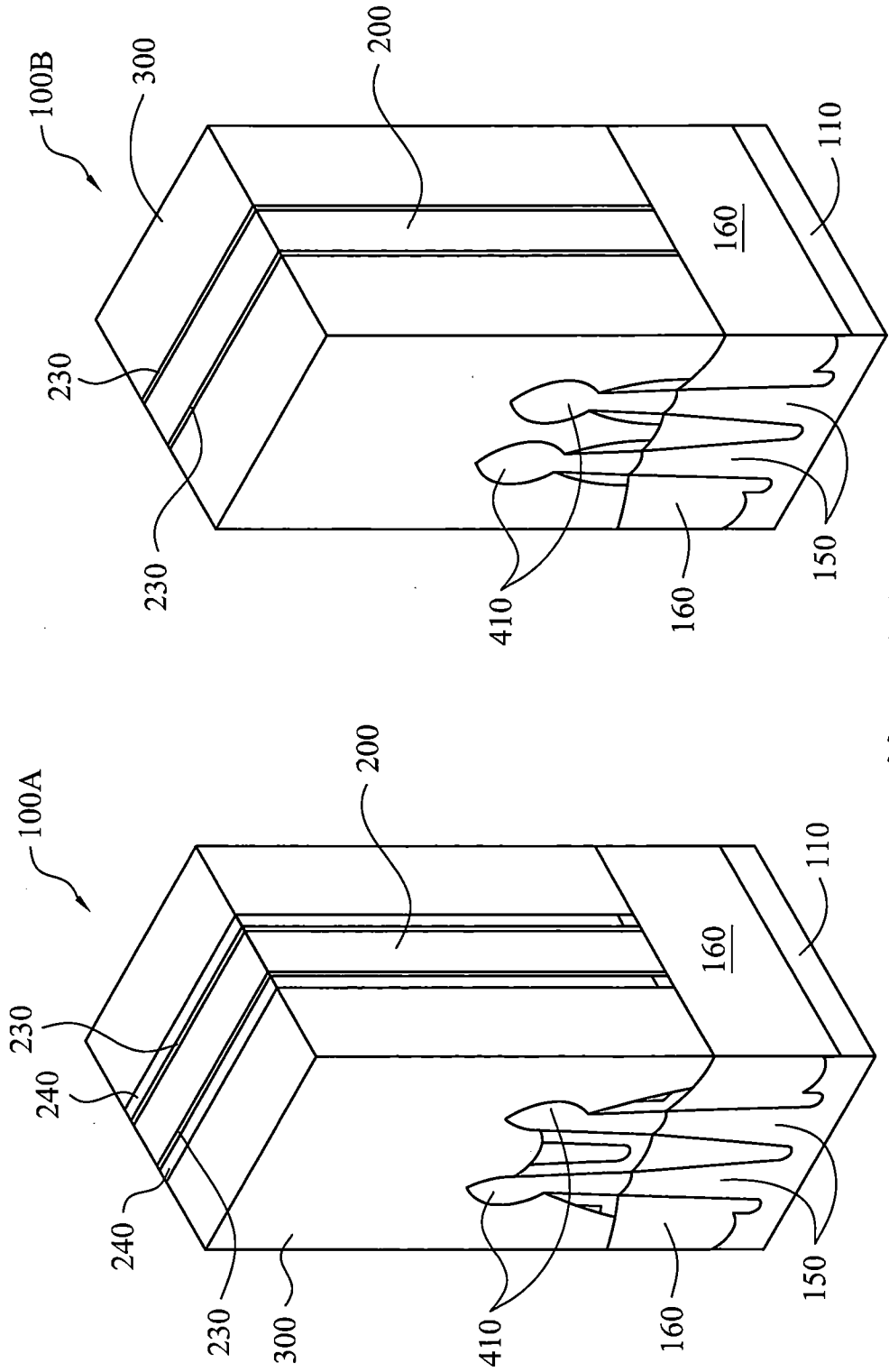
第 39 圖



第 40 圖

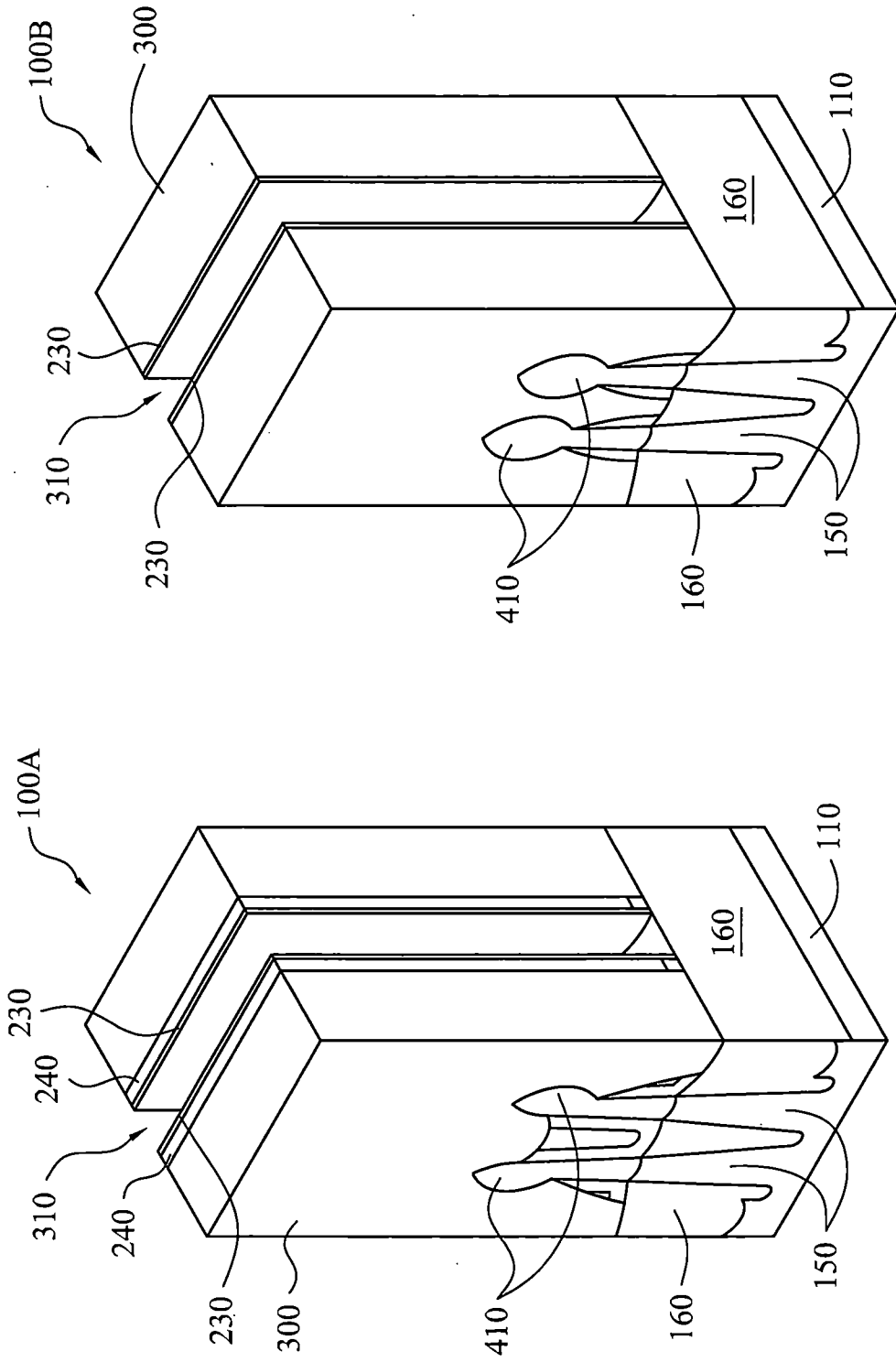


第41圖

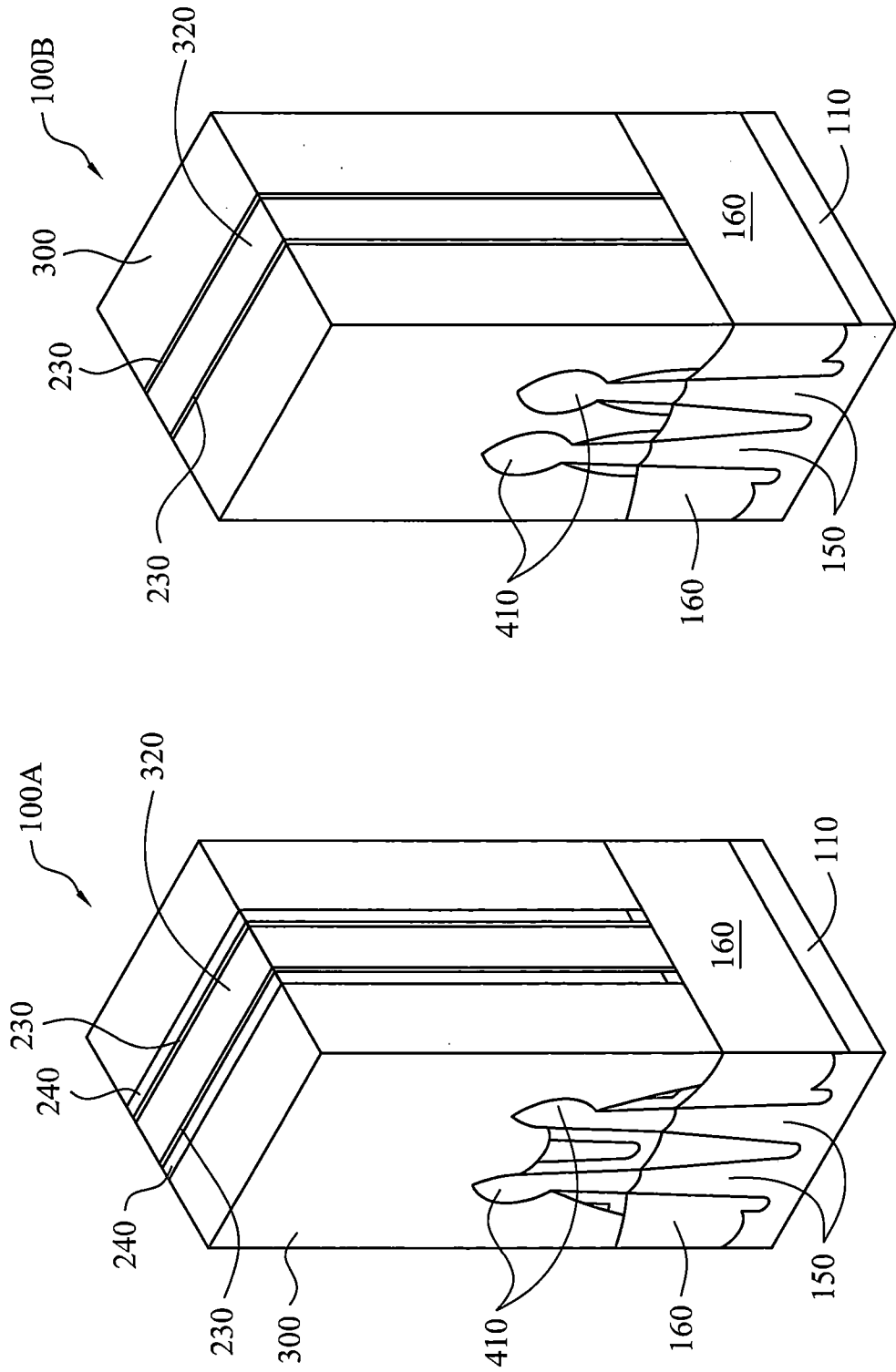


第42圖

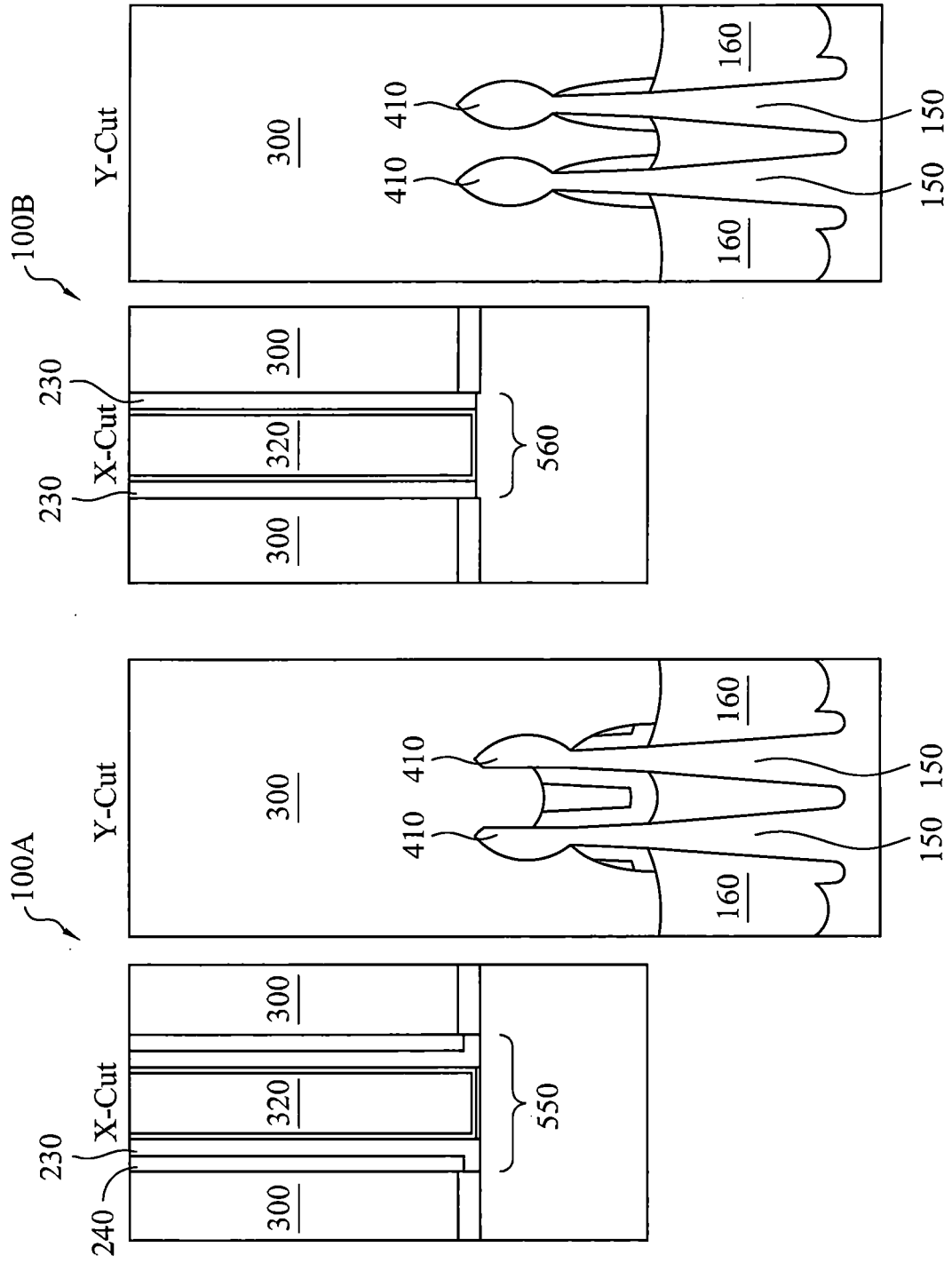




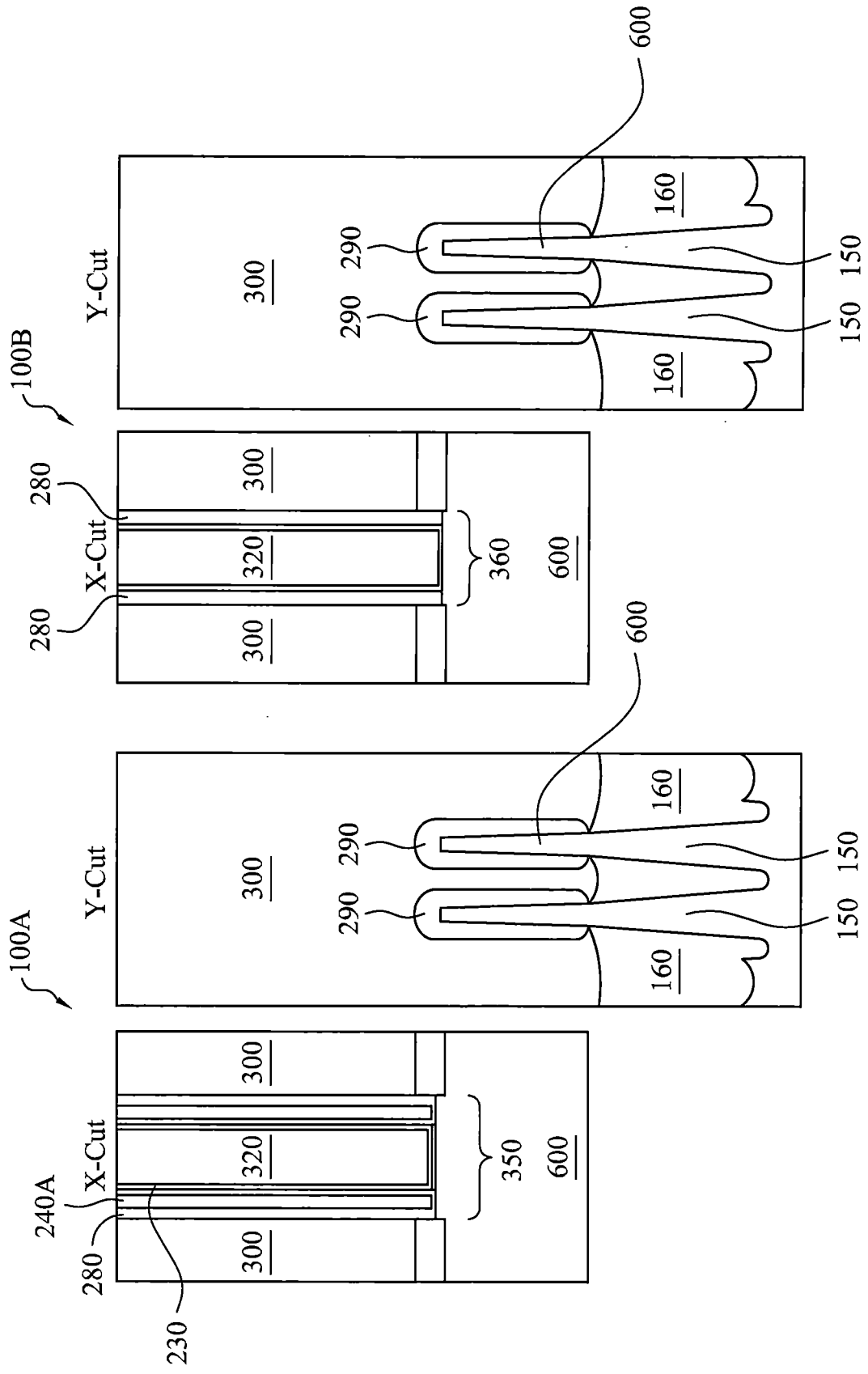
第 43 圖



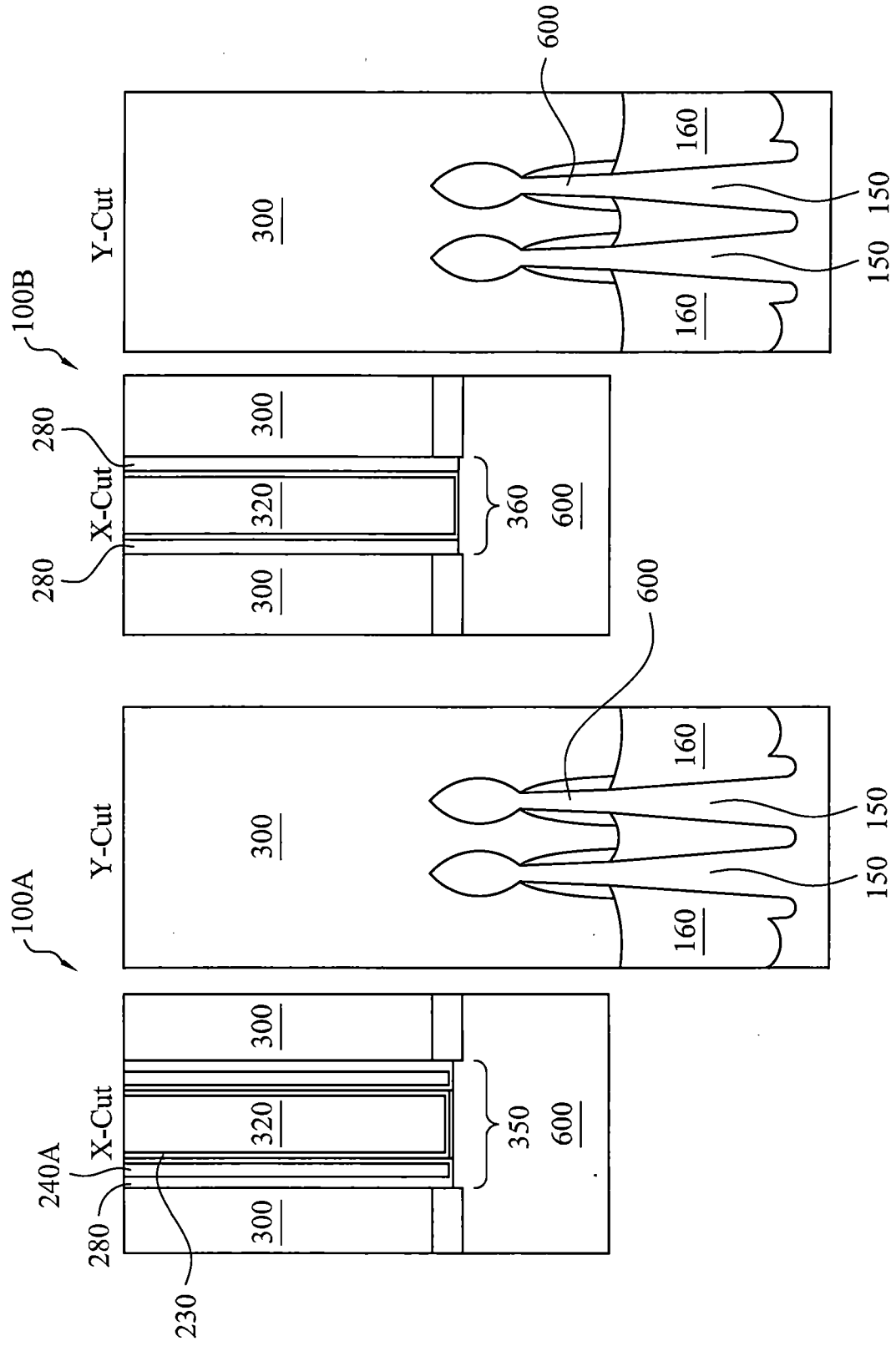
第 44 圖



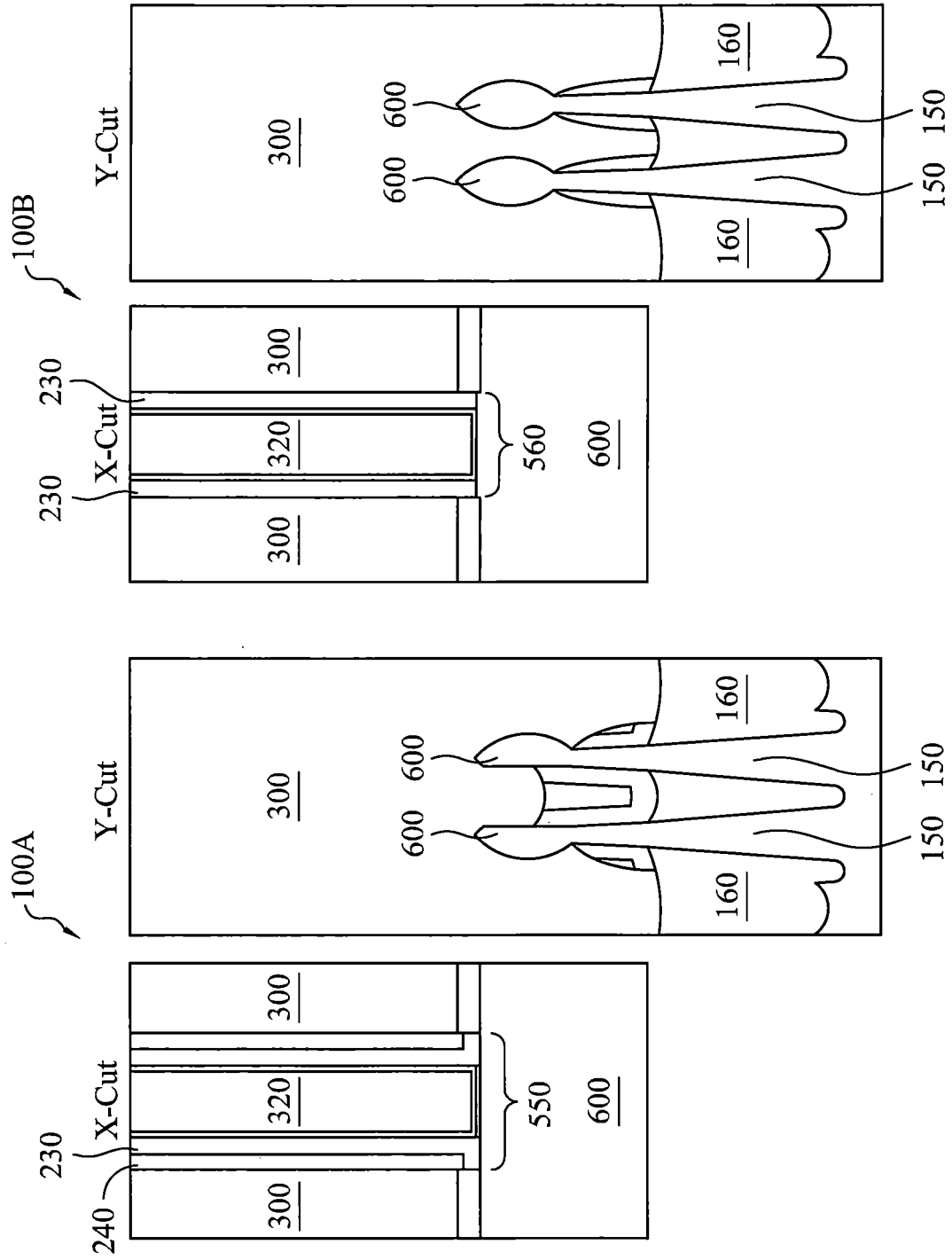
第45圖



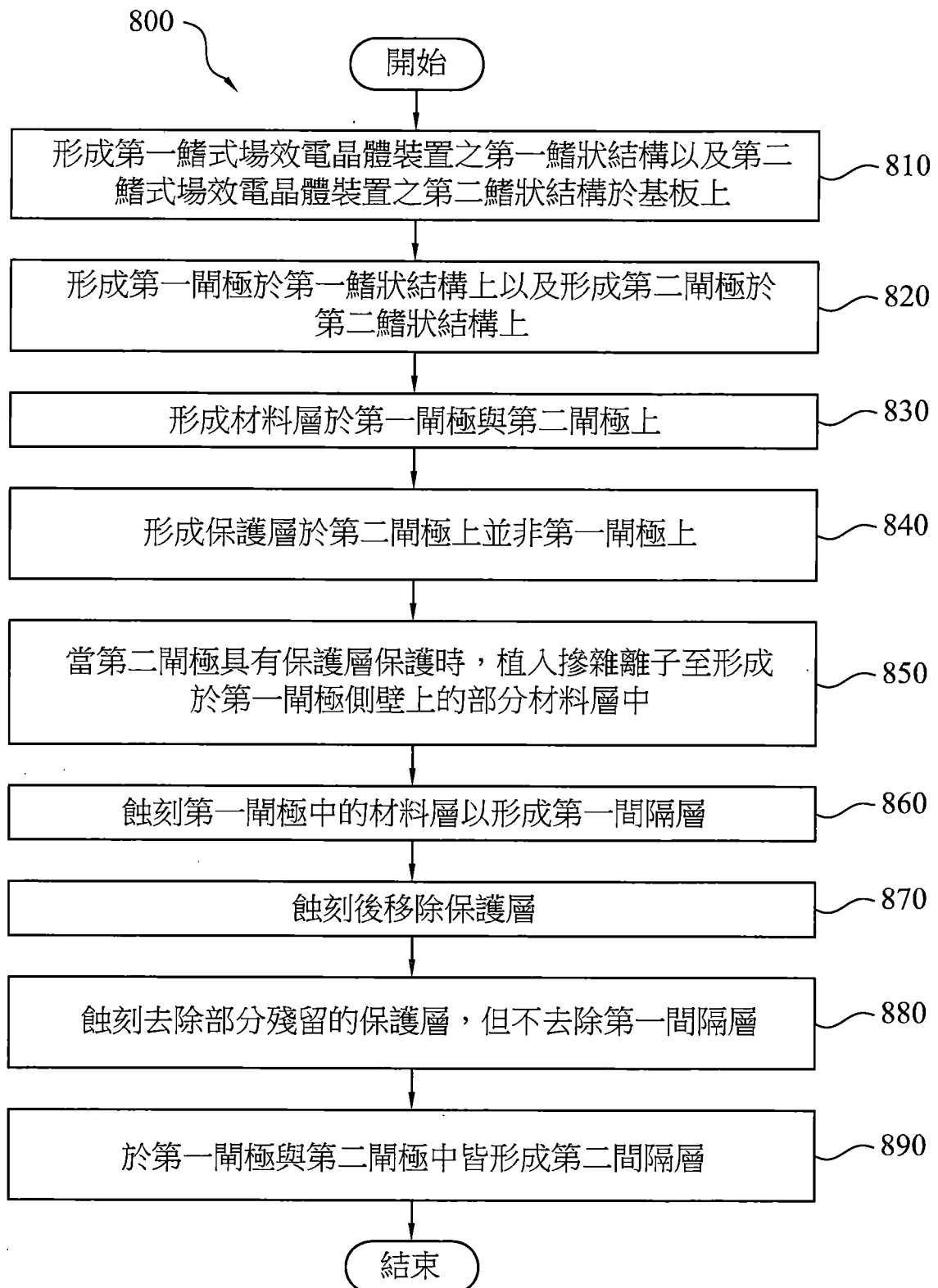
第46圖



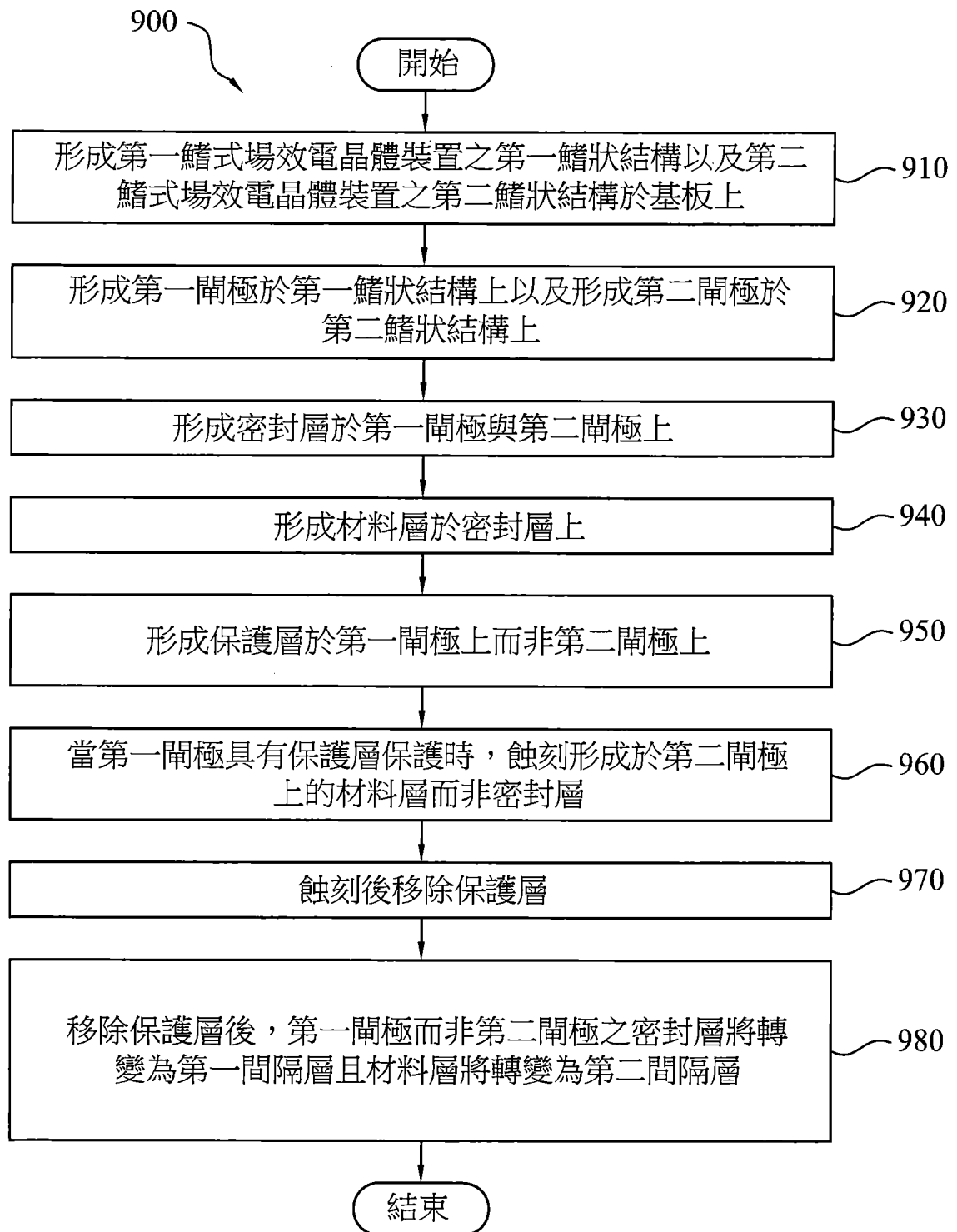
第47圖



第48圖



第 49 圖



第 50 圖