

# 發明專利說明書 公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96116077

※ 申請日期：96年5月7日

※IPC 分類：H01L 21/318 (2006.01)

一、發明名稱：(中文/英文)

壓縮氮化物薄膜及其製造方法

COMPRESSIVE NITRIDE FILM AND METHOD OF  
MANUFACTURING THEREOF

H01L 21/3203 (2006.01)

H01L 21/4763 (2006.01)

二、申請人：(共1人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文)

美國/US

三、發明人：(共4人)

姓名：(中文/英文)

1. 楊戴元/YANG, DAEWON

2. 李友炯/LEE, WOO-HYEONG

3. 速泰祺/SU, TAI-CHI

4. 王雲毓/WANG, YUN-YU

國籍：(中文/英文)

1-2 為韓國 / KR

3. 為中華民國 / TW

4. 為美國 / US

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；西元 2006 年 5 月 19 日；11/419,217

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明的實施例提供一種透過高密度電漿沉積製程，在基板上形成覆蓋複數個 p 型場效電晶體之閘極結構之壓縮應力氮化物薄膜的方法。實施例包括利用至少矽烷、氬及氮的來源氣體，產生充滿高密度電漿的環境；偏壓基板至變化密度的高頻功率，其範圍為  $0.8 \text{ W/cm}^2$  到  $5.0 \text{ W/cm}^2$  之間；以及沉積高密度電漿到複數個閘極結構，以形成壓縮應力氮化物薄膜。

## 六、英文發明摘要：

Embodiments of the invention provide a method of forming a compressive stress nitride film overlying a plurality of p-type field effect transistor gate structures produced on a substrate through a high-density plasma deposition process. Embodiments include generating an environment filled with high-density plasma using source gases of at least silane, argon and nitrogen; biasing the substrate to a high frequency power of varying density, in a range between  $0.8 \text{ W/cm}^2$  and  $5.0 \text{ W/cm}^2$ ; and depositing the high-density plasma to the plurality of gate structures to form the compressive stress nitride film.

七、指定代表圖：

(一)本案指定代表圖為：圖 4。

(二)本代表圖之元件符號簡單說明：

10 基板

12、13 PFET 閘極元件

51 壓縮氮化物薄膜

52、53、54 區域

55、56 厚度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於半導體元件之製造。尤其是，關於形成覆蓋場效電晶體之氮化物薄膜，以改善其中之電子電荷或電洞的遷移率。

### 【先前技術】

在半導體元件的製造與設計領域中，如眾所周知者，元件之基板中的機械應力可影響元件的效能，而且在改良元件效能中，應力工程扮演著重要的角色。舉例而言，在製造場效電晶體(FET)時，例如製造互補金屬氧化半導體(CMOS) FET 元件時，通常會施加應力至元件之基板中的通道區，藉以改善其電子或電洞的遷移率。此外，接著電子或電洞的遷移率可增加元件的作業速度。亦如眾所周知者，在不同型態的元件一般施加及/或設計不同的應力。例如，其所施加的應力可依據元件是 p 型 FET (PFET) 元件或 n 型 FET (NFET) 元件而有所不同。

就 PFET 元件而言，例如 PFET 閘極，普遍是將縱向壓縮應力設計到元件閘極區域底下的基板中的通道區域。或者，可沉積氮化物薄膜或氮化物薄膜層到 PFET 元件之上或覆蓋之。所沉積的氮化物薄膜，由於其本身的高壓縮應力，可由外部將應力引導至元件的目標通道區，以可達到類似的應力等級。舉例說明，壓縮氮化物薄膜或氮

化物薄膜層可透過沉積製程，例如電漿加強化學氣相沉積(PECVD)製程形成，且形成的薄膜通常在形狀上是共形的。

亦如眾所周知，在透過 PECVD 製程沉積氮化物薄膜時，夾斷(pinch-offs)可能發生在沉積薄膜的上部附近。夾斷可能在內側及/或薄膜之下造成空洞(voids)，並使在接著的金屬化製程中，造成位在薄膜之下鄰近相隔的 FET 閘極之間產生漏電路徑。雖然就某程度而言，漏電路徑的形成可透過改良的程序，如已知修正過的反應離子蝕刻(RIE)製程而被解決(以下將有詳細說明)，半導體工業中的元件尺寸積極縮小與元件製程的複雜度增加，可能持續降低及/或最後消除透過修正過的 RIE 目前可有效防止夾斷、空洞及/或漏電路徑的形成的效力及/或功效。除了如上所述的「空洞」之外，透過 PECVD 製程的氮化物薄膜之沉積亦可在巢狀多晶矽接觸(nested poly-contact)結構附近具有元件閘極的源極及/或汲極介面之間的區域形成「穿遂通道(tunnels)」。類似於空洞，由於夾斷，「穿遂通道」在後續的金屬化製程中可能填滿金屬元素，而造成漏電或短路路徑。在半導體元件不同區或區域之間的漏電或短路可能會降低元件的效能及/或完全故障。

如高密度電漿(HDP)沉積製程係為一種習知技術，其可應用於製造覆蓋 PFET 元件的壓縮氮化物薄膜。HDP 氮

化物製程已使用於與後段製程(BEOL)相關之沉積銅帽蓋層。一般 HDP 製程是利用低頻(LF)，例如約 400 kHz 的電源，以產生充滿電漿的環境。接下來，電漿即被沉積在半導體元件的表面，以形成一薄膜。半導體元件通常是偏壓的。例如，要建立壓縮應力的氮化物薄膜時，在 300 mm 晶圓的基板上之半導體元件可在約 400W 的固定功率下偏壓，其等同於約  $0.5 \text{ W/cm}^2$  的固定功率密度。一般的電源為約 13.56 MHz 的高頻電源。實驗顯示固定偏壓功率密度，例如約在  $0.5 \text{ W/cm}^2$ ，可產生具有應力高達 -3100 MPa 的高壓縮氮化物薄膜。然而，亦如眾所周知者，為了要產生非常高應力之故，在這種固定偏壓條件之下所形成的氮化物薄膜也可能造成「裂縫(seams)」在例如閘極與閘極附近間隙壁之間的介面區域，其在閘極結構之下附近可能會顯現標稱的結構變化。此外，為產生高壓縮氮化物薄膜的 HDP 沉積製程，亦會如上所述 PECVD 製程所致的夾斷而產生空洞。

### 【發明內容】

本發明之實施例提供一種形成壓縮應力氮化物薄膜覆蓋基板上之至少一閘極結構的方法。本方法可包括使用至少矽烷(silane)、氬(argon)、及氮(nitrogen)氣體產生高密度電漿；偏壓基板到至少  $0.8 \text{ W/cm}^2$  的高頻功率密度；以及將高密度電漿沉積到閘極結構之上，以形成壓縮氮化物薄膜層。

本發明之實施例也提供一種形成壓縮應力氮化物薄膜層覆蓋基板上之第一與第二閘極結構的方法。本方法可包括在第一閘極結構與第二閘極結構之間形成壓縮氮化物薄膜層。

依據一實施例，本方法可包括形成壓縮氮化物薄膜層，使具有第一與第二閘極結構間之距離的至少一半之厚度，厚度係從第一與第二閘極結構之中點測量。

依據另一實施例，介於第一與第二閘極結構之間的距離小於第一與第二閘極結構尺寸之 1 又 1/2。

依據再一實施例，本方法可包括偏壓基板到變化密度的功率，以調整形成在第一與第二閘極結構之間的壓縮氮化物薄膜層之厚度。例如，該方法可包含調整偏壓基板的功率密度，使壓縮氮化物薄膜層的波峰到波谷的距離與波峰到波峰的距離之間達到的一預定外觀比。

依據一實施例，本方法可包括在高密度電漿沉積時，維持基板的溫度在 375°C 至 440°C 之間，較佳係介於 400°C 至 420°C 之間。依據另一實施例，本方法可包括在高密度電漿沉積時，維持矽烷、氫及氮的結合壓力在少於 10mTorr。依據再一實施例，本方法可包含在高密度電漿

沉積時，維持氫與氮的氣體的比例在 0.5 到 1.0 之間。

依據一實施例，本方法可包括偏壓基板到具有一頻率介於 12MHz 與 15MHz 之間的高頻功率，較佳者是在約 13.56MHz。

本發明之實施例提供一種製造含有複數場效電晶體的半導體元件之方法。本方法可包含形成場效電晶體之閘極結構於基板上；將基板放到充滿高密度電漿的環境中；施加功率密度為至少的  $0.8 \text{ W/cm}^2$  的偏壓功率到基板；以及利用高密度電漿，產生壓縮氮化物薄膜層於形成在基板上的場效電晶體之上。

依據一實施例，基板可為 300mm 晶圓，且本方法可包含施加至少 600W 的一偏壓功率到基板，以建立壓縮氮化物薄膜層。依據另一實施例，基板可為 200mm 晶圓，本方法可包含施加至少 250W 的一偏壓功率到基板，以建立壓縮氮化物薄膜層。

本發明之實施例提供一種半導體元件，具有場效電晶體之至少兩個相鄰閘極結構；以及壓縮氮化物薄膜位在相鄰閘極結構之上，其中壓縮氮化物薄膜具有一厚度，在閘極結構之間的厚度大於在閘極結構之側邊的。

依據一實施例，兩個相鄰閘極結構相隔一距離，此距離小於兩倍的氮化物薄膜厚度。依據另一實施例，閘極結構至少其中一的高度與氮化物薄膜的厚度之間具有一比例大於 1。

依據一實施例，氮化物薄膜具有至少-2000MPa 之壓縮應力。依據另一實施例，氮化物薄膜具有至少-2500MPa 之壓縮應力。依據再一實施例，場效電晶體是一 p 型場效電晶體，較佳者為一互補金屬氧化半導體(CMOS) p 型場效電晶體。

本發明之實施例提供一種形成壓縮應力氮化物薄膜的方法。本方法可包括建立複數個 p 型場效電晶體的閘極結構於一基板上；將該些閘極結構放入一高密度電漿環境中；施加一變化密度的高頻偏壓功率到基板；以及沉積高密度電漿以形成壓縮應力氮化物薄膜覆蓋該些閘極結構。

依據一實施例，本方法可包括在沉積高密度電漿以形成無空洞的壓縮應力氮化物薄膜時，變化偏壓功率從  $0.8 \text{ W/cm}^2$  到  $5.0 \text{ W/cm}^2$ 。無空洞的壓縮應力氮化物薄膜可形成於複數個閘極結構之間。

依據另一實施例，本方法可包括建立壓縮應力氮化物薄膜之一表面外形(topography)，以供後續薄膜沉積製程使

用，例如表面外形為易於填充空隙的「V」型。

依據再一實施例，本方法可包括形成壓縮應力氮化物的速率在兩個相鄰閘極結構之間的一密集多晶矽接觸區快於在該些閘極結構之側邊的大開放區。

### 【實施方式】

圖 1 顯示被壓縮氮化物薄膜所覆蓋之兩個閘極元件(例如，PFET 閘極元件)之示意圖。透過一或更多已知的傳統製程，例如 PECVD 製程，即可建立、製造或生產一壓縮氮化物薄膜。閘極元件之至少一個可有間隙壁形成在閘極區的側邊。如圖 1 所示，可建立、製造或生產 PFET 閘極元件 12 與 13 在半導體基板 10 之上。間隙壁 12B 與 12C 可形成在閘極元件 12 之閘極區 12A 的側邊，以及間隙壁 13B 與 13C 可形成在閘極元件 13 之閘極區 13A 的側邊。如眾所周知，間隙壁的形成或建立可保護閘極元件之閘極區，以避免與源極/汲極區直接接觸，其可透過在閘極元件之基板中進行離子植入製程建立。

為了要在基板 10 之內加強性能，例如閘極元件 12 及/或 13 的速度，可在基板 10 之內分別於閘極元件 12 及/或 13 的通道區建立應力，以於個別閘極區或區域 12A 及/或 13A 之下增加電子電荷或電洞之遷移率。透過一壓縮氮化物薄膜或壓縮氮化物薄膜 21 的薄膜層，其可建立、形

成、或沉積在閘極元件 12 及/或 13 之上，藉以導致在基板 10 之內產生應力。透過電漿加強化學氣相沉積(PECVD)製程，可沉積或建立壓縮氮化物薄膜 21。

如眾所周知者，PECVD 製程可建立或形成一薄膜，其係共形地形成或建立在結構上。因此，可能在區域間發生夾斷，例如圖 1 所示的薄膜 21 上部附近的區域 22，圖中顯示兩個 PFET 閘極元件 12 與 13 很靠近或間隔很窄。此可能因為在上邊角區域 22 環繞周圍的氮化物薄膜的成長速率一般比在閘極元件 12 與 13 之間間隙壁之側邊與底邊還要快。因此，在夾斷之下可形成一空洞，其可能發展成漏電路徑，例如在後續的金屬化製程中填入金屬元素所造成者。漏電路徑可能造成不同或是單獨的閘極元件短路、導致元件失效以及導致元件製造的良率下降。

圖 2 顯示依據另一傳統的製程或方法，以製造或形成壓縮氮化物薄膜覆蓋之兩個 PFET 閘極之示意圖。壓縮氮化物薄膜或壓縮氮化物薄膜層 31 可透過傳統的高密度電漿(HDP)沉積製程而建立、形成或製造，該製程通常用在與 BEOL 技術相關的銅帽蓋沉積。氮化物薄膜 31 的形成可包括利用高頻(HF)偏壓功率，在一般固定的功率密度，例如  $0.5 \text{ W/cm}^2$ ，將高壓縮應力建立在所形成的氮化物薄膜。如眾所周知者，高密度電漿或沉積製程中所利用的電漿環境，可藉由低頻(LF)主功率(例如約 1500 W 至 4000 W)

而產生或製造。主功率的頻率約在 400 kHz。

如上所述，當利用高頻偏壓功率在約  $0.5 \text{ W/cm}^2$  的固定功率密度下建立或形成氮化物薄膜時，可在所製造的薄膜引出或產生高壓縮應力。然而，就某些高外觀比區域，例如圖 2 所示介於鄰近相隔的閘極元件 12 與 13 之間的區域或溝渠區 32，可能產生夾斷及後續的空洞，類似於 PECVD 製程所製造的薄膜，因為氮化物薄膜的成長速率通常在溝渠區域或區域 32 的頂部會比內底部還來的快。除了夾斷及/或空洞的形成之外，還可能在區域或區域附近產生裂縫，從實驗中可觀察到在閘極元件底下出現明顯的結構變化。例如，裂縫 33 可能出現在閘極元件 12 的閘極區 12A 與其間隙壁 12B 的介面附近，如圖 2 所示。

圖 3 顯示依據再一傳統的製程或方法建立或形成壓縮氮化物薄膜覆蓋之兩個 PFET 閘極元件之示意圖。透過修正過的反應離子蝕刻 (RIE) 製程可建立或形成壓縮氮化物薄膜 41，該製程可以是重複循環的沉積或蝕刻製程。除了修正過的 RIE 增加製程複雜度，夾斷仍可能發生或建立在鄰近相隔的閘極元件之間的區域或區。例如，在形成具有目標厚度  $1130 \text{ \AA}$  之氮化物薄膜 41 的一實驗中，發現當氮化物薄膜層 41 在單一沉積步驟只沉積到約  $500 \text{ \AA}$  時，就開始形成夾斷 42。因此，為了避免可能會形成夾斷，氮化物薄膜在單一沉積步驟沉積的厚度可能要遠少於  $500 \text{ \AA}$ ，例

如少到實質約例如 200 到 300Å 附近。結果，為了要達到薄膜目標厚度 1130Å，就需要四到五次循環沉積與蝕刻。換言之，沉積-蝕刻-沉積的次數需有明顯地增加，以降低形成夾斷的機會及/或可能性。如眾所周知者，任何循環(沉積、蝕刻及沉積等等)次數的增加，可明顯地增加製程控制的複雜度，而導致較少製程視窗、較長的製程時間以及較高的製造成本，這些通常都是不想要的。

圖 4 顯示依據本發明之一實施例被壓縮氮化物薄膜覆蓋之兩個 PFET 閘極元件之示意圖。熟此技藝者將了解，本發明並未限制於本範例或其他數目之閘極元件，例如，可以使用一個、四個或八個閘極元件。

如圖 4 所示，PFET 閘極元件或閘極結構 12 及/或 13 可被建立、生產或製造在半導體基板 10 之上。透過 HDP 沉積製程沉積或形成的壓縮氮化物薄膜層 51，可覆蓋閘極元件 12 及/或 13。依據本發明之一實施例，在形成壓縮氮化物薄膜 51 的期間，基板 10 可在 HF 偏壓功率之下偏壓，偏壓功率的密度可大於傳統的  $0.5 \text{ W/cm}^2$  (300 mm 晶圓使用 400 W)。例如，在一實施例中，可使用至少  $0.8 \text{ W/cm}^2$  之偏壓功率密度。在另一實施例中，可使用的功率密度範圍在  $0.8 \text{ W/cm}^2$  到  $5.0 \text{ W/cm}^2$  之間。在  $0.8 \text{ W/cm}^2$  到  $5.0 \text{ W/cm}^2$  之間的功率密度範圍，在 300 mm 基板係對應功率為約 600 W 到約 3600 W，在 200 mm 基板係對應功率為

約 250 W 到約 1600 W。

依據一實施例，偏壓功率可以在氮化物薄膜的沉積製程中隨之變化或調整，根據所要形成的特定形狀之氮化物薄膜，偏壓功率可從低到高或從高到低變化。例如，300 mm 基板的沉積製程可從偏壓功率約 900 W ( $1.3 \text{ W/cm}^2$ ) 開始，再慢慢增加功率到約 1500 W ( $2.1 \text{ W/cm}^2$ )。此偏壓功率之變化可在形成氮化物薄膜時，建立相對高的壓縮應力，而且同時避免形成空洞與裂縫。此相對高的偏壓功率，例如介於 900 W 至 1500 W 之間，提供閘極結構靠近頂端角或區域的氮化物薄膜分子足夠的能量，以跨越薄膜使填滿相鄰閘極結構間的空隙。例如，如圖 4 所示，分子可從閘極結構 12 靠近頂端的區域 52 移動到在閘極結構 12 與 13 之間的區域 53，以形成平滑、無空洞、無夾斷的氮化物薄膜 51。相類似地，藉由高密度電漿在足夠的高功率密度(使用高於 600 W 於 300 mm 基板或使用高於 250 W 於 200 mm 基板)，將分子激發到偏壓的基板中，較不易群集在具有間隙壁的閘極區域介面附近之區域，且因此可形成無裂縫的薄膜覆蓋跨過數個閘極結構或元件。

依據一實施例，在相鄰的閘極元件之間，例如閘極元件 12 與 13 之間的區域 53，沉積的氮化物薄膜厚度係可調整。這種調整可透過在 HDP 沉積製程中，對施加到基板 10 的 HF 偏壓功率加以控制。在相鄰閘極元件之間的區域

中，例如區域 53 (封閉區)，氮化物薄膜的沉積速率或成長速率可不同於未被閘極元件所圍繞或遠離閘極元件的區域，例如區域 54 (開放區)。依據一實施例，氮化物薄膜在封閉區的沉積比開放區的沉積快，且所產生的不同薄膜厚度可藉由參數加以量化，該參數以下簡稱為「R」。參數 R 可以是(封閉區 53 的薄膜之)厚度 55 與(開放區 54 的薄膜之)厚度 56 之比值。依據一實施例，參數 R 可設計為具有大於 1 的數值，因此在封閉區，透過較厚的薄膜可獲得較高的應力。例如，在高密度電漿(HDP)的沉積製程中，透過調整施加到基板 10 的偏壓功率，可達到大於 1 的厚度比例 R。

圖 5 為樣本數據圖，其顯示依據本發明之一實施例，在不同偏壓功率下形成壓縮氮化物薄膜的應力。圖 5 所示的數據指出，在 300 mm 基板中，在偏壓功率約為 400-500 W，或相對應功率密度在  $0.5-0.6 \text{ W/cm}^2$ ，可達成高壓縮應力的氮化物薄膜。通常，在約-3100 MPa 下達到的應力等級，高於在大多其他種偏壓條件之下獲得的氮化物薄膜。然而，如眾所周知者，在高於偏壓功率條件下，也就是主要設計要達到高應力等級約在 400-500 W，形成氮化物薄膜時可能會在生產薄膜時形成裂縫，尤其是在閘極元件之下出現明顯結構改變之區域或區域附近。除了形成裂縫之外，夾斷或有關的空洞亦可能發生在相鄰閘極元件之間的區域，參考上述圖 2 之說明。

如圖 5 所示，當以 900 W-1500 W 之間的 HF 功率偏壓基板時，可達到壓縮應力的合理程度(即介於-2000MPa 與-2500 MPa 之間)。製程記錄(process of record; POR)亦指出，介於-2000 MPa 與-2500 MPa 之間的壓縮應力通常是用在製造 300 mm 基板元件。依據本發明之一實施例，一種方法可包括在 HDP 沉積製程中，施加較高(高於傳統)的偏壓功率到基板以建立氮化物薄膜，相較於利用傳統 PECVD 製程所形成之薄膜，其可減少共形。以較高(高於傳統)偏壓功率所形成的氮化物薄膜，在相對較高應力的製程當中，其係無裂縫，亦無空洞。

依據一實施例，在沉積製程當中，藉由施加不同的偏壓功率及/或藉由改變偏壓功率，可調整 HDP 氮化物薄膜的應力等級。例如，在 1500 W 的偏壓功率下，HDP 氮化物薄膜中所產生的應力可類似於 POR 薄膜的應力，其為 -2000 MPa，且可適合於一應用，例如 90 nm 技術節點應用。而且，900 W 偏壓功率可適合於建立氮化物薄膜，其可作業於另一方案，例如 65 nm 技術節點。依據一實施例，例如，於 200 mm 基板，介於 250 W-1200 W 之間的偏壓功率程度變化可用來建立雙層氮化物薄膜，其具有例如約在-2200 MPa 的結合應力等級。

表 1 提供在 HDP 製程中利用不同的高頻偏壓功率條

件，於 300 mm 基板上形成的氮化物薄膜(SiN)之驗證表。

表 1

樣本 ID	HF 功率(W)	厚度 (Å)	單位 (%1-sigma)	RI	RI (%1-sigma)	GOF	應力 (MPa)
1	500	1022	2.44	1.9644	0.2332	0.9890	-3095
2	1000	1095	2.00	1.9054	0.4725	0.9890	-2413
3	1500	1092	2.03	1.8823	0.5709	0.9890	-2057
4	1500	1092	1.90	1.8853	0.4816	0.9900	-2076
5	1500	1088	1.92	1.8873	0.4657	0.9900	-2098
6	1500	1089	2.01	1.8874	0.4313	0.9900	-2089
90 nm POR 在 0.6 Torr 壓縮之 PECVD 薄膜		1130	2.5	1.9334			-2040
在 2.1 Torr 壓縮之另一 PECVD 薄膜		1200	1.3	1.9370			-2030

依據本發明之一實施例，閘極結構可在一開始就被無偏壓的 HDP 氮化物薄膜(例如 SiN 薄膜)所覆蓋。偏壓的 HDP 氮化物薄膜或在偏壓功率條件下所製造的氮化物薄膜，可以高於傳統的 400-500 W 範圍(用在 300 mm 基板)之功率程度，形成在 SiN 的無偏壓的氮化物薄膜之上。例

如，為了要符合由製程紀錄所製造的氮化物薄膜之-2000MPa的壓縮應力，可使用約 1500 W ( $2.1 \text{ W/cm}^2$ )的偏壓功率。當與主要設計以建立高壓縮應力於所形成的薄膜中之 400-500 W ( $0.5 - 0.6 \text{ W/cm}^2$ )的偏壓功率條件下所形成的薄膜相比，在此偏壓條件之下所形成的 HDP 氮化物薄膜可顯著地減少裂縫及較少或無夾斷。

依據本發明之一實施例，壓縮氮化物薄膜的形成可以 Novellus Systems 公司之 300-mm Novellus Speed HDP 化學氣相沉積工具製作。然而，本發明並非限制於此，亦可使用其他的 HDP 化學氣相沉積工具。在一實施例，矽烷、氫及氮可用來當作濺鍍的來源氣體，在 300-mm 基板應用的製程時，其流速可分別維持在，例如 230 sccm 與 310 sccm。然而，本發明並非限制於此，亦可使用其他流速。進行濺鍍製程時，舉例說明，其基板的溫度可維持在約  $375-440^\circ\text{C}$ ，較佳者為  $400-420^\circ\text{C}$ ，且氣體壓力可維持在低於 10 mTorr。亦可利用其他基板溫度與氣體壓力。低頻(LF)功率可維持在，例如 3600W。高頻(HF)偏壓功率可維持在，例如約 2000W。然而，本發明亦非限制在此。根據不同晶圓尺寸與不同製程階段，可以施以不同程度的低頻功率與高頻偏壓功率。依據本發明之一實施例，低頻主功率與高頻偏壓功率可依據下列表 2 設定。

表 2

工具設定	HF RF (偏壓)功率	LF RF 功率
HDP 氮化物(300mm)	600 – 3600W	2500 – 4000 W
HDP 氮化物(200mm)	250 – 1600W	1500 – 2000 W

偏壓功率的特性係為高頻電源，一般是由頻率在 12MHz 到 15MHz 的 RF 頻率產生器所提供。依據本發明之一實施例，RF 產生器是使用 13.56MHz 頻率，然亦可使用其他頻率。低頻主功率一般的頻率係約 400kHz，然亦可使用其他頻率。

依據本發明之另一實施例，在形成壓縮應力氮化物薄膜的製程時，可在基板施以各種程度的偏壓功率密度。例如，當形成氮化物薄膜覆蓋製造在 300 mm 或直徑 300 mm 尺寸大小的基板上之閘極元件，可利用介於  $0.6 \text{ W/cm}^2$  和  $5.0 \text{ W/cm}^2$  之間的各種密度程度的高頻偏壓功率。雖然較佳的功率密度係介於  $0.6 \text{ W/cm}^2$  和  $5.0 \text{ W/cm}^2$  之間，然本發明並非限制在此，在形成氮化物薄膜剛開始的階段，亦可使用較低的偏壓功率，例如 400W (或甚至更低)偏壓功率。使用初始較低的偏壓功率，例如  $\leq 400\text{W}$  ( $0.5 \text{ W/cm}^2$ )，可建立高壓縮氮化物薄膜的初始層，以防止可能毀損(實體及/或電的)到閘極元件底下。之後，可提高偏壓功率或功率密度，以建立無空洞及無裂縫的薄膜。

圖 6 為掃描電子顯微鏡(SEM)之影像，其顯示依據本發明之一實施例，被壓縮氮化物薄膜覆蓋之樣本 PFET 閘極元件之影像圖。從圖 6 的掃描電子顯微鏡(SEM)影像，顯示以 800W 的高頻偏壓功率或  $1.1 \text{ W/cm}^2$  的功率密度形成在 300mm 基板上的壓縮氮化物薄膜 51。SEM 影像顯示無任何的空洞形成在高外觀比區域中，例如相鄰閘極元件之間的區域 52。再者，氮化物薄膜的表面形狀展示一相對開放和易於填滿空隙的「V」型，其對於後續的元件製程，像是前金屬介電 (Pre-Metal Dielectric ; PMD) 氧化物薄膜製程，尤其具有好處。

圖 7 為一些樣本數據圖，顯示依據本發明之實施例，由壓縮氮化物薄膜所覆蓋的 PFET 閘極元件之良率改善趨勢。圖 7 顯示由依據本發明之實施例所沉積或形成的壓縮氮化物薄膜所覆蓋的閘極元件在較高的偏壓功率，閘極元件可固定的良率(由 y 軸表示)，在不同的測試參數條件(由 x 軸表示)之下，改善近 100%。此良率的改善很明顯，且與其他所有三個依據 POR，例如透過 PECVD 方法形成的氮化物薄膜相較還好，後者的良率介於 68%與 82%之間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，當可作修改、替換、改變與等效等。因此在不悖離本發明之精神下，任何的修改或改變皆當包含於後附之申請專利範圍之內。

### 【圖式簡單說明】

本發明配合所附圖式將可使本文內容更明顯易懂，其中所附圖式有：

圖 1 顯示依據傳統的方法，形成一壓縮氮化物薄膜覆蓋兩個 PFET 閘極之示意圖；

圖 2 顯示依據另一傳統的方法，形成一壓縮氮化物薄膜覆蓋兩個 PFET 閘極之示意圖；

圖 3 顯示依據再一傳統的方法，形成一壓縮氮化物薄膜覆蓋兩個 PFET 閘極之示意圖；

圖 4 顯示依據本發明之一實施例的方法，形成一壓縮氮化物薄膜覆蓋兩個 PFET 閘極之示意圖；

圖 5 為樣本數據圖，其顯示依據本發明之一實施例，在不同偏壓功率下形成壓縮氮化物薄膜的應力等級；

圖 6 為掃描電子顯微鏡之影像，其顯示依據本發明之一實施例所形成一壓縮氮化物薄膜覆蓋樣本 PFET 閘極之影像圖；以及

圖 7 為一部分樣本數據圖，顯示依據本發明之一實施例具有壓縮氮化物薄膜的 PFET 閘極之良率改善。

應瞭解的是，為了能有效簡化與清楚地說明，圖式中的元件並非按實際比例繪製。例如，為了清晰起見，某些元件的尺寸可能相較於其他元件誇大許多。

【主要元件符號說明】

10 基板

12、13 PFET 閘極元件

12A、13A 閘極區

12B、12C、13B、13C 間隙壁

21、31、41、51 壓縮氮化物薄膜

22、52、53、54 區域

32 溝渠區

33 裂縫

42 夾斷

55、56 厚度

## 十、申請專利範圍：

1. 一種形成一壓縮氮化物薄膜層覆蓋一基板上之至少一閘極結構之方法，該方法包括：  
    使用至少矽烷、氫、及氮氣體，產生一高密度電漿；  
    偏壓該基板到介於 $0.8 \text{ W/cm}^2$ 與 $4.0 \text{ W/cm}^2$ 之間的一高頻功率密度；以及  
    將該高密度電漿沉積到該閘極結構之頂上，以形成該壓縮氮化物薄膜層。
2. 如申請專利範圍第1項所述之方法，其中該閘極結構是一第一閘極結構，包含形成該壓縮氮化物薄膜層在該第一閘極結構與一第二閘極結構之間。
3. 如申請專利範圍第2項所述之方法，包含形成該壓縮氮化物薄膜層使具有一厚度，從該第一與該第二閘極結構之一中點測量，該厚度係介於該第一與該第二閘極結構間之一距離的至少一半。
4. 如申請專利範圍第3項所述之方法，其中介於該第一與該第二閘極結構間之該距離小於該第一與該第二閘極結構之一尺寸之 $1\frac{1}{2}$ 。
5. 如申請專利範圍第2項所述之方法，包含偏壓該基板到一變化密度的功率，以調整形成在該第一與該第二閘極結構

- 之間的該壓縮氮化物薄膜層之該厚度。
6. 如申請專利範圍第2項所述之方法，包含調整偏壓該基板的該功率密度，使該壓縮氮化物薄膜層的波峰到波谷的距離與波峰到波峰的距離之間達到一預定外觀比。
  7. 如申請專利範圍第1項所述之方法，包含在該高密度電漿沉積時，維持該基板的一溫度在375°C至440°C之間，較佳係介於400°C至420°C之間。
  8. 如申請專利範圍第1項所述之方法，包含在該高密度電漿沉積時，維持該矽烷、氫及氮氣體的一結合壓力在少於10mTorr。
  9. 如申請專利範圍第1項所述之方法，包含在該高密度電漿沉積時，維持氫與氮氣體之一比例在0.5到1.0之間。
  10. 如申請專利範圍第1項所述之方法，包含偏壓該基板到一高頻功率，該高頻功率具有一頻率介於12MHz與15MHz之間，較佳者是在約13.56MHz。
  11. 一種製造含有複數場效電晶體的一半導體元件之方法，該方法包含：  
形成該些場效電晶體之閘極結構於一基板上；

放置該基板於充滿高密度電漿的一環境中；

施加功率密度介於 $0.8 \text{ W/cm}^2$ 與 $4.0 \text{ W/cm}^2$ 之間的一偏壓功率到該基板；以及

利用該高密度電漿，產生一壓縮氮化物薄膜層於形成在該基板上的該些場效電晶體之頂上。

12. 如申請專利範圍第11項所述之方法，包含產生該壓縮氮化物薄膜層在該複數場效電晶體的相鄰場效電晶體之間。
13. 如申請專利範圍第12項所述之方法，包含調整施加於該基板的該偏壓功率，以使在該些相鄰場效電晶體之間的該壓縮氮化物薄膜層達到一預定厚度。
14. 如申請專利範圍第12項所述之方法，包含調整施加於該基板的該偏壓功率，以建立一壓縮氮化物薄膜層，其在波峰到波谷與波峰到波峰的距離之間具有一預設外觀比。
15. 如申請專利範圍第11項所述之方法，其中該基板為一300mm晶圓，包含施加至少600W的一偏壓功率到該基板，以建立該壓縮氮化物薄膜層。
16. 如申請專利範圍第11項所述之方法，其中該基板為一200mm晶圓，包含施加至少250W的一偏壓功率到該基板，以建立該壓縮氮化物薄膜層。

17. 如申請專利範圍第11項所述之方法，包含透過自特徵在至少有矽烷、氫、及氮的一混合氣體建立該高密度電漿，以提供該環境，在產生該壓縮氮化物薄膜層時，並維持該混合氣體在少於10mTorr之一結合壓力下。
18. 如申請專利範圍第11項所述之方法，包含在該壓縮氮化物薄膜層時，維持該基板的溫度在375°C至440°C之間，較佳係介於400°C至420°C之間。
19. 一種形成一壓縮應力氮化物薄膜的方法，該方法包含：  
建立p型場效電晶體的複數個閘極結構於一基板上；  
放置該些閘極結構於一高密度電漿環境中；  
施加變化密度的一高頻偏壓功率到該基板，其中該密度介於0.8 W/cm<sup>2</sup>與4.0 W/cm<sup>2</sup>之間；  
沉積該高密度電漿，以形成該壓縮應力氮化物薄膜覆蓋該些閘極結構；以及  
形成該壓縮應力氮化物薄膜的一速率在該兩個相鄰閘極結構之間的一密集多晶矽接觸區快於在該些閘極結構之該側邊的大開放區中。
20. 如申請專利範圍第19項所述之方法，包含在該高密度電漿沉積時，變化該偏壓功率從1.4 W/cm<sup>2</sup>到2.1 W/cm<sup>2</sup>，以形成無空洞的該壓縮應力氮化物薄膜。

102年1月28日修正替換頁

案號：96116077  
102年01月28日修正-替換頁

21. 如申請專利範圍第20項所述之方法，包含形成該無空洞的壓縮應力氮化物薄膜於該複數個閘極結構之間。
22. 如申請專利範圍第19項所述之方法，包含建立該壓縮應力氮化物薄膜之一表面外形，以供後續薄膜沉積製程使用。
23. 如申請專利範圍第22項所述之方法，其中該表面外形具有一「V」型，其係易於填充空隙。

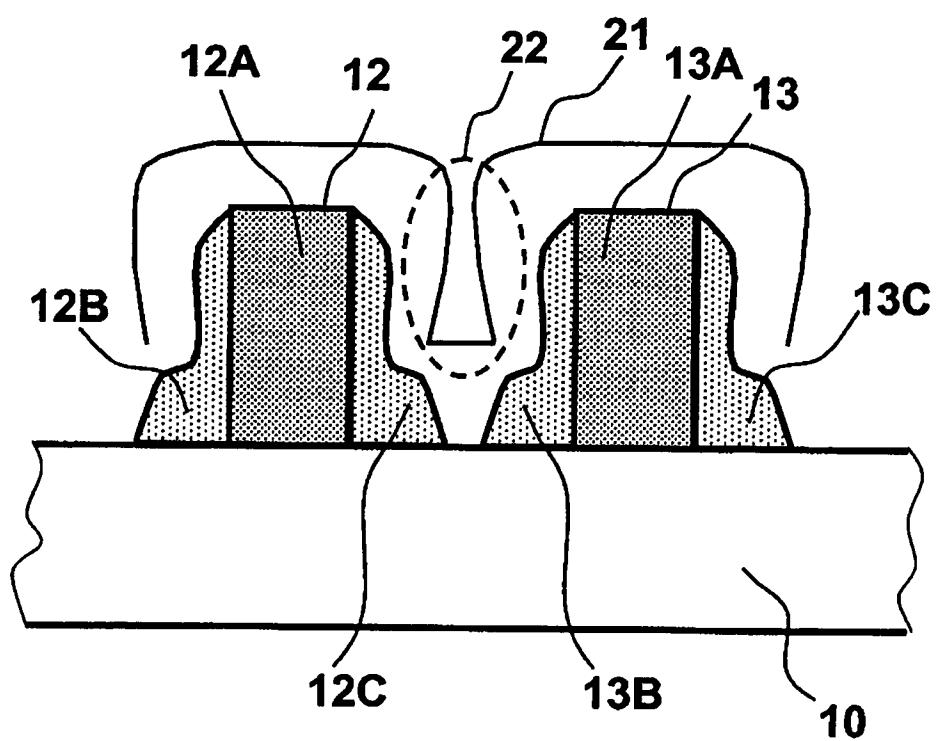


圖1 (習知技術)

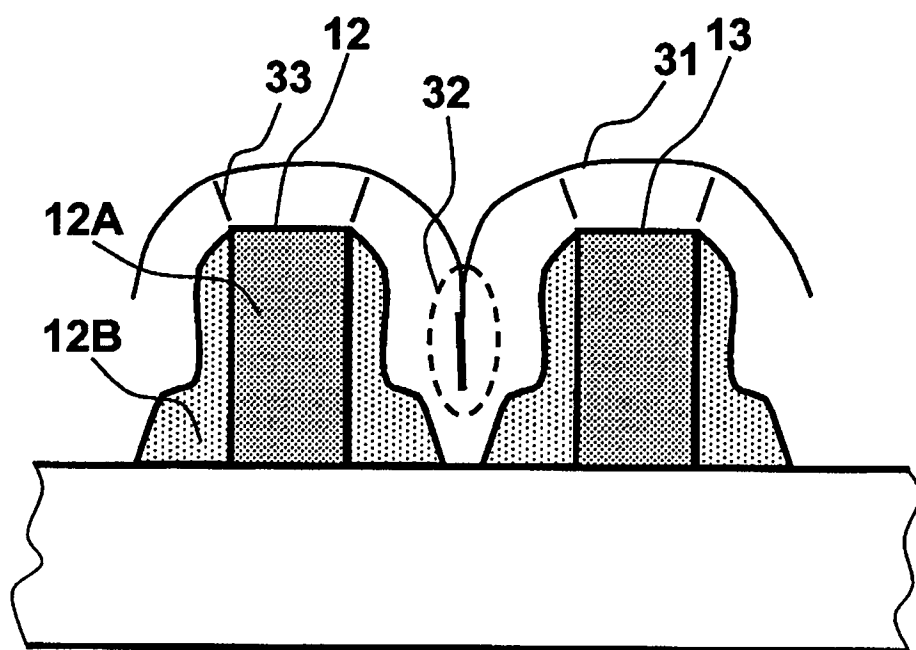


圖2 (習知技術)

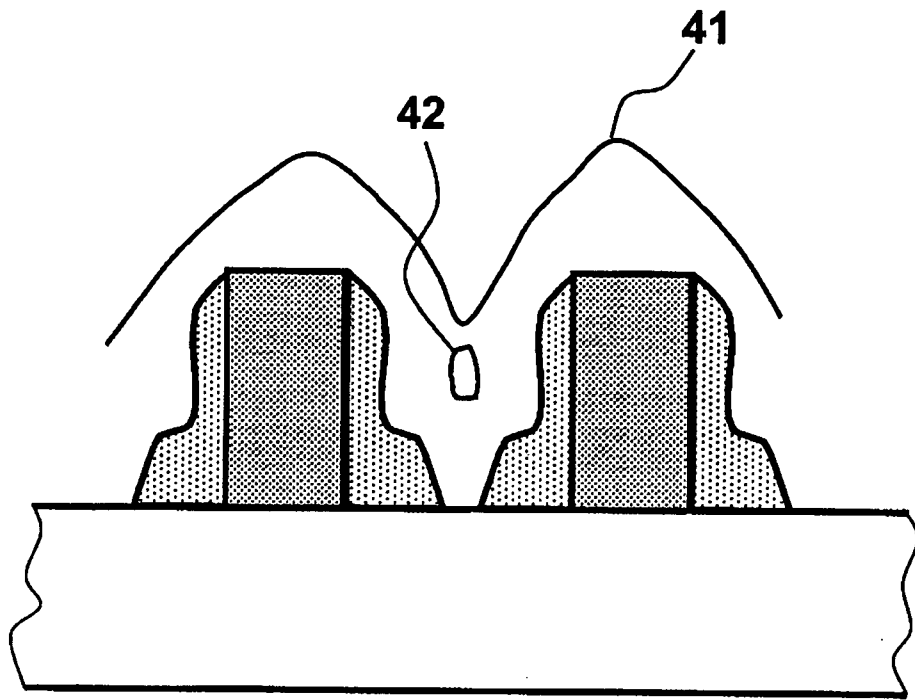


圖3 (習知技術)

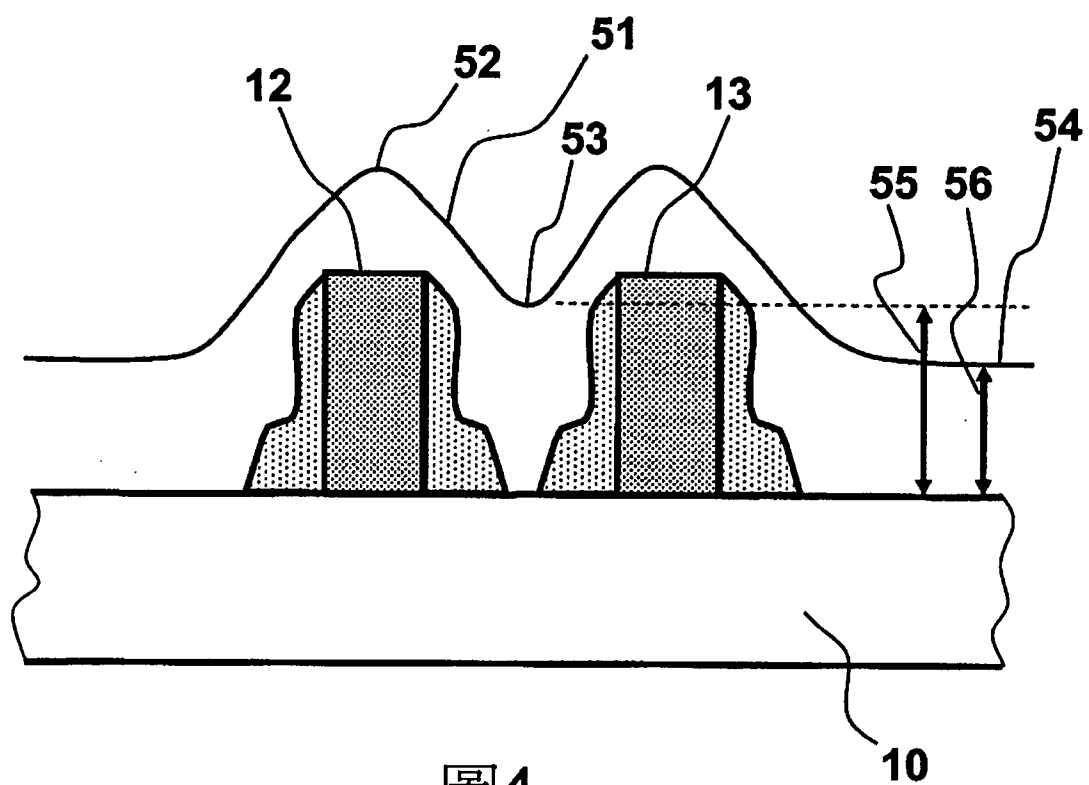


圖4

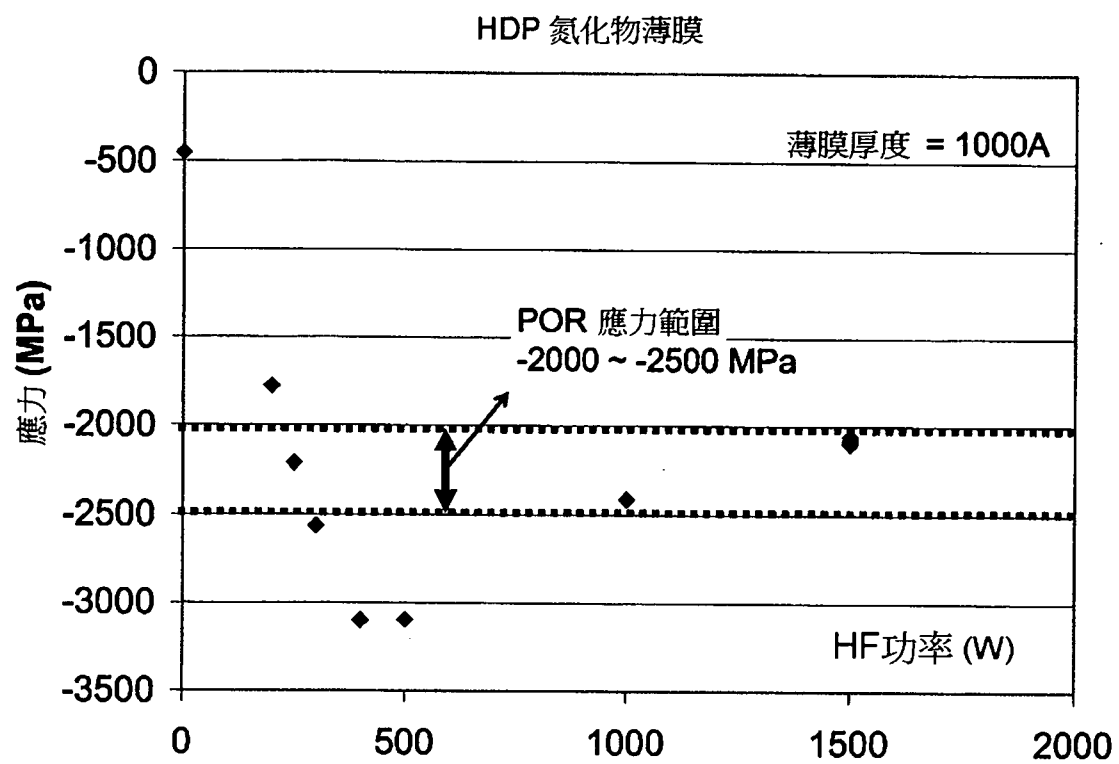


圖5

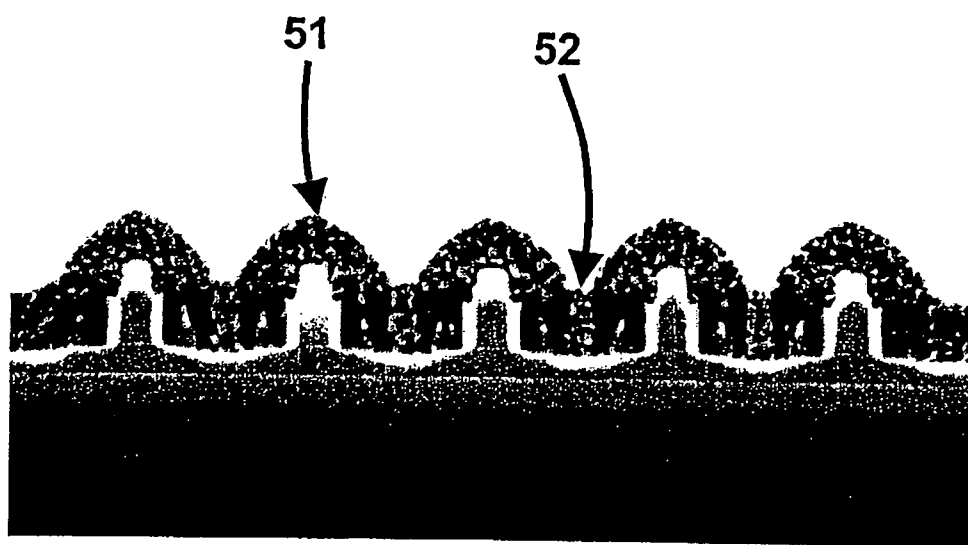


圖6

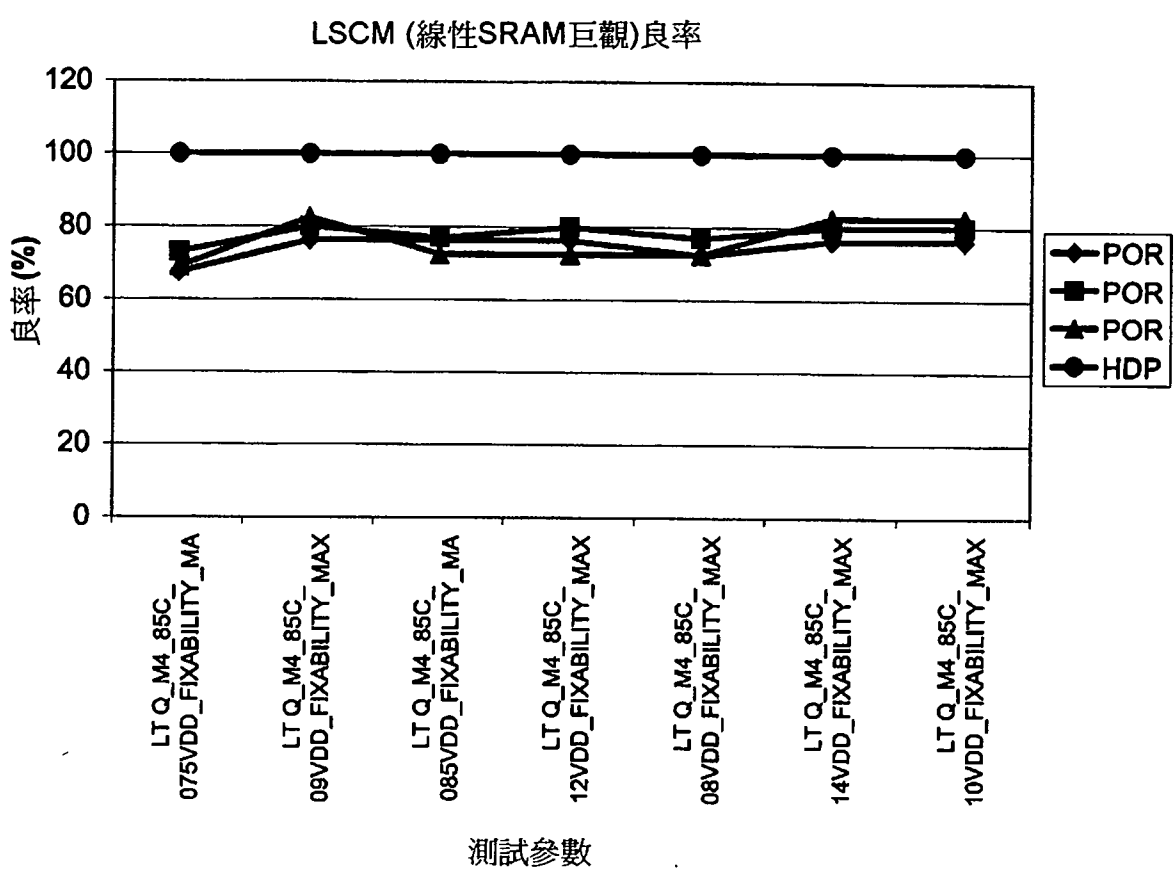


圖7