



①



SCHWEIZERISCHE EIDGENOSSENSCHAFT
EIDGENÖSSISCHES INSTITUT FÜR GEISTIGES EIGENTUM

⑪ **CH 694 831 A9**⑤① Int. Cl.⁷: **G 01 R 031/28**

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ **PATENTSCHRIFT A9**

②① Gesuchsnummer: 00767/99

②② Anmeldungsdatum: 23.04.1999

③⑩ Priorität: 24.04.1998 US 60/082,966

②④ Patent erteilt: 29.07.2005

④⑤ Patentschrift veröffentlicht: 29.07.2005

④⑧ Berichtigung veröffentlicht: 14.10.2005

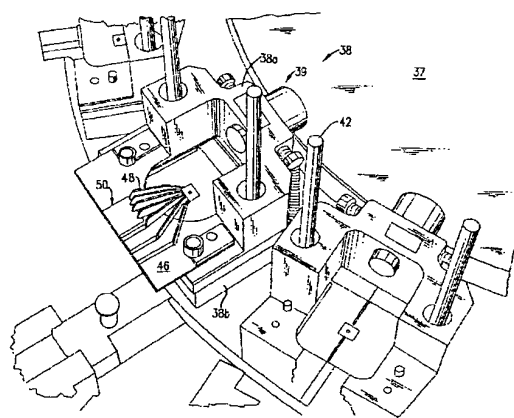
⑦③ Inhaber:
International Rectifier Corporation
233 Kansas Street
El Segundo/Cal. (US)

⑦② Erfinder:
Wesley C. Gallagher
P.O. Box 43282
San Ysidro, CA 92173 (US)

⑦④ Vertreter:
Ammann Patentanwälte AG Bern
Schwarztorstrasse 31
3001 Bern (CH)

⑤④ **Vorrichtung zur Prüfung einzelner Halbleiterchips.**

⑤⑦ Eine Vorrichtung zur Prüfung, ob ein einzelner Halbleiterchip (40) als brauchbar zu betrachten ist, bevor der Chip (40) in ein Gehäuse eingebaut wird, umfasst eine Anzahl Testaufnahmen für jeweils einen Chip (40). Die Testaufnahme weist ein erstes und zweites Teilstück (52 bzw. 56) auf, die voneinander wegbewegbar sind, um einen vereinzelter Chip (40) aufzunehmen. Das erste Teilstück (52) ist mit einer Prüfkarte (46) verbunden. Die Prüfkarte (46) weist wenigstens eine Nadel (48) zur Kontaktierung einer ersten Seite des Chips auf, die mit jeweils einem Randkontakt elektrisch verbunden ist. Mindestens eine Prüfeinheit ist lösbar mit den Randkontakten (50) verbindbar und weist wenigstens eine elektrische Schaltung zur Durchführung elektrischer Prüfungen des Halbleiterchips (40) auf.



Beschreibung

Die vorliegende Erfindung betrifft eine Vorrichtung zur Prüfung von Halbleiterchips vor deren Einbau in ein Gehäuse.

Halbleiterchips werden gewöhnlich aus grossflächigen Wafern hergestellt, wobei Hunderte oder Tausende identischer einzelner Chips hergestellt werden. Diese Chips können u.a. Dioden, Transistoren, MOSFETs, IGBTs sein. Nach Fertigstellung des Wafers (mit den ungetrennten Chips) wird derselbe in ein Gerät zur Erprobung und Prüfung der Chips auf bestimmte Merkmale eingelegt («Waferprüfung»). Diejenigen Chips, welche die Prüfung aus irgendeinem Grund nicht bestehen, werden normalerweise mit einem Tintenpunkt oder dergleichen markiert.

Die Chips werden dann im Wafer durch ein Vereinzelungsverfahren (beispielsweise durch Zersägen) voneinander getrennt. Gewöhnlich werden die voneinander getrennten (oder vereinzelter) Chips des Wafers durch eine selbstklebende Unterlage zusammengehalten. Der geteilte Wafer wird dann einem Arbeitsgang zugeführt, bei welchem nur unmarkierte «gute» Chips ausgesucht werden, die in ein Gehäuse eingelegt werden, welches einen oder mehrere Chips aufweist, oder in einer Band/Trommel-Anordnung aufbewahrt werden.

Oft werden Chips, welche die Erprobung im Wafer bestehen, bei der Vereinzelung beschädigt. Ausserdem ist die Erprobung im Wafer keine umfassende und genaue Prüfung der Brauchbarkeit der Chips für deren Verwendungszweck, da die Anwesenheit der umliegenden Chips die Genauigkeit der Prüfung einschränkt und die Durchführung bestimmter Prüfungen, beispielsweise Starkstromprüfungen, verunmöglicht.

Um Beschädigungen der Chips zu vermeiden, müssen die Prüfmessungen bei der Waferprüfung bei weniger als ca. 7 A durchgeführt werden. Bei der Waferprüfung wird der Strom über eine oder mehrere feine Prüfnadeln injiziert, deren Durchmesser einige Tausendstelzoll beträgt. Im Falle von Richtungsabweichungen einer Prüfnadel führen Ströme von mehr als ca. 7 A zu lokalen Beschädigungen der Halbleiterchips, welche sich als latente Unzuverlässigkeit derselben äussern können.

Bei der Waferprüfung wird die elektrische Verbindung zur einen Seite des Wafers (beispielsweise zum Drain-Metall) durch einen Vakuum-Montageblock hergestellt. Falls (aufgrund von Partikeln oder eines unebenen Profils des Wafers) kein inniger elektrischer Kontakt mit dem Drain-Metall des Wafers besteht, kann der Strom durch das Siliziumsubstrat oder die metallisierte Rückseite des Wafers abfliessen. Dieser Stromfluss erhöht den gemessenen Widerstand der geprüften Chips in Serie und verursacht damit ungenaue R_{dson} - und V_{sd} -Messwerte.

Zwar können bei bestimmten Chips (beispielsweise FET-Chips) bei der Waferprüfung Drain- und Gate-Verlustmessungen (wie I_{dss} und I_{gss}) durchgeführt werden, aber die Messwerte können von den Verlustwerten des fertigen Halbleitergehäuses abweichen, da die Werte sich nach der Waferprüfung und der Vereinzelung der Chips ohne Weiteres verändern können.

Nach der Waferprüfung sind die Wafer vielen Ma-

nipulationen, Mikroverschmutzungen aus der Umgebung und Feuchtigkeit ausgesetzt. Zudem werden die Wafer im wässrigen Milieu getrennt (zersägt) und dann getrocknet. Beim Zersägen können Ausbrüche entlang der Schnittlinie entstehen, welche den Abschluss des elektrischen Felds am Rand des Chips beeinträchtigen können und damit zu einer Erhöhung der Verluste führen (beispielsweise I_{dss} -Verluste). Weiterhin können durch Manipulationen und äussere Einflüsse Kriechwege auf der Oberfläche des Chips entstehen.

Bisher wurden bei der Waferprüfung keine Lawinenprüfungen von Chips durchgeführt, und zwar strombedingt, wegen der Länge der Leiter, des Geräteunterhalts und Schwierigkeiten bei der Kontaktierung der Chips. Deshalb war auch die Durchbruchprüfung im Rahmen der Waferprüfung nicht möglich.

Zwar wurden bei der Waferprüfung Temperaturtests bei hoher Temperatur durchgeführt, aber Temperaturtests bei niedrigen Temperaturen werden nicht durchgeführt. Temperaturtests bei verschiedenen Temperaturen während der Waferprüfung würden nämlich ein wiederholtes Kontaktieren der Oberfläche der Chips erfordern, wodurch die Metallisierung der Chips beschädigt werden könnte.

Bedingt durch Einschränkungen bezüglich der Stromstärke und durch Störungen zwischen benachbarten Chips im Wafer ist die Waferprüfung ungeeignet für dynamische Schaltprüfungen von Transistoren (beispielsweise IGBTs) und UIS-Prüfungen.

Aufgrund der oben erwähnten Grenzen und Ungenauigkeiten der Prüfungen bestehen bestimmte Chips die Waferprüfung und werden als «gute Chips» eingestuft, obwohl sie tatsächlich fehlerhaft sind. Umgekehrt bestehen bestimmte Chips die Waferprüfung nicht und werden als fehlerhaft eingestuft, obwohl sie eigentlich bei einer genaueren Prüfung als gut befunden worden wären.

Demzufolge werden brauchbare Chips möglicherweise weggeworfen, und fälschlicherweise als «gut» bezeichnete Chips werden oft in Gehäuse eingebaut und deren Fehler erst dann bemerkt, wenn das Gehäuse durchgetestet wird. Dies bringt natürlich Verluste mit sich, da brauchbare Chips weggeworfen werden und fehlerhafte erst nach dem teuren Einbau in ein Gehäuse entdeckt werden.

Das US-Patent Nr. 5 475 317 betrifft ein Prüfgerät für vereinzelte Halbleiter und ein Verfahren zur Durchführung elektrischer Einbrenntests. Es wird ein Chipträger 4 verwendet, welcher eine Anzahl elastomere Messfühler 4a aufweist, die auf Kontaktflächen 2a eines Chips ausgerichtet sind. Die elastomeren Messfühler 4a sollen zur steten und wiederholten Herstellung der elektrischen Verbindung mit den Kontaktflächen 2a verschiedener Chips 2 geeignet sein. In der Nähe des Chips 2 ist eine Ausrichtungslehre angeordnet, um zu gewährleisten, dass der Chip korrekt auf den Träger 4 ausgerichtet ist. Dem Patent zufolge können mit dem Chiptester Einbrennprüfungen durchgeführt werden, indem der Tester mit dem Chip in Heiz- und/oder Kühlkammern eingeführt wird und auf diese Weise Prüfungen von beispielsweise -55°C bis 125°C ermöglicht. Die Verwendung eines TEC-Kühlers 30 (Fig. 5) für Temperaturtests des Chips 2 wird ebenfalls erwähnt.

Das US-Patent Nr. 5 589 781 offenbart einen Chipträger 700 mit einem Trägerblock 702 zur Aufnahme einer Ausrichtungsplatte 770, in welcher ein zu prüfender Chip angeordnet ist. Eine Prüfkarte 800 ist mit einer Anzahl Nadeln 310 versehen, welche den Halbleiterchip kontaktieren, wenn die Prüfkarte 800 sich über der Ausrichtungsplatte 770 befindet. Die elektrische Verbindung zwischen den Nadeln 310 und dem Rand der Prüfkarte 800 wird durch Prüfleiterbahnen 802 hergestellt.

Das US-Patent Nr. 5 629 631 betrifft eine Interface-Karte und Prüfkarte für die Prüfung von Halbleiterchips vor dem Gehäuseeinbau. Das Patent offenbart eine Prüfkarteneinheit 20 mit einer Interface-Karte 22, einer Prüfkarte 24 und einer Drehscheibe 26, welche zwischen der Interface-Karte 22 und der Prüfkarte 24 angeordnet ist. Die Prüfkarte 24 ist nicht fest mit der Drehscheibe 26 verbunden und derart schrittgesteuert, dass sie genau auf einen zu prüfenden Halbleiterwafer ausgerichtet werden kann. Die Interface-Karte 22 besteht aus einem Keramikkörper mit Kontaktflächen 56 auf der oberen Schicht, einer Zwischenschicht mit aufmetallisierter Verdrahtung 58 und einer unteren Schicht mit Kontaktflächen 60, welche den Kontakt mit einem Verbinder herstellen. Die Kontaktflächen 56 auf der oberen Schicht sind gegenüber den Kontaktflächen 60 der unteren Schicht versetzt, so dass sie näher am Rand der Interface-Karte 22 liegen. Die aufmetallisierte Verdrahtung 58 verbindet die Kontaktflächen 56 mit den Kontaktflächen 60.

Das Patent beschreibt ebenfalls eine Schutzschaltung zur Verminderung von Stromverlusten in der Prüfkarte 24. Die Schutzschaltung weist einen aufmetallisierten Schutzleiter 82 beidseitig der Kontaktflächen 74 und 76 einer obersten Schicht 68 sowie einen aufmetallisierten Schutzleiter 84 beidseitig der Signalleitungen 80 einer zweiten Schicht 70 auf. Eine dritte Schicht 72 weist Metallplättchen 86 direkt unterhalb der Signalleitungen 80 sowie aufmetallisierte Leiter 84 auf. In der Mitte besitzt die Prüfkarte 24 eine Öffnung zur Aufnahme von Messfühlern 78 für Standard-Halbleiterwafer zur Kontaktierung des zu prüfenden Halbleiterwafers.

Die oben aufgeführten Patente sind nicht in der Lage, die bestehenden Probleme zu lösen.

Eine Aufgabe der vorliegenden Erfindung ist, die Genauigkeit von Prüfungen für als brauchbar zu betrachtende Chips eines Wafers zu erhöhen, und insbesondere auch die einzelnen Chips vor deren Gehäuseeinbau testen zu können.

Die Aufgabe wird gelöst durch die Vorrichtung gemäss Anspruch 1. Die weiteren Ansprüche geben bevorzugte Ausführungsformen an.

Demgemäss beinhaltet eine erfindungsgemässe Vorrichtung zur Prüfung von Halbleiterchips vor dem Gehäuseeinbau:

- eine Anzahl Testaufnahmen zur Aufnahme mindestens eines einzelnen Halbleiterchips, welche Testaufnahmen jeweils ein erstes und zweites Teilstück aufweisen, welche voneinander bewegbar sind, um die einzelnen Chips aufzunehmen, wobei das erste Teilstück mit einer Prüfkarte verbunden ist, welche mindestens eine Nadel zur Herstellung einer elektrischen Verbindung mit einer ersten Seite des

Halbleiterchips und mindestens einen ersten mit je einer Nadel elektrisch verbundenen Randkontakt aufweist, und

– mindestens eine beweglich mit den Testaufnahmen in Verbindung stehende Prüfeinheit, welche lösbar mit dem ersten Randkontakt der Testaufnahmen verbindbar ist, und welche mindestens eine elektrische Schaltung zur Durchführung elektrischer Prüfungen des Halbleiterchips aufweist.

Das erste und zweite Teilstück können sich auseinander bewegen in eine im Wesentlichen offene Stellung, um die einzelnen Chips aufzunehmen oder freizugeben, und aufeinander zubewegen in eine im Wesentlichen geschlossene Stellung derart, dass die wenigstens eine Nadel elektrisch mit der ersten Seite des Halbleiterchips verbunden ist.

Vorzugsweise weist die Testaufnahme weiter einen Basisleiter zur Herstellung einer elektrischen Verbindung mit einer zweiten, der ersten Seite gegenüberliegenden Seite des Halbleiterchips auf, sowie einen zweiten Randkontakt, der elektrisch mit dem Basisleiter gekoppelt ist, wobei die Prüfeinheit lösbar mit dem ersten und dem zweiten Randkontakt der Testaufnahmen verbindbar ist.

Die erfindungsgemässe Testaufnahme kann weiterhin mindestens eine Führung aufweisen, welche mit dem ersten oder dem zweiten Teilstück fest verbunden ist und mit dem jeweils anderen Teilstück derart verschiebbar verbunden ist, dass die Teile die offene und die geschlossene Stellung einnehmen können. Vorzugsweise weist die Führung der Testaufnahmen mindestens einen Stift auf, der am ersten Teilstück befestigt ist und im Wesentlichen senkrecht dazu steht, während das zweite Teilstück ein Verbindungsstück für den Stift aufweist, welches verschiebbar mit dem mindestens einen Stift verbunden ist. Dieses Verbindungsstück kann eine durch das zweite Teilstück verlaufende Öffnung sein.

Die Testaufnahmen können weiter mindestens ein Spannelement aufweisen, welches das erste und das zweite Teilstück derart gegeneinanderdrückt, dass die Teile ohne äussere Krafteinwirkung zur Einnahme der im Wesentlichen geschlossenen Stellung neigen. Vorzugsweise weist das Spannelement mindestens eine Feder auf, deren eines Ende am ersten Teilstück, und deren gegenüberliegendes Ende am zweiten Teilstück befestigt ist.

Vorzugsweise weisen die Prüfeinheiten jeweils erste und zweite Verbindungsorgane auf, die einander gegenüberliegen und gegeneinander beweglich sind, um eine im Wesentlichen offene oder geschlossene Stellung zu erreichen, wobei die Verbindungsorgane jeweils mindestens einen Anschluss zur Herstellung einer Verbindung mit jeweils einem Randkontakt der Prüfkarte aufweisen, wenn sich die Verbindungsorgane in der im Wesentlichen geschlossenen Stellung befinden. Das erste und das zweite Verbindungsorgan können ein Backenpaar bilden, welches die elektrische Schaltung der Prüfeinheit elektrisch mit dem Halbleiterchip verbindet, wenn sich die Backen in der geschlossenen Stellung befinden. Die Anschlüsse können einen beweglichen Kolben aufweisen, der elastisch auf dem Randkontakt aufliegt.

Erfindungsgemäss kann jede Prüfeinheit mit jedem Halbleiterchip eine unterschiedliche Prüfung durch-

führen, wenn die jeweiligen Testaufnahmen mit denselben in Verbindung stehen, wobei die Halbleiterchips von den jeweiligen Nadeln nur einmal kontaktiert werden und dennoch mehrere Prüfungen durchgeführt werden.

Die Vorrichtung zur Prüfung von als brauchbar zu betrachtenden Chips kann eine drehbare Scheibe mit einer Aussenfläche aufweisen, wobei die Testaufnahmen jeweils an der Aussenfläche der Scheibe angeordnet sind und mit derselben gedreht werden; die Prüfeinheiten sind im Wesentlichen ortsfest in der Nähe der Aussenfläche angeordnet, so dass die Testaufnahmen während der Drehung mit jeder Prüfeinheit in Verbindung treten können.

Die drehbare Scheibe kann einen Heber aufweisen, der während der Drehung der Scheibe in eine bestimmte Stellung das erste und das zweite Teilstück derart auseinanderdrückt, dass die Halbleiterchips auf die Basisleiter der Testaufnahmen aufgelegt oder von denselben entfernt werden können. Der Heber oder die Testaufnahmen können eine Nockenfläche aufweisen, welche das erste und das zweite Teilstück voneinander wegbewegen, während die Scheibe in eine bestimmte Stellung gedreht wird.

Erfindungsgemäss weist mindestens eine der Prüfeinheiten eine Schaltung zur Durchführung mindestens einer der folgenden Prüfungen auf: Lawinenprüfung, Durchbruchprüfung, dynamische Schaltprüfung, Einschaltzeitprüfung, Ausschaltzeitprüfung, Hochtemperaturprüfung, Niedrigtemperaturprüfung, R_{dson} -Prüfung und UIS-Prüfung.

Die Erfindung kann weiterhin mindestens eine Abdeckung aufweisen, welche mit mindestens dem ersten oder dem zweiten Teilstück wenigstens einer Testaufnahme gekoppelt ist, und welche einen Anschluss zur Verbindung mit einer Inertgasquelle aufweist, wobei die Grösse und Form der Abdeckung derart gewählt ist, dass deren Volumen mindestens die erste Seite des Halbleiterchips umschliesst, so dass eine Umgebung aus im Wesentlichen inertem Gas entsteht, wenn die Inertgasquelle das Volumen mit Inertgas füllt.

Die einzelnen Chips, welche die Parameterprüfungen nicht bestehen, werden markiert und vom Gehäuseeinbau ausgenommen. Diejenigen Einzelchips, welche die Parameterprüfungen bestehen, können dann für den nachfolgenden Gehäuseeinbau in einer herkömmlichen Band/Trommel-Anordnung aufbewahrt werden.

Es hat sich gezeigt, dass der Ertrag brauchbarer Chips bei vorliegender Erfindung 99,99% übersteigt. Bei Gehäusen, die mit Chips hergestellt werden, welche gemäss vorliegender Erfindung geprüft wurden, ergibt sich somit weniger Ausschuss.

Gemäss vorliegender Erfindung wird nun eine Vorrichtung und ein Verfahren zur Prüfung einzelner Chips in einer Testaufnahme angegeben, welche ein Halbleitergehäuse simuliert und mit der Elektrode des Chips verbundene Testaufnahmen aufweist. Dies ermöglicht eine Testsequenz, welche der Prüfung des Chips nach dem Gehäuseeinbau sehr nahe kommt. Auf diese Weise können nun diejenigen Chips, welche eine vorausgehende Waferprüfung bestanden haben, nach der Vereinzelung auf Parameter geprüft werden, die den derzeit erst nach dem Gehäuseeinbau geprüften ähnlicher sind.

Die Erfindung wird nachfolgend anhand von Zeichnungen derzeit bevorzugter Ausführungsformen näher erläutert. Die Erfindung ist aber selbstverständlich nicht auf diese Anordnungen und Mittel beschränkt.

Fig. 1 zeigt eine erfindungsgemässe Chip-Behandlungsvorrichtung für als brauchbar zu betrachtende Chips,

Fig. 2 zeigt die Chip-Behandlungsvorrichtung gemäss Fig. 1 mit mehr Einzelheiten,

Fig. 3 zeigt eine perspektivische Ansicht einer Prüfeinheit der Chip-Behandlungsvorrichtung nach Fig. 1,

Fig. 4 zeigt eine perspektivische Ansicht von Teststationen der Prüfeinheit gemäss Fig. 3,

Fig. 5 zeigt zwei der Teststationen von Fig. 4,

Fig. 6 zeigt eine Explosionszeichnung einer Testaufnahme einer erfindungsgemässen Teststation,

Fig. 7a-i zeigen verschiedene Bestandteile einer bevorzugten Testaufnahme gemäss der Erfindung,

Fig. 8a-b zeigen perspektivische Ansichten von Prüfeinheiten der erfindungsgemässen Chip-Behandlungsvorrichtung,

Fig. 9a-b zeigen detailliertere Ansichten von Klemmelementen der Prüfeinheiten gemäss Fig. 8a-b,

Fig. 9c zeigt eine Variante des Klemmelements der Chip-Behandlungsvorrichtung nach Fig. 8a-b, und

Fig. 10 zeigt eine Seitenansicht einer Ausführungsvariante der erfindungsgemässen Prüfeinheiten.

In den Figuren, in denen gleiche Elemente gleich bezeichnet sind, zeigt Fig. 1 eine erfindungsgemässe Chip-Behandlungsvorrichtung 10 für als brauchbar zu betrachtende Chips. Die Chip-Behandlungsvorrichtung 10 ist eine automatisierte Chip-Behandlungsvorrichtung für Halbleiter, welche von einem Computer 20, beispielsweise einem Personal Computer, gesteuert wird.

Gemäss Fig. 2 weist die Chip-Behandlungsvorrichtung 10 eine Waferstation 30 auf, auf welcher ein Wafer 31 aufliegt. Es ist ersichtlich, dass der Wafer 31 aufgetrennt wurde (beispielsweise zersägt), so dass die Halbleiterchips 40, aus denen der Wafer 31 besteht, voneinander getrennt sind und einzeln aus der Waferstation 30 entnommen werden können. Auf an sich bekannte Weise kann eine Entnahme- und Transportvorrichtung 32 verwendet werden, um die einzelnen Chips 40 aus der Waferstation 30 zu entnehmen und sie an eine andere Stelle zu bringen.

Die Chip-Behandlungsvorrichtung 10 kann weiterhin eine Chip-Wendevorrichtung 34 aufweisen (eventuell mit einer optischen Kontrollfunktion), der die einzelnen Chips 40 von der Waferstation 30 durch die Entnahme- und Transportvorrichtung 32 zugeführt werden. Die Chip-Wendevorrichtung 34 dreht die Chips um, so dass die gegenüberliegende Seite zugänglich wird. Die Entnahme- und Transportvorrichtung 32 transportiert die gewendeten Chips 40 von der Chip-Wendevorrichtung 34 zu einer Prüfeinheit 36. Dem Fachmann ist es klar, dass die Chip-Wendevorrichtung 34 nicht notwendig ist oder nicht aktiviert zu werden braucht, wenn die Chips nicht gewendet werden müssen.

Die Prüfeinheit gemäss Fig. 3 weist einen Tisch 37 auf, dessen Aussenfläche um den Mittelpunkt drehbar ist. An der Aussenfläche des Tisches 37 ist eine Anzahl Teststationen 38 angeordnet. Die Teststationen erhalten die Chips 40 von der Entnahme- und Transportvorrichtung 32.

Einige Teststationen 38'' sind in offener Stellung und bereit zur Aufnahme von Chips 40. Andere Teststationen 38'' sind geschlossen, da sie bereits einen Chip 40 enthalten.

Um die geöffnete Stellung zu bewirken, verfügen die Teststationen 38 über eine Rolle 39, die auf einer Nockenfläche 37a des Tisches 37 läuft. Wenn eine gegebene Teststation 38 in eine Stellung gedreht wird, wo die Nockenfläche 38 eine bestimmte Höhe aufweist, wird deren geöffnete Stellung dadurch bewirkt, dass die Rolle 39 auf der erhöhten Stelle der Nockenfläche 37a aufliegt. Wenn die Teststation 38 in eine Stellung gedreht wird, wo die Nockenfläche 37a nicht erhöht ist, gelangt die Teststation 38 in die geschlossene Stellung 38''.

Gemäss Fig. 4 weist jede Teststation vorzugsweise ein Paar Stifte 42 auf, auf welchen ein oberer Teil 38a der Teststationen 38 verschiebbar ist. Eine oder mehrere Federn 44 drücken den oberen Teil 38a der Teststation 38 gegen den unteren Teil 38b der Teststation 38. Wenn sich das Oberteil 38a der Teststation von der geöffneten in die geschlossene Lage bewegt, wird der Chip 40 zwischen dem Oberteil 38a und dem Unterteil 38b der Teststation eingeschlossen.

Gemäss Fig. 5 weisen die Teststationen 38 vorzugsweise eine Prüfkarte 46 auf, die mit dem Oberteil 38a der Teststation 38 verbunden ist. Die Prüfkarte 46 weist eine oder mehrere Nadeln 48 (vorzugsweise aus Wolfram) auf. Die Nadeln 48 stellen die elektrische Verbindung zwischen der Metallisierung des Chips 40 und den Randkontakten der Prüfkarte 46 her.

Gemäss Fig. 6 weisen die Teststationen 38 vorzugsweise je eine Testaufnahme mit Grundplatte 56 auf, in die ein Sockelleiter 54 einsetzbar ist. Der Sockel 54 besteht vorzugsweise aus elektrisch leitendem Material (beispielsweise Messing) und weist eine Öffnung 58 zur Erzeugung eines Vakuums auf. Ein Chip-Ausrichtungseinsatz 52 ist derart auf die Grundplatte 56 aufgesetzt, dass der Sockel 54 zwischen der Grundplatte 56 und dem Chip-Ausrichtungseinsatz 52 eingeschlossen ist. Der Chip-Ausrichtungseinsatz 52 weist eine Öffnung 53 auf, deren Grösse und Form einem vereinzelt Chip 40 entspricht.

Die Vakuum-Öffnung 58 gewährleistet, dass der Chip 40 in innigem elektrischen Kontakt mit dem Leitersockel 54 steht. Auf diese Weise stellen die als Basisleiter dienenden Anschlüsse 55 des Leitersockels 54 die elektrische Verbindung mit der Metallisierung auf der Unterseite des Chips 40 her. Wenn die Prüfkarte 46 auf dem Chip-Ausrichtungseinsatz aufliegt (bei geschlossenem Oberteil 38a der Teststation 38), berühren die Spitzen 48a der Nadeln 48 die Metallisierung auf der Oberseite des Chips 40.

Fig. 7a-c zeigen eine allgemeine Anordnung der Grundplatte 56, der Prüfkarte 46 und der Nadeln 48 der erfindungsgemässen Testaufnahme. Die Grund-

platte 56 besteht vorzugsweise aus isolierendem Kunststoff (am besten ULTEM 1000), der von einem Aluminiumkörper 57 umgeben ist. Fig. 7d-f sind Ansichten von oben, von der Seite bzw. von unten, die eine bevorzugte Ausgestaltung des Aluminiumkörpers 57 der Grundplatte 56 zeigen. Fig. 7g-i sind Ansichten von oben bzw. von der Seite, welche eine bevorzugte Form des isolierenden Kunststoffs der Grundplatte 56 zeigen.

Die Prüfkarte 46 ist vorzugsweise aus Glas-Epoxyd hergestellt und mittels kaltgewalzten Messingblechen an den Ecken 46a der Prüfkarte 46 mit dem Oberteil 38a der Teststation 38 verbunden. Fig. 7c zeigt eine «halbrunde» Prüfkarte. Vorzugsweise wird jedoch eine ganz runde Prüfkarte verwendet (Fig. 7g).

Falls der Chip 40 ein FET ist, sind vorzugsweise mehrere Nadeln 48 vorhanden, um den Kontakt mit den Kontaktflächen für Gate 1, Gate 2, Kelvin Sense und Source auf dem Chip 40 herzustellen. Da der Source-Anschluss recht viel Strom führt, stellen mehrere Nadeln 48 den Kontakt mit dem Source-Anschluss her (vorzugsweise deren fünf).

Gemäss Fig. 7b weisen die Nadeln 48 am einen Ende jeweils eine im Wesentlichen starre, aber trotzdem etwas elastische Spitze 48a auf, die die Metallisierung des Chips 40 kontaktiert. Am gegenüberliegenden Ende münden die Nadeln 48 in Randkontakte 50, die einen guten Zugang einer Prüfvorrichtung erlauben. Die Nadeln bestehen vorzugsweise aus Wolfram und die Randkontakte vorzugsweise aus Messing. Vorzugsweise ist der Körper der Nadeln 48 etwa 1,6 mm breit, während die Spitze der Nadeln 48 ungefähr 0,0762 mm misst.

Gemäss Fig. 8a-8b sind mindestens eine, vorzugsweise aber mehrere elektrische Prüfeinheiten 60 gegenüber den Teststationen 38 am Umfang des Tisches 37 angeordnet. Die elektrischen Prüfeinheiten 60 treten über eine automatische Klemmvorrichtung (am besten ersichtlich in Fig. 8b) mit den Randkontakten 50 der Prüfkarten in Verbindung.

Gemäss Fig. 9a und 9b weisen die Klemmvorrichtungen 62 jeweils obere Kontaktstifte 64 und untere Prüfstifte 66 auf.

Die oberen Prüfstifte 64 sind vorzugsweise gegenüber den unteren Prüfstiften 66 angeordnet, so dass die Prüfstifte 64, 66 eine Backenanordnung bilden, welche sich automatisch an die Prüfkarte 46 anklammern kann und den elektrischen Kontakt mit den Randkontakten 50 herstellt.

Fig. 9c zeigt eine Seitenansicht einer Ausführungsvariante der Klemmvorrichtung 62, welche obere und untere Kontaktstifte 64, 66 aufweist, die jeweils ineinanderschließbar und in Längsrichtung elastisch ausgeführt sind (ähnlich einem Pogo-Stab). Die oberen Prüfstifte 64 sind vorzugsweise gegenüber den unteren Prüfstiften 66 angeordnet, so dass die Prüfstifte 64, 66 eine Backenanordnung bilden, die sich automatisch an die Prüfkarte anklammern kann. Dem Fachmann ist es klar, dass die ineinanderschließbaren Kontaktstifte nach aussen gedrückt werden (beispielsweise durch Federn in den Hülzen 64a, 66a). Die Stifte werden elastisch in die Hülzen 64a, 66a gedrückt, sobald sie auf der Karte 46 aufliegen.

Vorzugsweise sind den elektrischen Prüfeinheiten 60 verschiedene elektrische Prüfungen (oder Gruppen von elektrischen Prüfungen) zugeordnet, welche auf einen gegebenen Chip 40 angewandt werden. Während der Drehung einer bestimmten Teststation 38 um den Tisch wird der darin enthaltene Chip 40 also von mehreren elektrischen Prüfeinheiten 60 und den ihnen zugeordneten Prüfschaltungen (nicht dargestellt) geprüft und somit einer Serie von Prüfungen unterworfen.

Für den Fachmann geht es aus obiger Beschreibung hervor, dass die Nadeln 48 den Chip 40 nur einmal berühren (und zwar wenn das Oberteil 38a sich über dem Chip 40 schliesst), so dass die Wahrscheinlichkeit minimal ist, die Metallisierung auf dem Chip durch wiederholte Berührung zu beschädigen.

Grundsätzlich arbeitet die Chip-Behandlungsvorrichtung 10 wie folgt: Nach der Waferprüfung und der Vereinzelung der Chips 40 werden die nicht markierten Chips 40 (welche als «gute Chips» betrachtet werden) von der Entnahme- und Transportvorrichtung 32 ergriffen und auf mechanische Fehler wie ausgebrochene Chips, fehlende Bahnen etc. untersucht. Die Chips werden dann der Wendevorrichtung 34 zugeführt, wo sie gewendet werden, falls erforderlich.

Als nächstes werden die Chips 40 in je eine offene Testaufnahme einer Teststation 38 eingelegt. Die Teststationen 38 werden geschlossen, und die Nadeln 48 stellen den Kontakt mit dem jeweiligen Chip 40 her. Die Teststationen 38 durchlaufen schrittweise die elektrischen Prüfeinheiten und werden elektrischen Prüfungen unterworfen.

Sobald die Chip-Behandlungsvorrichtung 10 eine gegebene Teststation 38 schrittweise durch alle elektrischen Prüfeinheiten 60 geführt hat, wird die Teststation 38 geöffnet und der Chip 40 für den nachfolgenden Gehäuseeinbau aus der Testaufnahme entnommen.

Gemäss Fig. 10 führen mindestens einige der Prüfeinheiten 60 Prüfungen in einer Inertgasumgebung durch. Es ist ersichtlich, dass eine Testaufnahme 38 mindestens eine Abdeckung 41 aufweist, welche derart mit der Prüfkarte 46 gekoppelt ist oder in der Nähe derselben angeordnet ist, dass die Prüfkarte 46 abgedeckt ist. Die Abdeckung 41 besitzt einen Anschluss 43 zur Herstellung einer Verbindung zwischen einem Innenvolumen, das zum Teil durch die Abdeckung 41 gegeben ist, und einer Inertgasquelle. Die Grösse und Form der Abdeckung 41 ist so gewählt, dass ihr Volumen mindestens die Oberseite des zu prüfenden Halbleiterchips in der Testaufnahme 38 einschliesst.

Die Prüfeinheit 60 weist eine im Wesentlichen inerte Gasquelle 63 auf, und der Anschluss 43 der Abdeckung steht über eine im Wesentlichen starre Zuleitung 61 mit der Inertgasquelle 63 in Verbindung, um das Gas in die Testaufnahme 38 einzuleiten. Die Zuleitung 61 ist länglich ausgebildet und im Wesentlichen senkrecht zum Anschluss 43 angeordnet.

Der Anschluss 43 der Abdeckung 41 ist vorzugsweise auf der Oberseite derselben angeordnet, so dass die Zuleitung 61 im geschlossenen Zustand der Prüfeinheit in den Anschluss 43 mündet und das Inertgas in den Hohlraum und nach unten auf die Oberfläche des Halbleiterchips geleitet wird.

Für den Fachmann ist es ersichtlich, dass die Zuleitung 61 der Prüfeinheit mit dem Anschluss 43 der Abdeckung 41 in Verbindung steht, sobald die Testaufnahme in die Nähe der Prüfeinheit bewegt wird (beispielsweise in Richtung des Pfeils A). Die Prüfeinheit ist vorzugsweise derart mit der Stellung der Testaufnahme synchronisiert, dass das Gas nicht vor dem Beginn der Prüfung in den Hohlraum eingeleitet wird.

Verglichen mit der Waferprüfung gestattet die erfindungsgemässe Testaufnahme 38 einen präziseren Kontakt zwischen den Nadeln 48 und dem Chip 40 und somit eine verbesserte Strominjektion, weil Verbiegungen des Wafers keine Rolle spielen, da die Chips vereinzelt sind. Dadurch wird die lokale Erhitzung auf ein Minimum beschränkt.

Die Grösse und Formgebung der Nadeln 48 gestatten Starkstromprüfungen und ermöglichen dadurch eine verbesserte qualitative Prüfung in kürzerer Zeit. Es können Chipprüfungen von 0 bis ca. 60 A oder mehr durchgeführt werden.

Da die Chips 40 vereinzelt sind, wird eine innige elektrische Verbindung zur Rückseite (falls der Chip ein FET ist, zum Drain) erzielt, und deshalb können genaue Messungen der $R_{ds(on)}$ - und V_{sd} -Werte erhalten werden. Da Verlustmessungen erst nach der Verarbeitung der Chips 40 vom Waferstadium zu vereinzelt Chips durchgeführt werden, können genaue Messungen der Verluste (beispielsweise Drain- und Gate-Verluste im Fall eines FET) erzielt werden.

Ferner wird die Zahl aufeinanderfolgender Berührungen zwischen den Nadeln 48 und der Metallisierung des Chips 40 auf ein Minimum beschränkt (vorzugsweise wird der Kontakt nur einmal hergestellt), wodurch sich die Wahrscheinlichkeit erheblicher Beschädigungen durch Prüfspuren oder von Defekten des Chips vermindert wird.

Die Prüfung vereinzelter Chips erlaubt Temperaturprüfungen bei hohen und niedrigen Temperaturen und bei Raumtemperatur, wobei die Wahrscheinlichkeit von Beschädigungen der Metallisierung des Chips 40 durch wiederholte Berührung der Prüfspitzen vermindert wird.

Sowohl UIS- und dynamische Schaltprüfungen (beispielsweise von IGBTs) sind möglich, da bezüglich der Prüfströme keine nennenswerten Einschränkungen bestehen und keine Störungen von anderen Chips auf dem Wafer vorhanden sind.

Die vorausgehende Beschreibung von Ausführungsformen der Erfindung dient zum Zweck der Erläuterung und Beschreibung. Sie ist nicht umfassend, und die Erfindung soll nicht auf diese Ausgestaltungen beschränkt sein. Im Rahmen des Offenbartens sind diverse Änderungen und Varianten möglich. Der Umfang der Erfindung soll nicht durch die ausführliche Beschreibung, sondern vielmehr durch die nachfolgenden Ansprüche gegeben sein.

Patentansprüche

1. Vorrichtung zur Prüfung von als brauchbar zu betrachtenden, vereinzelt Halbleiterchips vor dem Gehäuseeinbau, gekennzeichnet durch:
 - eine Anzahl Testaufnahmen zur Aufnahme mindestens eines vereinzelt Halbleiterchips, welche

Testaufnahmen jeweils ein erstes und zweites Teilstück aufweisen, welche voneinander wegbewegbar sind, um die vereinzelt Chips aufzunehmen, wobei das erste Teilstück mit einer Prüfkarte verbunden ist, welche mindestens eine Nadel zur Herstellung einer elektrischen Verbindung mit einer ersten Seite des Halbleiterchips und mindestens einen ersten mit der jeweils entsprechenden Nadel elektrisch verbundenen Randkontakt aufweist, und

– mindestens eine beweglich mit den Testaufnahmen in Verbindung stehende Prüfeinheit, welche lösbar mit dem ersten Randkontakt der Testaufnahmen verbindbar ist und welche mindestens eine elektrische Schaltung zur Durchführung elektrischer Prüfungen des Halbleiterchips aufweist.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass das erste und das zweite Teilstück auseinanderbewegbar sind in eine im Wesentlichen offene Stellung, um die vereinzelt Chips aufzunehmen oder freizugeben, und aufeinander zubewegbar in eine im Wesentlichen geschlossene Stellung derart, dass die wenigstens eine Nadel elektrisch mit der ersten Seite des Halbleiterchips verbunden ist.

3. Vorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die Testaufnahmen weiterhin jeweils – einen Basisleiter zur Herstellung einer elektrischen Verbindung mit einer zweiten, der ersten Seite gegenüberliegenden Seite des Halbleiterchips aufweisen, sowie

– einen zweiten Randkontakt, der elektrisch mit dem Basisleiter gekoppelt ist, wobei die Prüfeinheit lösbar mit dem ersten und dem zweiten Randkontakt der Testaufnahmen verbindbar ist.

4. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Testaufnahmen weiterhin jeweils mindestens eine Führung aufweisen, welche mit dem ersten oder dem zweiten Teilstück fest verbunden ist und mit dem jeweils anderen Teilstück derart verschiebbar verbunden ist, dass die Teile die offene und die geschlossene Stellung einnehmen können.

5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass die Führung der Testaufnahmen jeweils mindestens einen Stift aufweist, der am ersten Teilstück befestigt ist und im Wesentlichen senkrecht dazu steht, während das zweite Teilstück ein Verbindungsstück für den Stift aufweist, welches verschiebbar mit dem mindestens einen Stift verbunden ist.

6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, dass das Verbindungsstück eine durch das zweite Teilstück verlaufende Öffnung ist.

7. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Testaufnahmen weiterhin jeweils mindestens ein Spannelement aufweisen, welches das erste und das zweite Teilstück derart gegeneinanderdrückt, dass die Teile ohne äussere Krafteinwirkung zur Einnahme der im Wesentlichen geschlossenen Stellung neigen.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass das Spannelement mindestens eine Feder aufweist, deren eines Ende am ersten Teilstück, und deren gegenüberliegendes Ende am zweiten Teilstück befestigt ist, wobei die Feder das erste und das zweite Teilstück gegeneinander drückt.

9. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Prüfkarte mindestens eine Nadel

zur Verbindung mit einer Source-Metallisierung auf einer ersten Seite eines MOSFET-Halbleiterchips und mindestens eine Nadel zur Verbindung mit einer Gate-Metallisierung auf der ersten Seite des MOSFET-Halbleiterchips aufweist, und dass der Basisleiter mit einer Drain-Metallisierung auf einer zweiten Seite des MOSFET-Halbleiterchips verbindbar ist, wobei die zweite Seite der ersten Seite gegenüberliegt.

10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass die Prüfkarte mindestens zwei Nadeln zur Herstellung einer Kelvin-Sense-Verbindung mit dem MOSFET-Halbleiterchip aufweist.

11. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Prüfeinheit erste und zweite Verbindungsorgane aufweist, die einander gegenüberliegen und gegeneinander beweglich sind, um eine im Wesentlichen offene oder geschlossene Stellung zu erreichen, wobei die Verbindungsorgane jeweils mindestens einen Anschluss zur Herstellung einer Verbindung mit jeweils einem Randkontakt der Prüfkarte aufweisen, wenn sich die Verbindungsorgane in der im Wesentlichen geschlossenen Stellung befinden.

12. Vorrichtung nach Anspruch 11, dadurch gekennzeichnet, dass die ersten und die zweiten Verbindungsorgane Backenpaare bilden, welche die elektrische Schaltung der Prüfeinheit elektrisch mit dem Halbleiterchip verbinden, wenn sich die Backen in der geschlossenen Stellung befinden.

13. Vorrichtung nach Anspruch 11, dadurch gekennzeichnet, dass die Anschlüsse elastisch auf den jeweiligen Randkontakten aufliegen.

14. Vorrichtung nach Anspruch 11, dadurch gekennzeichnet, dass die Anschlüsse einen beweglichen Kolben aufweisen, der elastisch auf dem jeweiligen Randkontakt aufliegt.

15. Vorrichtung nach Anspruch 11, dadurch gekennzeichnet, dass die mindestens eine Prüfeinheit im Wesentlichen starr ist und die Testaufnahmen beweglich mit derselben in Verbindung bringbar ist, so dass die Anschlüsse auf den jeweiligen Randkontakten der Testaufnahmen aufliegen können.

16. Vorrichtung nach Anspruch 15, dadurch gekennzeichnet, dass

– jede Prüfeinheit mit jedem Halbleiterchip eine im Wesentlichen unterschiedliche Prüfung durchführen kann, wenn die jeweiligen Testaufnahmen mit derselben in Verbindung stehen, und dass

– mehrere Prüfungen mit einer einmaligen Kontaktierung durch die jeweiligen Nadeln durchführbar sind.

17. Vorrichtung nach Anspruch 2, weiterhin eine drehbare Scheibe mit einer Aussenfläche aufweisend, dadurch gekennzeichnet, dass

– die Testaufnahmen jeweils an der Aussenfläche der Scheibe angeordnet sind und mit derselben drehbar sind, und dass

– die Prüfeinheit im Wesentlichen ortsfest in der Nähe der Aussenfläche angeordnet ist, so dass die Testaufnahmen während der Drehung mit jeder Prüfeinheit in Verbindung treten können.

18. Vorrichtung nach Anspruch 17, dadurch gekennzeichnet, dass die drehbare Scheibe einen Heber aufweist, der während der Drehung der Scheibe in eine bestimmte Stellung das erste und das zweite

Teilstück derart auseinanderdrückt, dass die Halbleiterchips auf Basisleiter der Testaufnahmen aufgelegt oder von denselben entfernbar sind.

19. Vorrichtung nach Anspruch 18, dadurch gekennzeichnet, dass entweder der Heber oder die Testaufnahmen eine Nockenfläche aufweisen, durch welche das erste und das zweite Teilstück voneinander wegbewegbar sind, während die Scheibe in eine bestimmte Stellung gedreht wird. 5

20. Vorrichtung nach Anspruch 19, dadurch gekennzeichnet, dass der Heber die Nockenfläche aufweist und entweder das erste oder das zweite Teilstück der Testaufnahmen eine Rolle aufweist, welche auf der Nockenfläche derart aufliegt, dass das erste und das zweite Teilstück auseinanderdrückbar sind, während die Scheibe in die vorbestimmte Stellung gedreht wird. 10 15

21. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass mindestens eine der Prüfeinheiten eine Schaltung zur Durchführung mindestens einer der folgenden Prüfungen aufweist: Lawinenprüfung, Durchbruchprüfung, dynamische Schaltprüfung, Einschaltzeitprüfung, Ausschaltzeitprüfung, Hochtemperaturprüfung, Niedrigtemperaturprüfung, R_{dson} -Prüfung und UIS-Prüfung. 20 25

22. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass mindestens eine Abdeckung vorgesehen ist, welche mit mindestens dem ersten oder dem zweiten Teilstück wenigstens einer Testaufnahme gekoppelt ist, und welche einen Anschluss zur Verbindung mit einer Inertgasquelle aufweist, wobei die Grösse und Form der Abdeckung derart gewählt sind, dass deren Volumen mindestens die erste Seite des Halbleiterchips umschliesst, so dass eine Umgebung aus im Wesentlichen inertem Gas entsteht, wenn die Inertgasquelle das Volumen mit Inertgas füllt. 30 35

23. Vorrichtung nach Anspruch 22, dadurch gekennzeichnet, dass die eine Abdeckung mit dem ersten Teilstück der Testaufnahme über der Prüfkarte derart gekoppelt ist, dass das Volumen im Wesentlichen die erste Seite des Halbleiterchips umschliesst, wenn das erste und das zweite Teilstück der Testaufnahmen die geschlossene Stellung erreichen. 40

24. Vorrichtung nach Anspruch 23, dadurch gekennzeichnet, dass mindestens eine Prüfeinheit eine Inertgasquelle aufweist, wobei der Anschluss der Abdeckung mit der Inertgasquelle verbunden ist, wenn die Prüfeinheit in einer Stellung steht, wo sie auf dem ersten Randkontakt der Testaufnahme aufliegt. 45

25. Vorrichtung nach Anspruch 24, dadurch gekennzeichnet, dass die Prüfeinheit eine im Wesentlichen starre Zuleitung zur Zuführung des Inertgases zum Anschluss der Abdeckung aufweist, welche mit dem Anschluss verbunden ist, wenn die Prüfeinheit in der Stellung steht, wo sie auf dem ersten Randkontakt der Testaufnahme aufliegt. 50 55

26. Vorrichtung nach Anspruch 25, dadurch gekennzeichnet, dass die Zuleitung länglich ausgebildet und im Wesentlichen senkrecht angeordnet ist, und dass der Anschluss der Abdeckung an der Oberseite derselben angebracht ist, so dass die Zuleitung im geschlossenen Zustand der Prüfeinheit in den Anschluss mündet und das Inertgas in den Hohlraum und nach unten auf die Oberfläche des Halbleiterchips leitbar ist. 60 65

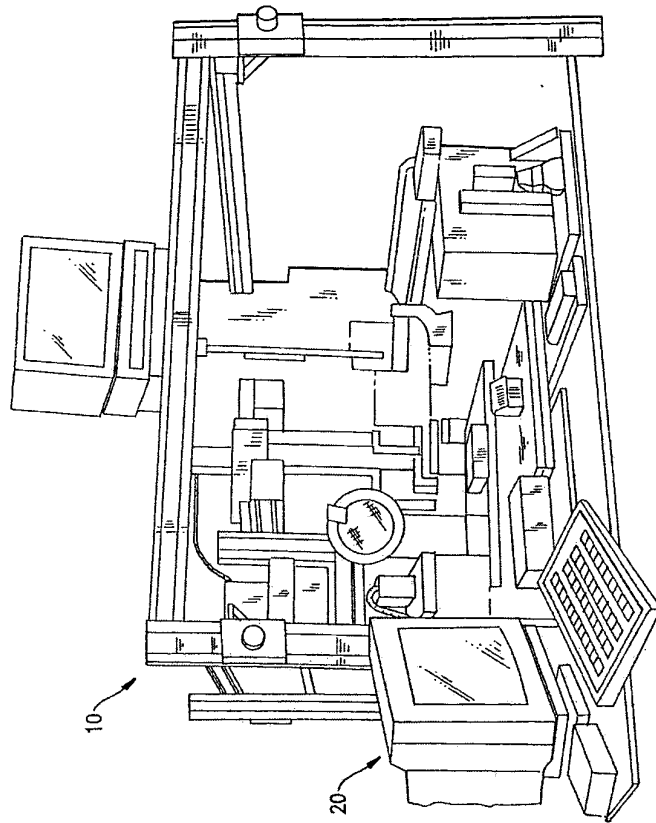


FIG. 1

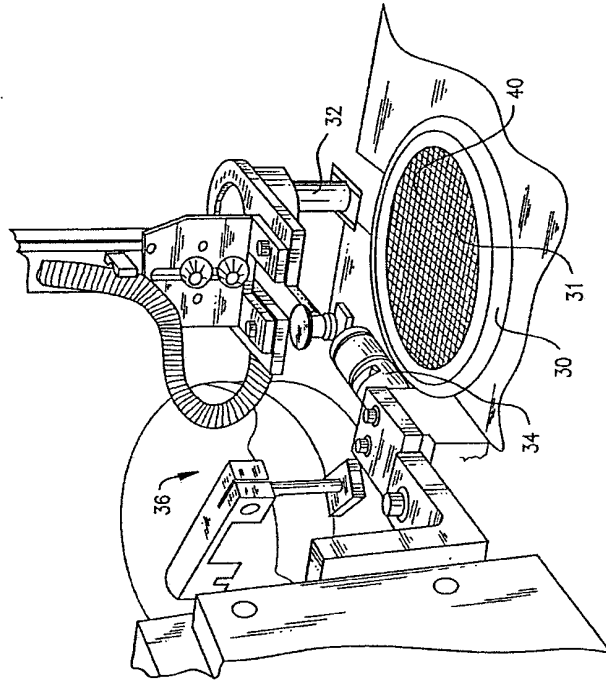
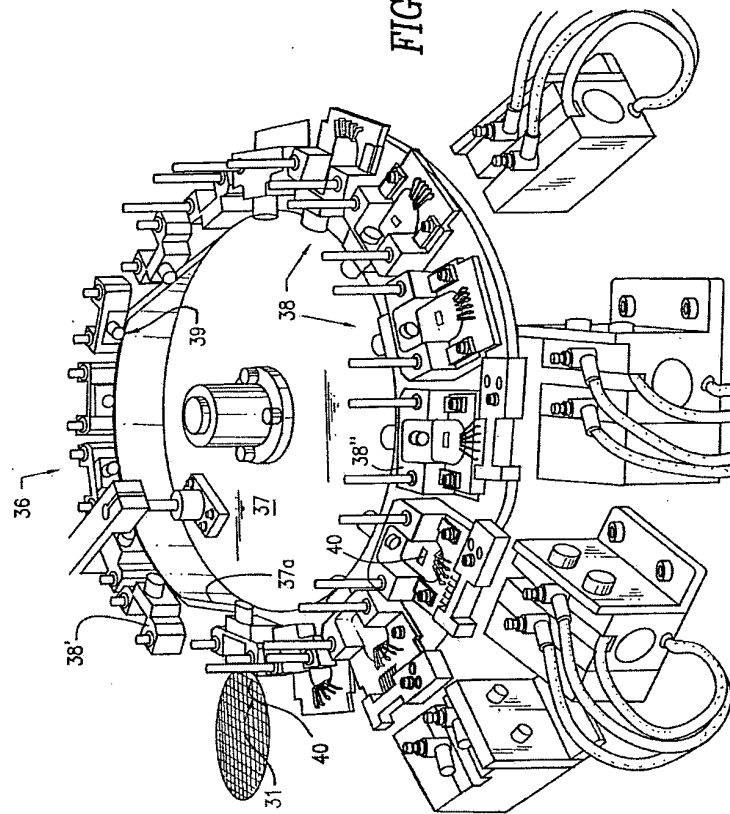


FIG. 2

FIG. 3



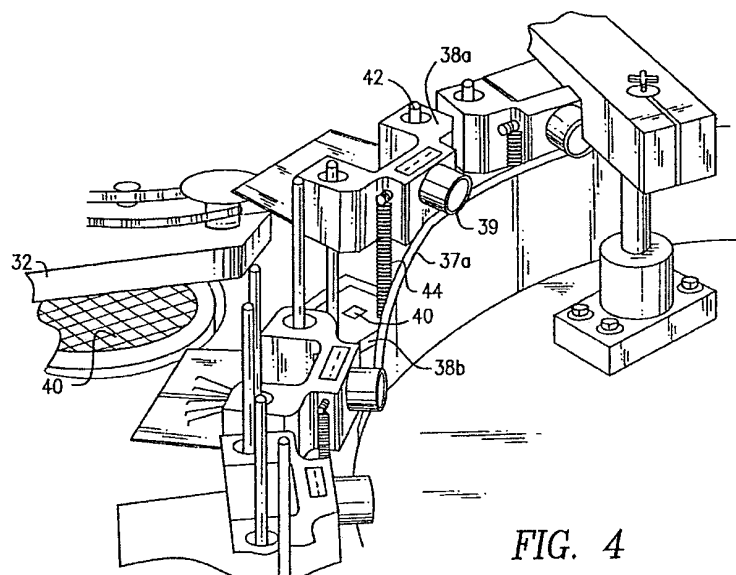


FIG. 4

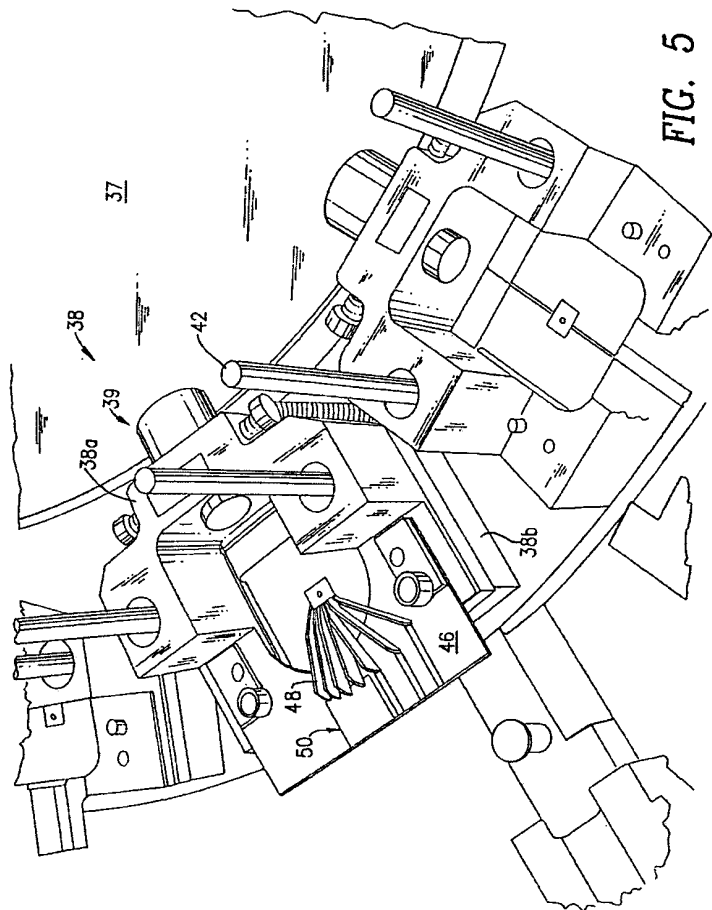


FIG. 5

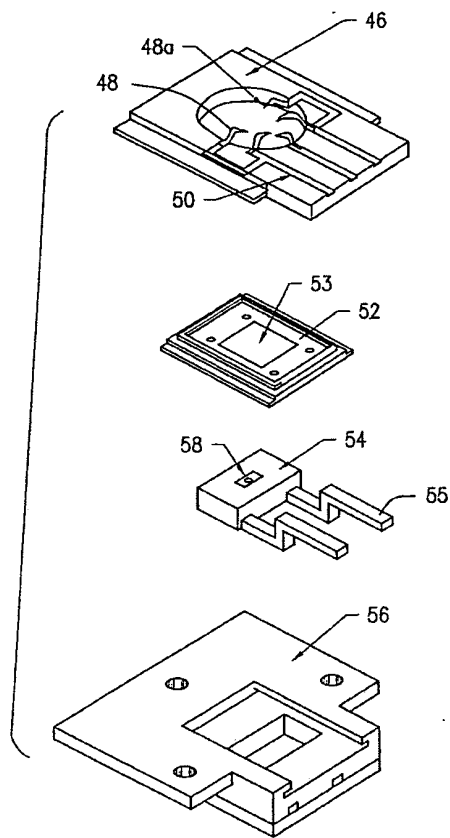
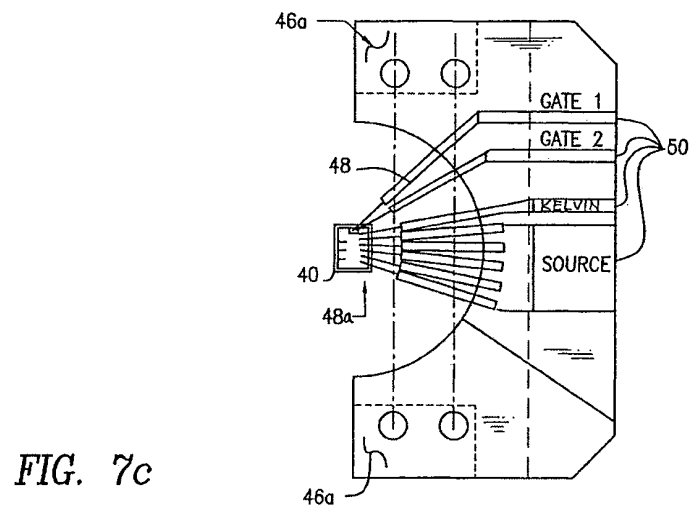
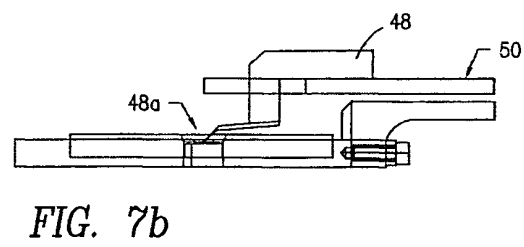
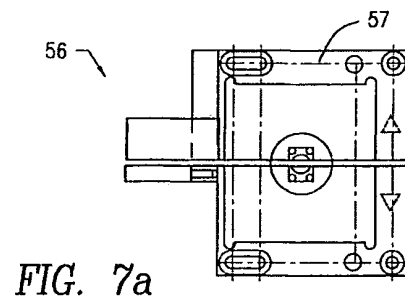


FIG. 6



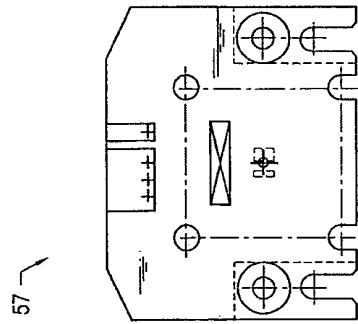


FIG. 7d

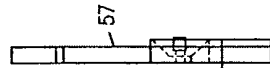


FIG. 7e

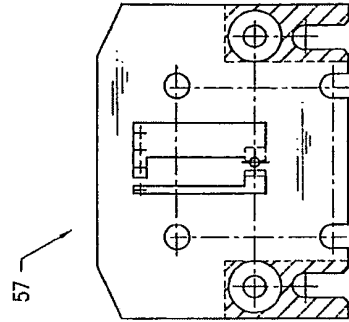


FIG. 7f

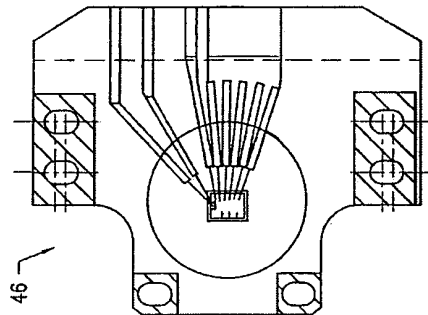


FIG. 7g

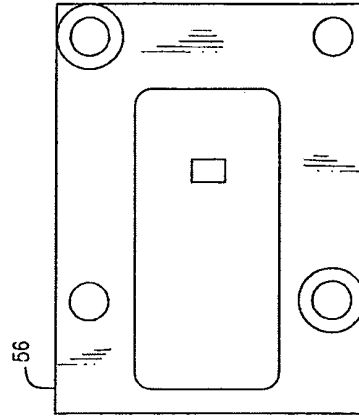


FIG. 7h



FIG. 7i

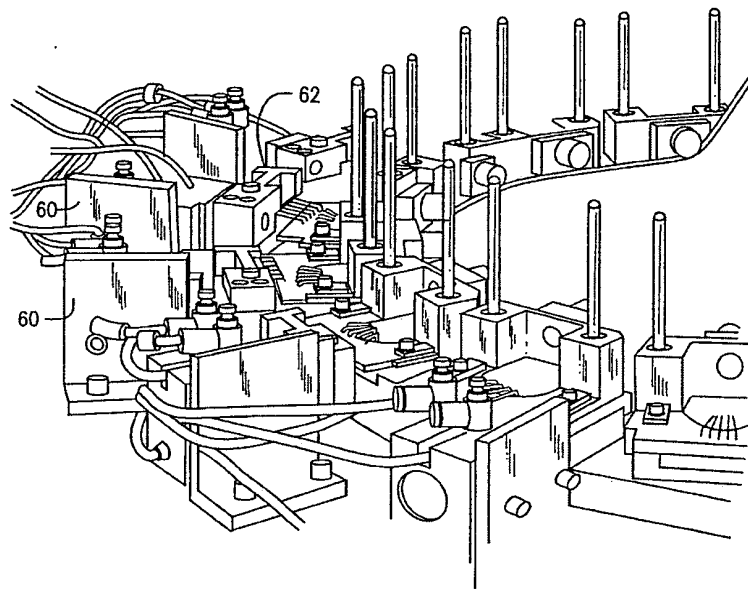


FIG. 8a

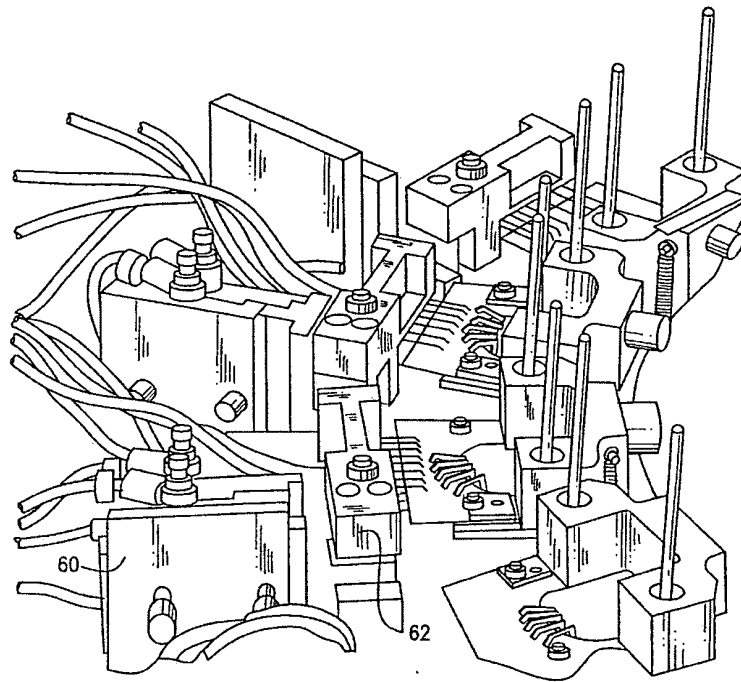


FIG. 8b

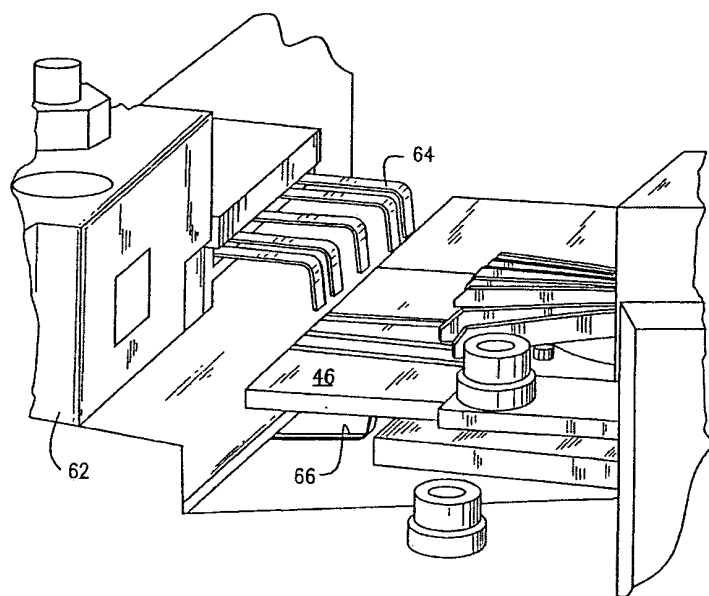


FIG. 9a

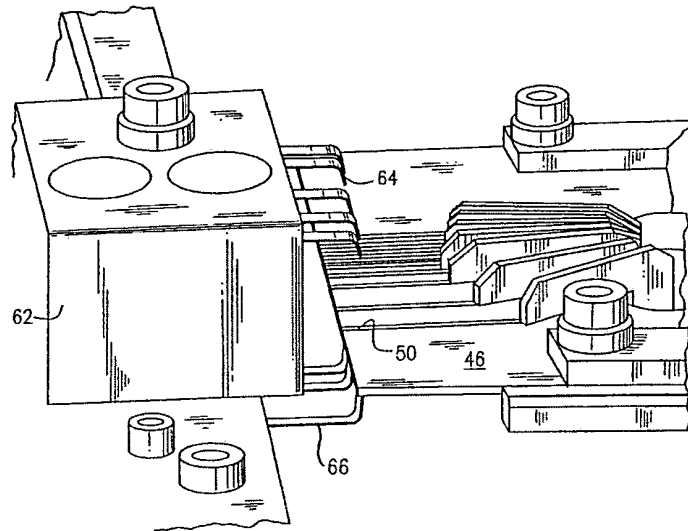


FIG. 9b

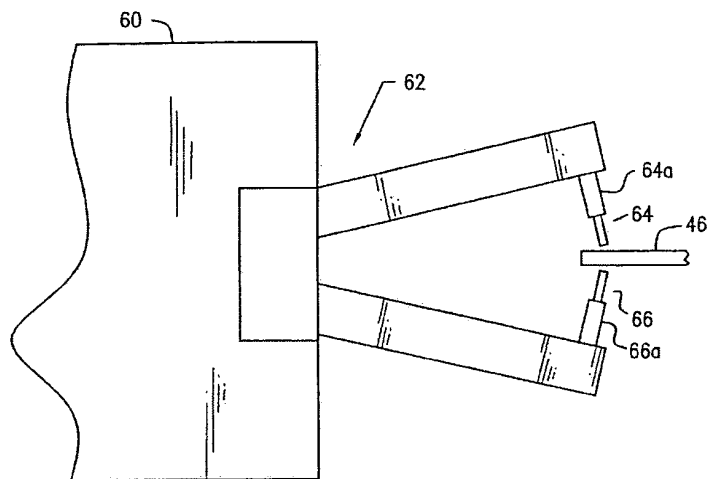


FIG. 9c

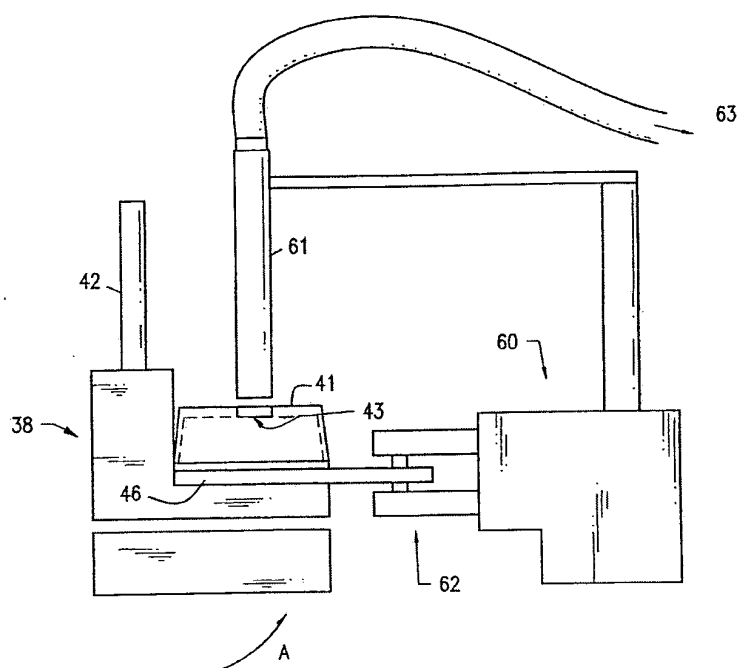


FIG. 10