



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0059715
(43) 공개일자 2023년05월03일

(51) 국제특허분류(Int. Cl.)
H10B 51/30 (2023.01) G11C 11/22 (2006.01)
H01L 29/51 (2006.01) H01L 29/78 (2006.01)
H10B 51/50 (2023.01)
(52) CPC특허분류
H10B 51/30 (2023.02)
G11C 11/2255 (2013.01)
(21) 출원번호 10-2022-0102892
(22) 출원일자 2022년08월17일
심사청구일자 2022년08월17일
(30) 우선권주장
1020210143329 2021년10월26일 대한민국(KR)

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
포항공과대학교 산학협력단
경상북도 포항시 남구 청암로 77 (지곡동)
(72) 발명자
박기복
울산광역시 울주군 범서읍 대리로 15-12 호반베르
디움 101동 1106호
강석형
경상북도 포항시 남구 청암로 77
(뒷면에 계속)
(74) 대리인
특허법인 고려

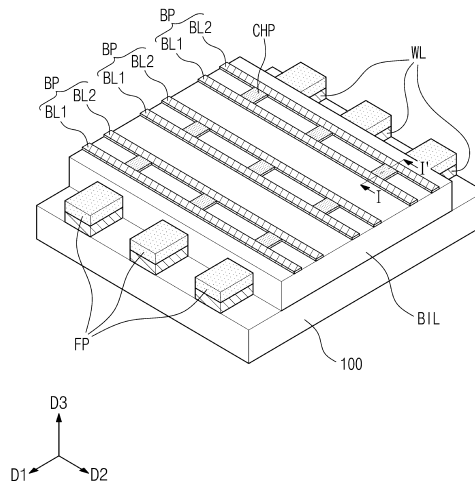
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 비휘발성 메모리 장치 및 그의 동작 방법

(57) 요약

본 발명은 기판, 상기 기판 상에서 제1 방향으로 연장되는 복수의 워드 라인들, 상기 워드 라인들 상에 각각 제공되는 복수의 강유전 패턴들, 상기 강유전 패턴들을 덮는 블록킹 절연막, 상기 블록킹 절연막 상에서, 상기 워드 라인들 및 상기 강유전 패턴들을 가로지르며 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제1 비트 라인 및 제2 비트 라인을 포함하는 복수의 비트 라인 페어들, 및 상기 블록킹 절연막 상에서, 상기 비트 라인 페어들 각각의 상기 제1 비트 라인과 상기 제2 비트 라인 사이에 제공되는 채널 패턴을 포함하되, 상기 채널 패턴은 양극성 전도 특성을 갖는 비휘발성 메모리 장치 및 그의 동작 방법을 개시한다.

대표도 - 도1



(52) CPC특허분류

G11C 11/2257 (2013.01)

H01L 29/516 (2013.01)

H01L 29/78391 (2015.01)

H10B 51/50 (2023.02)

(72) 발명자

정성철

충청북도 청주시 흥덕구 2순환로 1106, 서청주파크
자이 111동 1104호

박진영

울산광역시 울주군 범서읍 대리3길 14-6, 201호

조재형

울산광역시 울주군 범서읍 점촌6길 13-9, 201호

김준형

경상남도 김해시 김해대로2463번길 25-1 101동 70
1호

송원호

울산광역시 중구 유곡로 99 우정혁신LH3단지 304동
1301호

명세서

청구범위

청구항 1

기관;

상기 기관 상에서 제1 방향으로 연장되는 복수의 워드 라인들;

상기 워드 라인들 상에 각각 제공되는 복수의 강유전 패턴들;

상기 강유전 패턴들을 덮는 블록킹 절연막;

상기 블록킹 절연막 상에서, 상기 워드 라인들 및 상기 강유전 패턴들을 가로지르며 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제1 비트 라인 및 제2 비트 라인을 포함하는 복수의 비트 라인 페어들; 및

상기 블록킹 절연막 상에서, 상기 비트 라인 페어들 각각의 상기 제1 비트 라인과 상기 제2 비트 라인 사이에 제공되는 채널 패턴을 포함하되,

상기 채널 패턴은 양극성 전도 특성을 갖는 비휘발성 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 채널 패턴은 디락 반금속을 포함하는 비휘발성 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 채널 패턴은 그래핀을 포함하는 비휘발성 메모리 장치.

청구항 4

제 1 항에 있어서,

상기 강유전 패턴들 각각은 상기 워드 라인들 각각에 대응되며 상기 제1 방향으로 연장되는 비휘발성 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 강유전 패턴들 각각의 상기 제2 방향으로의 폭은 상기 워드 라인들 각각의 상기 제2 방향으로의 폭과 동일한 비휘발성 메모리 장치.

청구항 6

제 1 항에 있어서,

상기 강유전 패턴들은 PZT(lead zirconate titanate), BaTiO₃(barium titanate), PVDF(polyvinylidene

fluoride), ZnO , HfO_x , $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2(\text{HZO})$, $(\text{HfO}_2)_x(\text{Al}_2\text{O}_3)_{1-x}(\text{HAO})$ 및 $\text{Al}_x\text{Sc}_{1-x}\text{N}$ 중 어느 하나를 포함하는 비휘발성 메모리 장치.

청구항 7

제 1 항에 있어서,

상기 블록킹 절연막은 알루미늄 산화물(Al_2O_3) 또는 실리콘 산화물(SiO_2)을 포함하는 비휘발성 메모리 장치.

청구항 8

제 1 항에 있어서,

상기 제1 비트 라인 및 상기 제2 비트 라인 각각은 상기 블록킹 절연막 상에 복수로 제공되고, 상기 제1 방향으로 가면서 교대로(alternately) 제공되는 비휘발성 메모리 장치.

청구항 9

제 1 항에 있어서,

상기 비트 라인 페어들 중 어느 하나에서 상기 제1 비트 라인과 상기 제2 비트 라인 사이의 간격은 상기 비트 라인 페어들 중 서로 인접하는 둘 사이의 간격보다 작은 비휘발성 메모리 장치.

청구항 10

제 1 항에 있어서,

상기 채널 패턴은 상기 제1 비트 라인과 상기 블록킹 절연막 사이 및 상기 제2 비트 라인과 상기 블록킹 절연막 사이로 연장되는 비휘발성 메모리 장치.

청구항 11

제 1 항에 있어서,

상기 채널 패턴은 상기 비트 라인 페어들 중 하나의 사이에 복수로 제공되는 비휘발성 메모리 장치.

청구항 12

제 1 항에 있어서,

상기 채널 패턴은 복수로 제공되고,

상기 채널 패턴들은 상기 블록킹 절연막 상에 어레이 형태로 배열되는 비휘발성 메모리 장치.

청구항 13

기관, 상기 기관 상에서 제1 방향으로 연장되는 워드 라인, 상기 워드 라인 상에 제공되는 강유전 패턴, 상기 강유전 패턴을 덮는 블록킹 절연막, 상기 블록킹 절연막 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제1 비트 라인 및 제2 비트 라인을 포함하는 비트 라인 페어, 및 상기 블록킹 절연막 상에서 상기 제1 비트 라인과 상기 제2 비트 라인 사이에 제공되는 채널 패턴을 포함하는 비휘발성 메모리 장치에 있어서,

상기 채널 패턴에 전류가 흐르도록 상기 비트 라인 페어 사이에 바이어스 전압을 인가하는 것; 및
상기 워드 라인에 인가되는 전압을 변화시키면서 채널 전류의 변화 정도를 측정하는 것을 포함하는 비휘발성 메모리 장치의 동작 방법.

청구항 14

제 13 항에 있어서,

상기 블록킹 절연막의 상부에 전자 트랩 상태가 없는 경우, 메모리 상태가 “1” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 증가하고, 메모리 상태가 “0” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 감소하는 비휘발성 메모리 장치의 동작 방법.

청구항 15

제 13 항에 있어서,

상기 블록킹 절연막의 상부에 전자 트랩 상태가 있는 경우, 메모리 상태가 “1” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 감소하고, 메모리 상태가 “0” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 증가하는 비휘발성 메모리 장치의 동작 방법.

청구항 16

제 13 항에 있어서,

상기 채널 전류로부터 트랜스컨덕턴스 값을 추출하는 것을 더 포함하는 비휘발성 메모리 장치의 동작 방법.

청구항 17

제 13 항에 있어서,

상기 채널 전류의 변화 정도를 측정하는 것에 있어서, 상기 워드 라인에 인가되는 전압은 0 V 근처에서 변화하는 비휘발성 메모리 장치의 동작 방법.

청구항 18

제 13 항에 있어서,

상기 채널 패턴은 디락 반금속을 포함하는 비휘발성 메모리 장치의 동작 방법.

청구항 19

제 13 항에 있어서,

상기 채널 패턴은 상기 비트 라인 페어의 사이에 복수로 제공되는 비휘발성 메모리 장치의 동작 방법.

청구항 20

제 13 항에 있어서,

상기 채널 패턴은 복수로 제공되고,

상기 채널 패턴들은 상기 블록킹 절연막 상에 어레이 형태로 배열되는 비휘발성 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치 및 그의 동작 방법에 관한 것으로, 보다 구체적으로 양극성(ambipolar) 채널의 트랜스컨덕턴스(transconductance) 스위칭을 기반으로 하는 비휘발성 메모리 장치 및 그의 동작 방법에 관한 것이다.

배경 기술

[0002] 본 발명은 비휘발성 메모리 장치 및 그의 동작 방법에 관한 것으로, 보다 구체적으로 양극성(ambipolar) 채널의 트랜스컨덕턴스(transconductance) 스위칭을 기반으로 하는 비휘발성 메모리 장치 및 그의 동작 방법에 관한 것이다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 기술적 과제는 양극성 채널의 트랜스컨덕턴스 스위칭을 기반으로 하는 비휘발성 메모리 장치 및 그의 동작 방법을 제공하는 데 있다.

[0005] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상술한 기술적 과제들을 해결하기 위하여 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 기판, 상기 기판 상에서 제1 방향으로 연장되는 복수의 워드 라인들, 상기 워드 라인들 상에 각각 제공되는 복수의 강유전 패턴들, 상기 강유전 패턴들을 덮는 블록킹 절연막, 상기 블록킹 절연막 상에서, 상기 워드 라인들 및 상기 강유전 패턴들을 가로지르며 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제1 비트 라인 및 제2 비트 라인을 포함하는 복수의 비트 라인 페어들, 및 상기 블록킹 절연막 상에서, 상기 비트 라인 페어들 각각의 상기 제1 비트 라인과 상기 제2 비트 라인 사이에 제공되는 채널 패턴을 포함하되, 상기 채널 패턴은 양극성 전도 특성을 가질 수 있다.

[0008] 상기 채널 패턴은 디락 반금속을 포함할 수 있다. 일 예로, 상기 채널 패턴은 그래핀을 포함할 수 있다.

[0009] 상기 강유전 패턴들 각각은 상기 워드 라인들 각각에 대응되며 상기 제1 방향으로 연장될 수 있다.

[0010] 상기 강유전 패턴들 각각의 상기 제2 방향으로의 폭은 상기 워드 라인들 각각의 상기 제2 방향으로의 폭과 동일할 수 있다.

[0011] 상기 강유전 패턴들은 PZT(lead zirconate titanate), BaTiO₃(barium titanate), PVDF(polyvinylidene fluoride), ZnO, HfO_x, Hf_{0.5}Zr_{0.5}O₂(HZO), (HfO₂)_x(Al₂O₃)_{1-x}(HAO), 및 Al_xSc_{1-x}N 중 어느 하나를 포함할 수 있다.

[0012] 상기 블록킹 절연막은 알루미늄 산화물(Al₂O₃) 또는 실리콘 산화물(SiO₂)을 포함할 수 있다.

[0013] 상기 제1 비트 라인 및 상기 제2 비트 라인 각각은 상기 블록킹 절연막 상에 복수로 제공되고, 상기 제1 방향으로 가면서 교대로(alternately) 제공될 수 있다.

[0014] 상기 비트 라인 페어들 중 어느 하나에서 상기 제1 비트 라인과 상기 제2 비트 라인 사이의 간격은 상기 비트 라인 페어들 중 서로 인접하는 둘 사이의 간격보다 작을 수 있다.

- [0015] 상기 채널 패턴은 상기 제1 비트 라인과 상기 블록킹 절연막 사이 및 상기 제2 비트 라인과 상기 블록킹 절연막 사이로 연장될 수 있다.
- [0016] 상기 채널 패턴은 상기 비트 라인 페어들 중 하나의 사이에 복수로 제공될 수 있다.
- [0017] 상기 채널 패턴은 복수로 제공되고, 상기 채널 패턴들은 상기 블록킹 절연막 상에 어레이 형태로 배열될 수 있다.
- [0018] 상술한 기술적 과제들을 해결하기 위하여 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법은, 기관, 상기 기관 상에서 제1 방향으로 연장되는 워드 라인, 상기 워드 라인 상에 제공되는 강유전 패턴, 상기 강유전 패턴을 덮는 블록킹 절연막, 상기 블록킹 절연막 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제1 비트 라인 및 제2 비트 라인을 포함하는 비트 라인 페어, 및 상기 블록킹 절연막 상에서 상기 제1 비트 라인과 상기 제2 비트 라인 사이에 제공되는 채널 패턴을 포함하는 비휘발성 메모리 장치에 있어서, 상기 채널 패턴에 전류가 흐르도록 상기 비트 라인 페어 사이에 바이어스 전압을 인가하는 것, 및 상기 워드 라인에 인가되는 전압을 변화시키면서 채널 전류의 변화 정도를 측정하는 것을 포함할 수 있다.
- [0019] 상기 블록킹 절연막의 상부에 전자 트랩 상태가 없는 경우, 메모리 상태가 “1” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 증가하고, 메모리 상태가 “0” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 감소할 수 있다.
- [0020] 상기 블록킹 절연막의 상부에 전자 트랩 상태가 있는 경우, 메모리 상태가 “1” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 감소하고, 메모리 상태가 “0” 일 때 상기 워드 라인에 인가되는 전압을 증가시키면 상기 채널 전류가 증가할 수 있다.
- [0021] 상기 채널 전류로부터 트랜스컨덕턴스 값을 추출하는 것을 더 포함할 수 있다.
- [0022] 상기 채널 전류의 변화 정도를 측정하는 것에 있어서, 상기 워드 라인에 인가되는 전압은 0 V 근처에서 변화할 수 있다.
- [0023] 상기 채널 패턴은 디락 반금속을 포함할 수 있다.
- [0024] 상기 채널 패턴은 상기 비트 라인 페어의 사이에 복수로 제공될 수 있다.
- [0025] 상기 채널 패턴은 복수로 제공되고, 상기 채널 패턴들은 상기 블록킹 절연막 상에 어레이 형태로 배열될 수 있다.

발명의 효과

- [0026] 본 발명에 따르면, 선택 소자 또는 추가적인 쓰기 전극 없이 랜덤 액세스가 가능한 비휘발성 메모리 장치를 구현할 수 있다. 별도의 선택 소자 또는 추가적인 쓰기 전극이 필요하지 않은 점으로 인하여, 메모리 셀의 구조가 간단해지고 메모리 셀의 집적도를 높이는데 매우 유리하다.
- [0027] 또한, 본 발명에 따른 비휘발성 메모리 장치는, 양극성 채널의 트랜스컨덕턴스 값의 부호 변화를 통해 메모리 상태를 읽기 때문에 채널 전류의 차이만으로 메모리 상태를 읽는 방식에 비해 읽기 정확도가 높으며, 강유전체 자발분극의 스위칭 시간이 수십 ps 정도로 짧아 구동 속도가 빠르고 자발분극 스위칭이 전압에 의해 이루어지기 때문에 메모리 셀의 쓰기 및 읽기 동작에 필요한 전력 소모가 매우 작다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 설명하기 위한 사시도이다.
- 도 2는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도로, 도 1을 I-I' 선으로 자른 단면에 대응된다.
- 도 3 및 도 6은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 개념도들이다.
- 도 4, 도 5, 도 7, 도 8, 도 9 및 도 10은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 그래프들이다.
- 도 11a 내지 도 16a는 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 제조 방법을 설명하기 위한 평면도들이다.

도 11b 내지 도 16b는 도 11a 내지 도 16a의 A-A'선에 따른 단면도들이다.

도 17은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- [0030] 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라, 여러 가지 형태로 구현될 수 있고 다양한 수정 및 변경을 가할 수 있다. 단지, 본 실시예의 설명을 통해 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다. 첨부된 도면에서 설명의 편의를 위하여 각 구성 요소의 비율은 과장되거나 축소될 수 있다.
- [0031] 본 명세서에서 사용된 용어는 실시예를 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 또한 본 명세서에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [0032] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 ‘포함한다(comprises)’ 및/또는 ‘포함하는(comprising)’은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0033] 본 명세서에서 제1, 제2 등의 용어가 다양한 영역, 방향, 형상 등을 기술하기 위해서 사용되었지만, 이들 영역, 방향, 형상이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역, 방향 또는 형상을 다른 영역, 방향 또는 형상과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에서 제1 부분으로 언급된 부분이 다른 실시예에서는 제2 부분으로 언급될 수도 있다. 여기에 설명되고 예시되는 실시예는 그것의 상보적인 실시예도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0034] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 비휘발성 메모리 장치 및 그의 동작 방법에 대하여 상세히 설명한다.
- [0035] 도 1은 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 설명하기 위한 사시도이다. 도 2는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도로, 도 1을 I-I' 선으로 자른 단면에 대응된다.
- [0036] 도 1 및 도 2를 참조하면, 본 발명에 따른 비휘발성 메모리 장치는 기판(100), 워드 라인들(WL), 강유전 패턴들(FP), 블록킹 절연막(BIL), 비트 라인 페어들(BP) 및 채널 패턴들(CHP)을 포함할 수 있다.
- [0037] 기판(100)은, 예를 들어, 실리콘, 저마늄 및 실리콘-저마늄 중 적어도 어느 하나를 포함하는 반도체 기판, SOI(silicon on insulator) 기판, 화합물 반도체 기판, 유리 기판 또는 플라스틱 기판일 수 있다. 반도체 기판의 표면에는 산화물(SiO_2 , Al_2O_3 , HfO_2 등) 또는 질화물(AlN , BN 등)의 절연층이 제공되어 기판을 통한 누설전류를 차단할 수 있다. 기판(100)은 제1 방향(D1) 및 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다. 기판(100)의 상면은 제1 방향(D1) 및 제2 방향(D2)과 교차하는 제3 방향(D3)과 직교할 수 있다. 예를 들어, 제1 방향(D1), 제2 방향(D2) 및 제3 방향(D3)은 서로 직교하는 방향들일 수 있다.
- [0038] 기판(100) 상에 제1 방향(D1)으로 연장되는 복수의 워드 라인들(WL)이 제공될 수 있다. 워드 라인들(WL)은 게이트 라인들로 지칭될 수도 있다. 워드 라인들(WL)은 기판(100)의 상면과 직접 접촉할 수 있다. 워드 라인들(WL)은 도핑된 반도체(예를 들어, 도핑된 실리콘 등), 금속(예를 들어, 텅스텐, 구리, 알루미늄, 백금, 티타늄, 탄탈륨 등) 및 도전성 금속 질화물(예를 들어, 질화티타늄, 질화탄탈륨 등) 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0039] 워드 라인들(WL) 상에 각각 복수의 강유전 패턴들(FP)이 제공될 수 있다. 다시 말하면, 강유전 패턴들(FP) 각각은 워드 라인들(WL) 각각에 대응될 수 있다. 강유전 패턴들(FP) 각각은 제1 방향(D1)으로 연장될 수 있다. 강유전 패턴들(FP) 각각의 제2 방향(D2)으로의 폭은 워드 라인들(WL) 각각의 제2 방향(D2)으로의 폭과 실질적으로 동일할 수 있다. 강유전 패턴들(FP)은 외부 전기장 없이 자발 분극(spontaneous polarization; SP)을 갖는 강유전성(ferroelectric) 물질을 포함할 수 있다. 강유전 패턴들(FP)은, 예를 들어, PZT(lead zirconate titanate), BaTiO_3 (barium titanate), PVDF(polyvinylidene fluoride), ZnO , HfO_x , $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (HZO),

$(\text{HfO}_2)_x(\text{Al}_2\text{O}_3)_{1-x}(\text{HAO})$ 및 $\text{Al}_x\text{Sc}_{1-x}\text{N}$ 중 어느 하나를 포함할 수 있다.

- [0040] 기판(100) 상에 워드 라인들(WL) 및 강유전 패턴들(FP)을 덮는 블록킹 절연막(BIL)이 제공될 수 있다. 블록킹 절연막(BIL)은 기판(100)의 상면, 워드 라인들(WL)의 측벽들, 강유전 패턴들(FP)의 측벽들 및 상면들을 덮을 수 있다. 블록킹 절연막(BIL)의 상면은 실질적으로 평탄할 수 있다. 블록킹 절연막(BIL)은, 예를 들어, 알루미늄 산화물(Al_2O_3) 또는 실리콘 산화물(SiO_2)을 포함할 수 있다.
- [0041] 블록킹 절연막(BIL) 상에서, 워드 라인들(WL) 및 강유전 패턴들(FP)을 가로지르며 제2 방향(D2)으로 연장되는 복수의 비트 라인 페어들(BP)이 제공될 수 있다. 비트 라인 페어들(BP) 각각은 하나의 제1 비트 라인(BL1) 및 하나의 제2 비트 라인(BL2)을 포함할 수 있다. 제1 비트 라인(BL1)은 소스 라인으로 지칭될 수 있고, 제2 비트 라인(BL2)은 드레인 라인으로 지칭될 수 있다. 제1 비트 라인(BL1) 및 제2 비트 라인(BL2) 각각은 블록킹 절연막(BIL) 상에 복수로 제공될 수 있고, 제1 방향(D1)으로 가면서 교대로(alternately) 제공될 수 있다. 비트 라인 페어들(BP) 중 어느 하나에서 제1 비트 라인(BL1)과 제2 비트 라인(BL2) 사이의 간격은 비트 라인 페어들(BP) 중 서로 인접하는 둘 사이의 간격보다 작을 수 있다. 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)은, 예를 들어, 도핑된 반도체(예를 들어, 도핑된 실리콘 등), 금속(예를 들어, 텅스텐, 구리, 알루미늄, 백금, 티타늄, 탄탈륨 등) 및 도전성 금속 질화물(예를 들어, 질화티타늄, 질화탄탈륨 등) 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0042] 블록킹 절연막(BIL) 상에서, 비트 라인 페어들(BP) 각각의 제1 비트 라인(BL1)과 제2 비트 라인(BL2) 사이에 복수의 채널 패턴들(CHP)이 제공될 수 있다. 채널 패턴들(CHP) 각각은 워드 라인들(WL) 각각과 제3 방향(D3)으로 중첩될 수 있다. 채널 패턴들(CHP) 각각의 상면은 제1 비트 라인(BL1)과 제2 비트 라인(BL2) 사이에서 노출될 수 있다. 실시예들에 따르면, 채널 패턴들(CHP) 각각은 제1 비트 라인(BL1)과 블록킹 절연막(BIL) 사이 및 제2 비트 라인(BL2)과 블록킹 절연막(BIL) 사이로 연장될 수 있으나, 본 발명은 이에 제한되지 않는다. 채널 패턴들(CHP)은 양극성(ambipolar) 전도 특성을 가질 수 있다. 채널 패턴들(CHP)은 디랙 반금속(Dirac semimetal)을 포함할 수 있다. 채널 패턴들(CHP)은, 예를 들어, 그래핀(graphene)을 포함할 수 있다.
- [0043] 워드 라인들(WL) 중 하나, 비트 라인 페어들(BP) 중 하나, 및 워드 라인들(WL) 중 하나와 제3 방향(D3)으로 중첩되며 비트 라인 페어들(BP) 중 하나의 사이에 제공되는 채널 패턴들(CHP) 중 하나는 하나의 강유전성 전계 효과 트랜지스터(ferroelectric field effect transistor; FeFET)를 구성할 수 있다. 상기 강유전성 전계 효과 트랜지스터는 메모리 상태를 저장하는 하나의 메모리 셀일 수 있다. 상기 강유전성 전계 효과 트랜지스터는 기판(100) 상에 복수로 제공될 수 있다. 복수의 강유전성 전계 효과 트랜지스터들은 기판(100) 상에 어레이 형태로 배열될 수 있다.
- [0044] 본 발명에 따르면, 하나의 비트 라인 페어(BP) 사이에 제공되는 채널 패턴들(CHP)은 공통의 소스 라인 및 공통의 드레인 라인 사이에 병렬로 연결될 수 있고, 모든 채널 패턴들(CHP)에 동일한 드레인 전압이 인가될 수 있다. 이에 따라, 워드 라인(WL)에 인가되는 게이트 전압에 따른 전기전도도 변화를 독립적으로 측정할 수 있다. 또한, 메모리 셀들이 어레이 형태로 배열되는 점으로 인하여 메모리 셀들 각각의 동작 특성(트랜스컨덕턴스 등)을 유지하면서 하나의 비트 라인에 연결되는 메모리 셀의 수를 늘릴 수 있다.
- [0045] 본 발명에 따르면, 선택 소자 또는 추가적인 쓰기 전극 없이 랜덤 액세스가 가능한 비휘발성 메모리 장치를 구현할 수 있다. 별도의 선택 소자 또는 추가적인 쓰기 전극이 필요하지 않은 점으로 인하여, 메모리 셀의 구조가 간단해지고 메모리 셀의 집적도를 높이는 데 매우 유리하다.
- [0046] 도 3 및 도 6은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 개념도들이다. 도 4, 도 5, 도 7 및 도 8은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 그래프들이다.
- [0047] 보다 구체적으로, 도 3, 도 4 및 도 5는 블록킹 절연막(BIL)의 상부에 전자 트랩 상태(electron trap state)가 없는 경우(즉, normal hysteretic behavior)의 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 도면들이며, 도 6, 도 7 및 도 8은 블록킹 절연막(BIL)의 상부에 전자 트랩 상태(electron trap state)가 있는 경우(즉, anti-hysteretic behavior)의 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 도면들이다.
- [0048] 이하에서, 메모리 상태 “1”은 강유전 패턴(FP)의 자발 분극(spontaneous polarization; SP) 방향이 위쪽(upward)(즉, 제3 방향(D3))을 향하는 경우를 의미하고, 메모리 상태 “0”은 강유전 패턴(FP)의 자발 분극 방향이 아래쪽(downward)(즉, 제3 방향(D3)의 반대 방향)을 향하는 경우를 의미한다.

[0049] 도 2를 참조하여 비휘발성 메모리 장치의 쓰기(write-in) 방법에 대하여 어느 하나의 메모리 셀을 기준으로 설명한다. 메모리 셀의 메모리 상태를 “1”로 변경하는 것은, 워드 라인(WL)에 양의 전압(V_1)을 인가하는 것 및 비트 라인 페어(BP)에 음의 전압($-V_2$)을 인가하는 것에 의해 수행될 수 있다. 또한, 메모리 셀의 메모리 상태를 “0”으로 변경하는 것은, 워드 라인(WL)에 음의 전압($-V_1$)을 인가하는 것 및 비트 라인 페어(BP)에 양의 전압(V_2)을 인가하는 것에 의해 수행될 수 있다. 상기 V_1 및 상기 V_2 는 하기 [수학식 1]의 조건을 만족할 수 있다. 이때, V_c 는 항전압(coercive voltage)이다.

[0050] [수학식 1]

[0051]
$$V_1 + V_2 \geq V_c, \quad V_1 < V_c, \quad V_2 < V_c$$

[0052] 메모리 상태를 변경하는 것 이후에, 워드 라인(WL) 및 비트 라인 페어(BP)에 인가한 전압을 소거하더라도 강유전 패턴(FP)의 자발 분극 방향은 유지될 수 있다.

[0053] 도 3, 도 4 및 도 5를 참조하면, 블록킹 절연막(BIL)의 상부에 전자 트랩 상태가 없는 경우 메모리 상태가 “1”일 때 강유전 패턴(FP)의 상면에 양전하가 유도된다. 이에 따라, 채널 패턴(CHP)은 제1 도전형(예를 들어, n형)으로 도핑되고 채널 패턴(CHP)의 전하 중성점(charge neutrality point; CNP)은 0 V보다 작아진다. 한편, 메모리 상태가 “0”일 때는 강유전 패턴(FP)의 상면에 음전하가 유도된다. 이에 따라, 채널 패턴(CHP)은 제1 도전형과 다른 제2 도전형(예를 들어, p형)으로 도핑되고 채널 패턴(CHP)의 전하 중성점은 0 V보다 커진다.

[0054] 도 6, 도 7 및 도 8을 참조하면, 블록킹 절연막(BIL)의 상부에 전자 트랩 상태가 있는 경우 메모리 상태가 “1”일 때 강유전 패턴(FP)의 상면에 유도되는 양전하에 의해 채널 패턴(CHP)으로부터 블록킹 절연막(BIL)의 트랩 상태로 전자 이동(electron transfer)이 일어난다. 이에 따라, 채널 패턴(CHP)은 제2 도전형으로 도핑되고 채널 패턴(CHP)의 전하 중성점은 0 V보다 커진다. 한편, 메모리 상태가 “0”일 때는 강유전 패턴(FP)의 상면에 유도되는 음전하에 의해 블록킹 절연막(BIL)의 트랩 상태에서부터 채널 패턴(CHP)으로 전자 이동이 일어난다. 이에 따라, 채널 패턴(CHP)은 제1 도전형으로 도핑되고 채널 패턴(CHP)의 전하 중성점은 0 V보다 작아진다.

[0055] 다시 도 2를 참조하여 비휘발성 메모리 장치의 읽기(read-out) 방법에 대하여 어느 하나의 메모리 셀을 기준으로 설명한다. 메모리 셀의 메모리 상태를 읽는 것은, 채널 패턴(CHP)에 전류가 흐르도록 비트 라인 페어(BP) 사이에 소정의 바이어스 전압을 인가하는 것 및 워드 라인(WL)에 인가되는 전압을 0 V 근처에서 변화시키면서 채널 전류의 변화 정도를 측정하는 것에 의해 수행될 수 있다.

[0056] 도 3, 도 4 및 도 5를 참조하면, 블록킹 절연막(BIL)의 상부에 전자 트랩 상태가 없는 경우 메모리 상태가 “1”일 때 워드 라인(WL)에 인가되는 전압을 증가시키면 채널 패턴(CHP)의 전자 밀도가 증가하고 채널 전류도 증가한다. 즉, 양의 트랜스컨덕턴스 값이 측정된다. 한편, 메모리 상태가 “0”일 때 워드 라인(WL)에 인가되는 전압을 증가시키면 채널 패턴(CHP)의 정공 밀도가 감소하고 채널 전류도 감소한다. 즉, 음의 트랜스컨덕턴스 값이 측정된다. 이는 하기 [수학식 2]와 같이 표현될 수 있다.

[0057] [수학식 2]

[0058]
$$\begin{cases} \left. \frac{dI_{ds}}{dV_g} \right|_{V_g=0} > 0, & \text{memory state "1"} \\ \left. \frac{dI_{ds}}{dV_g} \right|_{V_g=0} < 0, & \text{memory state "0"} \end{cases}$$

[0059] 도 6, 도 7 및 도 8을 참조하면, 블록킹 절연막(BIL)의 상부에 전자 트랩 상태가 있는 경우 메모리 상태가 “1”일 때 워드 라인(WL)에 인가되는 전압을 증가시키면 채널 패턴(CHP)의 정공 밀도가 감소하고 채널 전류도 감소한다. 즉, 음의 트랜스컨덕턴스 값이 측정된다. 한편, 메모리 상태가 “0”일 때 워드 라인(WL)에 인가되는 전압을 증가시키면 채널 패턴(CHP)의 전자 밀도가 증가하고 채널 전류도 증가한다. 즉, 양의 트랜스컨덕턴스 값이 측정된다. 이는 하기 [수학식 3]과 같이 표현될 수 있다.

[0060] [수학식 3]

$$\begin{cases} \left. \frac{dI_{ds}}{dV_g} \right|_{V_g=0} < 0, & \text{memory state "1"} \\ \left. \frac{dI_{ds}}{dV_g} \right|_{V_g=0} > 0, & \text{memory state "0"} \end{cases}$$

[0061]

[0063] 도 9 및 도 10은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 설명하기 위한 그래프들이다.

[0064] 보다 구체적으로, 도 9는 워드 라인(WL)에 인가되는 전압을 화살표 방향으로 변화시키면서 측정된 전압 전달 특성 곡선(transfer curve)을 나타내고, 도 10은 워드 라인(WL)에 인가되는 전압, 채널 전류 및 트랜스컨덕턴스 값이 시간에 따라 변화하는 것을 나타낸다.

[0065] 도 9를 참조하면, 도시된 전압 전달 특성 곡선은 블록킹 절연막(BIL)의 상부에 전자 트랩 상태(electron trap state)가 있는 경우(즉, anti-hysteretic behavior)의 비휘발성 메모리 장치에 대해 측정된 것임을 알 수 있다.

[0066] 도 10을 참조하면, 쓰기(write-in) 동작을 위해 워드 라인(WL)에 제1 펄스들이 인가된다. 제1 펄스들은, 예를 들어, 삼각 펄스들(triangular pulses)일 수 있으나, 본 발명은 이에 제한되지 않는다. 이에 따라, 강유전 패턴(FP)의 자발 분극 방향이 전환될 수 있다. 또한, 읽기(read-out) 동작을 위해 워드 라인(WL)에 제2 펄스들이 인가된다. 제2 펄스들은, 예를 들어, 톱니 펄스들(saw-tooth pulses)일 수 있으나, 본 발명은 이에 제한되지 않는다. 읽기 동작을 위한 제2 펄스들은 제1 펄스들 사이에 인가될 수 있다. 쓰기 동작을 위한 제1 펄스들 및 읽기 동작 중에 측정되는 채널 전류 펄스는 비대칭적일 수 있다. 트랜스컨덕턴스 값은 채널 전류로부터 추출될 수 있다.

[0067] 도 11a 내지 도 16a는 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 제조 방법을 설명하기 위한 평면도들이다. 도 11b 내지 도 16b는 도 11a 내지 도 16a의 A-A'선에 따른 단면도들이다. 이하 설명에서, 도 1 내지 도 10을 참조하여 설명된 내용과 중복된 내용은 설명이 생략되거나 간소화될 수 있다.

[0068] 도 11a 및 도 11b를 참조하여, 기판(100) 상에 하부 절연막(101)이 제공될 수 있다. 하부 절연막(101)은 기판(100) 상에 산화물(SiO_2 , Al_2O_3 , HfO_2 등), 질화물(AlN , BN 등), 또는 산화질화물(SiO_xN_y)과 같은 절연물질을 증착하여 형성할 수 있다. 이와는 달리, 하부 절연막(101)은 SOI 기판의 일부일 수 있다. 기판(100)은 실리콘, 저마늄 및 실리콘-저마늄 중 적어도 어느 하나를 포함하는 반도체 기판, SOI(silicon on insulator) 기판, 화합물 반도체 기판, 유리 기판 또는 플라스틱 기판일 수 있다.

[0069] 하부 절연막(101) 상에 제1 도전막(111), 강유전막(113), 상부 절연막(115) 및 채널막(117)이 차례로 형성될 수 있다. 제1 도전막(111), 강유전막(113), 상부 절연막(115) 및 채널막(117)은 화학 기상 증착, 물리 기상 증착, 및 원자층 증착 중 적어도 하나로 형성될 수 있다. 제1 도전막(111)은 도핑된 반도체(예를 들어, 도핑된 실리콘 등), 금속(예를 들어, 텅스텐, 구리, 알루미늄, 백금, 티타늄, 탄탈륨 등) 및 도전성 금속 질화물(예를 들어, 질화티타늄, 질화탄탈륨 등) 중 적어도 하나로 형성될 수 있다. 강유전막(113)은 PZT(lead zirconate titanate), BaTiO_3 (barium titanate), PVDF(polyvinylidene fluoride), ZnO , HfO_x , $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (HZO), $(\text{HfO}_2)_x(\text{Al}_2\text{O}_3)_{1-x}$ (HAO) 및 $\text{Al}_x\text{Sc}_{1-x}\text{N}$ 중 적어도 하나로 형성될 수 있다. 상부 절연막(115)은 산화물(SiO_2 , Al_2O_3 , HfO_2 등), 질화물(AlN , BN 등), 또는 산화질화물(SiO_xN_y)로 형성될 수 있다. 채널막(117)은 그래핀과 같은 디랙 반금속으로 형성될 수 있다.

[0070] 일 예로, 채널막(117)은 강유전막(113) 보다 얇게 형성될 수 있다. 상부 절연막(115)은 채널막(117) 보다 두껍고 강유전막(113) 보다 얇게 형성될 수 있다. 제1 도전막(111)은 강유전막(113) 보다 두껍게 형성될 수 있다.

[0071] 도 12a 및 도 12b를 참조하여, 채널막(117)을 패터닝하여 제1 방향(D1) 및 제2 방향(D2)으로 이격된 채널 패턴들(CHP)이 형성될 수 있다. 채널막(117)의 패터닝은 리소그래피 공정으로 수행될 수 있다. 이와는 달리, 채널 패턴들(CHP)은 용액 공정 또는 전사 공정으로 상부 절연막(115) 상의 선택적 영역에 직접 형성될 수 있다.

[0072] 도 13a 및 도 13b를 참조하여, 채널 패턴들(CHP) 상에 도전 패드들(PD)이 형성될 수 있다. 도전 패드들(PD)은

각 채널 패턴(CHP) 상에 한 쌍이 형성될 수 있으며, 한 쌍의 도전 패드들(PD)은 제1 방향으로 이격될 수 있다. 도전 패드들(PD)은 구리, 알루미늄, 금, 또는 백금과 같은 금속 물질로 형성될 수 있다.

[0073] 도 14a 및 도 14b를 참조하여, 제1 방향으로 연장되며 복수의 채널 패턴들(CHP)을 덮는 캐핑 패턴들(CP)이 형성될 수 있다. 캐핑 패턴들(CP)은 채널 패턴들(CHP) 상에 캐핑막을 형성한 후 리소그래피 공정을 수행하여 형성될 수 있다. 캐핑 패턴들(CP)의 형성과 함께 그 아래의 층들인 상부 절연막(115) 강유전막(113), 및 제1 도전막(111)이 차례로 식각되어 블록킹 절연막(BIL), 강유전 패턴들(FP), 및 워드 라인들(WL)이 형성될 수 있다. 즉, 캐핑 패턴들(CP), 블록킹 절연막(BIL), 강유전 패턴들(FP), 및 워드 라인들(WL)은 동일한 패터닝 공정에 의하여 형성되고 그 결과 서로 얼라인된 측벽을 가질 수 있다.

[0074] 상부 절연막(115) 강유전막(113), 및 제1 도전막(111)의 식각은 건식 및/또는 습식 식각 공정을 포함할 수 있다. 상기 식각 공정의 결과, 하부 절연막(101)의 상면이 노출될 수 있으나, 이와는 달리 기판(100)의 상면이 노출될 수 있다.

[0075] 도 15a 및 도 15b를 참조하여, 캐핑 패턴들(CP)을 덮는 제1 층간 절연막(121)을 형성할 수 있다. 제1 층간 절연막(121)은 실리콘 산화물 또는 실리콘 산화질화물로 형성될 수 있다. 제1 층간 절연막(121)의 상면은 캐핑 패턴들(CP)의 상면 프로파일에 상응하는 형상을 가질 수 있다.

[0076] 제1 층간 절연막(121)을 관통하여 도전 패드들(PD)을 노출하는 비아홀들(131)이 형성될 수 있다. 비아홀(131)은 각 도전 패드(PD)에 하나씩 형성될 수 있으나 이와는 달리 복수 개의 비아홀들(131)이 하나의 도전 패드(PD) 상에 형성될 수 있다. 비아홀들(131)의 형성은 제1 층간 절연막(121) 상에 포토 레지스트 패턴과 같은 마스크 패턴을 형성한 후 이를 식각 마스크로 건식 식각 공정을 수행하여 형성될 수 있다. 이후, 마스크 패턴은 제거될 수 있다.

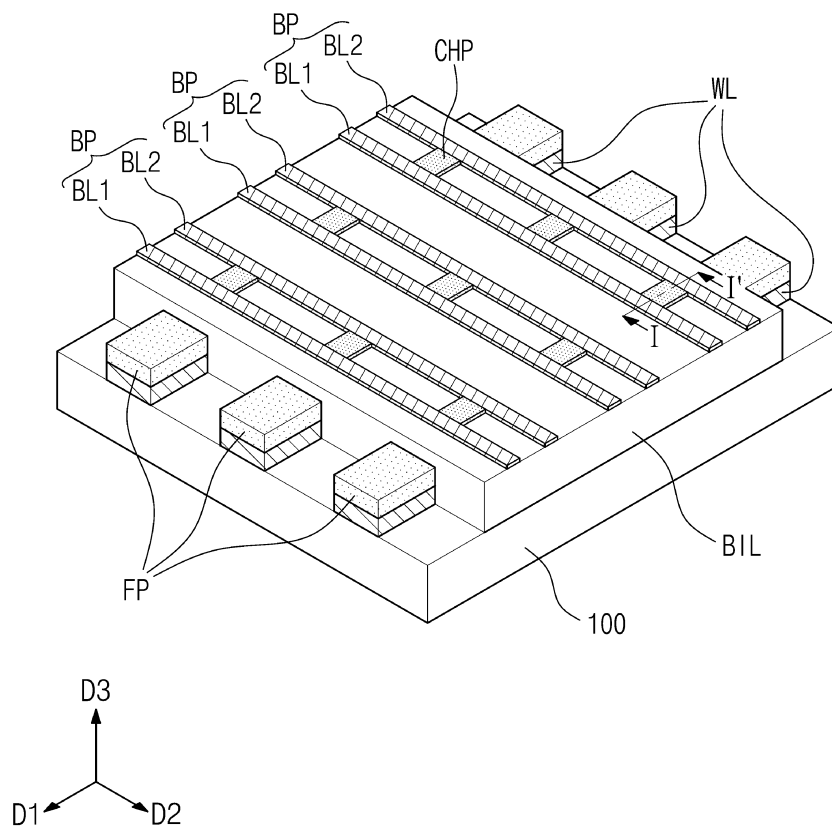
[0077] 도 16a 및 도 16b를 참조하여, 비아홀들(131)을 채우는 비아들(VA), 및 비아들(VA) 상에 비트 라인 페어들(BP)이 형성될 수 있다. 비아들(VA) 및 비트 라인 페어들(BP)의 형성은 다마신 공정을 통하여 함께 형성될 수 있다. 이와는 달리, 비아들(VA)과 비트 라인 페어들(BP)은 서로 다른 물질로, 서로 다른 공정을 통하여 형성될 수 있다. 일 예로, 비아들(VA) 및 비트 라인 페어들(BP)은 제1 층간 절연막(121)을 덮으며 비아홀들(131)을 채우는 도전층을 형성한 후 패터닝 공정을 수행하여 형성될 수 있다. 일 예로, 비아들(VA) 및 비트 라인 페어들(BP)은 알루미늄, 구리, 텅스텐, 티타늄, 금, 또는 백금과 같은 금속 물질을 포함할 수 있다. 비트 라인 페어들(BP)은 제1 층간 절연막(121)의 상면의 프로파일을 따라 형성되어 도식된 것과 같이 기판(100) 방향으로 돌출된 돌출부들을 포함할 수 있다. 이후, 비트 라인 페어들(BP)을 덮는 제2 층간 절연막(122)이 형성될 수 있다. 제2 층간 절연막(122)은 실리콘 산화물 또는 실리콘 산화질화물로 형성될 수 있다. 제2 층간 절연막(122)의 형성은 화학적 기계적 연마(Chemical Mechanical Polishing)와 같은 평탄화 공정을 포함할 수 있다.

[0078] 도 17은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 단면도이다. 본 실시예에 있어서, 비휘발성 메모리 장치는 제1 메모리 스택(ST1) 및 제2 메모리 스택(ST2)을 포함할 수 있다. 제1 메모리 스택(ST1) 및 제2 메모리 스택(ST2)은 각각 도 16a 및 도 16b를 참조하여 설명된 메모리 구조와 동일할 수 있다. 설명의 간소화를 위하여 2층 메모리 스택을 표시하였으나, 이와는 달리 3층 이상의 메모리 스택들이 제공될 수 있다.

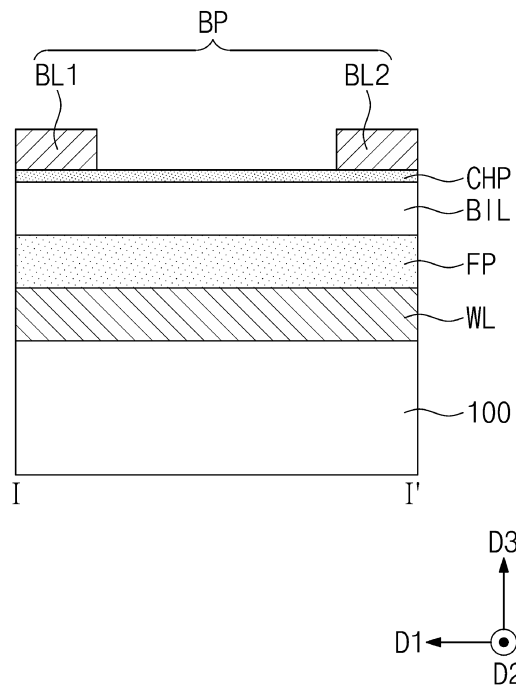
[0079] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

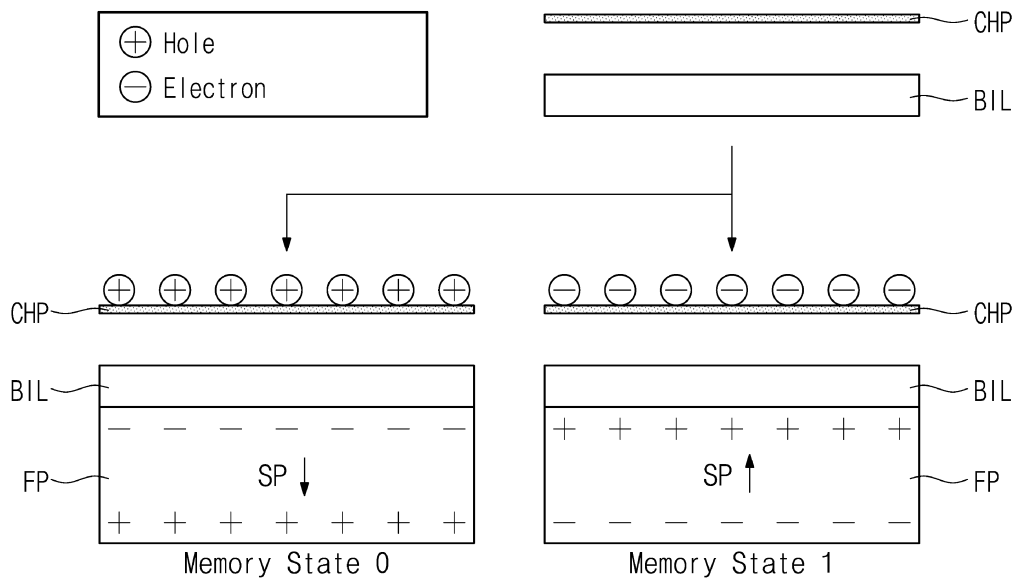
도면1



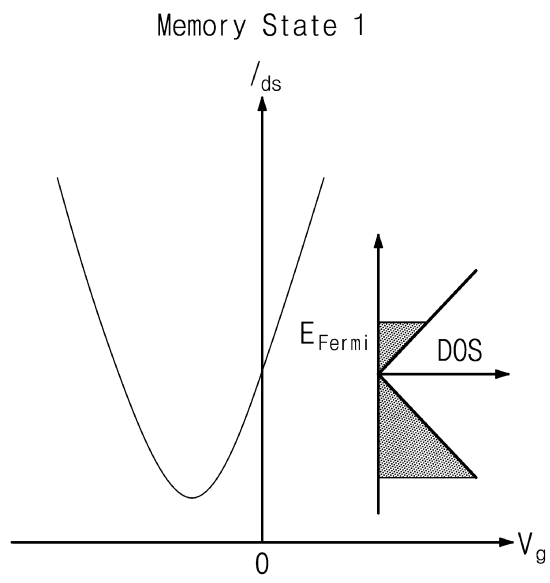
도면2



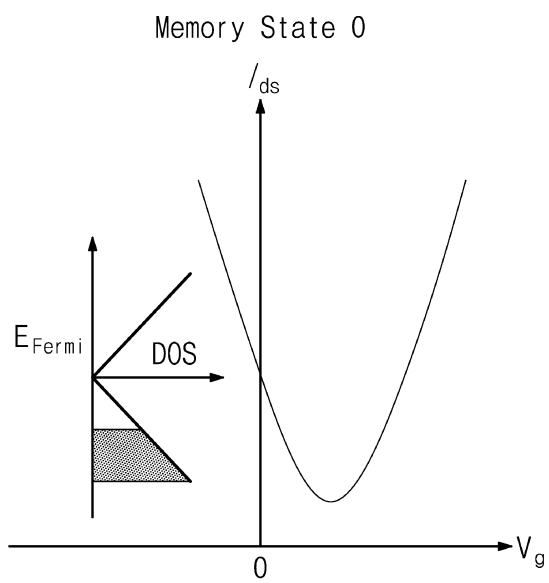
도면3



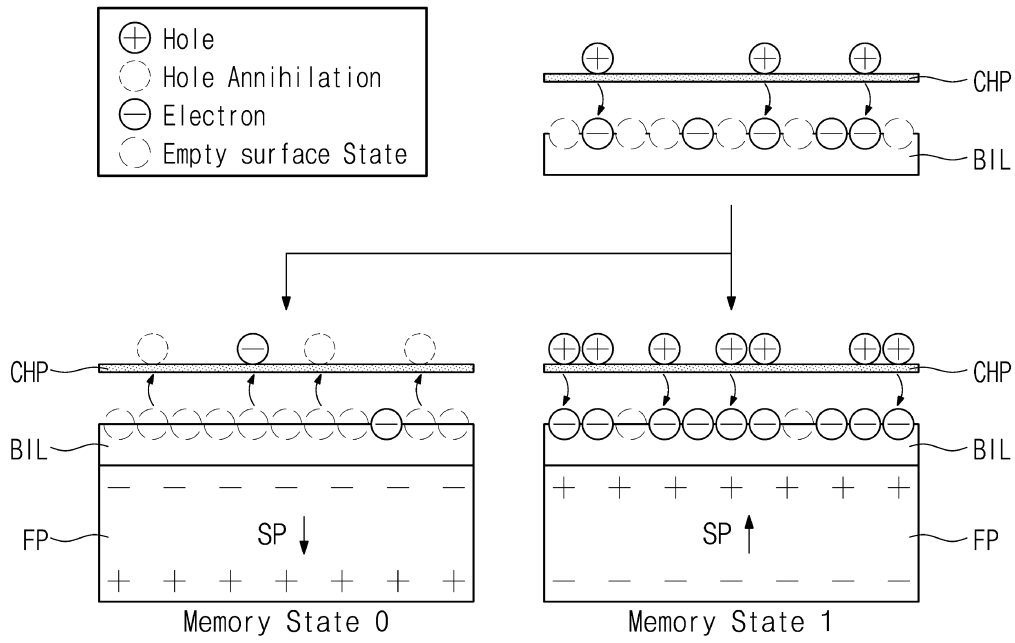
도면4



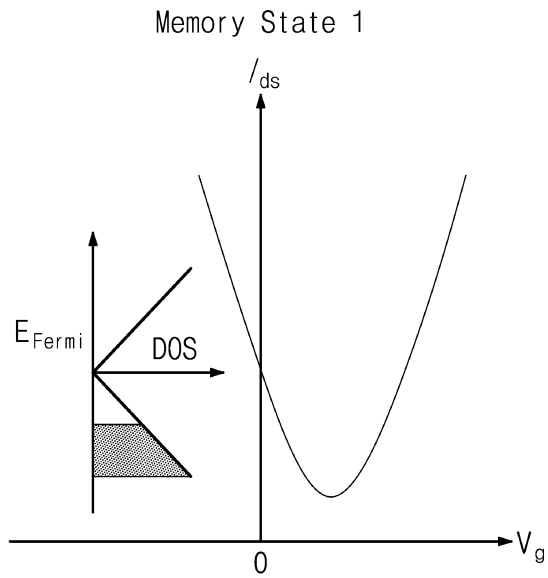
도면5



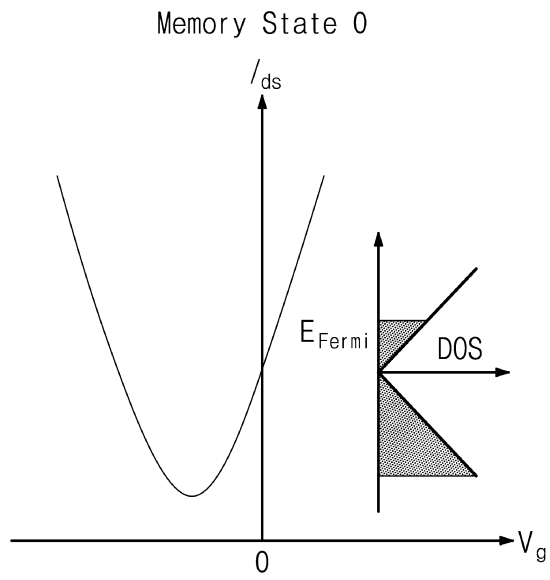
도면6



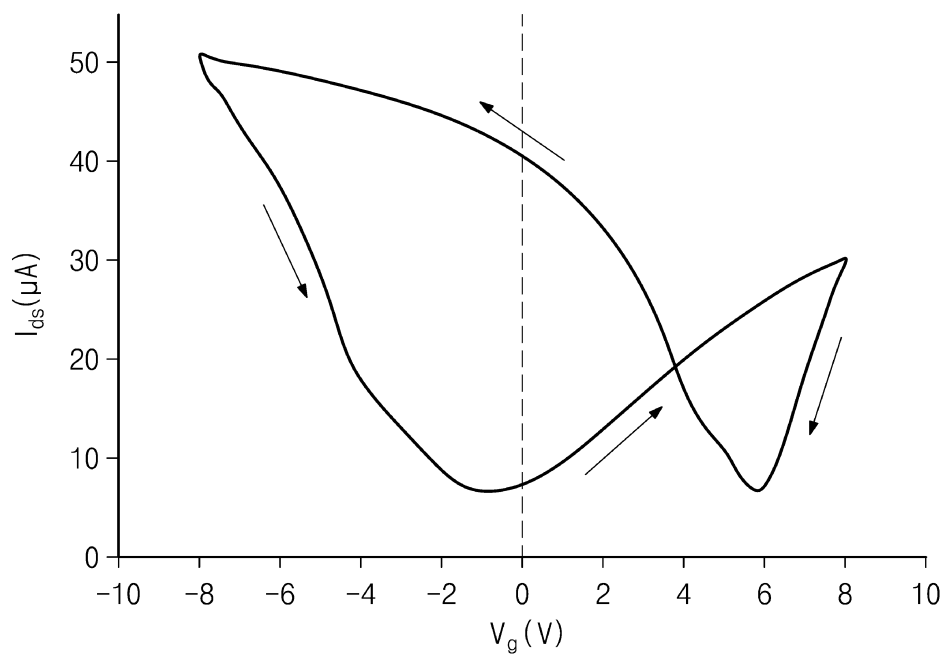
도면7



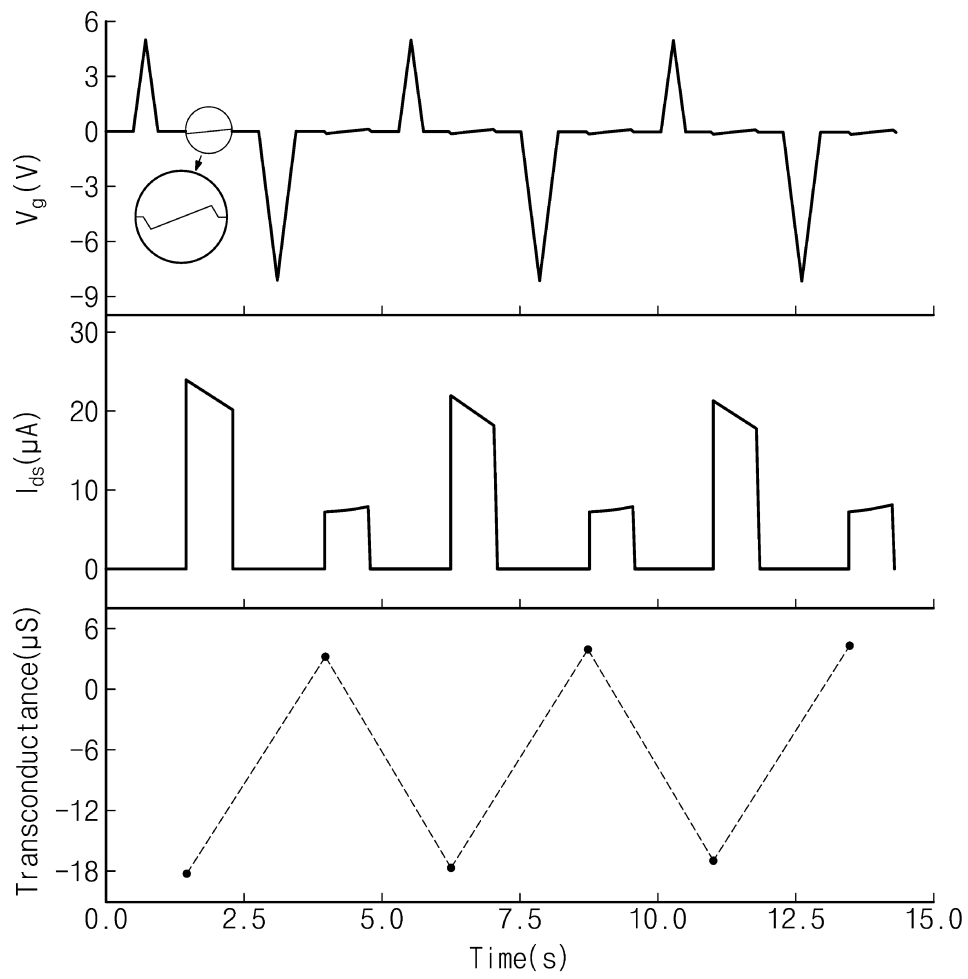
도면8



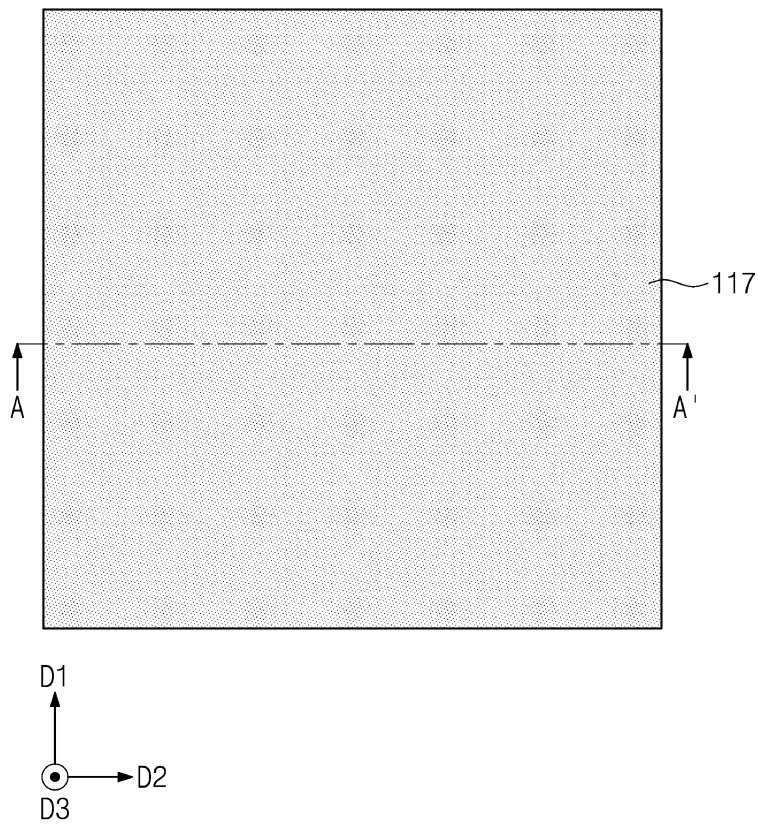
도면9



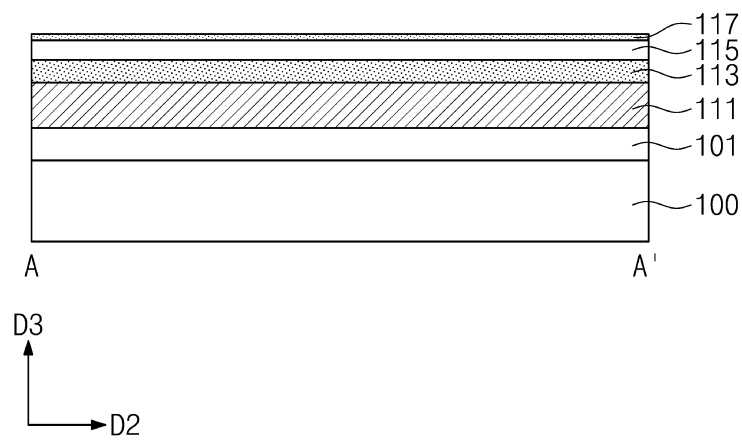
도면10



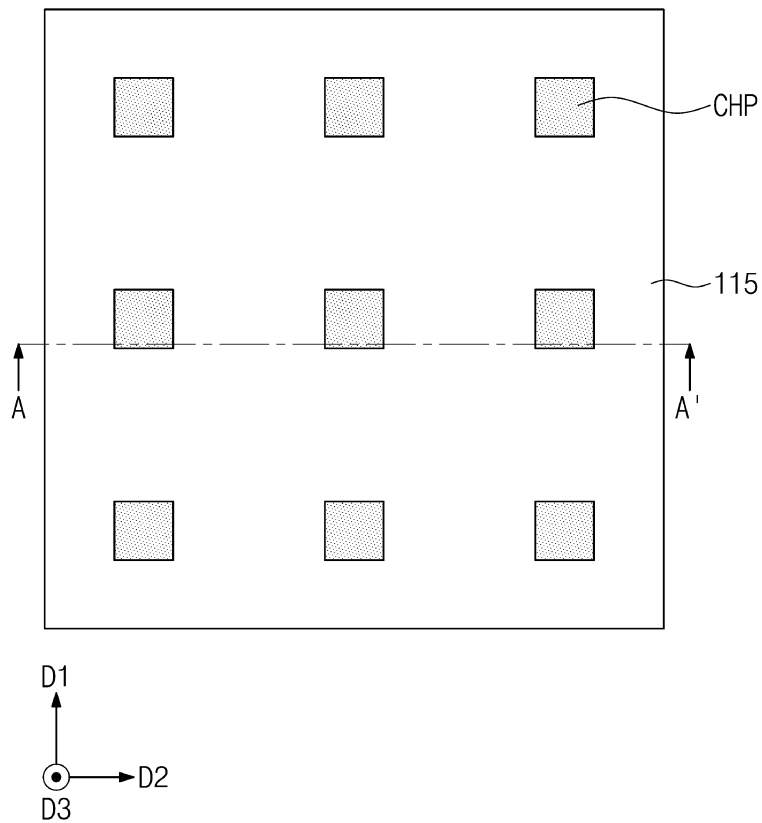
도면11a



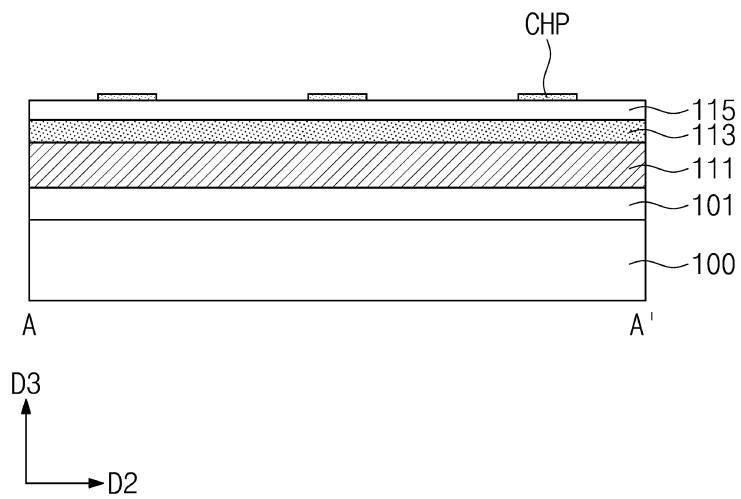
도면11b



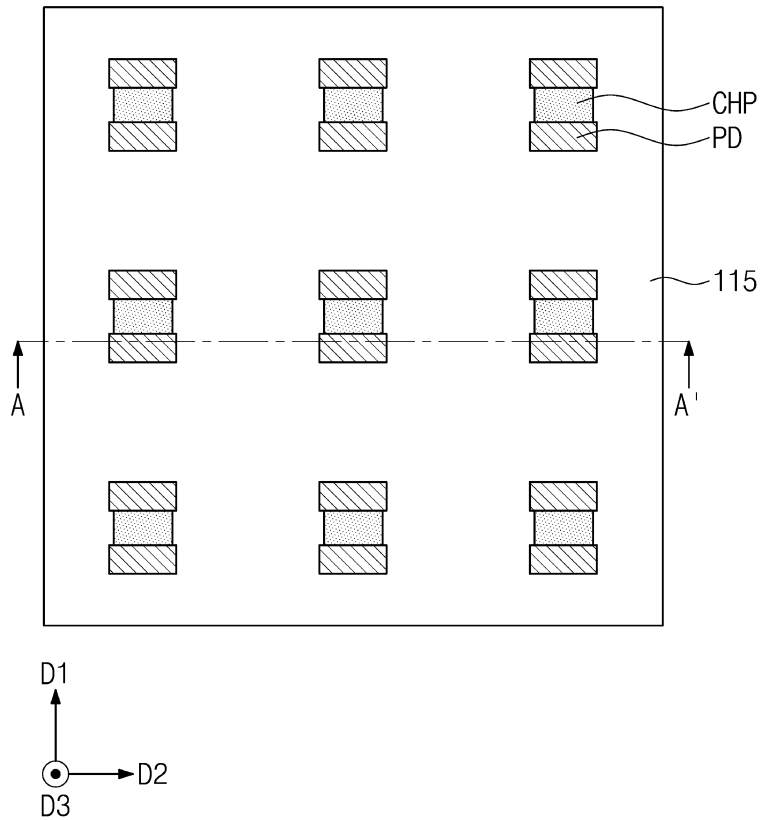
도면12a



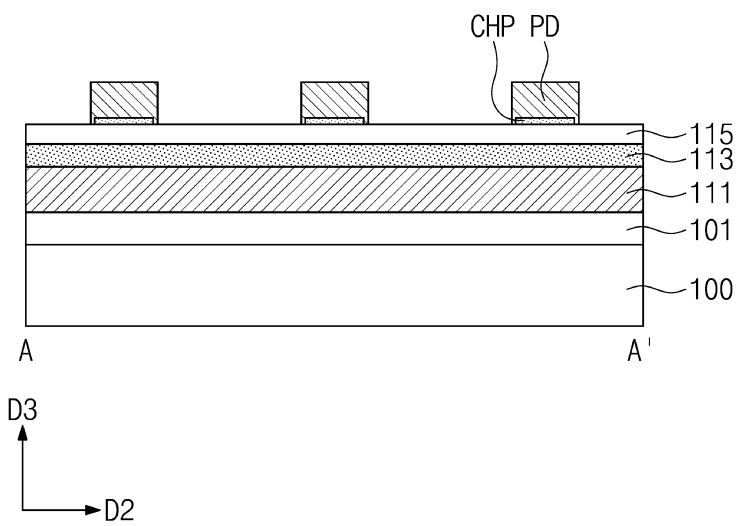
도면12b



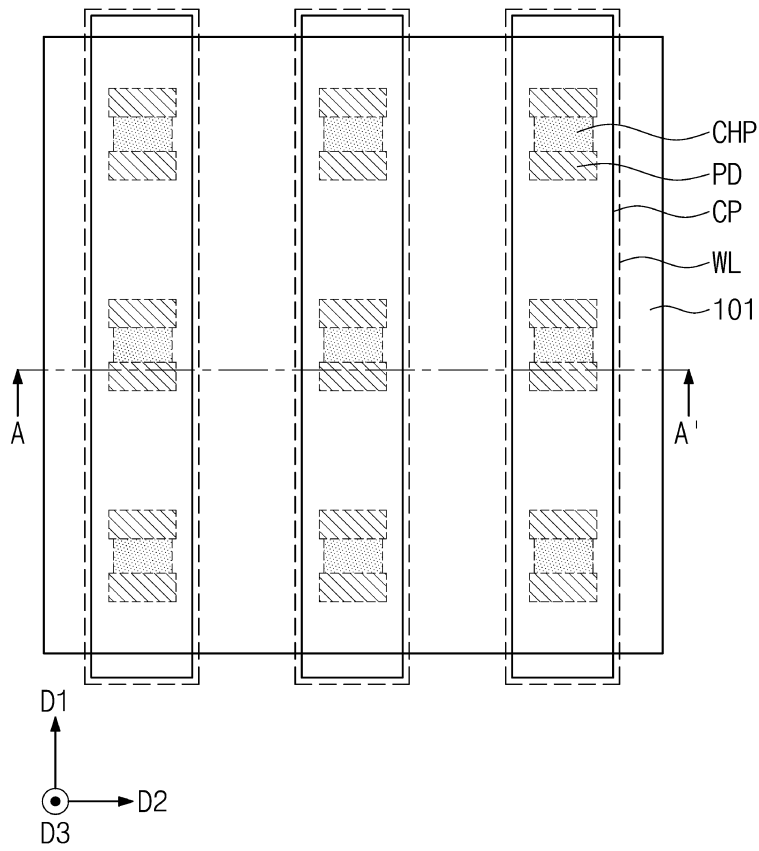
도면13a



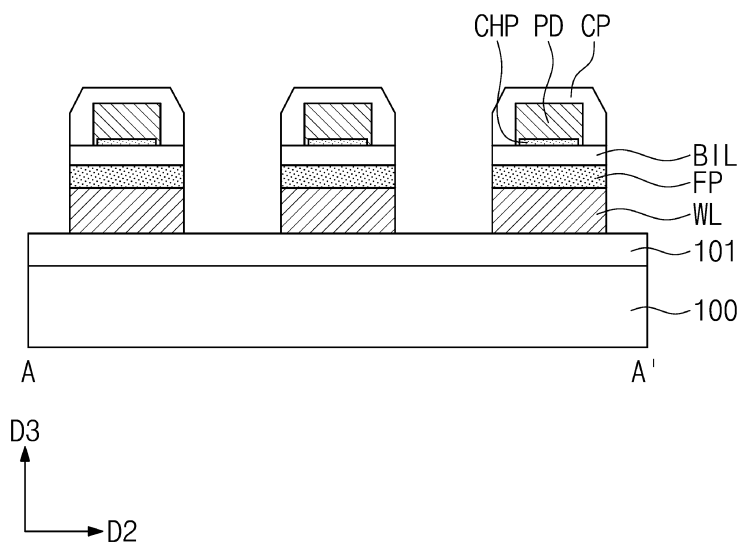
도면13b



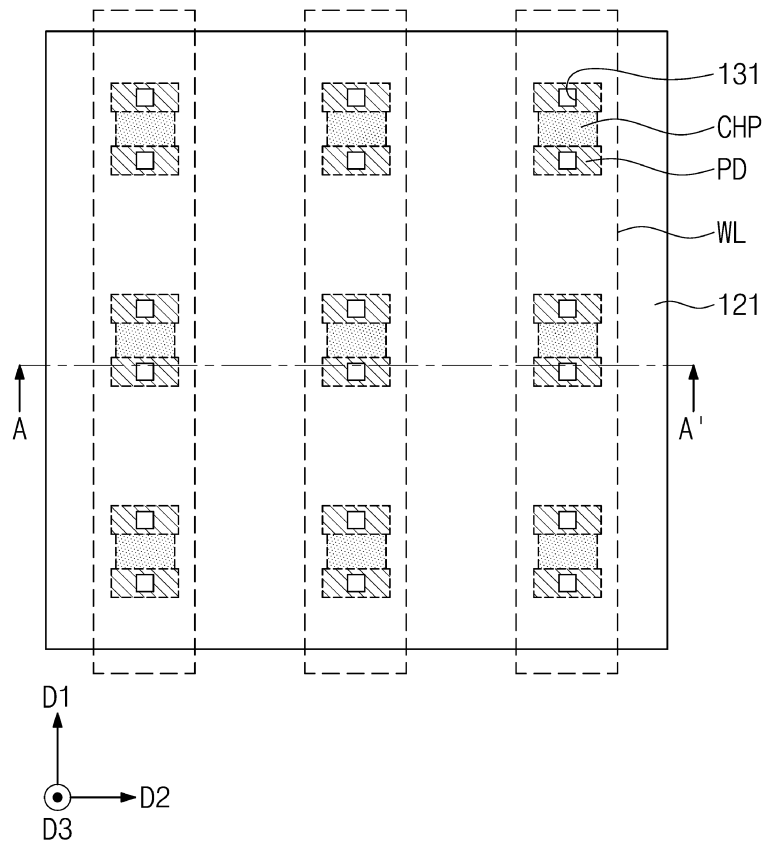
도면14a



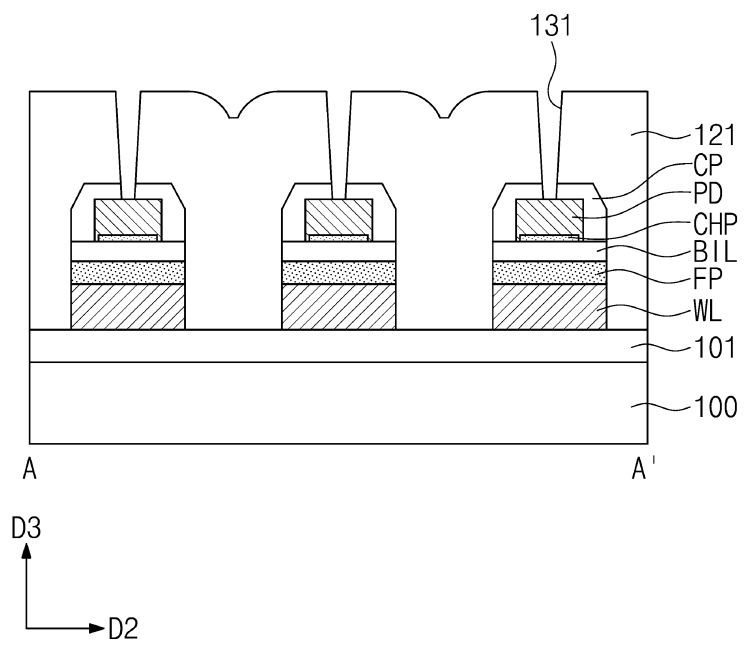
도면14b



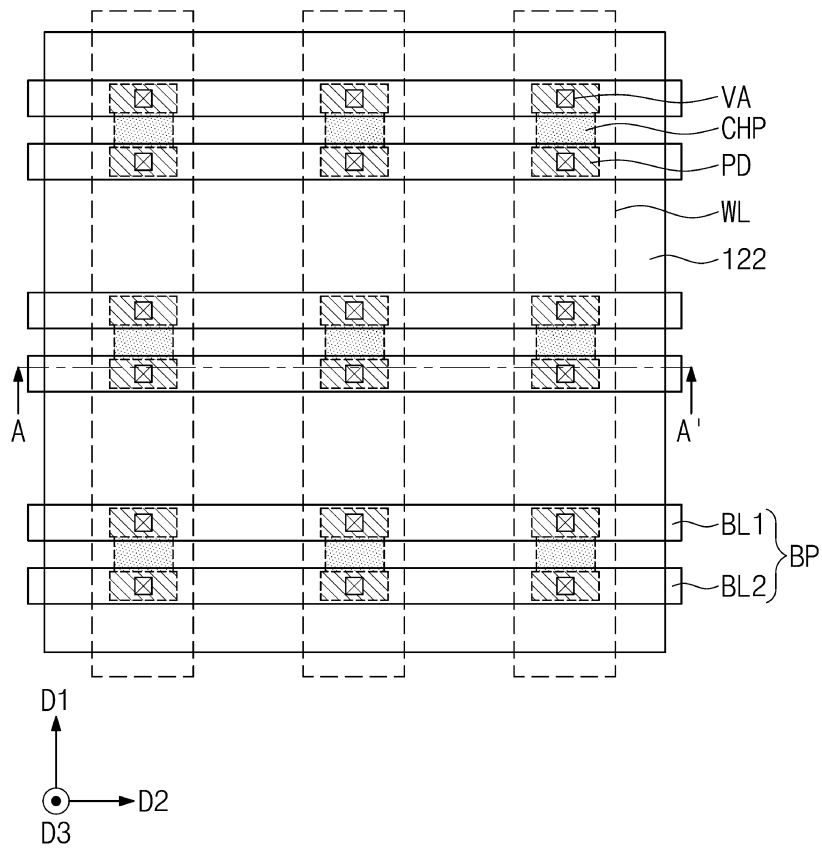
도면15a



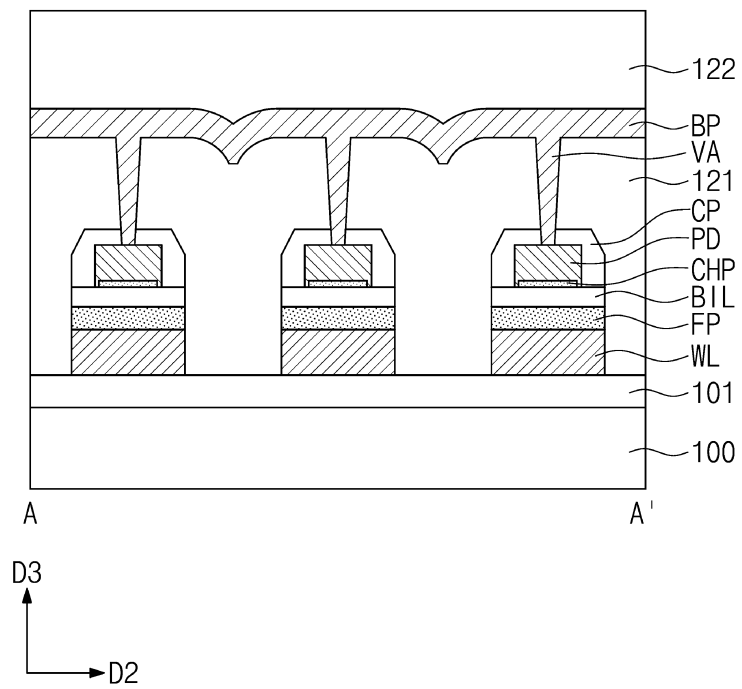
도면15b



도면16a



도면16b



도면17

