

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5196739号
(P5196739)

(45) 発行日 平成25年5月15日 (2013.5.15)

(24) 登録日 平成25年2月15日 (2013.2.15)

(51) Int. Cl.

F I

HO 1 L 27/144 (2006.01)
 HO 1 L 27/146 (2006.01)
 GO 1 T 1/20 (2006.01)
 GO 1 T 1/24 (2006.01)

HO 1 L 27/14 K
 HO 1 L 27/14 C
 GO 1 T 1/20 G
 GO 1 T 1/20 E
 GO 1 T 1/24

請求項の数 10 (全 18 頁)

(21) 出願番号 特願2006-161643 (P2006-161643)
 (22) 出願日 平成18年6月9日 (2006.6.9)
 (65) 公開番号 特開2007-329434 (P2007-329434A)
 (43) 公開日 平成19年12月20日 (2007.12.20)
 審査請求日 平成21年5月28日 (2009.5.28)

前置審査

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 放射線撮像装置及び放射線撮像システム

(57) 【特許請求の範囲】

【請求項 1】

基板上に、放射線又は前記放射線に応じた光を電荷に変換する変換素子と前記変換素子に接続されたスイッチ素子とをそれぞれ含む複数の画素がマトリクス状に配置された画素領域を有する放射線撮像装置であって、

前記変換素子は、バイアス配線に電氣的に接続され前記バイアス配線を通してバイアスされる第1の電極層と、第2の電極層と、前記第1の電極層と前記第2の電極層との間に配置された半導体層と、前記半導体層と前記第1の電極層との間に配置された不純物半導体層とを有し、

前記スイッチ素子は、ゲート電極と、ドレイン電極と、ソース電極とを有し、前記変換素子で変換された電荷に応じた信号を信号線に転送し、前記ドレイン電極及び前記ソース電極の一方が前記第2の電極層に電氣的に接続されており、

前記第1の電極層は、前記バイアス配線を通してバイアスされる複数の部分を含み、前記複数の部分の間であって前記半導体層が配置された領域内に第1の間隙が形成され、

前記不純物半導体層は、前記第1の間隙が配置された領域内に第2の間隙を有することを特徴とする放射線撮像装置。

【請求項 2】

前記第2の電極層は、前記半導体層が配置された領域内に第3の間隙を有し、

前記第1の間隙と前記第3の間隙とは、前記基板の表面に垂直な方向から透視した場合に互いに重ならないように配置されている

10

20

ことを特徴とする請求項 1 に記載の放射線撮像装置。

【請求項 3】

前記第 1 の電極層は、前記複数の部分として、前記第 1 の間隙により隔てられた複数の電極を含み、前記複数の電極は、前記バイアス配線に電氣的に接続されている

ことを特徴とする請求項 1 又は 2 に記載の放射線撮像装置。

【請求項 4】

前記複数の電極のうち少なくとも 1 つの電極は、電氣的に 2 つの部分に切断されていることを特徴とする請求項 3 に記載の放射線撮像装置。

【請求項 5】

前記複数の画素のそれぞれでは、前記変換素子が、前記スイッチ素子の上方に層間絶縁膜を介して配置されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の放射線撮像装置。

10

【請求項 6】

前記変換素子は、光電変換素子を含むことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の放射線撮像装置。

【請求項 7】

前記光電変換素子は、MIS 型光電変換素子であることを特徴とする請求項 6 に記載の放射線撮像装置。

【請求項 8】

前記光電変換素子は、PIN 型光電変換素子であることを特徴とする請求項 6 に記載の放射線撮像装置。

20

【請求項 9】

前記放射線撮像装置は、前記変換素子の上方に配された波長変換体をさらに有することを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の放射線撮像装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の放射線撮像装置と、
前記放射線撮像装置からの信号を処理する信号処理手段と、
を備えたことを特徴とする放射線撮像システム。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、医療用画像診断装置、非破壊検査装置、放射線を用いた分析装置などに応用可能な放射線撮像装置及び放射線撮像システムに関する。

【背景技術】

【0002】

放射線撮像装置は、レントゲン撮影などの静止画像を取得する一般撮影から、動画画像を取得する透視撮影まで幅広く応用され始めている。放射線撮像装置には、基板上に放射線又は波長変換体からの光を電荷に変換する変換素子とスイッチ素子とを有する画素が 2 次元に複数配置されたセンサパネルが用られている。特に、絶縁性基板上にアモルファスシリコン（以下「a-Si」という。）等の非結晶半導体で形成された変換素子と、非結晶半導体で形成された薄膜トランジスタ（以下「TFT」という。）とを有する画素が 2 次元に複数配置されたフラットパネル検出器（以下「FPD」という。）が注目されている。

40

【0003】

特許文献 1 は、PIN 型フォトダイオードと TFT とを含む画素が 2 次元に複数配置された PIN 型 FPD を開示している。PIN 型 FPD は、基板上の TFT を構成する層の上に PIN 型フォトダイオードを構成する層を設けた積層構造となっている。

【0004】

特許文献 2 は、a-Si により形成された MIS 型フォトセンサと TFT とで構成された画素が 2 次元に複数配置されて構成されたセンサパネルを用いた MIS 型 FPD を開示

50

している。このMIS型FPDは、基板上のTF Tを構成する層と同一層構成によりMIS型フォトセンサを設けた平面構造となっている。

【0005】

特許文献3は、基板上のTF Tを構成する層の上にMIS型フォトセンサを構成する層を設けた積層構造のMIS型FPDを開示している。

【特許文献1】特表平07-502865号公報

【特許文献2】特開平08-116044号公報

【特許文献3】特開2004-015002号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

しかしながら、従来の放射線撮像装置では、変換素子の感度を向上させることが困難である。変換素子の感度を向上させる方法としては、変換素子の出力の向上又はノイズの低減が考えられる。一般的には、出力の向上は、変換素子の開口率の増大により達成されるが、変換素子の開口率を拡大すると、変換素子の容量が増大して、ノイズの増大につながる。一方、ノイズの低減は、変換素子の容量の低減により達成されるが、変換素子の容量を低減するには、変換素子の開口率を減少させなければならない。変換素子の開口率を減少させると出力が低下してしまう。

【0007】

このように、変換素子の出力の向上とノイズの低減とは、トレードオフの関係にあり、変換素子の感度の更なる向上が望めない状況となっていた。

20

【0008】

本発明は、上記の課題に鑑みてなされたものであり、変換素子の感度を向上させることを例示的目的とする。

【課題を解決するための手段】

【0009】

本発明の第1の側面に係る放射線撮像装置は、基板上に、放射線又は前記放射線に応じた光を電荷に変換する変換素子と前記変換素子に接続されたスイッチ素子とをそれぞれ含む複数の画素がマトリクス状に配置された画素領域を有する放射線撮像装置であって、前記変換素子は、バイアス配線に電氣的に接続され前記バイアス配線を通してバイアスされる第1の電極層と、第2の電極層と、前記第1の電極層と前記第2の電極層との間に配置された半導体層と、前記半導体層と前記第1の電極層との間に配置された不純物半導体層とを有し、前記スイッチ素子は、ゲート電極と、ドレイン電極と、ソース電極とを有し、前記変換素子で変換された電荷に応じた信号を信号線に転送し、前記ドレイン電極及び前記ソース電極の一方が前記第2の電極層に電氣的に接続されており、前記第1の電極層は、前記バイアス配線を通してバイアスされる複数の部分を含み、前記複数の部分の間であって前記半導体層が配置された領域内に第1の間隙が形成され、前記不純物半導体層は、前記第1の間隙が配置された領域内に第2の間隙を有することを特徴とする。

30

【0010】

本発明の第2の側面は、放射線撮像システムに係り、上記の放射線撮像装置と、前記放射線撮像装置からの信号を処理する信号処理手段と、を備えることを特徴とする。

40

【発明の効果】

【0011】

本発明によれば、例えば、変換素子の感度を向上させることができる。

【発明を実施するための最良の形態】

【0012】

図1は、放射線撮像装置の構成を例示的に示す平面図である。101は放射線を電荷に変換する変換素子、102はスイッチング素子、103は駆動配線、104は信号配線、105はバイアス配線である。また、106は信号処理回路、107は駆動回路、108はA/D変換部、109はバイアス電源部である。1つの画素は、変換素子101とスイ

50

ッチング素子 102 で構成されている。画素は、2次元に複数配置され、画素領域を構成している。

【0013】

絶縁性基板 100 としては、ガラス基板、石英基板、プラスチック基板などの絶縁性の基板が好適に用いられる。変換素子 101 としては、例えば、光電変換素子が好適に用いられる。光電変換素子は、放射線を光電変換素子で感知可能な波長帯域の光に変換する波長変換体と組み合わせて用いられる。このような光電変換素子としては、例えば、MIS 型光電変換素子及び PIN 型光電変換素子を用いることができる。MIS 型光電変換素子及び PIN 型光電変換素子は、例えば、a-Si を用いて形成されることが好ましい。また、他の変換素子 101 としては、放射線を直接電荷に変換可能な直接型変換素子を用いてもよい。このような直接型変換素子としては、例えば、アモルファスセレン、ガリウム砒素、ガリウムリン、ヨウ化鉛、ヨウ化水銀、CdTe、CdZnTe のいずれかを用いて形成された変換素子が挙げられる。なお、第 1～第 6 の実施形態では、MIS 型光電変換素子を適用した例について説明し、第 7～第 11 の実施形態では、PIN 型光電変換素子を適用した例について説明するが、これらの例のみに限定されない。

10

【0014】

スイッチング素子 102 としては、例えば、薄膜トランジスタ (TFT) を用いることができる。薄膜トランジスタ (TFT) は、a-Si を用いて形成されることが好ましい。

【0015】

駆動配線 103 は、行方向に配列された複数のスイッチング素子 102 のゲート電極に接続され、駆動回路 107 からの駆動信号をスイッチング素子 102 に印加するための配線である。信号配線 104 は、列方向に配列された複数のスイッチング素子 102 のソース電極又はドレイン電極に接続され、変換素子 101 で発生しスイッチング素子 102 で転送された信号電荷を信号処理回路 106 に伝送するためのものである。複数の画素から並列的に転送された信号電荷は、信号処理回路 106 により直列信号に変換され、A/D 変換部 108 によってアナログ信号からデジタル信号に変換されて出力される。バイアス電源部 109 は、変換素子 101 が光電変換するためのバイアスと、変換素子 101 を初期状態にするためのバイアスとを供給するよう構成され、変換素子 101 の一方の電極にバイアス配線 105 を介して接続されている。

20

30

【0016】

上記の放射線撮像装置には様々なノイズが発生しうる。例えば、ショットノイズ、kTC ノイズ、信号配線ノイズ、IC ノイズ、ゲート配線ノイズなどが挙げられる。ショットノイズは、センサ開口率の平方根に比例するノイズである。kTC ノイズは、変換素子の容量の平方根に比例するノイズである。信号配線ノイズは、配線抵抗の平方根及び配線寄生容量に比例する配線ノイズである。IC ノイズは、信号配線の寄生容量に比例するノイズである。そして、ゲート配線ノイズは、配線抵抗の平方根に比例する配線ノイズである。この中で、kTC ノイズ及び信号配線ノイズが支配的であり、これらのノイズを低減するためには、変換素子の容量を低減させることが有効である。

【0017】

本発明者らは、変換素子の容量が概ね上下電極の重なり部分で形成されることに注目し、上下電極が重ならない部分の電界の広がりを考慮することにより、変換素子としての出力を確保しながら変換素子の上下電極の重なり部分を小さくする構成を見出した。この構成によれば、変換素子の開口率を減少させることなく、変換素子の容量を小さくすることが可能である。

40

【0018】

以下、本発明の好適な実施の形態に係る放射線撮像装置について図を用いて詳しく説明する。なお、本明細書では、可視光等の電磁波や X 線、線、線、線なども、放射線に含まれるものとする。

【0019】

50

〔第１の実施形態〕

図２は、本発明の好適な第１の実施形態に係る放射線撮像装置に配置された１画素の構成例を説明するための模式的平面図である。図２に示すように、１つの画素は、変換素子１０１とスイッチング素子１０２により構成されている。駆動配線１０３は、スイッチング素子１０２のゲート電極に接続されている。信号配線１０４は、スイッチング素子１０２のソース電極１１４aに接続されている。変換素子１０１の上部電極層１１９は、バイアス配線１０５に接続された複数の帯状の電極１１９a、b、...に分割された構成を持つ。これにより、上部電極層１１９には、オーミックコンタクト層としての不純物半導体層１１８が存在しない間隙２００が存在する。

【００２０】

図３は、図２のX-X'における模式的断面図であり、図４は図２のY-Y'における模式的断面図である。以下、図３及び図４を用いて本実施形態における画素の構成及びその形成法を順を追って説明する。

【００２１】

まず、絶縁性基板１００上に、スイッチング素子１０２のゲート電極１１０と、変換素子１０１の下部電極層１１５とを形成する。次いで、スイッチング素子１０２のゲート絶縁膜となる第１の絶縁層１１１と、変換素子１０１の絶縁層となる第２の絶縁層１１６とを形成する。次いで、スイッチング素子１０２の活性層となる第１の半導体層１１２と、変換素子１０１の変換層となる第２の半導体層１１７とを形成する。図３では、第１の半導体層１１２を第２の半導体層１１７よりも薄くしているが、第２の半導体層１１７と同程度の厚さのままにしてもよい。その後、スイッチング素子１０２のオーミックコンタクト層となる第１の不純物半導体層１１３と、変換素子１０１の第２の不純物半導体層１１８とが形成される。そして、バイアス配線１０５と、スイッチング素子１０２のソース電極１１４a及びドレイン電極１１４bを形成し、第１の不純物半導体層１１３をエッチングしてチャネル部を構成している。その後、変換素子１０１の上部電極層（透明電極層）１１９、保護層１２０、波長変換体（不図示）が順次形成される。変換素子１０１は、１１５～１１９によって構成され、スイッチング素子１０２は、１１０～１１４a、１１４bによって構成される。

【００２２】

本実施形態では、上部電極層１１９は、少なくとも第２の半導体層１１７が配置された領域内に間隙２００を有し、複数の電極が分割されて領域内に分散して構成された電極群１１９a、b、...を含む。電極群１１９a、b、...はそれぞれバイアス配線１０５と電気的に接続されている。間隙２００の幅は、電極群１１９a、b、...からの電界の広がりにより第２の半導体層１１７で光電変換により生じるキャリアを捕獲可能な範囲内であればよい。第２の半導体層１１７の膜厚や不純物濃度などにも依存するが、間隙２００は、電極群１１９a、b、...の各々の端部から５μmの領域内に含まれることが好ましい。すなわち、間隙２００の幅は、電界の広がりから、１０μm程度であることが好ましい。間隙２００は、この範囲内で形成されればよく、その形状は特に限定されない。例えば、多角形、円形、楕円形、不定形など任意の形状をとることができる。なお、上記の間隙２００の構成は、後述する第２～第１１の実施形態についても同様に適用されうる。変換素子１０１の容量は、概ね変換素子１０１の上下電極の重なり面積で決定されるため、本実施形態の変換素子は、従来の変換素子と比較すると、容量が低減された構造となっており、変換素子の容量に起因するノイズが低減される。

【００２３】

また、変換素子の感度は、いくつかの要因により決定されるが、例えば、変換素子の半導体層への入射光量により決定される。本実施形態に係る放射線撮像装置では、間隙２００、即ち、変換素子１０１の不純物半導体層１１８が除去されて、不純物半導体層での出力に寄与しない光吸収などの無駄な光吸収が無い領域が存在するため、変換素子の光利用効率が高まり、高い感度を得ることができる。

【００２４】

また、本実施形態によれば、変換素子の容量を低減することができるため、変換素子に接続するスイッチ素子のサイズが小さくて済み、変換素子の開口率を上げることができる。また、変換素子の上下電極の重なり面積が低減され、変換素子の開口率の増大に伴う変換素子の容量の増加を抑えることによって、感度の低下を防ぐことができる。また、スイッチ素子のサイズが小さくて済むため、スイッチング素子 102 のゲート電極 110 とソース電極 114 a との間の重なり容量が減少し、それによって、信号配線 104 の寄生容量が低減され、更にノイズが低減される。

【0025】

[第2の実施形態]

図5は、本発明の好適な第2の実施形態に係る放射線撮像装置に配置された1画素の構成例を説明するための模式的平面図である。なお、第1の実施形態と同様の構成要素には、同一の符号を付している。Pはショートの原因となる異物を示す。Rは変換素子101の上部電極層119及び不純物半導体層118の一部が除去された領域を示す。本実施形態は、変換素子の上部電極層119と下部電極層115との間でショートが発生した場合に、ショートが発生した部分に対応する上部電極層119を切断することを特徴とする。これによって、上部電極層119と下部電極層115との間のショートをリペアし、無欠陥基板を安価に作成することができる。この場合、変換素子の出力は多少低下するが、出力補正などにより出力低下を補うことができる。

【0026】

[第3の実施形態]

図6は、本発明の好適な第3の実施形態に係る1画素の模式的平面図である。なお、第1の実施形態と同様の構成要素には、同一の符号を付している。

【0027】

図6のX-X'における模式的断面図を図7に示す。115は変換素子101の下部電極層、116は変換素子101の絶縁層となる第2の絶縁層、117は変換素子101の光電変換層となる第2の半導体層である。また、118は変換素子101の第2の不純物半導体層、119は変換素子101の上部電極層(透明電極層)である。変換素子101は、116~119によって構成されている。120は保護層であり、保護層120上に波長変換体(不図示)が積層されている。

【0028】

本実施形態では、変換素子101の下部電極層115は、少なくとも第2の半導体層117が配置された領域内にスリット600が形成された、櫛歯型の電極構造を有している。各櫛歯は10μm程度の間隔を有しており、基本的には、コンタクトホールを介して、スイッチング素子102のソース電極114a、或いは、ドレイン電極114bの一方に接続されている。第1の実施形態と同様、変換素子101の容量は概ねセンサ上下電極の重なり面積で決定されるため、従来の変換素子と比較して容量が低減された構造となっており、変換素子の容量に起因するノイズが低減される。また、変換素子の容量の低減により、スイッチング素子のサイズを縮小することができ、その結果、変換素子の開口率を更に上げることができる。

【0029】

一般に、非晶質シリコン(以下「a-Si」という。)を用いた変換素子は、長時間のバイアス印加により、センサ特性の劣化を誘発する場合がある。そのため、撮影時以外は零電位バイアスを印加して、長時間使用による変動を低減する場合がある。一方、撮影時にのみ所定のバイアス印加が行われると、a-Si材料の欠陥等による不要な電流が発生し、感度を低下させる場合もある。

【0030】

そこで、所定のバイアス印加後、数10秒待機することで、この現象を低減させることは可能であるが、実際の装置稼動においては即時性を考え、読み込み動作前に光照射を行い、直ちに、画像読み込みが可能となる駆動方法により、即時読み込みを可能としている。

10

20

30

40

50

【 0 0 3 1 】

図 8 は、本実施形態に係る放射線撮像装置の模式的断面図である。8 0 1 はセンサ基板、8 0 2 は光源、8 0 3 は放射線源、8 0 4 は検体である。センサ基板 8 0 1 は、絶縁性基板 8 1 0 上に 2 次元に画素 8 1 1 が複数配列されており、その上部には放射線を波長変換する波長変換体 8 1 2 が配置されている。検体 8 0 4 を通過した放射線は、波長変換体 8 1 2 で可視光 8 1 3 に変換され、画素 8 1 1 に入射する。一方、光源 8 0 2 は、光源基板 8 1 4 上に 2 次元に L E D 8 1 5 が複数配置されており、センサ基板 8 0 1 の裏面に配置される。光源 8 0 2 より照射された光 8 1 6 はセンサ基板 8 0 1 の裏面より画素 8 1 1 に入射する。

【 0 0 3 2 】

以上のように、センサ基板の裏面より光入射を行う場合には、本実施形態のように変換素子の下部電極層に間隙を有している構造とすれば、効率良く変換素子に光を入射することが可能となる。その結果、光源の小型化が可能となり、小型、軽量の装置を可能となる。但し、変換素子の下部電極層の加工形状は、変換素子の上下間のショートの原因となるため、精度の高いテーパコントロールが必要である。

【 0 0 3 3 】

[第 4 の実施形態]

図 9 (a)、(b) は、本発明の好適な第 4 の実施形態に係る 1 画素の模式的平面図である。図 9 (a) は下部電極層側を、図 9 (b) は上部電極層側をそれぞれ示している。なお、第 1 の実施形態と同様の構成要素には、同一の符号を付している。

【 0 0 3 4 】

図 9 の X - X ' における模式的断面図を図 1 0 に示す。1 1 5 は変換素子 1 0 1 の下部電極層、1 1 6 は変換素子 1 0 1 の絶縁層となる第 2 の絶縁層、1 1 7 は変換素子 1 0 1 の光電変換層となる第 2 の半導体層である。また、1 1 8 は変換素子 1 0 1 の第 2 の不純物半導体層、1 1 9 は変換素子 1 0 1 の上部電極層 (透明電極層) である。変換素子 1 0 1 は、1 1 6 ~ 1 1 9 によって構成されている。1 2 0 は保護層であり、保護層 1 2 0 上に波長変換体 (不図示) が積層されている。

【 0 0 3 5 】

変換素子 1 0 1 の上部電極層 1 1 9 が配置されていない領域 A (間隙 2 0 0) の下方には、変換素子 1 0 1 の下部電極層 1 1 5 が配置されている。逆に、変換素子 1 0 1 の下部電極層 1 1 5 が配置されていない領域 B (スリット 6 0 0) の上方には、変換素子 1 0 1 の上部電極層 1 1 9 が配置されている。また、変換素子 1 0 1 の上部電極層 1 1 9 及び下部電極層 1 1 5 は、隙間無く重なるように配置されている。これは、隙間がある場合、電界の広がり十分に起こらず、光電変換されて発生したキャリアのドリフトがスムーズに行われなためである。夫々の変換素子 1 0 1 の電極の隙間 (間隙 2 0 0 及びスリット 6 0 0 の幅) は、上述の実施形態と同様に 1 0 μ m 程度である。また、図 9 の Y - Y ' における模式的断面図は、上述の変換素子の上下間電極の重なり部分であり、第 1 の実施形態の図 3 と同様となる。

【 0 0 3 6 】

[第 5 の実施形態]

図 1 1 は、本発明の好適な第 5 の実施形態に係る 1 画素の模式的平面図である。なお、第 1 の実施形態と同様の構成要素には、同一の符号を付している。

【 0 0 3 7 】

図 1 1 の X - X ' における模式的断面図を図 1 2 に示す。1 0 0 は絶縁性基板、1 1 0 はスイッチング素子 1 0 2 のゲート電極、1 1 1 はスイッチング素子 1 0 2 のゲート絶縁膜となる第 1 の絶縁層、1 1 2 はスイッチング素子 1 0 2 の活性層となる第 1 の半導体層である。また、1 1 3 はスイッチング素子 1 0 2 のオーミックコンタクト層となる第 1 の不純物半導体層、1 1 4 はスイッチング素子 1 0 2 のソース電極 1 1 4 a 又はドレイン電極 1 1 4 b である。また、1 3 0 はスイッチング素子 1 0 2 のチャネル保護層、1 3 1 は第 1 の層間絶縁層、1 3 2 は第 2 の層間絶縁層である。

10

20

30

40

50

【 0 0 3 8 】

1 1 5 は変換素子 1 0 1 の下部電極層、1 1 6 は変換素子 1 0 1 の絶縁層となる第 2 の絶縁層、1 1 7 は変換素子 1 0 1 の光電変換層となる第 2 の半導体層である。また、1 1 8 は変換素子 1 0 1 の第 2 の不純物半導体層、1 1 9 は変換素子 1 0 1 の上部電極層（透明電極層）である。これら 1 1 6 ~ 1 1 9 によって変換素子 1 0 1 が構成されている。1 2 0 は保護層であり、保護層 1 2 0 上に波長変換体（不図示）が積層されている。上部電極層 1 1 9 は、少なくとも第 2 の半導体層 1 1 7 が配置された領域内に間隙 2 0 0 を有する電極 1 1 9 を含む。

【 0 0 3 9 】

本実施形態は、スイッチング素子 1 0 2 のアレイ上に層間絶縁膜を介して、変換素子 1 0 1 を積層配置したものである。変換素子 1 0 1 の下部電極層 1 1 5 はコンタクトホールを介してスイッチング素子 1 0 2 のソース電極 1 1 4 a 或いはドレイン電極 1 1 4 b に接続されており、変換素子 1 0 1 の上部電極層 1 1 9 は 1 0 μ m 角程度の間隙 2 0 0 がくり抜かれた形状となっている。

10

【 0 0 4 0 】

[第 6 の実施形態]

図 1 3 は、本発明の好適な第 5 の実施形態と同様の積層構造における 1 画素センサ部の模式的平面図である。図 1 4 は、変換素子 1 0 1 の下部電極層の模式的平面図、図 1 5 は、変換素子 1 0 1 の上部電極層の模式的平面図である。図中、黒部は電極が存在している領域であり、重ね合わせた状態が図 1 3 となる。図 1 3 より明らかな様に、変換素子 1 0 1 の上部電極層及び下部電極層は、隙間無く重なるように配置されている。これは、隙間がある場合、電界の広がり十分に起こらず、光電変換され、発生したキャリアのドリフトがスムーズに行われな問題が起こるためである。

20

【 0 0 4 1 】

図 1 3 の X - X ' における模式的断面図を図 1 6 に示す。1 0 0 は絶縁性基板、1 1 0 はスイッチング素子 1 0 2 のゲート電極、1 1 1 はスイッチング素子 1 0 2 のゲート絶縁膜となる第 1 の絶縁層、1 1 2 はスイッチング素子 1 0 2 の活性層となる第 1 の半導体層である。また、1 1 3 はスイッチング素子 1 0 2 のオーミックコンタクト層となる第 1 の不純物半導体層、1 1 4 はスイッチング素子 1 0 2 のソース電極 1 1 4 a 又はドレイン電極 1 1 4 b である。また、1 3 0 はスイッチング素子 1 0 2 のチャネル保護層、1 3 1 は第 1 の層間絶縁層、1 3 2 は第 2 の層間絶縁層である。

30

【 0 0 4 2 】

1 1 5 は変換素子 1 0 1 の下部電極層、1 1 6 は変換素子 1 0 1 の絶縁層となる第 2 の絶縁層、1 1 7 は変換素子 1 0 1 の光電変換層となる第 2 の半導体層である。また、1 1 8 は変換素子 1 0 1 の第 2 の不純物半導体層、1 1 9 は変換素子 1 0 1 の上部電極層（透明電極層）である。変換素子 1 0 1 は、1 1 6 ~ 1 1 9 によって構成されている。1 2 0 は保護層であり、保護層 1 2 0 上に波長変換体（不図示）が積層されている。

【 0 0 4 3 】

[第 7 の実施形態]

図 1 7 は、本発明の好適な第 7 の実施形態の 1 画素の模式的平面図である。なお、本願の画素も図 1 に示すように構成された放射線撮像装置に適用されうる。

40

【 0 0 4 4 】

図 1 7 の X - X ' における模式的断面図を図 1 8 に示す。2 1 5 は変換素子 2 0 1 の下部電極層、2 1 6 は変換素子 2 0 1 の第 1 の不純物半導体層、2 1 7 は変換素子 2 0 1 の光電変換層となる第 2 の半導体層、2 1 8 は変換素子 2 0 1 の第 2 の不純物半導体層、2 1 9 は変換素子 2 0 1 の上部電極層（透明電極層）である。変換素子 2 0 1 は、2 1 6 ~ 2 1 9 によって構成される P I N 型光電変換素子である。2 2 0 は保護層であり、保護層 2 2 0 上に波長変換体（不図示）が積層されている。

【 0 0 4 5 】

図 1 7 の Y - Y ' における模式的断面図を図 1 9 に示す。2 1 0 はスイッチング素子 2

50

02のゲート電極、211はスイッチング素子202のゲート絶縁膜となる第1の絶縁層、212はスイッチング素子202の活性層となる第1の半導体層である。また、213はスイッチング素子202のオーミックコンタクト層となる第1の不純物半導体層、214aはスイッチング素子202のソース電極であり、214bはスイッチング素子202のドレイン電極である。また、215はスイッチング素子202のソース電極214a又はドレイン電極214bでもある変換素子201の下部電極層、216は変換素子201の絶縁層となる第2の絶縁層である。また、217は変換素子201の光電変換層となる第2の半導体層、218は変換素子201の第2の不純物半導体層、219は変換素子201の上部電極層(透明電極層)である。変換素子201は、216~219によって構成され、バイアス配線205と上部電極層219が接続されて変換素子201の上部電極層を構成している。220は保護層であり、保護層220上に波長変換体(不図示)が積層されている。

10

【0046】

本実施形態では、上部電極層219は、少なくとも第2の半導体層217が配置された領域内に間隙200を有し、バイアス配線205に接続され、複数の帯状の電極で構成された電極群219a、b、...を含む。電極群219a、b、...は、複数の帯状の電極が分割されて領域内に分散して構成されており、それぞれバイアス配線205と電氣的に接続されている。間隙200には、第2の不純物半導体層218が存在しない。開口部200の幅は、電界の広がりから10 μ 程度であることが好ましい。変換素子201の容量は概ね変換素子201の上下電極の重なり面積で決定されるため、従来に比較して変換素子201の容量が低減されている構造となる。即ち、変換素子201の容量に関わるノイズの低減が可能となる。

20

【0047】

一方、変換素子201の感度は変換素子201の開口率で概ね決まるため、間隙200、即ち、センサ素子の第2の不純物半導体層218が除去され、無駄な光吸収が無い領域があるため、出力は改善される。また、変換素子201の容量の低減により、スイッチング素子202のサイズが縮小され、その結果、変換素子201の開口率を更に上げることが可能となる。また、図5に示したように、変換素子201の上下間ショートが発生した場合、対応する変換素子201の上部電極層を切断することにより上下ショートをリペアすることができる。

30

【0048】

[第8の実施形態]

図20は、本発明の好適な第8の実施形態に係る1画素の模式的平面図である。なお、第7の実施形態と同様の構成要素には、同一の符号を付している。

【0049】

図20のX-X'における模式的断面図を図21に示す。215は変換素子201の下部電極層、216は変換素子201の第1の不純物半導体層、217は変換素子201の光電変換層となる第2の半導体層、218は変換素子201の第2の不純物半導体層、219は変換素子201の上部電極層(透明電極層)である。変換素子201は、216~219によって構成されている。220は保護層であり、保護層220上に波長変換体(不図示)が積層されている。

40

【0050】

本実施形態では、変換素子201の下部電極層215は、少なくとも第2の半導体層217が配置された領域内にスリット600が形成された、櫛歯型の電極構造を有している。各櫛歯は10 μ m程度の間隔を有している。変換素子201の容量は概ね変換素子201の上下電極の重なり面積で決定されるため、従来に比較して容量が低減されている構造となる。即ち、変換素子201の容量に関わるノイズの低減が可能となる。また、変換素子201の容量の低減は、スイッチング素子202のサイズを縮小でき、その結果、変換素子201の開口率を更に上げることが可能となる。

【0051】

50

なお、本実施形態においても、a - Siを用いた変換素子の場合、図8に示すようにセンサ基板の裏面より光入射を行うよう構成し、効率良く変換素子に光を入射することが可能である。

【0052】

[第9の実施形態]

図22は、本発明の好適な第9の実施形態に係る1画素の模式的平面図である。図22(a)は下部電極層側を、図22(b)は上部電極層側をそれぞれ示している。なお、第7の実施形態と同様の構成要素には、同一の符号を付している。

【0053】

図22のX - X'における模式的断面図を図23に示す。215は変換素子201の下部電極層、216は変換素子201の第1の不純物半導体層、217は変換素子201の光電変換層となる第2の半導体層、218は変換素子201の第2の不純物半導体層、219は変換素子201の上部電極層(透明電極層)である。変換素子201は、216~219によって構成されている。220は保護層であり、保護層220上に波長変換体(不図示)が積層されている。

【0054】

変換素子201の上部電極層が配置されていない領域A(間隙200)の下方には、変換素子201の下部電極層が配置されている。逆に、変換素子201の下部電極層が配置されていない領域B(スリット600)の上方には、変換素子201の上部電極層が配置されている。また、変換素子201の上部電極層及び下部電極は、隙間無く重なるように配置されている。これは、隙間がある場合、電界の広がりが十分に起こらず、光電変換され、発生したキャリアのドリフトがスムーズに行われない問題が起こるためである。夫々のセンサ電極の隙間は、上述の実施形態と同様に10μm程度である。また、図22のY - Y'における模式的断面図は、上述の変換素子201の上下間電極の重なり部分であり、第7の実施形態の図18と同様となる。

【0055】

[第10の実施形態]

図24は、本発明の好適な第10の実施形態に係る1画素の模式的平面図である。なお、第7の実施形態と同様の構成要素には、同一の符号を付している。

【0056】

図24のX - X'における模式的断面図を図25に示す。200は絶縁性基板、210はスイッチング素子202のゲート電極、211はスイッチング素子202のゲート絶縁膜となる第1の絶縁層、212はスイッチング素子202の活性層となる第1の半導体層である。また、213はスイッチング素子202のオーミックコンタクト層となる第1の不純物半導体層、214はスイッチング素子202のソース電極214a又はドレイン電極214bである。また、230はスイッチング素子202のチャネル保護層、231は第1の層間絶縁層、232は第2の層間絶縁層である。

【0057】

215は変換素子201の下部電極層、216は変換素子201の第1の不純物半導体層、217は変換素子201の光電変換層となる第2の半導体層である。また、218は変換素子201の第2の不純物半導体層、219は変換素子201の上部電極層(透明電極層)である。変換素子201は、PIN型光電変換素子であり、216~219によって構成されている。220は保護層であり、保護層220上に波長変換体(不図示)が積層されている。上部電極層219は、少なくとも第2の半導体層217が配置された領域内に間隙200を有する電極219を含む。

【0058】

本実施形態では、スイッチング素子202のアレイ上に平坦化された層間絶縁膜を介して、変換素子201が積層配置されている。下部電極層215はコンタクトホールを介してスイッチング素子202のソース電極214a或いはドレイン電極214bに接続されており、上部電極層219は10μm角程度の間隙200がくり抜かれた形状となってい

10

20

30

40

50

る。

【 0 0 5 9 】

[第 1 1 の実施形態]

第 1 0 の実施形態と同様の積層構造における 1 画素の模式的平面図は、図 1 3 と同様である。また、変換素子 1 0 1 の下部電極層は図 1 4 と同様であり、変換素子 1 0 1 の上部電極層は図 1 5 と同様である。

【 0 0 6 0 】

本実施形態においても、P I N 型光電変換素子で構成された変換素子 2 0 1 の上部電極層及び下部電極層が、隙間無く重なるように配置される。これは、隙間がある場合、電界の広がり十分に起こらず、光電変換され、発生したキャリアのドリフトがスムーズに行われない問題が起こるためである。

【 0 0 6 1 】

第 1 0 の実施形態の 1 画素に関して、図 1 3 の X - X ' における模式的断面図と同様な位置での断面図を図 2 6 に示す。2 0 0 は絶縁性基板、2 1 0 はスイッチング素子 2 0 2 のゲート電極、2 1 1 はスイッチング素子 2 0 2 のゲート絶縁膜となる第 1 の絶縁層、2 1 2 はスイッチング素子 2 0 2 の活性層となる第 1 の半導体層である。また、2 1 3 はスイッチング素子 2 0 2 のオーミックコンタクト層となる第 1 の不純物半導体層、2 1 4 はスイッチング素子 2 0 2 のソース電極 2 1 4 a 又はドレイン電極 2 1 4 b である。また、2 3 0 はスイッチング素子 2 0 2 のチャネル保護層、2 3 1 は第 1 の層間絶縁層、2 3 2 は第 2 の層間絶縁層である。

【 0 0 6 2 】

2 1 5 は変換素子 2 0 1 の下部電極、2 1 6 は変換素子 2 0 1 の第 1 の不純物半導体層、2 1 7 は変換素子 2 0 1 の光電変換層となる第 2 の半導体層、2 1 8 は変換素子 2 0 1 の第 2 の不純物半導体層、2 1 9 は変換素子 2 0 1 の上部電極層（透明電極層）である。変換素子 2 0 1 は、2 1 6 ~ 2 1 9 によって構成されている。2 2 0 は保護層であり、保護層 2 2 0 上に波長変換体（不図示）が積層されている。

【 0 0 6 3 】

[応用例]

図 2 7 は、本発明の好適な実施の形態に係る放射線撮像装置を放射線撮像システムへ適用した場合の応用例を示す図である。

【 0 0 6 4 】

放射線チューブ 3 0 0 1 で発生した放射線 3 0 0 2 は、被験者（患者など）3 0 0 3 の胸部などの体の部位 3 0 0 4 を透過し、シンチレーター（蛍光体）を上部に実装した放射線撮像装置 3 0 0 0 に入射する。この入射した放射線 3 0 0 2 には被験者 3 0 0 3 の体内部の情報が含まれている。放射線撮像装置 3 0 0 0 では、放射線 3 0 0 2 の入射に対応してシンチレーターが発光し、これを光電変換して電気的情報を得る。また、放射線撮像装置 3 0 0 0 では、放射線 3 0 0 2 を直接電荷に変換して、電気的情報を得てもよい。この情報はデジタルに変換され、信号処理手段としてのイメージプロセッサ 3 0 0 5 により画像処理されて、制御室の表示手段としてのディスプレイ 3 0 0 6 に表示される。

【 0 0 6 5 】

また、この情報は、無線又は電話回線などの有線等の伝送手段 3 0 0 7 により遠隔地へ転送することができる。これによって、別の場所のドクタールーム等に設置された、表示手段としてのディスプレイ 3 0 0 8 に表示するか、或いは、記憶手段としてのフィルムプロセッサ 3 0 0 9 により光ディスク等の記録媒体に保存することができる。これによって、遠隔地の医師が診断することも可能である。また、フィルムプロセッサ 3 0 0 9 は、印刷手段としてのレーザプリンタ 3 0 1 1 に接続され、伝送手段 3 0 0 7 により伝送された情報をフィルム等の記録媒体 3 0 1 0 に記録することができる。

【 0 0 6 6 】

以上のように、本発明の好適な実施の形態によれば、変換素子の開口率を減少させることなく、容量を格段に低減できるため、容量に起因する k T C ノイズなどの低減が可能と

10

20

30

40

50

なる。更に、センサ容量が低減されるため転送速度を改善できる。その結果、スイッチ素子の小型化が可能となり、センサ開口率を向上させることができる上に、スイッチング素子のゲート・ソース間の重なり容量が減少することにより信号線寄生容量が低減され、更に、ノイズが低減される。

【 0 0 6 7 】

また、直接、半導体層に入射する光を増大させることもでき入射光量の向上させ、或いは、動画駆動における、光リセットなどの裏面からの光入射などが容易になるといった様々な効果がある。

【図面の簡単な説明】

【 0 0 6 8 】

10

【図 1】本発明の好適な実施の形態に係る放射線撮像装置の構成を例示的に示す平面図である。

【図 2】本発明の好適な第 1 の実施形態に係る 1 画素の模式的平面図である。

【図 3】図 2 の X - X ' における模式的断面図である。

【図 4】図 2 の Y - Y ' における模式的断面図である。

【図 5】本発明の好適な第 2 の実施形態に係る変換素子リペアの模式的平面図である。

【図 6】本発明の好適な第 3 の実施形態に係る 1 画素の模式的平面図である。

【図 7】図 6 の X - X ' における模式的断面図である。

【図 8】放射線撮像装置の模式的断面図である。

【図 9】本発明の好適な第 4 の実施形態に係る 1 画素の模式的平面図である。

20

【図 10】図 9 の X - X ' における模式的断面図である。

【図 11】本発明の好適な第 5 の実施形態に係る 1 画素の模式的平面図である。

【図 12】図 11 の X - X ' における模式的断面図である。

【図 13】本発明の好適な第 6 の実施形態と同様の積層構造における 1 画素センサ部の模式的平面図である。

【図 14】変換素子の下部電極の模式的平面図である。

【図 15】変換素子の上部電極の模式的平面図である。

【図 16】図 14 の X - X ' における模式的断面図である。

【図 17】本発明の好適な第 7 の実施形態に係る 1 画素の模式的平面図である。

【図 18】図 17 の X - X ' における模式的断面図である。

30

【図 19】図 17 の Y - Y ' における模式的断面図である。

【図 20】本発明の好適な第 8 の実施形態に係る 1 画素の模式的平面図である。

【図 21】図 20 の X - X ' における模式的断面図である。

【図 22】本発明の好適な第 9 の実施形態に係る 1 画素の模式的平面図である。

【図 23】図 22 の X - X ' における模式的断面図である。

【図 24】本発明の好適な第 10 の実施形態に係る 1 画素の模式的平面図である。

【図 25】図 24 の X - X ' における模式的断面図である。

【図 26】第 10 の実施形態の 1 画素に関して、図 13 の X - X ' における模式的断面図である。

【図 27】本発明の好適な実施の形態に係る放射線撮像装置を放射線撮像システムへ適用した場合の応用例を示す図である。

40

【符号の説明】

【 0 0 6 9 】

1 0 0 基板

1 0 1 変換素子

1 0 2 スイッチ素子

1 1 5 第 2 の電極層

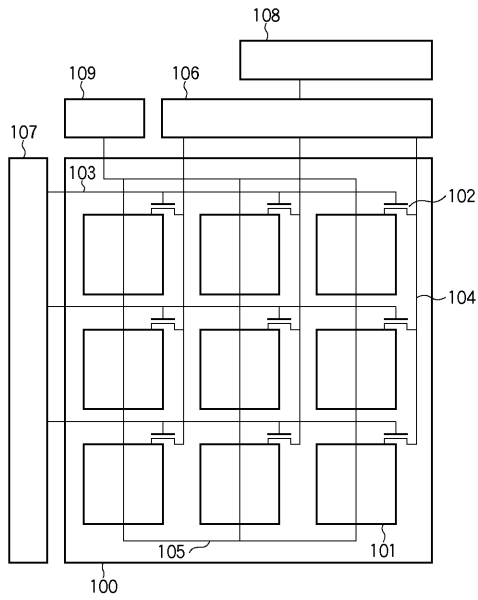
1 1 9 第 1 の電極層

1 1 9 a、b、... 電極群

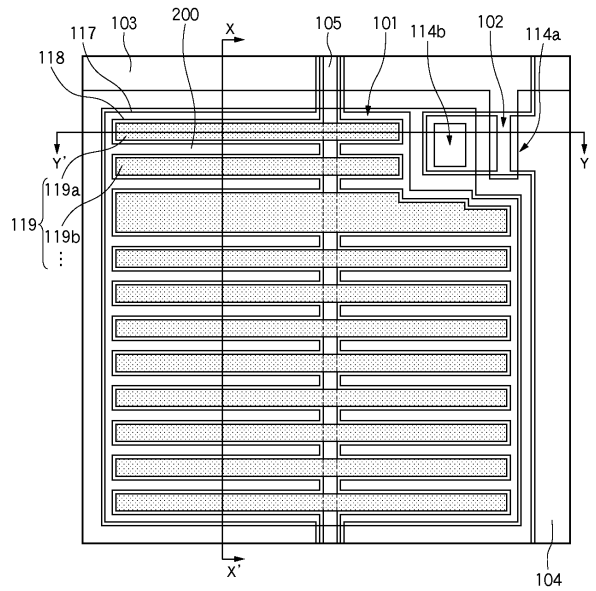
2 0 0 間隙

50

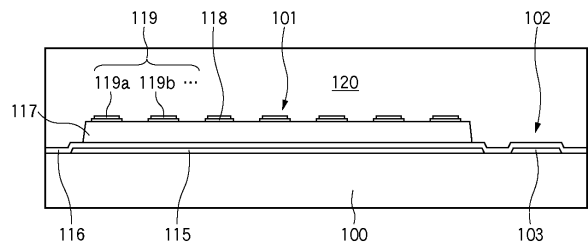
【図 1】



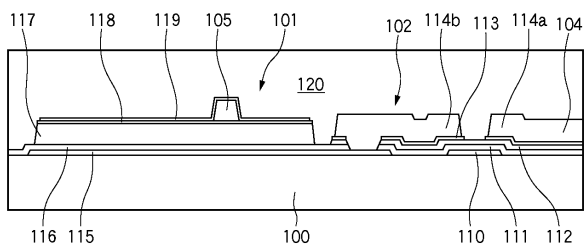
【図 2】



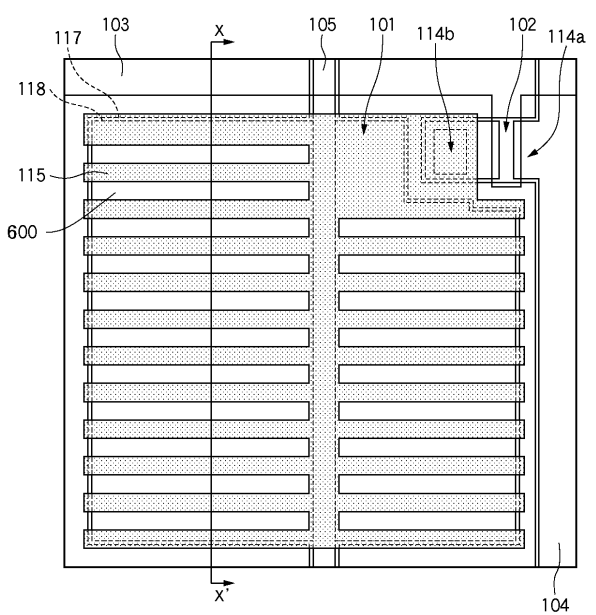
【図 3】



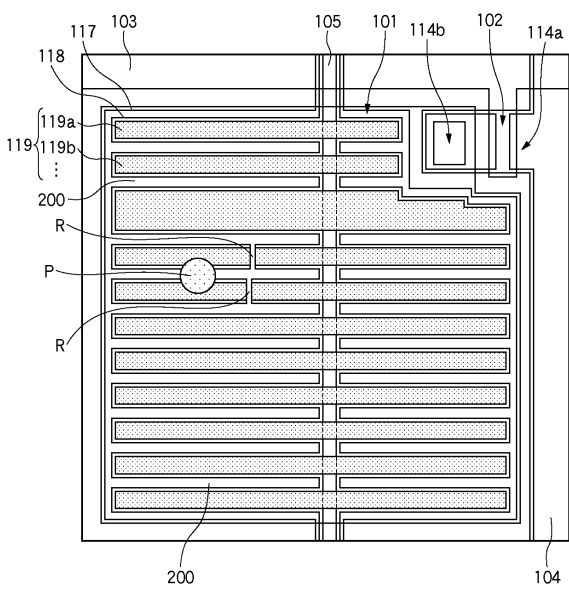
【図 4】



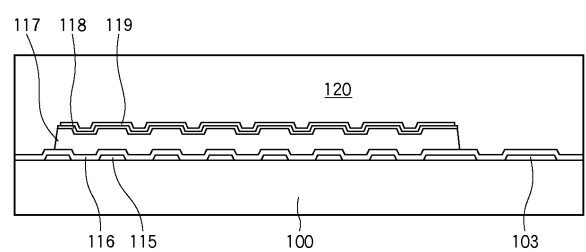
【図 6】



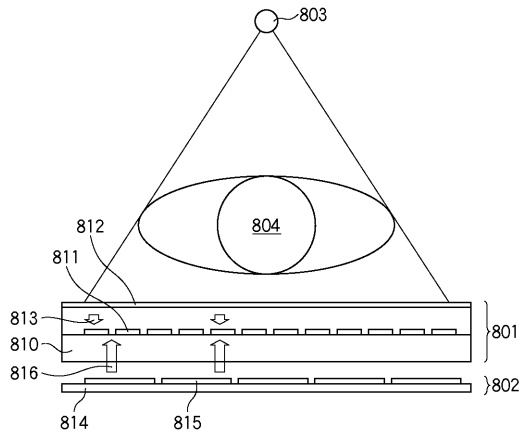
【図 5】



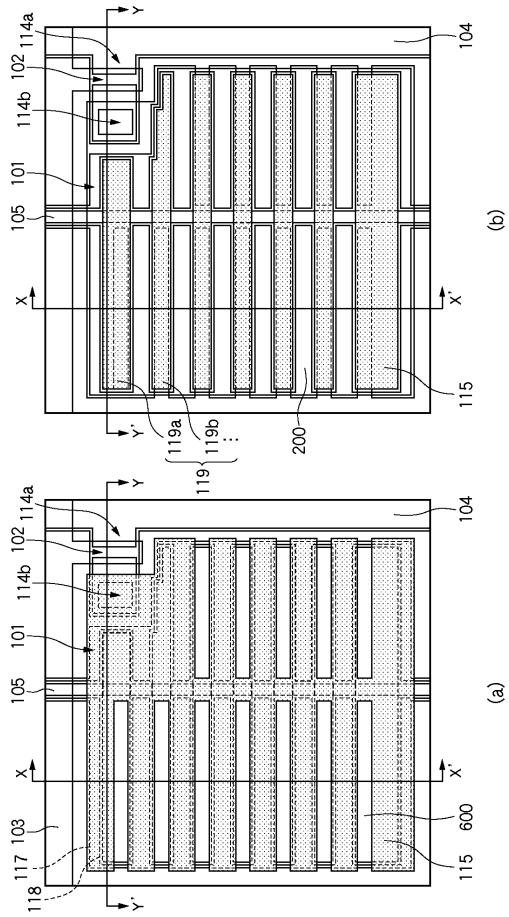
【図 7】



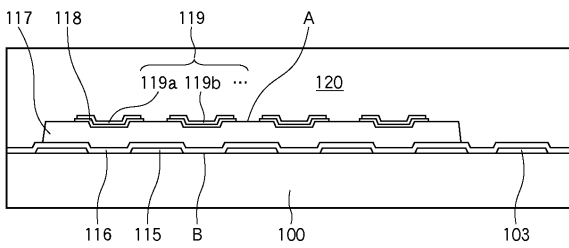
【図 8】



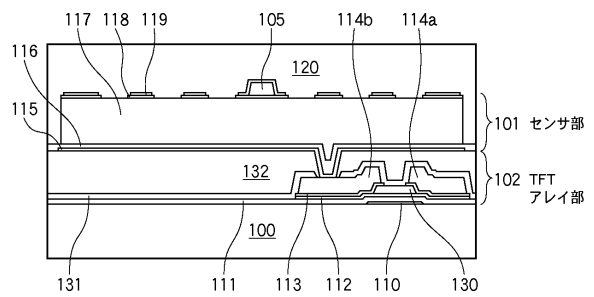
【図 9】



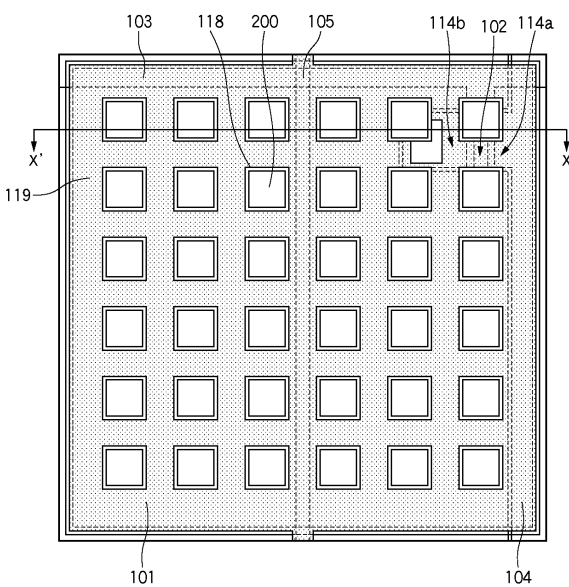
【図 10】



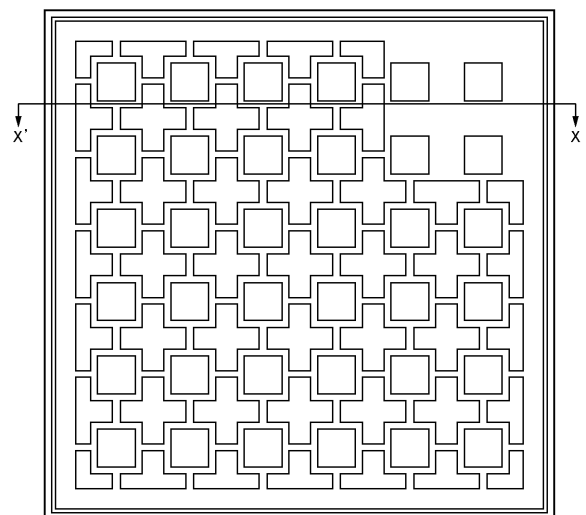
【図 12】



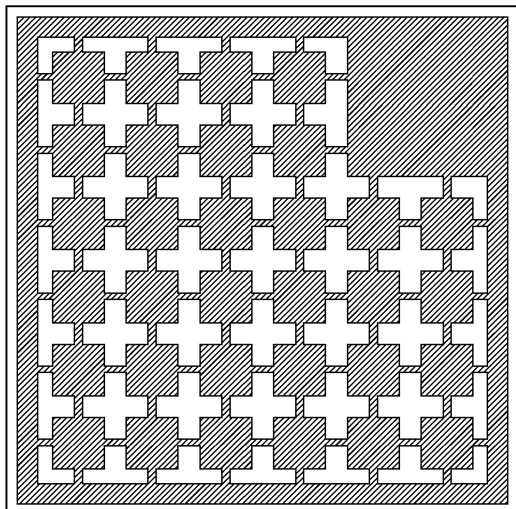
【図 11】



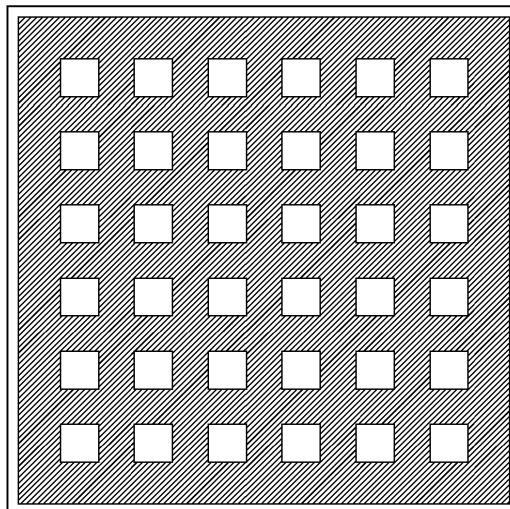
【図 13】



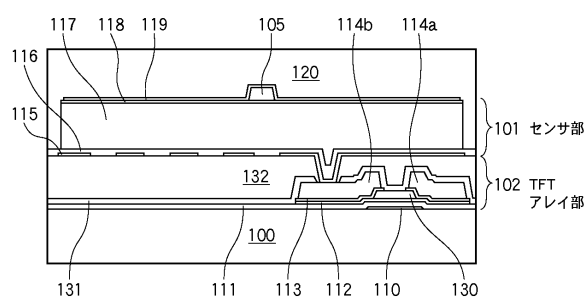
【图 14】



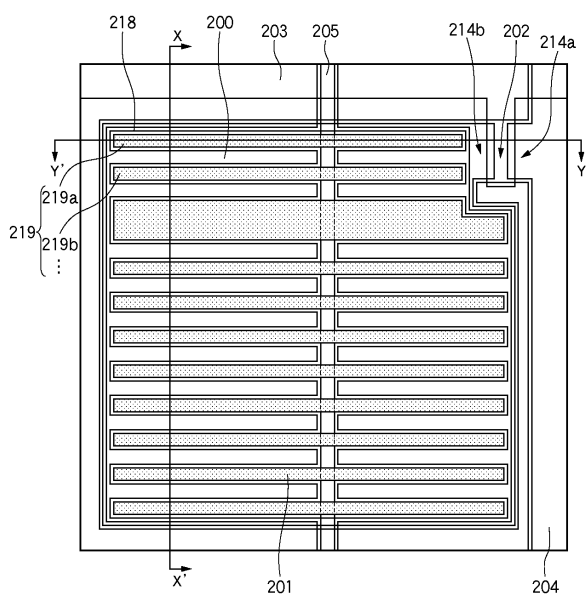
【 図 1 5 】



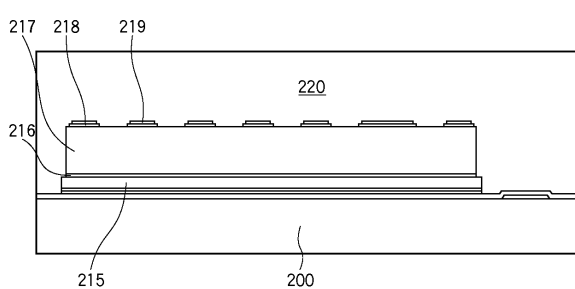
【 图 16 】



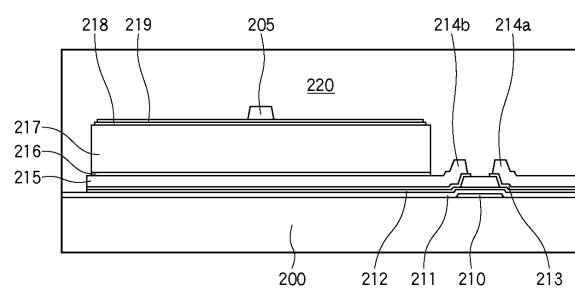
【 圖 1 7 】



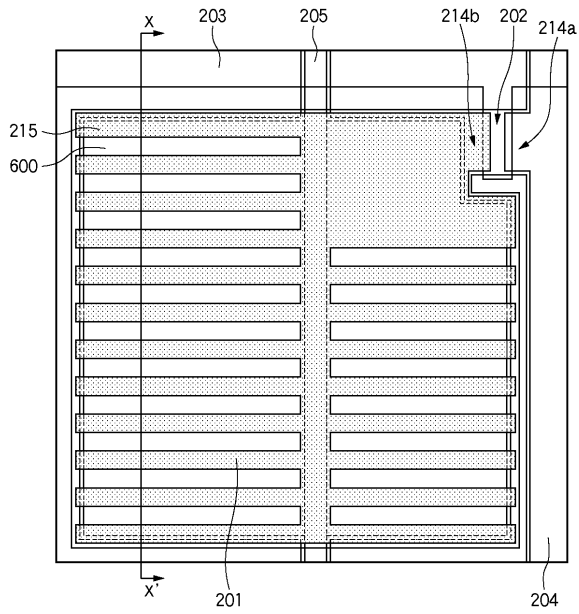
【 圖 1 8 】



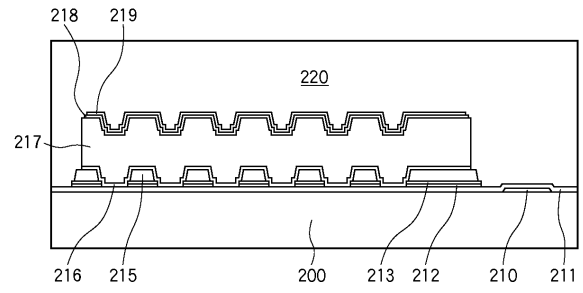
【 图 19 】



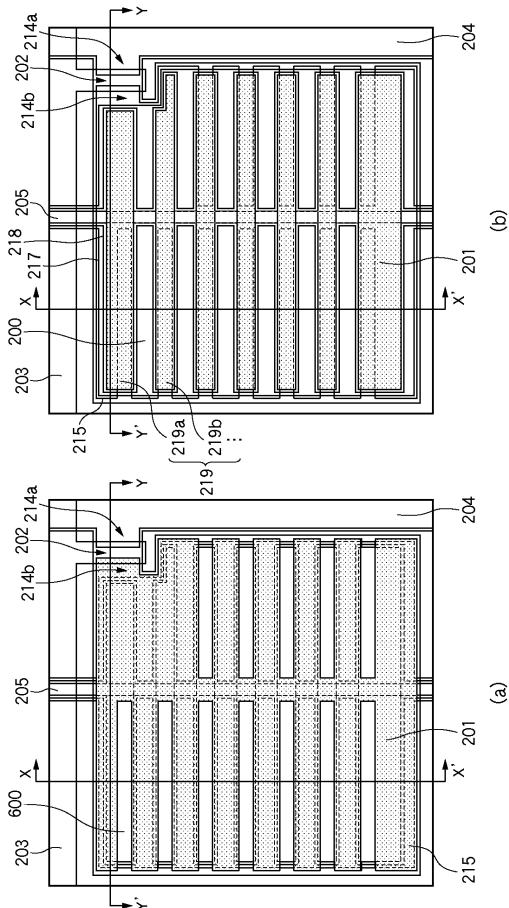
【図 20】



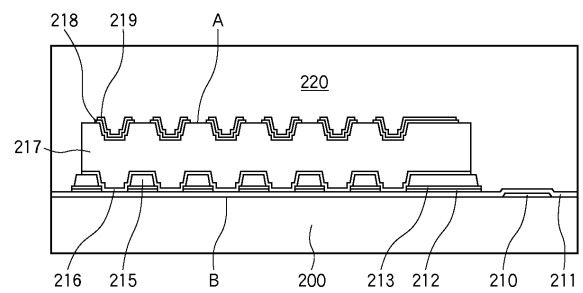
【図 21】



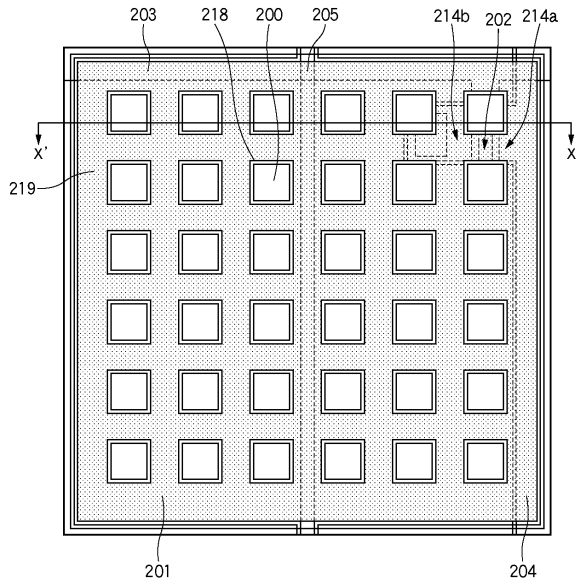
【図 22】



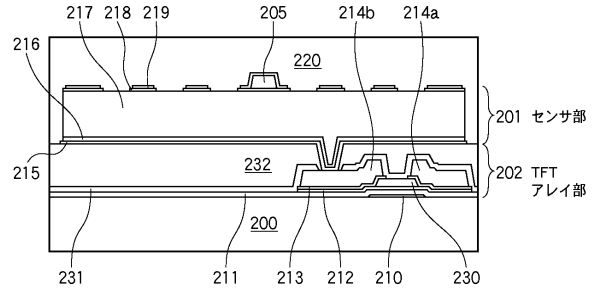
【図 23】



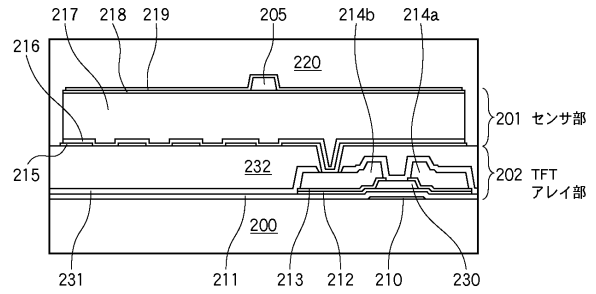
【図 24】



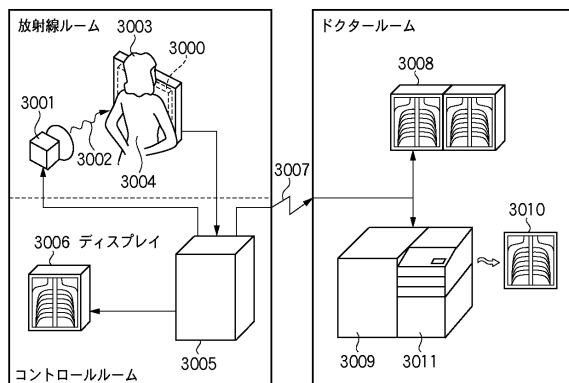
【図 25】



【図 26】



【図 27】



フロントページの続き

- (72)発明者 望月 千織
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 渡辺 実
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 石井 孝昌
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 森下 正和
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 柴山 将隆

- (56)参考文献 特開平10-084106(JP,A)
特開昭64-005058(JP,A)
特開平02-219269(JP,A)
特開2004-015001(JP,A)
特開平11-125840(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/144
G01T 1/20
G01T 1/24
H01L 27/146