

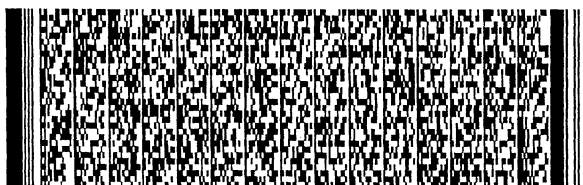
申請日期： 97-9-16	IPC分類
申請案號： 93127987	H01L 29/786

(以上各欄由本局填註)

發明專利說明書

200529442

一、 發明名稱	中文	薄膜電晶體之製造方法
	英文	METHOD FOR FABRICATING THIN FILM TRANSISTORS
二、 發明人 (共1人)	姓名 (中文)	1. 陳坤宏
	姓名 (英文)	1. Kun-Hong Chen
	國籍 (中英文)	1. 中華民國 TW
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 友達光電股份有限公司
	名稱或 姓名 (英文)	1. AU Optronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Rd. 2, Science-Based Industrial Park, Hsinchu 300, Taiwan, TW
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. K. Y. Lee



0632-A50193TW(5-0); AU0306016; Alexchen.ptd

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十七條第一項國際優先權
美國 US	2004/02/20	10/783,553	有

二、主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：

四、有關生物材料已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

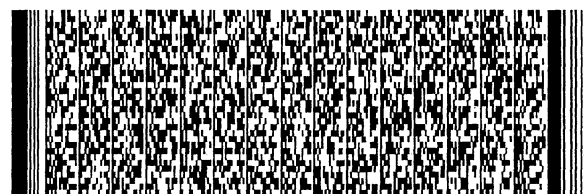
本發明係有關於一種薄膜電晶體之製造方法，且特別有關於一種低溫多晶矽(Low-Temperature Polysilicon, LTPS)之薄膜電晶體製造方法。

【先前技術】

製作半導體積體電路與其裝置的過程，需使用多道的光微影步驟，以定義、形成各種特定的電路元件與製程所需的電路設計。傳統光微影系統係在覆蓋有一光敏感膜(光阻層)的平坦基板上，投射一由光罩定義的特定電路或元件圖案，待圖案曝光後，進行光敏感膜顯影，以留下基板上的電路或元件圖案，該圖案化後之基板繼續進行例如蝕刻及摻雜等製程步驟。在製作光電顯示裝置與感測器之薄膜電晶體的過程中，進行多次光微影的製程須耗費多倍的時間。

每一光微影製程的進行均代表材料、勞動力或技術成本的耗費、產率的下降以及生產時間的浪費，因此，若能提出任何可減少上述耗費事項的簡化製作流程，對製程改良上來說，均是一大創新與貢獻，而減少光微影製程即是提供一簡化性製程，若以此優勢面對市場上其他類似產品的競爭，勢必在成本管控及出貨效率上更形有利。

能簡化並降低成本的製作流程，須同時能維持半導體裝置與元件必要的物理及電性表現。



五、發明說明 (2)

【發明內容】

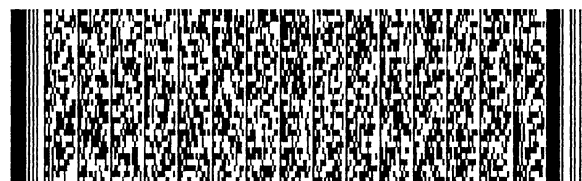
有鑑於此，本發明之目的在提供一種利用四道光微影光罩製作薄膜電晶體的薄膜電晶體製造方法。

基於上述目的，本發明提供一種薄膜電晶體之製造方法。首先，提供一基板，該基板至少包括一玻璃基板與一緩衝層。形成該電晶體之源／汲極金屬區於該緩衝層上之預定區，該源／汲極金屬區定義一開口，接著於其內形成一矽層、一閘氧化層以及一閘金屬層。形成一第一光阻圖案於該閘金屬層上，該第一光阻圖案具有一兩部分結構，並據以選擇性地移除部分該閘金屬層、該閘氧化層、以及該矽層。選擇性地縮減該第一光阻圖案以形成覆蓋面積小於該第一光阻圖案之第二光阻圖案，並據以縮減該閘金屬層。移除該第二光阻圖案，並且摻雜一預定摻雜物於該矽層中以形成一預定型式之一源極區與一汲極區。

【實施方式】

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

相較於傳統六道光罩的製作流程，本發明係揭露利用四道光微影光罩，有效製作薄膜電晶體的方法，且本發明製作而得的薄膜電晶體裝置其主動電晶體區的組成及尺寸係與傳統六道光罩製程的相同。另為簡化敘述，本發明係以製作一P通道的薄膜電晶體為例，但不限定於此，只要

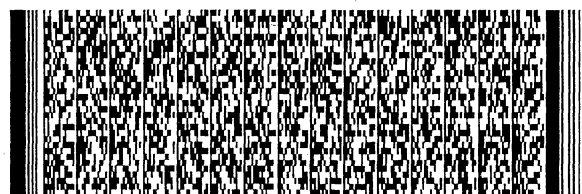


五、發明說明 (3)

改變摻質，即可製作N通道的裝置。

請參閱第1A~1J圖，其係為利用六道光微影光罩製作傳統P通道薄膜電晶體之剖面示意圖。如第1A圖所示，提供一平坦化玻璃基板102，其表面上堆疊有兩膜層，一緩衝層104與一多晶矽層106，其中緩衝層104係由一絕緣材質（例如為氧化矽）所組成，藉由化學氣相沉積或在氣態環境下的熱成長而形成，而多晶矽層106則利用化學氣相沉積法形成於堆疊的玻璃-緩衝層上，且在沉積過程中可摻雜少許N型或P型的摻質。多晶矽層106的任意摻雜可調整後續定義之電晶體閘通道的起始電壓特性。值得注意的是，一些傳統的製程有利用單晶矽材質代替此處的多晶矽層106。

接下來，如第1B圖所示，形成一第一光微影光罩圖案108於堆疊的多晶矽層106、緩衝層104與玻璃基板102上。接著，以光罩圖案108為罩幕，圖案化多晶矽層106，該多晶矽層106係作為將來在緩衝層104與基板102上形成電晶體的區域。在蝕刻多晶矽層106的步驟中，多晶矽層106由於有上層光罩圖案108的保護，遂形成一獨立的多晶矽區106，如第1C圖所示，以作為將來形成特定或簡單薄膜電晶體裝置的基礎。接著，如第1D圖所示，藉由氣態環境的熱成長或化學氣相沉積形成一介電層110（例如氧化矽）於蝕刻後的多晶矽層106與緩衝層104上。介電層110例如為一之後作為薄膜電晶體閘介電層的閘氧化層。此外，第1D圖亦顯示以一金屬離子濺鍍或化學電鍍製程沉積一閘金



五、發明說明 (4)

屬層112於閘氧化層110上。

接下來，如第1E圖所示，形成一第二光微影光罩圖案114於閘金屬層112上，此光罩圖案114可保護特定區域的閘金屬層112避免被蝕刻，以形成薄膜電晶體閘極與水平設置於基板102上連接多數特定薄膜電晶體閘極的閘金屬導線。蝕刻閘金屬層112的步驟通常為濕蝕刻法或乾化學電漿蝕刻法。

第1F圖係顯示蝕刻閘金屬層與移除光罩圖案114之後的閘極112剖面示意圖。移除光罩圖案114後，摻雜P型摻質至區域118與120，區域118與120係鄰近閘極112但不位於其正下方。摻雜步驟係為P型摻質如硼或雙氟硼的離子佈植116，以於多晶矽層106中形成源極118與汲極120，而位在閘極正下方沒有摻雜的區域，則形成閘通道，至此即完成主動薄膜電晶體元件包括源極118、汲極120、閘極112以及電晶體通道區的製作。標準化的離子佈植程序116，使得摻質落於多晶矽層中的118與120區域且閘金屬112阻擋了電晶體閘通道的摻雜。此外，若要製作N型通道的薄膜電晶體結構，將可採用N型摻質如磷的離子佈植，以形成N型的源／汲極區。在上述源／汲極摻雜步驟後，通常會進行一熱回火製程（未圖示）以修補摻雜層的任何物理性傷害，同時活化、分散摻質。

第1G圖係顯示利用第三道光罩製作薄膜電晶體的剖面示意圖。首先，以化學沉積形成一層間介電層122於閘金屬層112上，接著，圖案化並以濕蝕刻或乾化學電漿製程



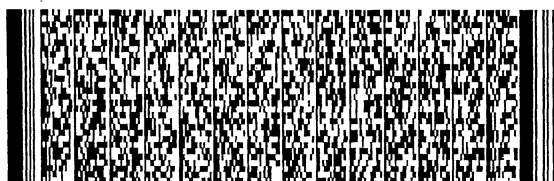
五、發明說明 (5)

蝕刻層間介電層122，以形成從層間介電層122上表面貫穿至薄膜電晶體源／汲極區118與120的垂直開口124。接著，以離子濺鍍法填入導電金屬至垂直開口124中，以提供一從層間介電層122至薄膜電晶體源／汲極區118與120的垂直內連線。

完成垂直內連線製作後，以金屬離子濺鍍或化學電鍍製程全面性地沉積一金屬層126於層間介電層122上。之後，形成一第四罩幕圖案（未圖示）於金屬層126上，以定義、形成連接各薄膜電晶體源／汲極區的水平金屬導線，以完成電路製作，第1H圖即顯示薄膜電晶體裝置於設置第四罩幕圖案並蝕刻金屬層後的剖面示意圖。圖中顯示新的金屬導線126係藉由之前形成並已被充填的垂直開口124與薄膜電晶體源／汲極區118與120連接。在形成金屬導線126後，續利用化學沉積形成一鈍態介電層128於薄膜電晶體裝置上。

第1I圖顯示利用第五道光罩製作薄膜電晶體裝置的剖面示意圖。首先，形成一第五罩幕圖案於鈍態層128上，且以此為蝕刻罩幕，利用濕蝕刻或乾化學電漿製程形成一垂直的內連線開口130並露出金屬導線126，該垂直內連線開口130係用以連接金屬導線126與未來形成於鈍態層128上的金屬導線。之後，以離子濺鍍法填入導電金屬至垂直開口130中。

接著，如第1J圖所示，沉積一通常為銻錫氧化物的最終導電層132於鈍態層128上，之後，利用第六罩幕圖案，

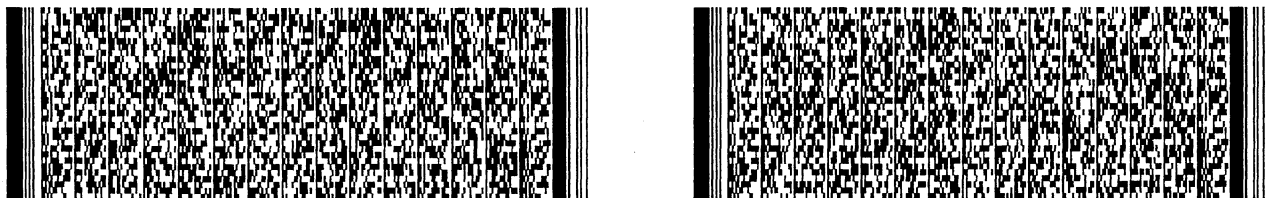


五、發明說明 (6)

圖案化導電層132以完成最終薄膜電晶體裝置的製作。基本之薄膜電晶體裝置包括下列基本元件，如包含閘電極金屬、閘氧化物與未摻雜摻質之多矽晶區域之閘堆疊、做為源／汲極之摻雜摻質之多矽晶區域、用於源／汲極接線與電路線之第一層金屬層、以及為了額外的源／汲極接線與電路線之由銻錫氧化物構成的第二層導電層。

第2A~2I圖係顯示本發明之利用四道光微影光罩製作薄膜電晶體之剖面示意圖。如第2A圖所示，首先，提供一平坦化玻璃基板202，其表面上堆疊有兩膜層，一緩衝層204與一金屬層206，另外還有覆蓋在該兩堆疊膜層上之第一光阻罩幕圖案208。緩衝層204係由一例如為氧化矽的絕緣材質所構成，其藉由化學氣相沉積或在氣態環境下的熱成長而形成，而金屬層206則利用一金屬離子濺鍍或化學電鍍製程沉積在緩衝層204上。如第2A圖所示。利用第一光阻罩幕圖案208選擇性地蝕刻與移除金屬層，使得剩下來的金屬圖案區定義出薄膜電晶體的源／汲極金屬電極和該裝置的金屬電路線之位置。第2B圖係顯示完成蝕刻與移除步驟後之金屬層206的剖面示意圖。

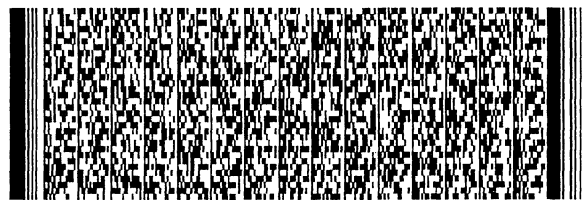
在執行下一道罩幕圖案／蝕刻程序之前，將另外的三層薄膜覆蓋於金屬圖案及玻璃一緩衝基板疊層202-206上。第2C圖係顯示沉積於金屬圖案及玻璃一緩衝基板疊層202-206上之一多晶矽層。多晶矽（或非多晶矽）層208'利用化學氣相沉積於金屬圖案及玻璃一緩衝基板疊層上，且在沉積過程中，可摻雜少許N型或P型摻質。接著，



五、發明說明 (7)

藉由氣態環境下的熱成長或化學氣相沉積法形成一例如氧化矽的介電層210於多晶矽層208'上。介電層210例如為一之後作為薄膜電晶體閘介電層的閘氧化層。之後，以一金屬離子濺鍍或化學電鍍製程沉積一閘金屬層212於閘氧化層210上。接著，將第二罩幕光阻層214覆蓋在閘金屬層212之選定的區域上。

如第2C圖所示，第二罩幕圖案214以傳統單一部分（單一高度、單一寬度）區域覆蓋閘金屬層212之選定的區域上。閘金屬層212之其它選定的區域可為藉由半透式光罩型罩幕圖形化，其中該半透式光罩型罩幕至少具有兩個光線穿透速率不同的區域。由於此光線劑量的差異，光阻層上的不同區域會產生不同程度的活化，而形成對應於每一電晶體的一個兩部分的光阻結構214'。此兩部分的光阻結構214'包括一具有一預定幾何形狀（例如高度及寬度）的第一部分a以及一在第一部分結構下方具有另一預定幾何形狀（例如高度與寬度）的第二部分b，且a與b係為相同的材質。該兩部分的光阻結構214'亦稱為一階梯式結構。所使用的半透式光罩型罩幕可以有不同的設計。應了解的是，在以下的描述中，第一光阻圖案中第一與第二部分的寬度係為一參考點，以描述製造薄膜電晶體材質是可更換的，但是應了解的是，這些膜層材質的整個幾何形狀亦會因此而改變。在另一實施例中，該半透式光罩，其中心區域與周圍區域的材質可為不同材質，以得到不同的遮光效率，使在單一曝光製程中於光阻層上獲得不同的曝

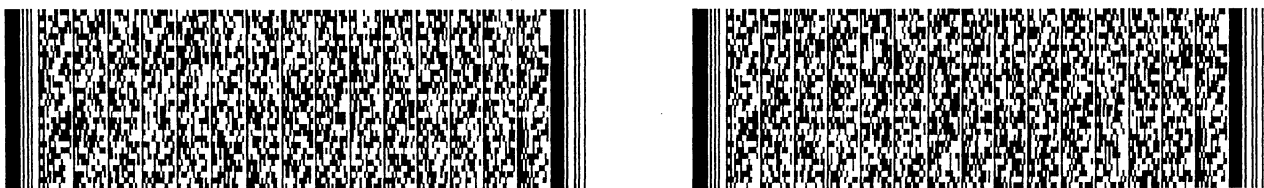


五、發明說明 (8)

光劑量。在另一實施例中，兩區域均使用相同的材質，而在中心區域另有一預定圖案以遮蔽具有和穿透周圍區域相同速率的光線。

於堆疊層202~212上形成第二光阻圖案214和214'後，如第2D圖所示，該些未圖案化、未曝光的堆疊層續由任何光阻結構（例如，單一與兩部分的光阻結構214與214'）予以定義，係透過蝕刻步驟移除部分的閘金屬層212、閘氧化層210以及多晶矽層208'，典型的蝕刻步驟包含濕蝕刻與乾電漿蝕刻等方法。

接著，如第2E圖所示，利用乾蝕刻或自動電漿製程選擇性地縮減該單一部分與兩部分光阻結構214和214'，以形成一第二光阻圖案215，使得兩部分光阻結構214'變成單一部分光阻結構。第二光阻圖案215具有較第一光阻圖案214'小之面積（即，覆蓋其它下方材質的面積）。要注意的是，源／汲極金屬電極上的單一部分光阻結構圖案214已隨著兩部分光阻結構214'的部分移除同時移除。光阻圖案的移除／縮減可藉由乾電漿蝕刻法和（或）濕蝕刻法完成。剩下之新的光阻結構215可能大於或小於原始兩部分結構214'之第一部分a的覆蓋區域。如第2E圖所示，利用乾蝕刻或自動電漿製程選擇性地縮減該兩部分光阻結構214'，以在堆疊層208~212上形成光阻圖案215。接著，以此縮減之光阻圖案215為單幕，利用濕蝕刻或乾化學電漿蝕刻蝕刻閘金屬層212，結果如第2F圖所示。至此完成第一光罩的使用並移除光阻層215。

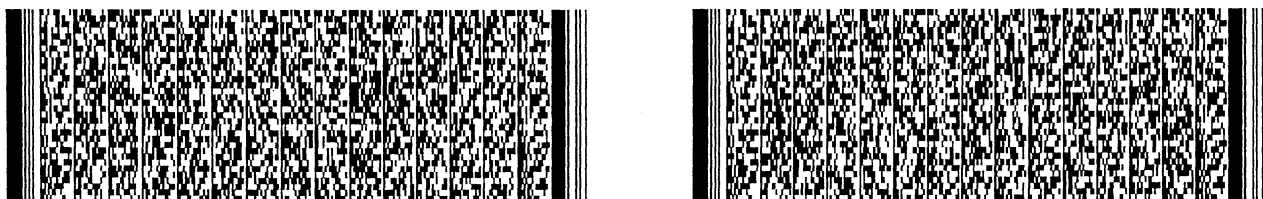


五、發明說明 (9)

在此步驟完成後，即完成兩關鍵的電晶體定義步驟。其一係為利用第一光阻圖案214與214'定義閘金屬層212、閘氧化層210以及多晶矽層208'，使多晶矽層208'分離成特定區域用以放置薄膜電晶體，其二係為利用第二光阻圖案215定義閘金屬層212以形成每一電晶體的閘極。因此，相較於傳統必須利用兩個分離光罩圖案方能完成兩次電晶體定義步驟，本發明利用此單一、兩部分的光阻結構214'提供了更簡化的方法，大幅節省製造成本。

第2G圖係顯示移除光阻圖案215後，閘極212的剖面示意圖。在移除光阻圖案215後，摻雜P型摻質至區域218與220，區域218與220係鄰近閘極212但不位於其正下方。摻雜步驟係為P型摻質如硼或雙氟硼的離子佈植216，以形成多晶矽層208'中的源極218與汲極220，而位在閘極正下方沒有摻雜的區域，則形成閘通道，至此即完成包括源極218、汲極220、閘極212以及電晶體通道209的主動薄膜電晶體元件之製作。標準化的離子佈植程序216，使得摻質落於多晶矽層中的218與220區域，且閘金屬212阻擋了電晶體閘通道209的摻雜。若要製作N型通道的薄膜電晶體結構，可採用N型摻質如磷的離子佈植，以形成N型的源／汲極區218、220。在上述源／汲極摻雜步驟後，通常會進行一熱回火製程（未圖示）以修補摻雜層的任何物理性傷害，並同時活化、分散趨入的摻質。

第2H圖係顯示利用第三道光罩製作薄膜電晶體的剖面圖。在薄膜電晶體源／汲極區218、220形成後，形成一層



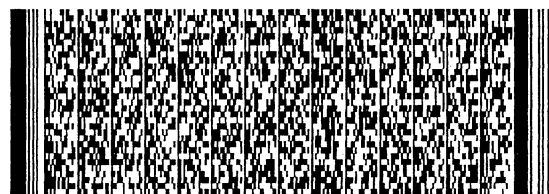
五、發明說明 (10)

間介電 (或稱為鈍態介電) 層222於閘金屬層212與閘氧化層210上。接著,圖案化並蝕刻層間介電層222,以形成從層間介電層222上表面貫穿至薄膜電晶體源/汲極區218、220與源/汲極金屬電極區206的垂直開口224。通常,層間介電層係以化學沈積製程形成,蝕刻的方法通常使用濕蝕刻或乾化學電漿製程。

參考第2I圖,以離子濺鍍法填入導電金屬至第2H圖所示之垂直開口224中,以提供一從層間介電層222的表面至薄膜電晶體源/汲極區218、220與源/汲極金屬電極區206的垂直內連線。於完成垂直內連線製作後,以金屬離子濺鍍或化學電鍍製程,全面性地沉積一導電層226於層間介電層222與被填充之垂直開口224上。藉此銻錫氧化物導電層226和垂直內連線,使源/汲極金屬電極區206連接至薄膜電晶體的源極218與汲極220。

接著,執行最後一道(即第四道)光罩製程,定義做為薄膜電晶體的最後連線用及所需的裝置電路之水平金屬導線。第2I圖係於施行第四道光罩製程且定義和蝕刻銻錫氧化物層後之薄膜電晶體裝置的剖面圖。如圖所示,位於層間介電層222上表面之銻錫氧化物導電層226,係經由垂直開口224中填充而形成的垂直內連線連接薄膜電晶體的源極218與汲極220。

由此觀之,本發明之基本薄膜電晶體裝置係只利用四道光罩製程完成製作。如傳統六道光罩製程所製成之薄膜電晶體裝置,本發明之薄膜電晶體包括下列基本元件,如

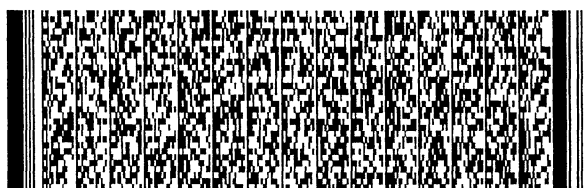


五、發明說明 (11)

包含閘電極金屬、閘氧化物與未摻雜摻質之多矽晶區域之閘堆疊、做為源／汲極之摻雜摻質之多矽晶區域、用於源／汲極接線與電路線之第一層金屬層、以及為了額外的源／汲極接線與電路線之由銻錫氧化物構成的第二層導電層。

第3圖係為本發明製作薄膜電晶體時，每一光微影光罩步驟其目的與順序的總結流程圖300。在步驟302中，係利用第一光罩製造薄膜電晶體之源極與汲極金屬電極，以及製造玻璃基板與緩衝層上之第一層的元件金屬電路線。在步驟304中，係利用第二光罩並使用單一光阻圖案圖案以進行數個蝕刻步驟。過程中，利用一單一曝光製程，以兩部分結構的光阻圖案為罩幕，圖案化並蝕刻多晶矽層、閘氧化層與閘金屬層，以形成每一薄膜電晶體的特定區域。該方法僅利用單一光罩即可定義不同寬度的閘金屬層與多晶矽、閘氧化層，明顯降低薄膜電晶體裝置的製造成本。在步驟306中，利用圖案化與蝕刻介電層，以形成連接薄膜電晶體源／汲極區、源／汲極金屬電極與下一道金屬層的垂直開口，續填入金屬於該源／汲極區與源／汲極電極線之間，並沉積一金屬層於頂部。在步驟308中，圖案化該金屬層，以形成一連接至薄膜電晶體源／汲極區的最後特定電路線。

本發明薄膜電晶體裝置的製造僅使用四道光微影光罩，且製作而得的薄膜電晶體裝置，其尺寸大小、材質組成與元件位置均與傳統上利用六道光罩製作出來的結果相

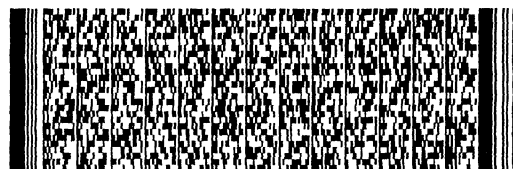
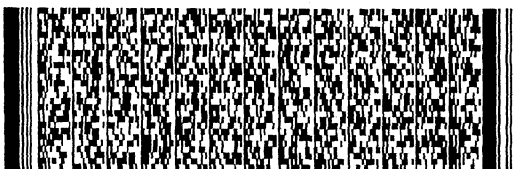


五、發明說明 (12)

同，其提供相似的裝置電性操作與效能。本發明係揭露一薄膜電晶體的簡化製程，首先形成源／汲極金屬層，並以單一光罩完成傳統兩光罩的工作。本發明減少光微影製程的結果，將使在面對市場上其他類似產品的競爭時，更具成本管控及出貨效率的競爭力。

本發明可順利相容於現今、傳統與未來的製程技術中，本文提供數個實例以揭式本發明的不同特徵，而特定元件與製程的實例則為幫助更了解本發明，因此，並不限定為本發明的範圍。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

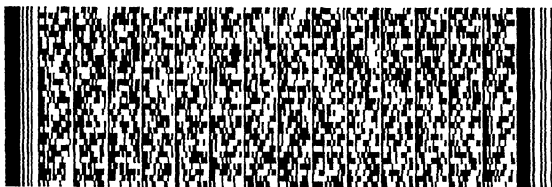
第1A～1J圖係顯示傳統利用六道光微影光罩製作P通道薄膜電晶體之剖面示意圖。

第2A～2I圖係顯示本發明之利用四道光微影光罩製作薄膜電晶體之剖面示意圖。

第3圖係顯示第2A～2I圖之薄膜電晶體之製造方法的步驟流程圖。

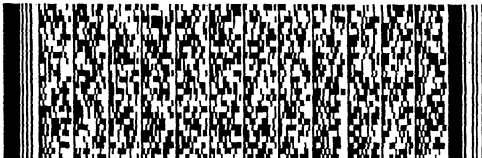
【主要元件符號說明】

- 102～玻璃基板；
- 104～緩衝層；
- 106～多晶矽層；
- 108～第一光阻圖案；
- 110～介電層；
- 112～閘金屬層；
- 114～第二光阻圖案；
- 116～離子佈植；
- 118～源極；
- 120～汲極；
- 122～層間介電層；
- 124、130～開口；
- 126～金屬導線；
- 128～鈍態介電層；
- 132～導電層；
- 202～玻璃基板；



圖式簡單說明

- 204 ~ 緩衝層；
- 206 ~ 金屬層；
- 208 ~ 第一光阻圖案；
- 208' ~ 多晶矽層；
- 209 ~ 電晶體閘極通道；
- 210 ~ 介電層；
- 212 ~ 閘金屬層；
- 214 ~ 單一光阻結構；
- 214' ~ 兩部分光阻結構 (a 與 b) ；
- 215 ~ 第二光阻圖案；
- 216 ~ 離子佈植；
- 218 ~ 源極；
- 220 ~ 汲極；
- 222 ~ 層間介電層；
- 224 ~ 開口；
- 226 ~ 導電層。



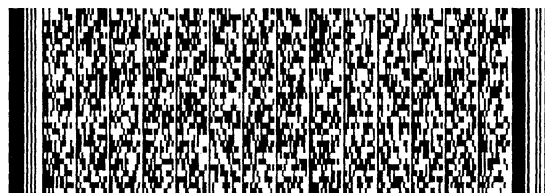
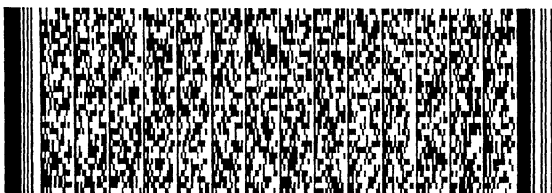
四、中文發明摘要 (發明名稱：薄膜電晶體之製造方法)

一種薄膜電晶體之製造方法。首先，提供一基板，該基板至少包括一玻璃基板與一緩衝層。形成該電晶體之源／汲極金屬區於該緩衝層上之預定區，該源／汲極金屬區定義一開口，接著於其內形成一矽層、一閘氧化層以及一閘金屬層。形成一具有一兩部分結構之第一光阻圖案於該閘金屬層上，並據以選擇性地移除部分該閘金屬層、該閘氧化層、以及該矽層。選擇性地縮減該第一光阻圖案以形成覆蓋面積小於該第一光阻圖案之第二光阻圖案，並據以縮減該閘金屬層。移除該第二光阻圖案，並且摻雜一預定摻雜物於該矽層中以形成一預定型式之一源極區與一汲極區。

本案若有化學式，請揭示最能顯示發明特徵的化學式
無。

五、英文發明摘要 (發明名稱：METHOD FOR FABRICATING THIN FILM TRANSISTORS)

A method is disclosed for forming a thin film field effect transistor. On a preliminary substrate having at least a glass substrate layer and a buffer layer, source and drain metal regions of the transistor are formed for defining an opening, in which a silicon layer, gate oxide layer, and gate metal layer are formed thereafter. A first photoresist pattern having a two-portion



四、中文發明摘要 (發明名稱：薄膜電晶體之製造方法)

五、英文發明摘要 (發明名稱：METHOD FOR FABRICATING THIN FILM TRANSISTORS)

structure is used for selectively removing portions of the gate metal, gate oxide, and silicon layers. After forming a second photoresist pattern with a coverage are smaller than that of the first photoresist patter, it is used for reducing the gate metal layer. By doping a predetermined impurity in the silicon layer, a source region and drain region of a predetermined



四、中文發明摘要 (發明名稱：薄膜電晶體之製造方法)

五、英文發明摘要 (發明名稱：METHOD FOR FABRICATING THIN FILM TRANSISTORS)

type is completed.



六、申請專利範圍

1. 一種薄膜電晶體之製造方法，包括下列步驟：

提供一基板，該基板至少包括一玻璃基板與一緩衝層；

形成該電晶體之源／汲極金屬區於該緩衝層上之一預定區，該源／汲極金屬區定義一開口；

形成一矽層、一閘氧化層以及一閘金屬層於該開口內；

形成一第一光阻圖案於該閘金屬層上，該第一光阻圖案具有一兩部分結構，該兩部分結構包括一第一部分結構與在該第一部分結構下之第二部分結構；

利用該第一光阻圖案選擇性地移除部分該閘金屬層、該閘氧化層、以及該矽層；

選擇性地縮減該第一光阻圖案以形成覆蓋面積小於該第一光阻圖案之第二光阻圖案；

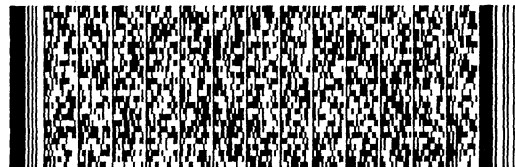
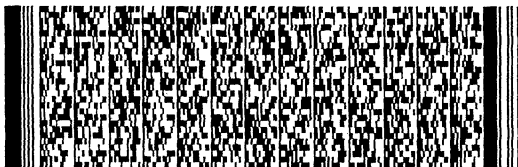
利用該第二光阻圖案縮減該閘金屬層；

移除該第二光阻圖案；以及

摻雜一預定摻雜物於該矽層中以形成一預定型式之一源極區與一汲極區。

2. 如申請專利範圍第1項所述的薄膜電晶體之製造方法，其更包括形成覆蓋於具有該源極與汲極金屬區之該電晶體之一層間介電層，並且露出該源／汲極金屬區。

3. 如申請專利範圍第2項所述的薄膜電晶體之製造方法，其更包括形成一導電層，其連接露出之該源／汲極區與該源／汲極金屬區。



六、申請專利範圍

4. 如申請專利範圍第3項所述的薄膜電晶體之製造方法，其更包括選擇性地移除部份導電層以形成電路線。

5. 如申請專利範圍第1項所述的薄膜電晶體之製造方法，其中，該第一光阻圖案之步驟更包括利用具有一第一與第二區之一預定光罩，以一光源選擇性地曝光一光阻材，通過該第一區之光線較該第二區為少，以形成該第一與第二部分結構。

6. 如申請專利範圍第5項所述的薄膜電晶體之製造方法，其中，該光罩上之第一與第二區係由不同材質所構成。

7. 如申請專利範圍第1項所述的薄膜電晶體之製造方法，其中，該導電層為銻錫氧化物。

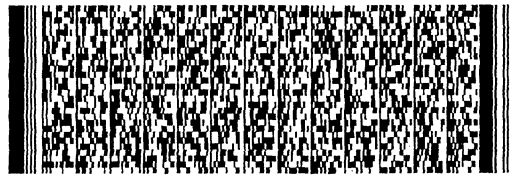
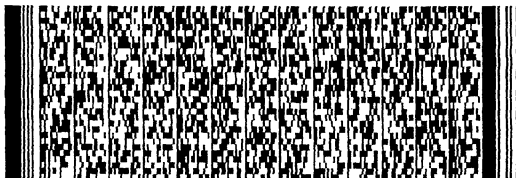
8. 一種薄膜電晶體之製造方法，包括下列步驟：

利用一第一光罩製程形成該電晶體之源／汲極金屬區於一玻璃基板上方之一緩衝層上的預定區，以及形成一矽層、一閘氧化層以及一閘金屬層於由該源／汲極金屬區所定義之一開口；

利用一第二光罩製程形成一具有一兩部分結構之第一光阻圖案於該閘金屬層上，以選擇性移除部分該閘金屬層、該閘氧化層、以及該矽層；

選擇性地縮減該第一光阻圖案以形成覆蓋面積小於該第一光阻圖案之第二光阻圖案；

利用一第三光罩製程形成覆蓋於具有該源／汲極金屬區之該電晶體之一閘層介電層，並且露出該源／汲極金屬



六、申請專利範圍

區；

形成一導電層，其連接露出之該源／汲極區與該源／汲極金屬區；

利用一第四光罩製程選擇性移除預定之部份導電層以形成電路線。

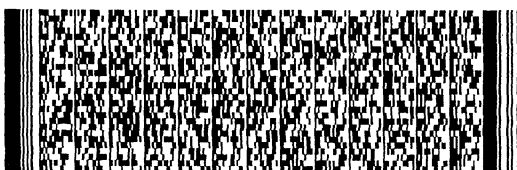
9. 如申請專利範圍第8項所述的薄膜電晶體之製造方法，其更包括移除該第二光阻圖案，且在執行該第三光罩製程前摻雜一預定摻雜物於該矽層中以形成一預定型式之一源極區與一汲極區。

10. 如申請專利範圍第8項所述的薄膜電晶體之製造方法，其中，利用該第二製程之步驟更包括於一單一曝光製程中使用一預定光罩形成該第一光阻圖案，其包括一第一部分結構與在該第一部分結構下之第二部分結構。

11. 如申請專利範圍第10項所述的薄膜電晶體之製造方法，其中，該預定光罩具有一中心與一周圍區域，且通過該中心區域之光線係較該周圍區域為少，以形成該第一與第二部分結構。

12. 如申請專利範圍第11項所述的薄膜電晶體之製造方法，其中，該光罩上之該中心與周圍區域係由相同材質所構成，而該周圍區域上之一預定光罩圖案係用來遮蔽欲通過之光線。

13. 如申請專利範圍第11項所述的薄膜電晶體之製造方法，其中，該光罩上之該中心與周圍區域係由不同材質所構成，而該中心區域材質所遮蔽之光線係較該周圍區域



六、申請專利範圍

材質為多。

14. 一種薄膜電晶體之製造方法，包括下列步驟：

提供一基板，該基板至少包括一玻璃基板與一緩衝層；

形成該電晶體之源／汲極金屬區於該緩衝層上之預定區，該源／汲極金屬區定義一開口；

依序形成一矽層、一閘氧化層以及一閘金屬層於該開口內；

形成一具有一兩部分結構之第一光阻圖案於該閘金屬層上，該兩部分結構包括一第一部分結構與在該第一部分結構下且大於該第一部分結構之第二部分結構；

利用該第一光阻圖案選擇性地移除部分該閘金屬層、該閘氧化層、以及該矽層；

選擇性地縮減該第一光阻圖案以形成覆蓋面積小於該第一光阻圖案之第二光阻圖案；

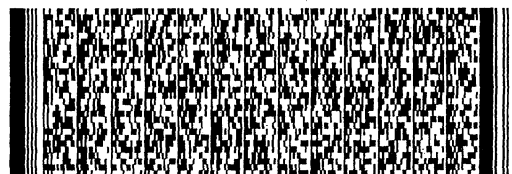
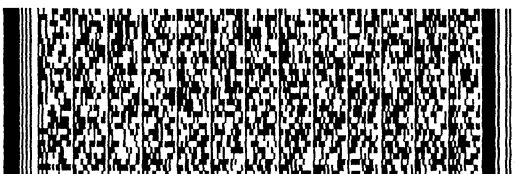
利用該第二光阻圖案縮減該閘金屬層；

移除該第二光阻圖案；以及

摻雜一預定摻雜物於該多晶矽層中以形成一預定型式之一源極區與一汲極區。

15. 如申請專利範圍第14項所述的薄膜電晶體之製造方法，其更包括形成覆蓋於具有該源極與汲極金屬區之該電晶體之一層間介電層，並且露出該源／汲極金屬區。

16. 如申請專利範圍第15項所述的薄膜電晶體之製造方法，其更包括形成一導電層，其連接露出之該源／汲極



六、申請專利範圍

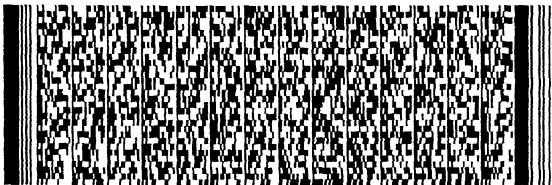
區與該源／汲極金屬區。

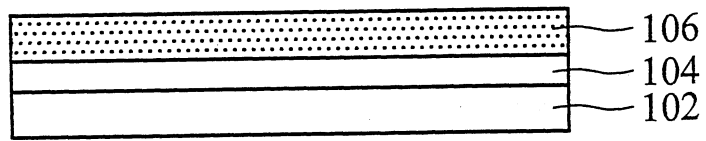
17. 如申請專利範圍第16項所述的薄膜電晶體之製造方法，其中，該導電層為銻錫氧化物。

18. 如申請專利範圍第16項所述的薄膜電晶體之製造方法，其更包括選擇性地移除部份導電層以形成電路線。

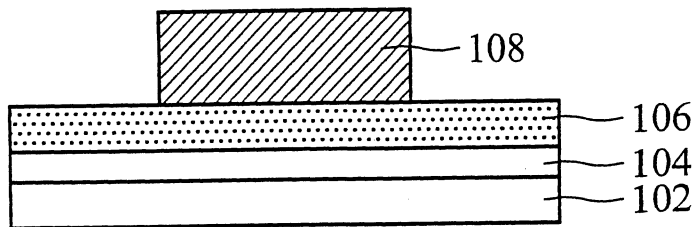
19. 如申請專利範圍第14項所述的薄膜電晶體之製造方法，其中，該第一光阻圖案之步驟更包括利用具有一第一與第二區之一預定光罩，以一光源選擇性地曝光一光阻材，通過該第一區之光線較該第二區為少，以形成該第一與第二部分結構。

20. 如申請專利範圍第19項所述的薄膜電晶體之製造方法，其中，該光罩上之第一與第二區係由不同材質所構成。

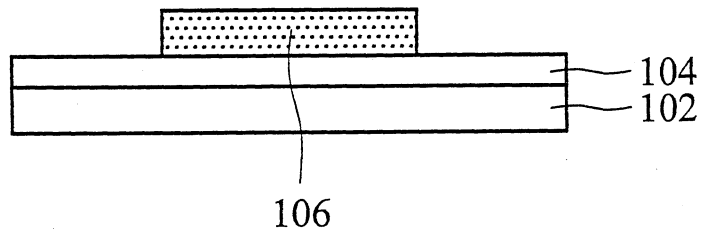




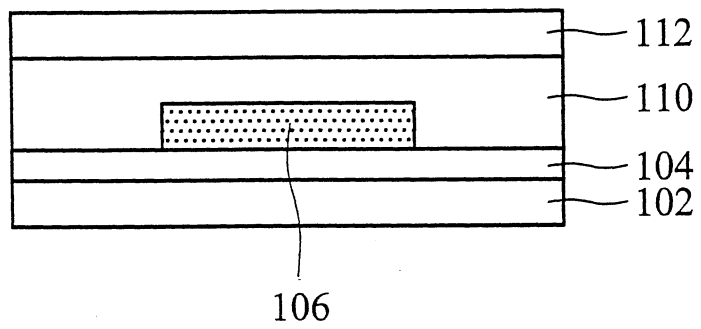
第 1A 圖



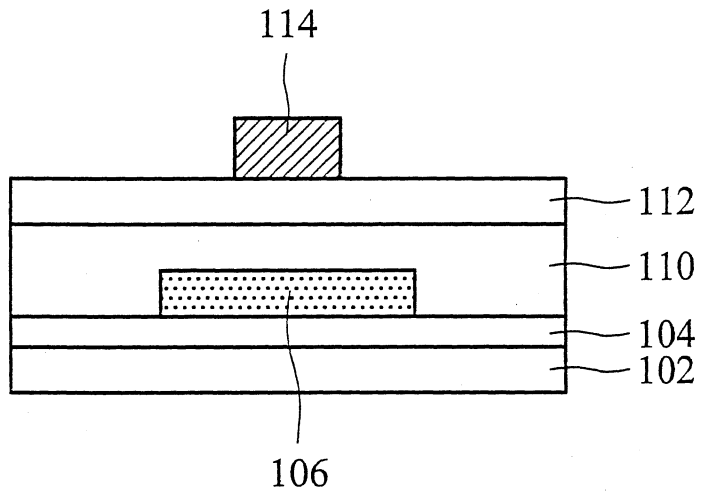
第 1B 圖



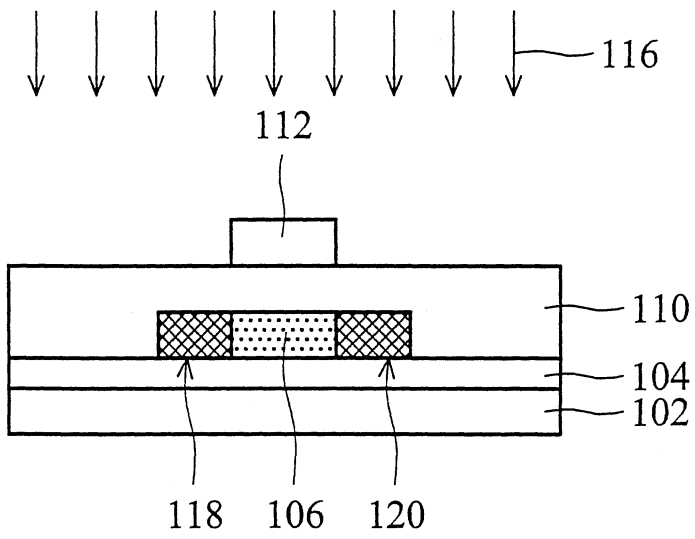
第 1C 圖



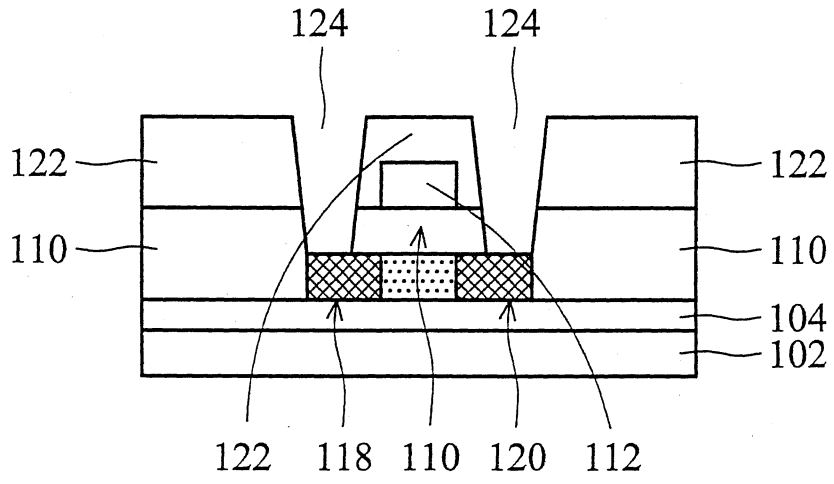
第 1D 圖



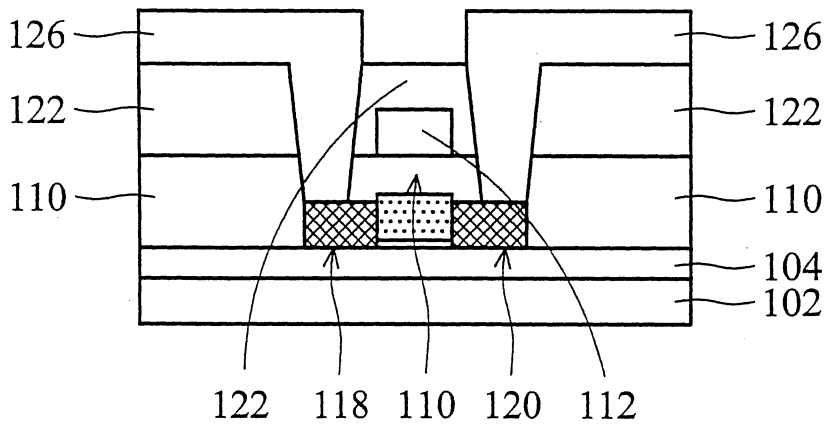
第 1E 圖



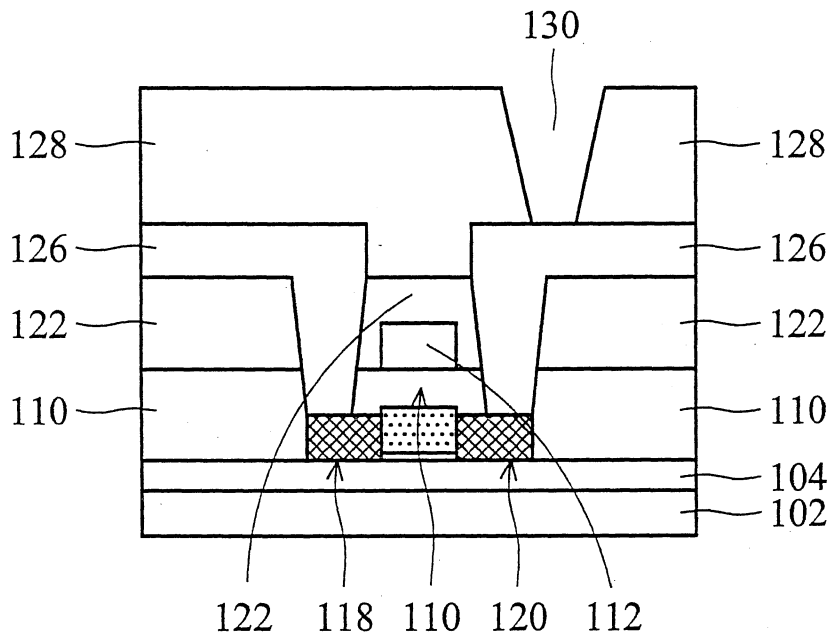
第 1F 圖



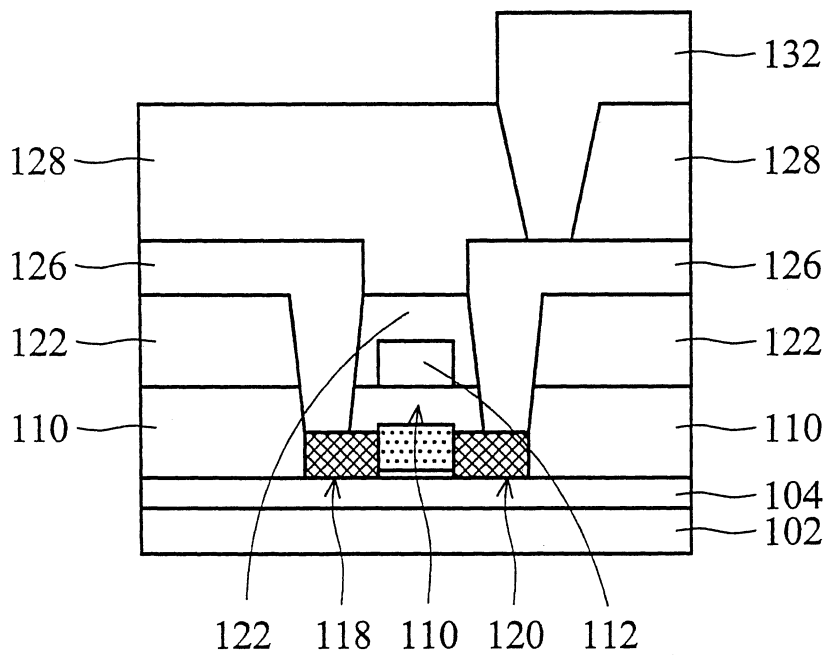
第 1G 圖



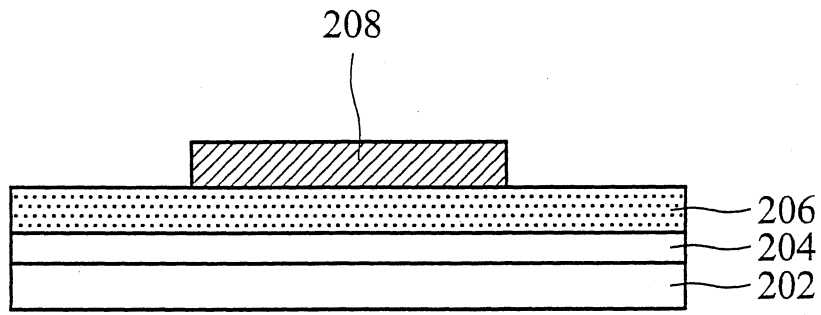
第 1H 圖



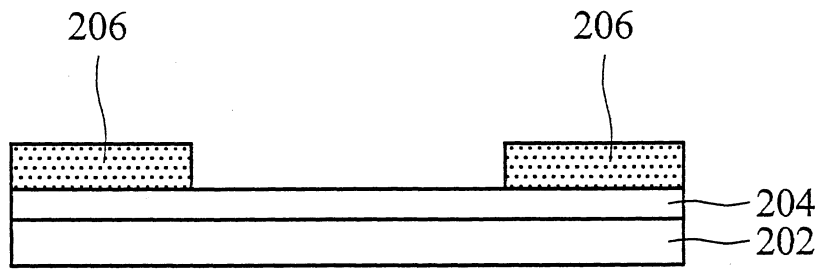
第 1I 圖



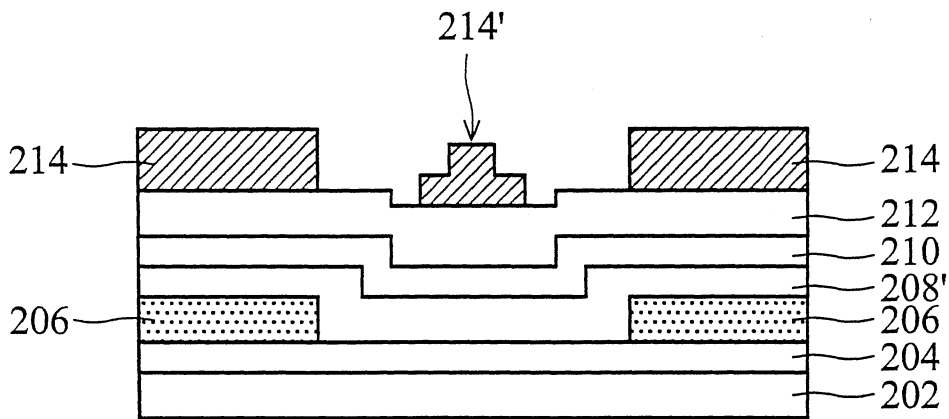
第 1J 圖



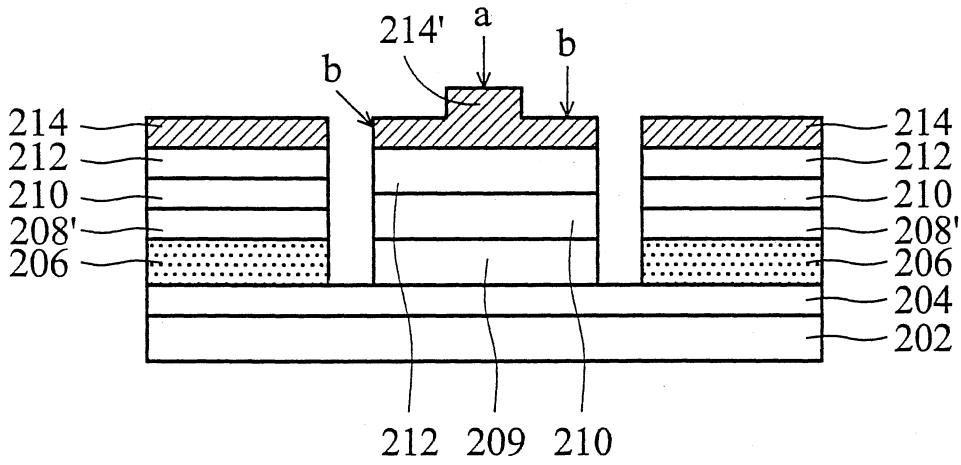
第 2A 圖



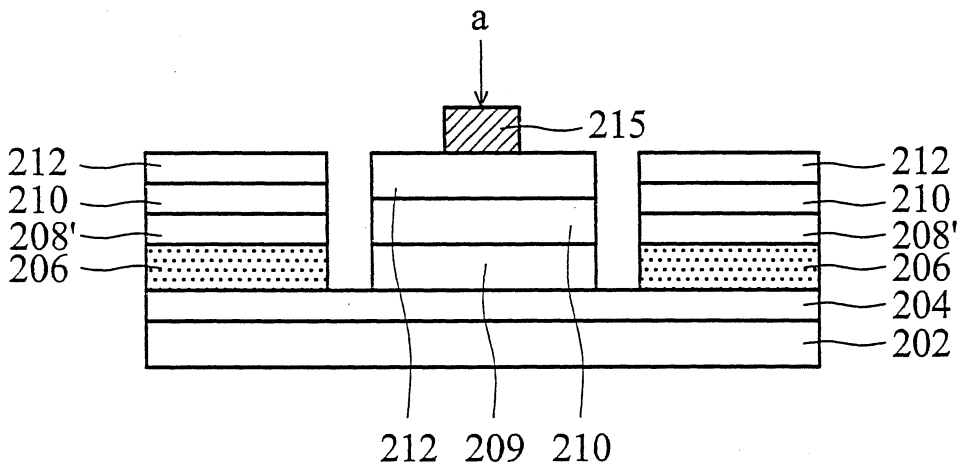
第 2B 圖



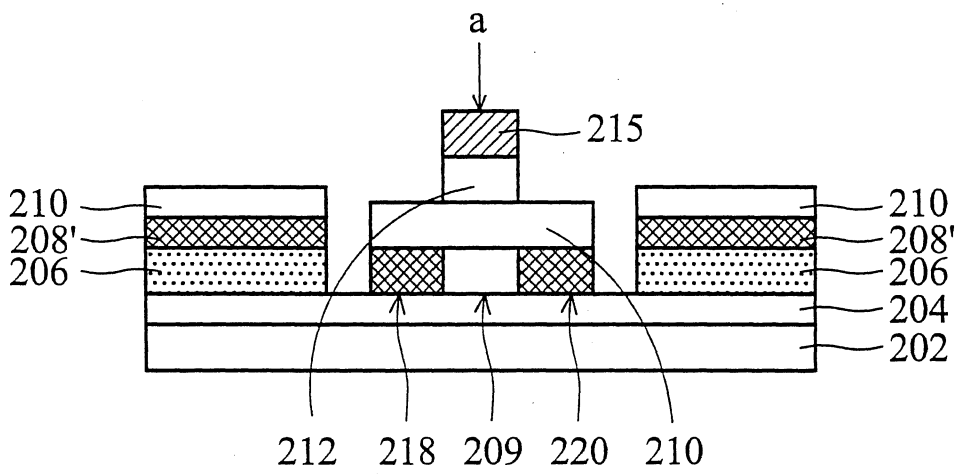
第 2C 圖



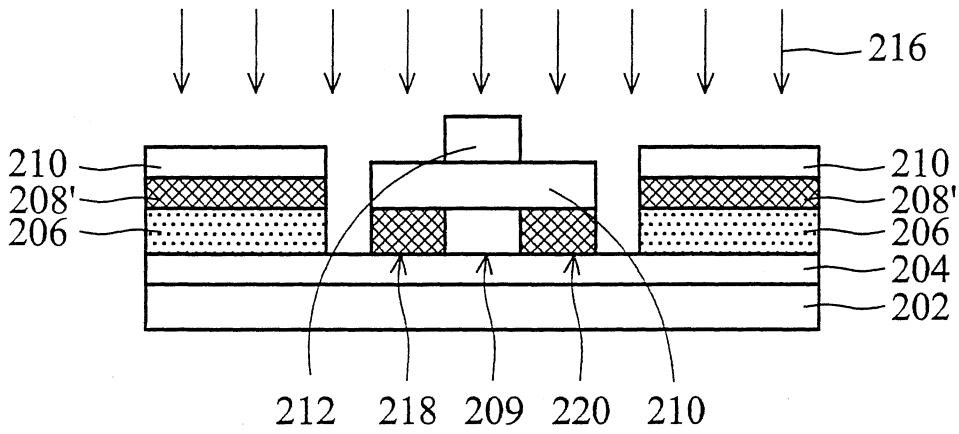
第 2D 圖



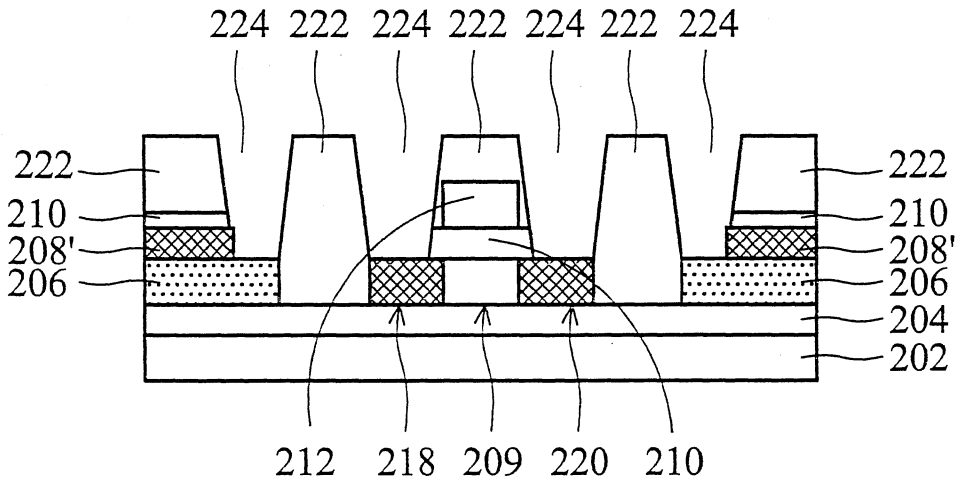
第 2E 圖



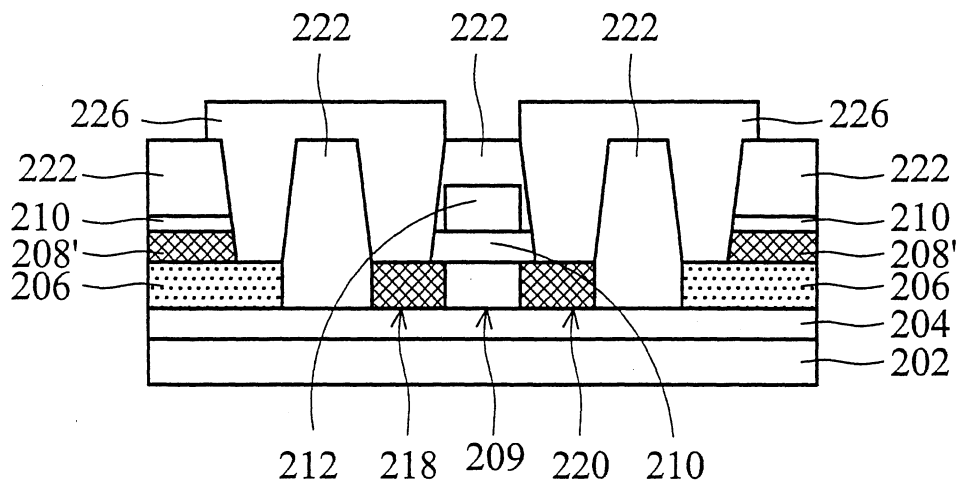
第 2F 圖



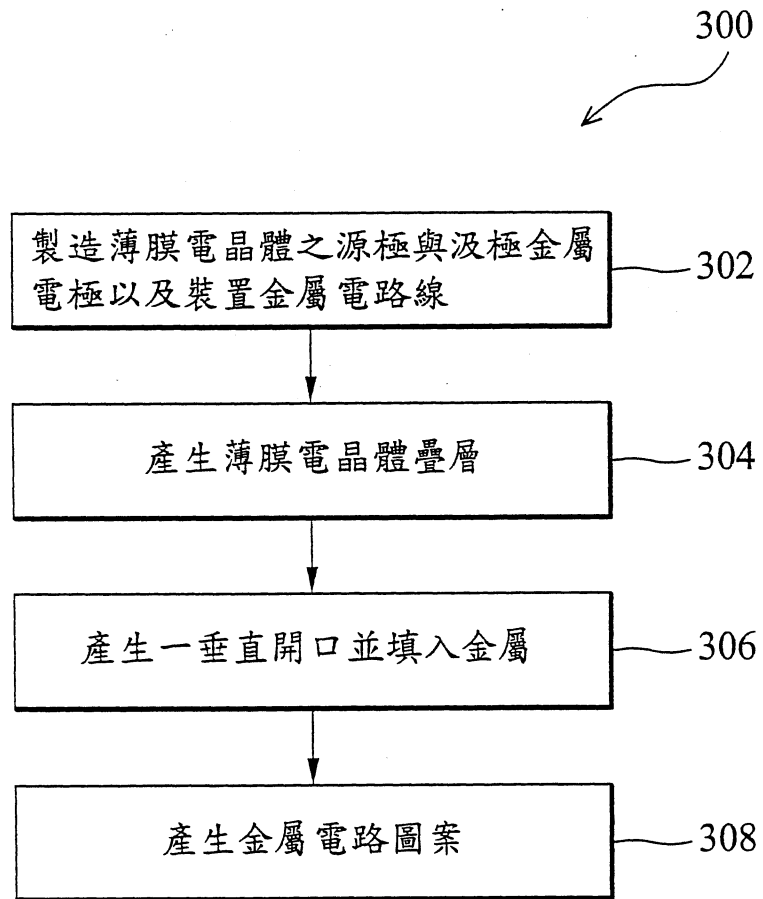
第 2G 圖



第 2H 圖



第 2I 圖



第 3 圖

六、指定代表圖

(一)、本案代表圖為：第3圖。

(二)、本案代表圖之元件代表符號簡單說明：無。

