

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-191392

(P2004-191392A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2B 6/122	GO2B 6/12 B	2H037
GO2B 6/42	GO2B 6/42	2H047
GO2F 1/133	GO2F 1/133 505	2H093

審査請求 未請求 請求項の数 14 O L (全 26 頁)

(21) 出願番号	特願2002-355348 (P2002-355348)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成14年12月6日 (2002.12.6)	(74) 代理人	100089037 弁理士 渡邊 隆
		(74) 代理人	100064908 弁理士 志賀 正武
		(74) 代理人	100110364 弁理士 実広 信哉
		(72) 発明者	近藤 貴幸 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	2H037 AA01 BA02 BA11 BA24 DA03 DA06

最終頁に続く

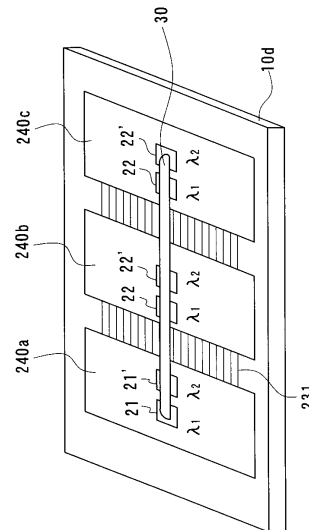
(54) 【発明の名称】 波長多重チップ内光インターコネクション回路、電気光学装置および電子機器

(57) 【要約】

【課題】 信号伝達速度を高速化することができるとともに容易に微細化することができ、簡易に製造することができる波長多重チップ内光インターコネクション回路、電気光学装置および電子機器を提供する。

【解決手段】 1つの集積回路チップ10d上に設けられた複数の回路ブロック240a, 240b, 240cと、異なる波長(λ₁, λ₂)の複数の光を回路ブロック240a, 240b, 240c同士間で伝送する伝送路であって集積回路チップ10d上に設けられた光導波路30とを有することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

1つの集積回路チップ上に設けられた複数の回路ブロックと、異なる波長の複数の光を前記回路ブロック同士間で伝送する伝送路であって前記集積回路チップ上に設けられた光導波路とを有することを特徴とする波長多重チップ内光インターコネクション回路。

【請求項 2】

前記回路ブロック同士は、光学的及び電氣的に接続されていることを特徴とする請求項 1記載の波長多重チップ内光インターコネクション回路。

【請求項 3】

前記光導波路の少なくとも一部は、前記回路ブロックの上面に設けられていることを特徴とする請求項 1又は2記載の波長多重チップ内光インターコネクション回路。

【請求項 4】

前記光導波路の少なくとも一部は、前記回路ブロックを横切るように該回路ブロック上に設けられていることを特徴とする請求項 1乃至3のいずれか一項に記載の波長多重チップ内光インターコネクション回路。

【請求項 5】

前記光導波路の少なくとも一部は、前記回路ブロックを迂回するように設けられていることを特徴とする請求項 1乃至4のいずれか一項に記載の波長多重チップ内光インターコネクション回路。

【請求項 6】

前記回路ブロックは、発光素子又は受光素子が電氣的に接続されており、前記発光素子は、所定波長の光を前記光導波路に放射するものであり、前記受光素子は、所定波長の光を前記光導波路から受光するものであることを特徴とする請求項 1乃至5のいずれか一項に記載の波長多重チップ内光インターコネクション回路。

【請求項 7】

前記発光素子は、微小なタイル形状をした第1微小タイル状素子であり、該第1微小タイル状素子は、前記集積回路チップ上に複数設けられており、該複数の第1微小タイル状素子それぞれは、波長の異なる2種類以上の光の内いずれか1つを放射するものであり、前記受光素子は、微小なタイル形状をした第2微小タイル状素子であり、該第2微小タイル状素子は、前記集積回路チップ上に複数設けられており、該複数の第2微小タイル状素子それぞれは、波長の異なる2種類以上の光の内いずれか1つを選択的に受光することを特徴とする請求項 6記載の波長多重チップ内光インターコネクション回路。

【請求項 8】

前記光導波路の少なくとも一部は、前記第1微小タイル状素子又は第2微小タイル状素子に被さるように設けられていることを特徴とする請求項 7記載の波長多重チップ内光インターコネクション回路。

【請求項 9】

前記回路ブロックは、CPU、メモリ回路、DSP、RF増幅回路、イメージセンサ及びバイオセンサのうちのいずれかであり、前記光導波路は、データ信号又はクロック信号の伝送路であることを特徴とする請求項 1乃至8のいずれか一項に記載の波長多重チップ内光インターコネクション回路。

【請求項 10】

前記第1微小タイル状素子又は第2微小タイル状素子は、1つの前記回路ブロックに複数設けられており、該複数の第1微小タイル状素子又は第2微小タイル状素子は、発光波長又は受光波長がそれぞれ異なることを特徴とする請求項 7乃至9のいずれか一項に記載の波長多重チップ内光インターコネクション回路。

10

20

30

40

50

【請求項 1 1】

前記集積回路チップは、基板上に複数実装されており、
該複数の集積回路チップ同士は、発光機能又は受光機能を備えた微小タイル状素子と基板上に設けられた光導波路とを少なくとも介して光学的に接続されていることを特徴とする請求項 1 乃至 1 0 のいずれか一項に記載の波長多重チップ内光インターコネクション回路。

【請求項 1 2】

前記集積回路チップは、基板上に複数実装されており、
該集積回路チップ同士が密着しており、
該集積回路チップ同士は、光学的又は電氣的に接続されていることを特徴とする請求項 1 乃至 1 1 のいずれか一項に記載の波長多重チップ内光インターコネクション回路。 10

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか一項に記載の波長多重チップ内光インターコネクション回路を備えたことを特徴とする電気光学装置。

【請求項 1 4】

請求項 1 乃至 1 2 のいずれか一項に記載の波長多重チップ内光インターコネクション回路を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、波長多重チップ内光インターコネクション回路、電気光学装置および電子機器に関する。 20

【0002】

【従来の技術】

L S I (大規模集積回路)は、当初 D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) や M P U (M i c r o P r o c e s s i n g U n i t) のように特定の機能をもつ集積回路として進歩してきたが、M P U の高速化にともなって高速キャッシュメモリとしての S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) を同一チップ内に取り込むようになった。さらに現在ではフラッシュメモリ、D S P (D i g i t a l S i g n a l P r o c e s s o r) 、 D R A M など を ワン チ ャ ッ プ に 集 積 す る こ と で 高 機 能 な 情 報 処 理 シ ス テ ム へ と 進 化 し て き て い る 。 30

【0003】

このように異なる機能を持つ集積回路を同一チップ内に形成した L S I は、システムオンチップ (S O C : S y s t e m O n a C h i p) とよばれている。S O C では、異なる機能をもつ集積回路 (回路ブロック) はワンチップ上に平面的に形成され各回路ブロック間はグローバル配線とよばれる電気配線で接続される。S O C の動作速度は、このグローバル配線の信号遅延や消費電力の増大といった問題によって制限される (例えば、非特許文献 1 参照)。

【0004】

【非特許文献 1】

応用物理学会発行の応用物理、第 7 1 巻第 9 号 (2 0 0 2) p 1 0 9 1 - 1 1 0 1 40

【0005】

この各回路ブロック間の信号伝達を光信号で行うことができれば、電氣的グローバル配線で発生する信号遅延や消費電力の増大などの問題を回避でき、L S I の処理速度を著しく高めることが可能となる。

そして、光信号を用いてデータ伝達するには、光源から放射された光信号を所定の場所まで伝達して、受光素子などに入力する光伝送手段が必要になる。従来このような光伝送手段としては、光ファイバーを利用した技術、又は基板上に形成した光導波路を利用した技術がある。

【0006】

【発明が解決しようとする課題】

しかしながら、光伝送手段として光ファイバーを利用した場合、発光素子及び受光素子などの光部品との接続が複雑になり、その製造に多大なコスト及び時間がかかるとともに、光伝送手段の小型化が困難になるという問題がある。

【0007】

これに対し、基板上に形成した光導波路を利用することによって、光伝送媒体と発光素子及び受光素子などとの接続を簡単にすることが考えられる。しかし、この光導波路に適した入出力構造が未だ見いだされていないのが現状であり、集積回路内に適用できるほどの微細化及び製造容易化が図られた光伝送手段は実現されていない。

【0008】

本発明は、上記事情に鑑みてなされたもので、信号伝達速度を高速化することができるとともに容易に微細化することができ、簡易に製造することができる波長多重チップ内光インターコネクション回路、電気光学装置および電子機器の提供を目的とする。

【0009】**【課題を解決するための手段】**

上記した目的を達成するために本発明の波長多重チップ内光インターコネクション回路は、1つの集積回路チップ上に設けられた複数の回路ブロックと、異なる波長の複数の光を前記回路ブロック同士間で伝送する伝送路であって前記集積回路チップ上に設けられた光導波路とを有することを特徴とする。

本発明によれば、1つの集積回路チップ（ICチップ又はLSIチップ）上に設けられた複数の回路ブロック同士間において、光導波路を伝播する光信号（光パルス信号など）を用いて極めて高速にデータ伝送することができる。また、本発明によれば、1つの光導波路を用いて波長が異なる複数の光信号を伝送するので、コンパクトな構成としながら、さらに高速にデータ伝送することができる。そこで、本発明によれば、例えば回路ブロックとしてCPU及び記憶装置などを構成することで、従来コンピュータシステムのボトルネックとなっていたCPUと記憶装置間の信号伝送速度を飛躍的に向上させることができる。

【0010】

また、本発明の波長多重チップ内光インターコネクション回路は、前記回路ブロック同士が光学的及び電氣的に接続されていることが好ましい。

本発明によれば、回路ブロック間について、光導波路を用いて光学的に接続することができ、メタル配線などを用いて電氣的に接続することもできる。そこで比較的高速に伝送する必要がない信号及び電力供給などについてはメタル配線などにより電氣的に伝送し、高速性を要する信号は光導波路によって高速に伝送することができる。そこで、本発明によれば、簡素でコンパクトな構成でありながら、その構成全体として高速に信号処理することができるシステムを提供することができる。

【0011】

また、本発明の波長多重チップ内光インターコネクション回路は、前記光導波路の少なくとも一部が前記回路ブロックの上面に設けられていることが好ましい。

本発明によれば、例えば回路ブロックの上面に設けた発光素子又は受光素子を光導波路と光学的に接続することができる。そこで本発明によれば、光導波路及び発光素子・受光素子の配置自由度を高めることができ、簡便で製造し易い構成の前記波長多重チップ内光インターコネクション回路を提供することができる。

【0012】

また、本発明の波長多重チップ内光インターコネクション回路は、前記光導波路の少なくとも一部が前記回路ブロックを横切るように該回路ブロック上に設けられていることが好ましい。

本発明によれば、集積回路チップ上において、回路ブロック上であるか否かにかかわらず光導波路を配置することができ、光導波路の経路長を短縮することができる。

【0013】

10

20

30

40

50

また、本発明の波長多重チップ内光インターコネクション回路は、前記光導波路の少なくとも一部が前記回路ブロックを迂回するように設けられていることが好ましい。

本発明によれば、集積回路チップ上において、例えば回路ブロック領域と非回路ブロック領域との境界における段差が比較的大きい場合、その回路ブロック領域を迂回するように光導波路を設けることで、その光導波路における光結合効率を高めることができる。

【0014】

また、本発明の波長多重チップ内光インターコネクション回路は、前記回路ブロックが発光素子又は受光素子が電気的に接続されており、前記発光素子は、所定波長の光を前記光導波路に放射するものであり、前記受光素子は、所定波長の光を前記光導波路から受光するものであることが好ましい。

10

本発明によれば、回路ブロックの出力信号を発光素子で所定波長の光信号に変換し、光導波路内を伝播させることができる。また、他の回路ブロックは受光素子によって、光導波路を伝播する所定波長の光信号を電気信号に変換して入力することができる。そこで、本発明によれば、発光波長又は受光波長の異なる複数の発光素子又は受光素子を回路ブロックに接続して、回路ブロック間などで波長多重伝送することができる。

【0015】

また、本発明の波長多重チップ内光インターコネクション回路は、前記発光素子が微小なタイル形状をした第1微小タイル状素子であり、該第1微小タイル状素子は、前記集積回路チップ上に複数設けられており、該複数の第1微小タイル状素子それぞれは、波長の異なる2種類以上の光の内いずれか1つを放射するものであり、前記受光素子は、微小なタイル形状をした第2微小タイル状素子であり、該第2微小タイル状素子は、前記集積回路チップ上に複数設けられており、該複数の第2微小タイル状素子それぞれは波長の異なる2種類以上の光の内いずれか1つを選択的に受光することが好ましい。

20

本発明によれば、発光素子をなす第1微小タイル状素子と、受光素子を第2微小タイル状素子とを非常に小さな形状（例えば、数百 μm 四方以下の面積と数十 μm 以下の厚さをもつもの）にすることができる。また、第1微小タイル状素子及び第2微小タイル状素子は、集積回路チップ上又は回路ブロック上の所望位置に接着剤などで貼り付けることができる。そこで、本発明によれば、非常にコンパクトな構成でありながら、簡便に製造することができる。従来よりも高速に信号処理することができるシステムを提供することができる。

30

【0016】

また、本発明の波長多重チップ内光インターコネクション回路は、前記第1微小タイル状素子又は第2微小タイル状素子が前記回路ブロックの上面に貼り付けられており、該第1微小タイル状素子又は第2微小タイル状素子と該回路ブロックとは、電気的に接続されていることとしてもよい。

このようにすると、回路ブロック上面の所望位置に第1又は第2微小タイル状素子を直接貼り付けるので、回路ブロックにおける電気信号の入出力端と第1又は第2微小タイル素子との間の配線長を短縮することができる。そこで、本発明によれば、さらなる伝送速度を高速化及びコンパクト化をすることができる。

【0017】

また、本発明の波長多重チップ内光インターコネクション回路は、前記光導波路の少なくとも一部が前記第1微小タイル状素子又は第2微小タイル状素子に被さるように設けられていることが好ましい。

40

本発明によれば、第1微小タイル状素子から放射された光を全て光導波路に入射させることができる。また、光導波路を伝播する光信号を効率よく第2微小タイル状素子が受光することができる。そこで、本発明によれば、簡便で製造し易い構成の波長多重チップ内光インターコネクション回路を提供することができる。

【0018】

また、本発明の波長多重チップ内光インターコネクション回路は、前記回路ブロックがCPU、メモリ回路、DSP、RF増幅回路、イメージセンサ及びバイオセンサのうちのい

50

ずれかであり、前記光導波路は、データ信号又はクロック信号の伝送路であることが好ましい。

本発明によれば、従来のコンピュータシステムにおいて高速情報処理化のボトルネックとなっていたCPUとメモリ回路間などの信号伝送速度を飛躍的に向上させることができる。また、本発明によれば、従来多数のメタル配線を用いてCPUとメモリ回路間などのバスを形成していた構成を、例えば1本の光導波路と複数の微小タイル状素子に置き換えることができるので、従来よりもコンパクトで高性能なコンピュータシステムを提供することができる。

【0019】

また、本発明の波長多重チップ内光インターコネクション回路は、前記第1微小タイル状素子又は第2微小タイル状素子が1つの前記回路ブロックに複数設けられており、該複数の第1微小タイル状素子又は第2微小タイル状素子は、発光波長又は受光波長がそれぞれ異なることが好ましい。

本発明によれば、例えば、ある回路ブロックに設けられた複数の第1微小タイル状素子が、波長 1, 2, 3...の光信号を放射するものとする、その回路ブロックの複数の出力信号(電気信号)を複数種類の光信号として1本の光導波路で伝送することができる。また、他の回路ブロックに設けられた複数の第2微小タイル状素子が、例えばそれぞれ波長 1, 2, 3...の光信号を選択的に受信するものとする、とすることができる。そこで、本発明によれば、回路ブロック同士間、又は回路ブロックと他の回路間などにおいて、波長多重伝送をすることができる。

【0020】

また、本発明の波長多重チップ内光インターコネクション回路は、前記集積回路チップが基板上に複数実装されており、該複数の集積回路チップ同士は、発光機能又は受光機能を備えた微小タイル状素子と基板上に設けられた光導波路とを少なくとも介して光学的に接続されていることが好ましい。

本発明によれば、前記波長多重チップ内光インターコネクション回路を備えた集積回路チップを基板上に複数設け、各集積回路チップ間についても波長多重伝送することができる。そこで、本発明によれば、複数の集積回路チップからなる大規模なコンピュータシステム又は液晶表示装置などの電気光学装置を、コンパクトに構成でき、高速動作させることができる。

【0021】

また、本発明の波長多重チップ内光インターコネクション回路は、前記集積回路チップが基板上に複数実装されており、該集積回路チップ同士が密着しており、該集積回路チップ同士は、光学的又は電氣的に接続されていることが好ましい。

本発明によれば、チップ内で波長多重伝送可能な集積回路チップ同士を密着させて基板上に実装することで、該集積回路チップ間を簡便に光学的又は電氣的に接続することができる。そこで、本発明によれば、各集積回路チップ内だけでなく、集積回路チップ同士間の信号伝送についても、波長多重伝送することができ、複数の集積回路チップからなるシステムをさらに高速動作化及びコンパクト化することができる。

【0022】

本発明の電気光学装置は、前記波長多重チップ内光インターコネクション回路を備えたことを特徴とする。

本発明によれば、液晶表示装置、エレクトロルミネッセンスパネル及びプラズマディスプレイパネルなどの電気光学装置において、映像信号から走査信号及びデータ信号など生成するタイミングコントロール回路及びドライバ回路などを前記波長多重チップ内光インターコネクション回路で構成することができる。またタイミングコントロール回路及びドライバ回路などそれぞれ前記回路ブロックで構成し、1つの集積回路チップで、タイミングコントロール回路と複数の各種ドライバ回路とを構成することもできる。そこで、本発明によれば、電気光学装置についてコンパクト化しながら画面の大型化及び高品位化を実現することができる。

10

20

30

40

50

【0023】

本発明の電子機器は、前記波長多重チップ内光インターコネクション回路を備えたことを特徴とする。

本発明によれば、CPU及びメモリ回路など処理装置を前記波長多重チップ内光インターコネクション回路で構成したモジュールを備える電子機器とすることで、従来よりも高速に信号処理することができ、かつコンパクトで高性能な電子機器を安価に提供することができる。

【0024】

【発明の実施の形態】

以下、本発明の実施形態に係る波長多重チップ内光インターコネクション回路について図面を参照して説明する。 10

(第1実施形態)

本実施形態は、1つの集積回路チップ(ICチップ、LSIチップなど)上に設けられた複数の回路ブロックを光導波路などで光学的に接続するものである。そして、1つの光導波路に複数の波長の光を通すことで、光信号による独立した並列伝送を行うものである。図1は本発明の第1実施形態に係る波長多重チップ内光インターコネクション回路を示す斜視図である。

【0025】

1つの集積回路チップ10d上には、3つの回路ブロック(コアとも呼ばれる)240a, 240b, 240cが形成されている。集積回路チップ10dは半導体チップからなる。なお、集積回路チップ10d上に形成される回路ブロックの数は、3つに限定されるものではなく、2つ以上であればよい。また集積回路チップ10d上には、回路ブロック以外の回路又は電子素子(例えば画素をなすもの)などが形成されていてもよい。 20

【0026】

回路ブロック240a, 240b, 240cは、CPU、メモリ回路、映像信号処理回路、映像信号ドライブ回路、通信I/O、各種インターフェース回路、A/Dコンバータ、D/Aコンバータなどを構成するものである。例えば回路ブロック240aがCPUを構成し、回路ブロック240bが第1メモリ回路を構成し、回路ブロック240cが第2メモリ回路を構成するものとする。なお、回路ブロック240a, 240b, 240cは、バイポーラ集積回路、MOS集積回路、CMOS集積回路又はSOS(Silicon On Sapphire)集積回路などとして集積回路チップ10d上に形成することができる。 30

各回路ブロック240a, 240b, 240c同士は、複数のメタル配線231によって電氣的に接続されている。

【0027】

回路ブロック240aの上面上には、発光素子を備える第1微小タイル状素子21, 21'が貼り付けられている。その第1微小タイル状素子21, 21'は、回路ブロック240aと電氣的に接続されている。回路ブロック240bの上面上には、受光素子を備える第2微小タイル状素子22, 22'が貼り付けられている。その第2微小タイル状素子22, 22'は、回路ブロック240bと電氣的に接続されている。また、回路ブロック240cの上面上にも、受光素子を備える第2微小タイル状素子22, 22'が貼り付けられている。その第2微小タイル状素子22, 22'は、回路ブロック240cと電氣的に接続されている。 40

【0028】

第1及び第2微小タイル状素子21, 21', 22, 22'は微小なタイル形状の素子である。発光機能を有する第1微小タイル状素子21, 21'は、例えば面発光レーザ(VCSL)、電界吸収変調内蔵のDFB(Distributed Feedback)レーザ又はLEDなどを備えるものとする。受光機能を有する第2微小タイル状素子22, 22'は、例えばフォトダイオード又はフォトトランジスタなどを備えるものとする。そして第1及び第2微小タイル状素子21, 21', 22, 22'は、例えば数百 μm 四 50

方以下の面積と数十 μm 以下の厚さをもつものであって、集積回路チップ10dの表面に接着剤などで貼り付けられたものとする。第1及び第2微小タイル状素子21, 21', 22, 22'の製造方法及び実装方法については後で詳細に説明する。

【0029】

ここで、第1微小タイル状素子21は波長 λ_1 の光を選択的に放射し、第1微小タイル状素子21'は波長 λ_2 の光を選択的に放射するものとする。一方、第2微小タイル状素子22は波長 λ_1 の光を選択的に受光し、第2微小タイル状素子22'は波長 λ_2 の光を選択的に受光するものとする。

【0030】

集積回路チップ10d上には、光導波路30も形成されている。光導波路30は、集積回路チップ10dの上面、回路ブロック240a, 240b, 240cの上面及びメタル配線231の上面に渡って棒状に形成された光導波路材からなるものである。この光導波路材の厚み(高さ)は、集積回路チップ10d表面と回路ブロック240a, 240b, 240c又は微小タイル状素子並びにメタル配線231とがなす段差よりも十分大きな値とすることが好ましい。これは、光導波路30における光結合効率を高めるためである。光導波路30は、図1に示すような直線状に限定されるものではなく、曲げや分岐を設けたり、あるいはループ状に形成することもできる。

10

【0031】

光導波路材としては、透明樹脂又はゾルゲルガラスなどを適用することができる。また、光導波路30をなす光導波路材は、各微小タイル状素子を被うように形成されている。したがって、第1及び第2微小タイル状素子21, 21', 22, 22'は、光導波路30によって光学的に接続されている。すなわち第1微小タイル状素子21, 21'から放射された光(波長 λ_1, λ_2)は全て光導波路30に入射しその光導波路30を伝播する。また、第2微小タイル状素子22は光導波路30を伝播する光のうち波長 λ_1 の光を選択的に検出し、第2微小タイル状素子22'は光導波路30を伝播する光のうち波長 λ_2 の光を選択的に検出する。

20

さらに、光導波路30をなす光導波路材の表面には、外乱光の入射を防ぐための光吸収膜又は光反射膜を形成してもよい。

【0032】

このような構成により、例えばCPUをなす回路ブロック240aから出力された第1信号(データ)は、回路ブロック240a上の第1微小タイル状素子21により波長 λ_1 の光パルス信号に変換される。また、回路ブロック240aから出力された第2信号(データ)は、回路ブロック240a上の第1微小タイル状素子21'により波長 λ_2 の光パルス信号に変換される。

30

【0033】

これらの波長 λ_1, λ_2 の光パルス信号は、光導波路30に入射し、その光導波路30内を伝播する。すると、波長 λ_1 の光パルス信号は、回路ブロック240b, 240cそれぞれの第2微小タイル状素子22で電気信号に変換され、第1信号として回路ブロック240b, 240cそれぞれに入力される。また、波長 λ_2 の光パルス信号は、回路ブロック240b, 240cそれぞれの第2微小タイル状素子22'で電気信号に変換され、第2信号として回路ブロック240b, 240cそれぞれに入力される。

40

【0034】

これらにより、本実施形態によれば、発光機能又は受光機能を備えるとともに波長選択性を備える第1及び第2微小タイル状素子21, 21', 22, 22'と光導波路30を用いて、集積回路チップ10d上の各回路ブロック240a, 240b, 240c間において、複数の信号(第1信号、第2信号)をそれぞれ独立して、同時に並列伝送することができる。すなわち本実施形態によれば、集積回路チップ10d上の各回路ブロック240a, 240b, 240c間において、波長多重伝送することができ、極めて高速にデータ伝送することができる。

【0035】

50

光導波路30を伝播させる信号はデータに限らずクロック信号としてもよい。例えば、回路ブロック240aの第1微小タイル状素子21から第1クロック信号が放射され、回路ブロック240bの第2微小タイル状素子21'から第2クロック信号が放射されるものとする。第1クロック信号は、光導波路30を伝播し、他の回路ブロック240b, 240cの第2微小タイル状素子22に検出され、その回路ブロック240b, 240cに入力される。また、第2クロック信号は、光導波路30を伝播し、他の回路ブロック240b, 240cの第2微小タイル状素子22'に検出され、その回路ブロック240b, 240cに入力される。このような構成とすることにより、従来よりも周波数の高い複数種類のクロック信号を、1本の光導波路30を用いて配信することができ、複数の回路ブロック240a, 240b, 240cを高速動作させることができる。

10

【0036】

また、本実施形態においては、各回路ブロック240a, 240b, 240c上に貼り付けた第1及び第2微小タイル状素子21, 21', 22, 22'で電気信号を光信号に変換するので、非常にコンパクトな光信号伝送手段を簡便に製造することができる。

【0037】

また、本実施形態においては、各回路ブロック240a, 240b, 240c相互間は、メタル配線231により電氣的に接続されている。そこで、比較的高速に伝送する必要がない信号及び電力供給などについてはメタル配線231を介して伝送することができる。

【0038】

また、本実施形態においては、光導波路30が回路ブロック240bを横切るように設けられている。そこで光導波路30の経路長を短縮することができる。光導波路30は、集積回路チップ10d上において、回路ブロック240a, 240b, 240cの上面であるか否かにかかわらず形成することができる。

20

【0039】

光導波路30は、回路ブロック240a, 240b, 240cを迂回するように集積回路チップ10dの表面に設けてもよい。このようにすると、集積回路チップ10d表面において、回路ブロック240a, 240b, 240cの領域表面と他の領域表面との段差が大きい場合でも、光導波路30が平らな面に設けられるので、光信号伝送過程での光結合効率を高めることができる。

【0040】

図1に示す実施形態では、回路ブロック240aに発光機能を備える第1微小タイル状素子21, 21'を設け、回路ブロック240b, 240cに受光機能を備える第2微小タイル状素子22, 22'設けているが、各回路ブロック240a, 240b, 240cそれぞれに第1微小タイル状素子21, 21'及び第2微小タイル状素子22, 22'を設けてもよい。このようにすることにより、回路ブロック240a, 240b, 240c相互間で、双方向に波長多重伝送することができる。

30

【0041】

また、図1に示す実施形態では、各回路ブロック240a, 240b, 240cが1本の光導波路30で接続されているが、複数本の光導波路30とこれに接続された複数の第1及び第2微小タイル状素子21, 21', 22, 22'とで各回路ブロック240a, 240b, 240cを接続してもよい。また、図1に示す実施形態では、全ての回路ブロック240a, 240b, 240cが光導波路30で接続されているが、一部の回路ブロック間(例えば回路ブロック240aと回路ブロック240b間)のみを光導波路30で接続してもよい。

40

【0042】

図1に示す集積回路チップ10dは所望基板上に実装されることとなるが、この実装はフリップチップ実装することが好ましい。このようにすることにより、簡便にかつコンパクトに高性能な情報処理システムを構築することができる。さらに、図1に示す集積回路チップ10dを所望の基板上に複数実装してもよい。この場合、各集積回路チップ10d同士の側面を密着させて基板上に配置することが好ましい。各集積回路チップ10dは、フ

50

リップチップ実装することにより簡便に密着させて実装することができる。

【0043】

また、このように実装することで、各集積回路チップ10dの表面又は裏面同士が面一に接合して1枚平面を形成し、その平面上に上記光導波路30を容易に設けることができる。そこで、各集積回路チップ10d同士を上記光導波路30と第1及び第2微小タイル状素子21, 21', 22, 22'とで接続することも容易に行える。したがって、複数の集積回路チップ10dからなる大規模なコンピュータシステムなどを、簡便に、コンパクト化及び高性能化することができる。

【0044】

また、本実施形態において、例えば回路ブロック240aがCPUを構成し、回路ブロック240bが第1メモリ回路を構成し、回路ブロック240cが第2メモリ回路を構成するものとする。すると、CPUから複数のメモリ回路に対して同時にデータ伝送することができる。そこで、CPUから出力された1つ又は複数のデータを、複数のメモリ回路に分けて同時に書き込むストライピングを行うこともでき、CPUとメモリ回路間のデータ伝送をさらに高速化することができる。

10

【0045】

(光インターコネクション回路)

次に、本実施形態に係る波長多重チップ内光インターコネクション回路の要素となる光インターコネクション回路について詳細に説明する。以下では、微小タイル状素子と光導波路からなる光インターコネクション回路を基板10上に形成した場合について説明しているが、これと同様にして、図1に示す集積回路チップ10dの上において、かかる光インターコネクション回路を形成することもできる。

20

【0046】

図2は本実施形態に係る光インターコネクション回路を示し、(a)は概略側面図であり、(b)は概略平面図である。なお、上記実施形態と同一の構成要素には同一符号を付している。

本実施形態に係る光インターコネクション回路は、基板10の表面に接着された第1微小タイル状素子21及び第2微小タイル状素子22と、第1微小タイル状素子21と第2微小タイル状素子22を繋ぐように基板10の表面に形成された光導波路材からなる光導波路30とからなるものである。光導波路30をなす光導波路材としては、透明樹脂又はゾルゲルガラスを適用することができる。基板10としては、ガラスエポキシ、セラミック、プラスチック、ポリイミド、シリコン又はガラスなど任意のものを適用することができる。

30

【0047】

第1微小タイル状素子21は、発光機能をもつ発光部21aを備えている。第2微小タイル状素子22は、受光機能をもつ受光部22bを備えている。そして光導波路30をなす光導波路材は、少なくとも第1微小タイル状素子21の発光部21aと第2微小タイル状素子22の受光部22bを被うように形成されている。

【0048】

このような構成により、第1微小タイル状素子21の発光部21aから放射された光は、光導波路30を伝播し、第2微小タイル状素子22の受光部22bに到達する。そこで、発光部21aの発光動作を制御して光信号を発光部21aから放射すると、その光信号が光導波路30を伝播し、その光信号を受光部22bが検出することができる。

40

【0049】

また、第1微小タイル状素子21から放射された光信号は、光導波路30を伝播して第2微小タイル状素子22に入射するとともに、第2微小タイル状素子22の上を通過する。これにより、1個の第1微小タイル状素子21から複数個の第2微小タイル状素子22へ略同時に光信号を送信することができる。ここで、第2微小タイル状素子22の厚さを20 μ m以下とすることにより、基板との段差が十分小さくなるため、図2のように段差を乗り越えて連続的に光導波路30を形成できる。段差部において連続的に光導波路30を

50

形成しても、段差が小さいため、散乱などの光の伝達損失はほとんど無視できる。そのため段差部に段差緩和のための特別な構造や光学素子を必要としない。よって低コストかつ簡便に作製できる。また、光導波路30をなす光導波路材の厚さを数十 μm 以下にすることができる。

【0050】

第1微小タイル状素子21は、例えば、LED、VCSEL(面発光レーザ)又は電界吸収変調器内蔵のDFBレーザを備えるものとする。発光デバイスとして、LEDはもっとも構造が単純で作製が容易であるが、光信号の変調速度が数百Mbps程度と遅い。これに対してVCSELは、10Gbpsを超える非常に高速な変調が可能であるうえ、しきい値電流が小さく発光効率が高いので低消費電力で駆動できる。DFBレーザは、変調速度は1Gbps程度と面発光レーザには及ばないものの、微小タイル形状の端部から基板10の平面と平行な方向、すなわち光導波路30に沿った方向へレーザ光を出射するため、面発光レーザより効率よく光信号を伝播することができる。

10

【0051】

第2微小タイル状素子22は、例えば、フォトダイオード又はフォトトランジスタを備えるものとする。ここで、フォトダイオードとしては、PIN型フォトダイオード、APD(アバランシェフォトダイオード)、MSM型フォトダイオードを用途に応じて選ぶことができる。APDは、光感度、応答周波数ともに高い。MSM型フォトダイオードは、構造が単純で増幅用トランジスタとともに集積化しやすい。

【0052】

また、受光素子からなる第3微小タイル状素子(図示せず)を第1微小タイル状素子21に重ねるように形成することもできる。こうすれば第1微小タイル状素子21の発光量を第3微小タイル状素子でモニタし、その値を第1微小タイル状素子21へフィードバックさせることでAPC機能を持たせることが可能となり、安定した光データ伝送を実現できる。あるいは第1微小タイル状素子21そのものにAPC機能を内蔵させてもよい。また、第2微小タイル状素子22は、検出した信号を増幅する回路などを備えることが望ましい。こうすることにより、装置をさらに高性能化することができる。

20

【0053】

そして、第1微小タイル状素子21及び第2微小タイル状素子22は、基板10に設けられた集積回路、又はEL表示回路、プラズマディスプレイ、液晶表示回路などの電子回路(図示せず)と電気的に接続されている。これにより、集積回路などからなるコンピュータシステムをコンパクトでありながら従来よりも高速にすることができる。また、基板10に設けられた平面ディスプレイなどの走査信号を本実施形態の光インターコネクション回路によって高速に伝送することができ、平面ディスプレイ装置における画面の大型化及び高品位化を促進することができる。

30

【0054】

図2においては、第1微小タイル状素子21と第2微小タイル状素子22がそれぞれ一つづつ、一本の光導波路30に結合されているが、第2微小タイル状素子22の個数は複数個であってもよい。この場合、一つの第1微小タイル状素子21(発光素子)から送信された光信号は、一本の光導波路30を伝播して、複数の第2微小タイル状素子22で同時に検出することができる。これは一対多のバスラインと同じである。

40

【0055】

また、第1微小タイル状素子21と第2微小タイル状素子22ともに複数個であってもよい。ここで、各第1微小タイル状素子21は、放射する光の波長が異なるものとしてもよい。また、各第2微小タイル状素子22は、少なくとも一つの第1微小タイル状素子21が放射する光の波長に対応して、波長選択機能をもつ受光手段であることが好ましい。これらにより、複数の第1微小タイル状素子21からそれぞれ送信された複数の光信号が、一つの光導波路30を同時に伝播して、複数の第2微小タイル素子22それぞれに検出されることができる。したがって、複数の光信号を並列に送受信することができるバスを、簡易に構成することができる。

50

【0056】

また、光導波路30は、図2においては直線状に形成されているが、曲線状に形成する又は複数に分岐させることもできる。また、ループ状に形成してもかまわない。また、複数のタイル状素子を覆うようにシート状に形成してもよい。もちろん一つの基板10の表面に複数の組の第1微小タイル状素子21と第2微小タイル状素子22及び光導波路30を形成してもかまわない。さらに、基板10の表裏両面に第1微小タイル状素子21と第2微小タイル状素子22及び光導波路30を形成することもできる。

【0057】

次に、本実施形態に係る光インターコネクション回路の変形例について図3から図6を参照して説明する。本実施形態は、第1微小タイル状素子21及び第2微小タイル状素子22の近傍の光導波路30において、光を散乱する光散乱機構を備えている点が図2に示す構成と異なる。図3は本実施形態に係る光インターコネクション回路の変形例を示す概略側面図である。

10

【0058】

本光インターコネクション回路は、光導波路30をなす光導波路材における第1微小タイル状素子21及び第2微小タイル状素子22の近傍に、光散乱機構31aをなす光散乱粒子が分散されている。光散乱粒子としては、例えばシリカ粒子、ガラス粒子又は金属粒子などを用いる。この光散乱機構31aを備えた光導波路30は、例えばディスプレイあるいはインクジェットノズルなどから液滴を吐出する液滴吐出方式を用いる。具体的には、あるインクジェットノズルなどから液状の光導波路材（樹脂など）を所定部位に吐出するとともに、他のインクジェットノズルなどから光散乱粒子を含んだ液状の光導波路材を所定部位に吐出することで、光散乱機構31aを備えた光導波路30を形成する。

20

【0059】

また、光導波路30の構成材料としては、樹脂の他にゾルゲルガラスを適用することができる。ゾルゲルガラスの製法は、金属アルコキシドに酸を加えて加水分解した溶液などを所定部位に塗布し、熱などのエネルギーを加えてガラス化するものである。

【0060】

図4は本実施形態に係る光インターコネクション回路の他の変形例を示す概略側面図である。本光インターコネクション回路の光散乱機構31a'は、光散乱粒子を分散した樹脂又はガラスがドーム状に形成したドーム状光散乱機構である。この光散乱機構31a'（ドーム状光散乱機構）を覆うように光導波路30が形成されている。この光散乱機構31a'は、図3に示す光散乱機構31aよりも、その大きさ及び形状などが制御しやすいので、光導波路30と第1微小タイル状素子21又は第2微小タイル状素子22との光結合効率の容易な調整が可能となる。

30

【0061】

次に、光散乱機構31a'の製造方法について説明する。まず、インクジェット又はディスプレイなどを用い、光散乱粒子を含んだ液状の樹脂又は珪酸エチルなどの金属アルコキシドに酸を加え加水分解した溶液などを基板10の所定部位にドーム状に塗布する。次いで、その塗布した部位に熱などのエネルギーを加えてかかる溶液を硬化又はガラス化する。このようにしてドーム状の光散乱機構31a'を第1微小タイル状素子21又は第2微小タイル状素子22の上に形成する。次いで、ドーム状の光散乱機構31a'を覆うように透明樹脂又はゾルゲルガラスで線状の光導波路30を形成する。

40

【0062】

図5は本実施形態に係る光インターコネクション回路の他の変形例を示す概略側面図である。本光インターコネクション回路の光散乱機構31bは、光導波路30をなす光導波路材の表面に凹凸を設けた構成としている。この光散乱機構31bも第1微小タイル状素子21及び第2微小タイル状素子22の近傍に設けられている。ここで、光散乱機構31bをなす凹凸は、エンボス加工又はスタンパ転写などで形成する。

【0063】

図6は本実施形態に係る光インターコネクション回路の他の変形例を示し、(a)は概略

50

側面図であり、(b)は概略平面図である。本光インターコネクション回路の光散乱機構31Cは、光導波路30をなす線状の光導波路材の線幅及び高さを変化させた構成として、すなわち、光導波路30において、第2微小タイル状素子22の受光部22bの近傍について光導波路材の線幅及び高さを小さく絞っている。

【0064】

光散乱機構31Cを備えた光導波路30の製造方法について次に説明する。まず、基板10の表面の所望位置に第1微小タイル状素子21及び第2微小タイル状素子22を接着する。次いで、基板10の表面全体、並びに第1微小タイル状素子21及び第2微小タイル状素子22の表面全体に撥液処理を施す。次いで、撥液処理した面における光導波路30を設ける領域に親液処理を施す。ここで、親液処理を施す領域は、線状であって第2微小タイル状素子22の受光部22bの近傍について線幅を絞ったパターンとする。なお、親液処理としては、例えば紫外線を照射することで行う。

10

【0065】

次いで、親液処理した領域内に、インクジェットノズルなどから液状の光導波路材を滴下する。すると、かかる滴下された光導波路材は、親液処理された領域において濡れ広がる作用を受け、撥液処理された領域からは弾き出される作用を受け、また表面張力なども作用する。そこでかかる光導波路材は、図6に示すような受光部22bの近傍で線幅が絞られた形状となる。

【0066】

上記のように、光導波路30における第1微小タイル状素子21の近傍に光散乱機構31a, 31b, 31Cを設けることにより、第1微小タイル状素子21から放射された光信号がその光散乱機構31a, 31b, 31Cで散乱され、光導波路全体に効率よく光信号を伝播させることができる。また、第2微小タイル状素子22の近傍に光散乱機構31a, 31b, 31Cを設けることで、光導波路30を伝播してきた光信号が第2微小タイル状素子22の近傍で散乱され、光信号を第2微小タイル状素子22に効率よく入射させることができる。

20

【0067】

次に、本実施形態に係る光インターコネクション回路のさらなる変形例について図7から図9を参照して説明する。本実施形態は、光導波路30における第1微小タイル状素子21及び第2微小タイル状素子22の近傍、又は光導波路30の端部に、光を反射する光反射機構を備える点が上記実施形態と異なる。図7は、本実施形態に係る光インターコネクション回路の変形例を示し、(a)は概略側面図であり、(b)は概略平面図である。

30

【0068】

例えば、光導波路30をなす光導波路材の表面に金属膜を形成することで光反射機構32a, 32bを設ける。また、光導波路30をなす光導波路材の表面に金属微粒子を含む塗料を塗布することで光反射機構32a, 32bを設けてもよい。金属微粒子としては、銀、アルミニウム、マグネシウム、銅、ニッケル、チタン、クロム、亜鉛などの微粒子を適用することができる。光反射機構32a, 32bをなす金属膜の形成及び金属微粒子を含む塗料の塗布は、インクジェットノズルなどから塗料などを吐出することで行ってもよい。また、光反射機構32a又は光反射機構32bは、光導波路30の全体に施してもかま

40

【0069】

このような構成にすることにより、第1微小タイル状素子21から放射された光信号が光反射機構32aで光導波路30に沿う方向に反射され、その光信号の一部が光反射機構32bで第2微小タイル状素子22の方向に反射される。したがって、本実施形態によれば、光信号を効率よく伝播させることができる。

【0070】

図8は本実施形態に係る光インターコネクション回路の他の変形例を示し、(a)は概略側面図であり、(b)は概略平面図である。本光インターコネクション回路の光反射機構32cは、反射面を有する反射板が光導波路30の端部に貼り付けられた構成となってい

50

る。ここで、光反射機構 3 2 c の反射面は、基板 1 0 の表面に対して例えば 4 5 度の角度をもつように設けられている。

【 0 0 7 1 】

また、本光インターコネクション回路では、2本の平行な光導波路 3 0 a , 3 0 b が設けられている。そして、光反射機構 3 2 c は、2本の光導波路 3 0 a , 3 0 b の一方端に設けられ、光導波路 3 0 a , 3 0 b に共用される1枚の共通反射板となっている。そこで、2つの第1微小タイル状素子 2 1 からそれぞれ放射された光信号は、光反射機構 3 2 c によってそれぞれ光導波路 3 0 a , 3 0 b に沿う方向に反射される。したがって、本実施形態によれば、光信号を効率よく伝播させることができるとともに、効率よく光インターコネクション回路を製造することができる。

10

なお、図 8 に示す形態では、2本の光導波路 3 0 a , 3 0 b に共通の光反射機構 3 2 c を設けたが、3本以上の光導波路に共通の光反射機構 3 2 c を設けてもよい。

【 0 0 7 2 】

図 9 は本実施形態に係る光インターコネクション回路の他の変形例を示し、(a) は概略側面図であり、(b) は概略平面図である。本光インターコネクション回路の光反射機構 3 2 d , 3 2 e は、グレーティングを施した板状の光学部品(グレーティング部品)である。光反射機構 3 2 d は第1微小タイル状素子 2 1 に被さるように、光反射機構 3 2 e は第2微小タイル状素子 2 2 に被さるように、光導波路 3 0 上に設置されている。

【 0 0 7 3 】

ここで、光導波路 3 0 a と光導波路 3 0 b の間隔が比較的大きい場合は、図 9 に示すように各光導波路 3 0 a , 3 0 b に別個に光反射機構 3 2 e を取り付ける。光導波路 3 0 a と光導波路 3 0 b が接近しておりほぼ平行に配置されている場合は、図 9 に示すように光導波路 3 0 a , 3 0 b に共通な光反射機構 3 2 d を取り付けてもよい。

20

【 0 0 7 4 】

上記図 3 から図 9 に示す光散乱機構及び光反射機構は、互いに組み合わせて用いるとより効果的である。また、上記第1実施形態から本実施形態までの構成を組み合わせて用いることにより、より高機能な波長多重チップ内光インターコネクション回路を実現することができる。

【 0 0 7 5 】

(製造方法)

次に、上記実施形態に係る光インターコネクション回路における光導波路 3 0 の製造方法について、図 1 0 から図 1 3 を参照して説明する。図 1 0 は光導波路 3 0 の製造方法を示す模式側面図である。

30

【 0 0 7 6 】

まず、基板 1 0 の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路 3 0 の製造工程に入る。そして、図 1 0 (a) に示すように、基板 1 0 の上面と第1微小タイル状素子及び第2微小タイル状素子(図示せず)の上面の全体に、液状の光硬化樹脂 3 0 c をコーティングする。このコーティングは、スピコート法、ロールコート法、スプレーコート法などで行う。

【 0 0 7 7 】

次いで液状の光硬化樹脂 3 0 c に対して、所望パターンのマスクを介して紫外線(UV) を照射する。これにより、液状の光硬化樹脂 3 0 c における所望領域だけが硬化しパターンニングされる。そして、硬化していない樹脂を洗浄などにより除去することで、図 1 0 (b) に示すように、硬化された光導波路材からなる光導波路 3 0 d が形成される。

40

【 0 0 7 8 】

図 1 1 は光導波路 3 0 の製造方法についての他の例を示す模式側面図である。まず、基板 1 0 の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路 3 0 の製造工程に入る。そして、図 1 1 (a) に示すように、基板 1 0 の上面と第1微小タイル状素子及び第2微小タイル状素子(図示せず)の上面全体に樹脂 3 0 e をコーティングして硬化させる。このコーティングは、スピコート法、ロールコート

50

法、スプレイコート法などで行う。次いで、樹脂30eにおける所望領域にレジストマスク41を形成する。このレジストマスク41の形成領域は光導波路30を形成する領域と同じである。

【0079】

次いで、図11(b)に示すように、レジストマスク41の上から基板10全体についてドライエッチング又はウエットエッチングを施し、レジストマスク41の下以外にある樹脂eを除去する。このようにフォトリソパターニングして、レジストマスク41を除去することで、光導波路材からなる光導波路30fが形成される。

【0080】

図12は光導波路30の製造方法についての他の例を示す模式側面図である。まず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、基板10の上面と第1微小タイル状素子及び第2微小タイル状素子(図示せず)の上面全体に、撥液処理を施して撥液表面51を設ける。 10

【0081】

次いで、図12(a)に示すように、撥液表面51における所望パターン領域に紫外線を照射することなどして、撥液表面51のなかに所望パターンの親液表面52を設ける。次いで、図12(b)に示すように、親液表面52のなかに、インクジェットノズルまたはディスペンサなどから液状の光導波路材30gを滴下する。光導波路材30gとしては、透明樹脂又はゾルゲルガラスを用いる。そして、基板10上に滴下された光導波路材30gを硬化させることで、光導波路材からなる光導波路30hが形成される。 20

ゾルゲルガラスで光導波路30gを形成する場合は、金属アルコキシドに酸を加えて加水分解した溶液などをインクジェットノズルまたはディスペンサなどから親液表面52に滴下する。次いで、滴下した溶液に熱などのエネルギーを加えてガラス化し光導波路30hとする。

【0082】

図13は光導波路30の製造方法についての他の例を示す模式側面図である。まず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、図13(a)に示すように、基板10の上面並びに第1微小タイル状素子及び第2微小タイル状素子の上面であって、光導波路30を設けようとする領域を被うように、液状の樹脂30iを塗布する。 30

【0083】

次いで、光導波路30のパターン形状52をもつ型であるスタンプ51を、基板10の上方から基板10の表面に押し付ける。次いで、図13(b)に示すように、基板10の表面からスタンプ51を持ち上げる。これらにより、スタンプ51を用いたパターン転写法により、基板10上に所望パターン形状の光導波路材からなる光導波路30jが形成される。

【0084】

光導波路30の製造方法は、上記図10から図13に示す方法以外に、次に述べる方法を用いてもよい。例えば、スクリーン印刷又はオフセット印刷などの印刷法を用いて、光導波路30をなす光導波路材を設けてもよい。また、スリット状の隙間から液状の樹脂を吐出するスリットコート法を用いて、光導波路30をなす光導波路材を設けてもよい。スリットコート法としては、毛細管現象を用いて樹脂などの所望部材を基板10に塗布する手法を採用してもよい。 40

【0085】

(微小タイル状素子の製造方法)

次に、上記第1微小タイル状素子21及び第2微小タイル状素子22をなす微小タイル状素子の製造方法について図14から図23を参照して説明する。本実施形態の微小タイル状素子は、エピタキシャルリフトオフ法を基礎とする手法で作製される。本製造方法では、微小タイル状素子としての化合物半導体デバイス(化合物半導体素子)を基板となるシ 50

リコン・LSIチップ上に接合する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができる。なお、本実施形態における「半導体基板」とは、半導体物質から成る物体をいうが、板形状の基板に限らず、どのような形状であっても半導体物質であれば「半導体基板」に含まれる。

【0086】

<第1工程>

図14は微小タイル状素子の製造方法の第1工程を示す概略断面図である。図14において、基板110は、半導体基板であり、例えばガリウム・ヒ素化合物半導体基板とする。基板110における最下位層には、犠牲層111を設けておく。犠牲層111は、アルミニウム・ヒ素(AlAs)からなり、厚さが例えば数百nmの層である。

例えば、犠牲層111の上層には機能層112を設ける。機能層112の厚さは、例えば1 μ mから10(20) μ m程度とする。そして、機能層112において半導体デバイス(半導体素子)113を作成する。半導体デバイス113としては、例えば発光ダイオード(LED)、面発光レーザ(VCEL)、フォトダイオード(PD)、DFBレーザなどが挙げられる。これらの半導体デバイス113は、何れも基板110上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス113には、電極も形成し、動作テストも行う。

【0087】

<第2工程>

図15は微小タイル状素子の製造方法の第2工程を示す概略断面図である。本工程においては、各半導体デバイス113を分割するように分離溝121を形成する。分離溝121は、少なくとも犠牲層111に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さともに、10 μ mから数百 μ mとする。また、分離溝121は、後述するところの選択エッチング液が当該分離溝121を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝121は、碁盤のごとく格子状に形成することが好ましい。

また、分離溝121相互の間隔を数十 μ mから数百 μ mとすることで、分離溝121によって分割・形成される各半導体デバイス113のサイズを、数十 μ mから数百 μ m四方の面積をもつものとする。分離溝121の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝121を形成してもよい。

【0088】

<第3工程>

図16は微小タイル状素子の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム131を基板110の表面(半導体デバイス113側)に貼り付ける。中間転写フィルム131は、表面に粘着剤が塗られたフレキシブルな帯形状のフィルムである。

【0089】

<第4工程>

図17は微小タイル状素子の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝121に選択エッチング液141を注入する。本工程では、犠牲層111のみを選択的にエッチングするために、選択エッチング液141として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。

【0090】

<第5工程>

図18は微小タイル状素子の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝121への選択エッチング液141の注入後、所定時間の経過により、犠牲層111のすべてを選択的にエッチングして基板110から取り除く。

【0091】

<第6工程>

図19は微小タイル状素子の製造方法の第6工程を示す概略断面図である。第5工程で犠

10

20

30

40

50

性層 1 1 1 が全てエッチングされると、基板 1 1 0 から機能層 1 1 2 が切り離される。そして、本工程において、中間転写フィルム 1 3 1 を基板 1 1 0 から引き離すことにより、中間転写フィルム 1 3 1 に貼り付けられている機能層 1 1 2 を基板 1 1 0 から引き離す。これらにより、半導体デバイス 1 1 3 が形成された機能層 1 1 2 は、分離溝 1 2 1 の形成及び犠牲層 1 1 1 のエッチングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（上記実施形態の「微小タイル状素子」）とされ、中間転写フィルム 1 3 1 に貼り付け保持されることとなる。ここで、機能層の厚さが例えば $1\ \mu\text{m}$ から $8\ \mu\text{m}$ 、大きさ（縦横）が例えば数十 μm から数百 μm であるのが好ましい。

【0092】

< 第 7 工程 >

図 20 は微小タイル状素子の製造方法の第 7 工程を示す概略断面図である。本工程においては、（微小タイル状素子 1 6 1 が貼り付けられた）中間転写フィルム 1 3 1 を移動させることで、最終基板 1 7 1 の所望の位置に微小タイル状素子 1 6 1 をアライメントする。ここで、最終基板 1 7 1 は、例えば、シリコン半導体又は集積回路チップ（図 1 における集積回路チップ 1 0 d）からなり、LSI 領域 1 7 2（回路ブロック 2 4 0 a, 2 4 0 b, 2 4 0 c に相当）が形成されている。また、最終基板 1 7 1 の所望の位置には、微小タイル状素子 1 6 1 を接着するための接着剤 1 7 3 を塗布しておく。

10

【0093】

< 第 8 工程 >

図 21 は微小タイル状素子の製造方法の第 8 工程を示す概略断面図である。本工程においては、最終基板 1 7 1 の所望の位置にアライメントされた微小タイル状素子 1 6 1 を、中間転写フィルム 1 3 1 越しに裏押しピン 1 8 1 で押しつけて最終基板 1 7 1 に接合する。ここで、所望の位置には接着剤 1 7 3 が塗布されているので、その最終基板 1 7 1 の所望の位置に微小タイル状素子 1 6 1 が接着される。

20

【0094】

< 第 9 工程 >

図 22 は微小タイル状素子の製造方法の第 9 工程を示す概略断面図である。本工程においては、中間転写フィルム 1 3 1 の粘着力を消失させて、微小タイル状素子 1 6 1 から中間転写フィルム 1 3 1 を剥がす。

中間転写フィルム 1 3 1 の粘着剤は、紫外線（UV）又は熱により粘着力が消失するものにしておく。UV 硬化性の粘着剤とした場合は、裏押しピン 1 8 1 を透明な材質にしておき、裏押しピン 1 8 1 の先端から紫外線（UV）を照射することで中間転写フィルム 1 3 1 の粘着力を消失させる。熱硬化性の粘着剤とした場合は、裏押しピン 1 8 1 を加熱すればよい。あるいは第 6 工程の後で、中間転写フィルム 1 3 1 を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイル状素子 1 6 1 は非常に薄く軽いので中間転写フィルム 1 3 1 に保持される。

30

【0095】

< 第 10 工程 >

本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子 1 6 1 を最終基板 1 7 1 に本接合する。

40

【0096】

< 第 11 工程 >

図 23 は微小タイル状素子の製造方法の第 11 工程を示す概略断面図である。本工程においては、微小タイル状素子 1 6 1 の電極と最終基板 1 7 1 上の回路を配線 1 9 1 により電氣的に繋ぎ、一つの LSI チップなど（光インターコネクション回路用の集積回路チップ）を完成させる。最終基板 1 7 1 としては、シリコン半導体のみならず、石英基板又はプラスチックフィルムを適用してもよい。

【0097】

（応用例）

50

以下、本発明に係る波長多重チップ内光インターコネクション回路の応用例について説明する。

例えば上記実施形態の波長多重チップ内光インターコネクション回路をオプトエレクトロニクス集積回路システムの信号伝送手段として用いる。オプトエレクトロニクス集積回路システムとしては、コンピュータが挙げられる。そして、CPUをなす回路ブロックを図1における集積回路チップ10d上に形成し、記憶装置などをなす回路ブロックも集積回路チップ10d上に形成する。そして、CPU又は記憶装置などをなす回路ブロック内の信号処理は電気信号を用いて行うが、回路ブロック相互間などでのデータ伝送路に上記実施形態の波長多重チップ内光インターコネクション回路を適用する。

【0098】

10

これらにより、本応用例によれば、簡易な構成でありながら、コンピュータの処理速度のボトルネックとなっているバスにおける信号伝達速度を従来よりも大幅に高めることが可能となる。また、本応用例によれば、コンピュータシステムなどを大幅に小型化及び高性能化することが可能となる。

【0099】

(電子機器)

上記実施形態の波長多重チップ内光インターコネクション回路又はフラットパネルディスプレイを備えた電子機器の例について説明する。

図24は、携帯電話の一例を示した斜視図である。図24において、符号1000は上記の波長多重チップ内光インターコネクション回路を用いた携帯電話本体を示し、符号1001は上記のフラットパネルディスプレイ(電気光学装置)を用いた表示部を示している。

20

【0100】

図25は、腕時計型電子機器の一例を示した斜視図である。図25において、符号1100は上記の波長多重チップ内光インターコネクション回路を用いた時計本体を示し、符号1101は上記のフラットパネルディスプレイ(電気光学装置)を用いた表示部を示している。

【0101】

図26は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図26において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は上記の波長多重チップ内光インターコネクション回路を用いた情報処理装置本体、符号1206は上記のフラットパネルディスプレイ(電気光学装置)を用いた表示部を示している。

30

【0102】

図24から図26に示す電子機器は、上記実施形態の波長多重チップ内光インターコネクション回路又はフラットパネルディスプレイを備えているので、表示品位に優れ、特に、高速応答で明るい大きな画面の表示部を備えた電子機器を実現することができる。また、上記実施形態の波長多重チップ内光インターコネクション回路を用いることによって、従来のものよりも情報処理速度が速い高機能な電子機器を提供することができる。さらにまた、上記実施形態の波長多重チップ内光インターコネクション回路を用いることによって、小型化することができるとともに、製造コストを従来のものよりも低減できる電子機器を提供することができる。

40

【0103】

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や構成などはほんの一例に過ぎず適宜変更が可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る集積回路チップの斜視図である。

【図2】本発明の実施形態に係る回路要素の側面図と平面図である。

【図3】同上の回路要素の変形例を示す側面図である。

50

【図 4】 同上の回路要素の変形例を示す側面図である。

【図 5】 同上の回路要素の変形例を示す側面図である。

【図 6】 同上の回路要素の変形例を示す側面図と平面図である。

【図 7】 同上の回路要素の変形例を示す側面図と平面図である。

【図 8】 同上の回路要素の変形例を示す側面図と平面図である。

【図 9】 同上の回路要素の変形例を示す側面図と平面図である。

【図 10】 本発明の実施形態に係る製造方法を示す模式側面図である。

【図 11】 本発明の実施形態の他の製造方法を示す模式側面図である。

【図 12】 本発明の実施形態の他の製造方法を示す模式側面図である。

【図 13】 本発明の実施形態の他の製造方法を示す模式側面図である。

10

【図 14】 微小タイル状素子の製法の第 1 工程を示す概略断面図である。

【図 15】 同上の製法の第 2 工程を示す概略断面図である。

【図 16】 同上の製法の第 3 工程を示す概略断面図である。

【図 17】 同上の製造方法の第 4 工程を示す概略断面図である。

【図 18】 同上の製造方法の第 5 工程を示す概略断面図である。

【図 19】 同上の製造方法の第 6 工程を示す概略断面図である。

【図 20】 同上の製造方法の第 7 工程を示す概略断面図である。

【図 21】 同上の製造方法の第 8 工程を示す概略断面図である。

【図 22】 同上の製造方法の第 9 工程を示す概略断面図である。

【図 23】 同上の製造方法の第 11 工程を示す概略断面図である。

20

【図 24】 本実施形態の回路を備えた電子機器の一例を示す図である。

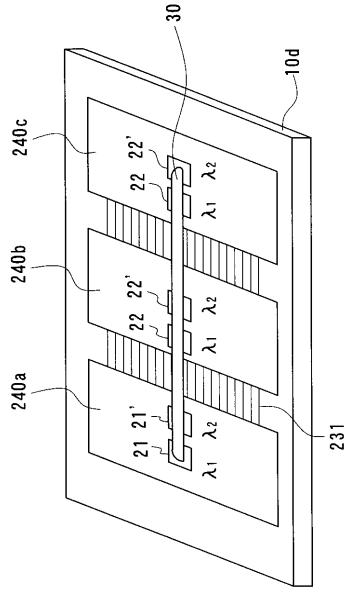
【図 25】 本実施形態の回路を備えた電子機器の一例を示す図である。

【図 26】 本実施形態の回路を備えた電子機器の一例を示す図である。

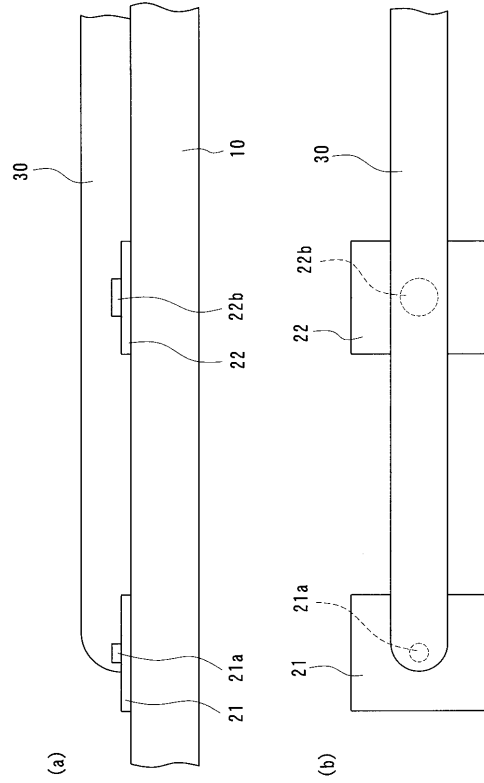
【符号の説明】

10 d ... 集積回路チップ、21, 21' ... 第 1 微小タイル状素子、21 a ... 発光部、22, 22' ... 第 2 微小タイル状素子、22 b ... 受光部、30 ... 光導波路、231 ... メタル配線、240 a, 240 b, 240 c ... 回路ブロック

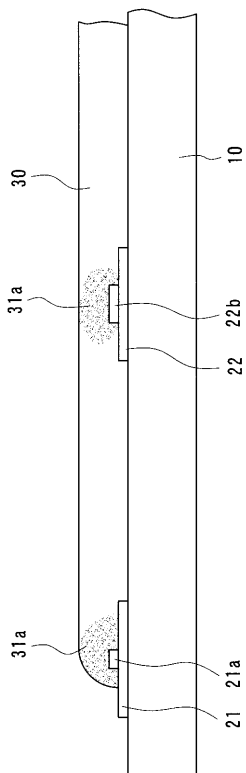
【 図 1 】



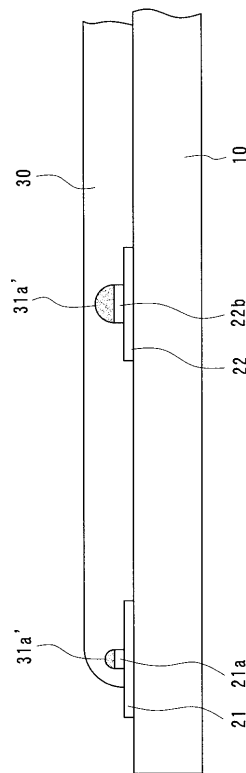
【 図 2 】



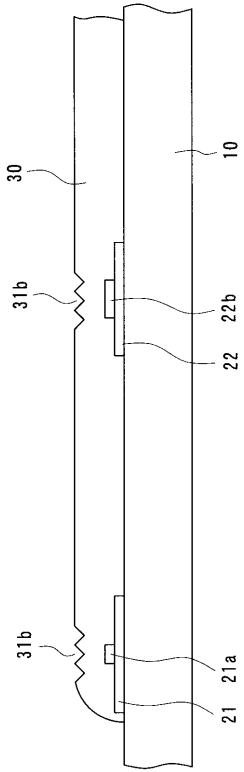
【 図 3 】



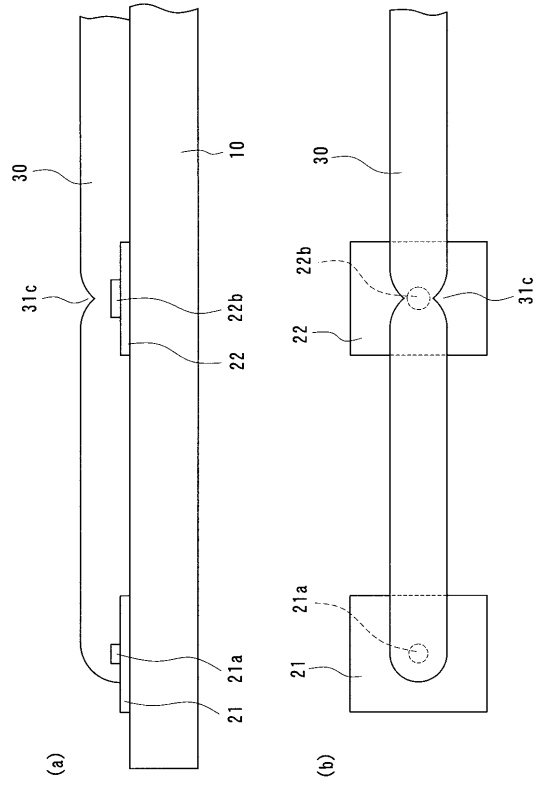
【 図 4 】



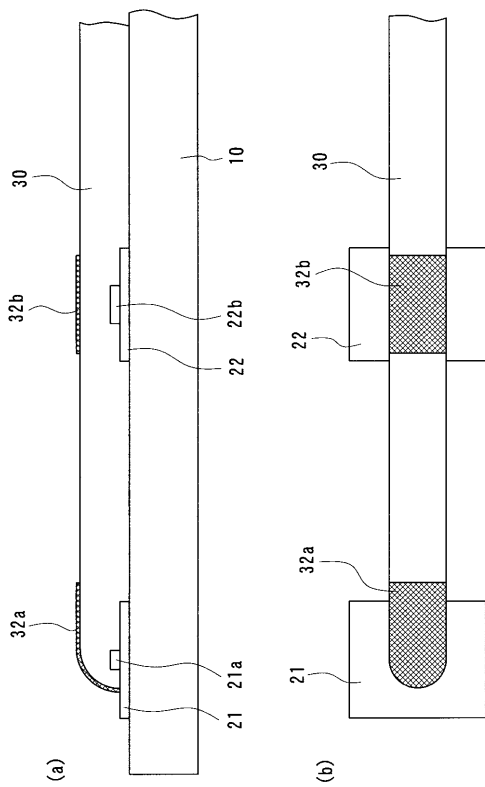
【 図 5 】



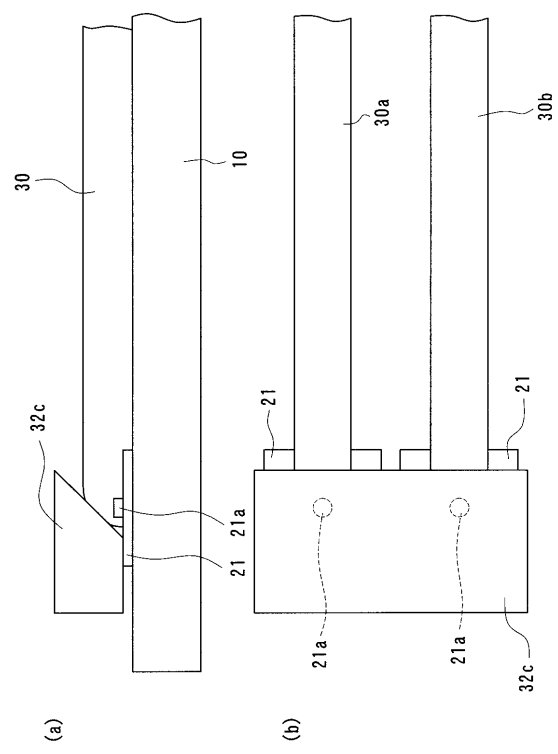
【 図 6 】



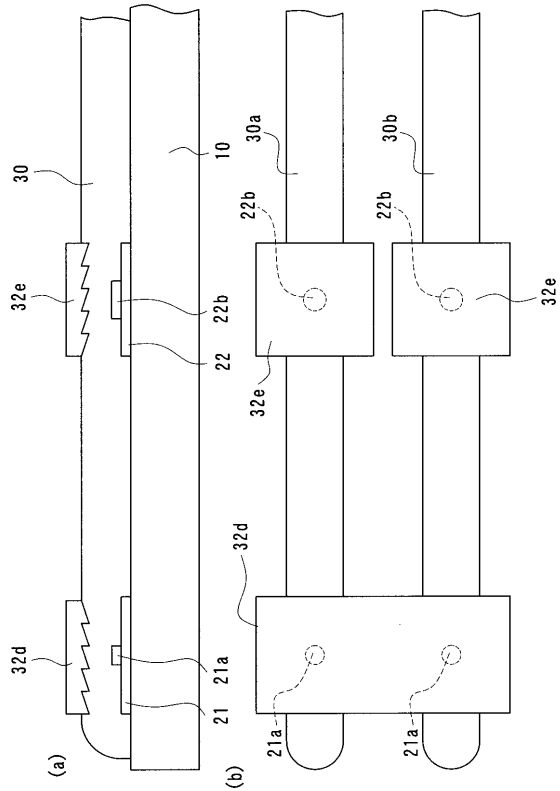
【 図 7 】



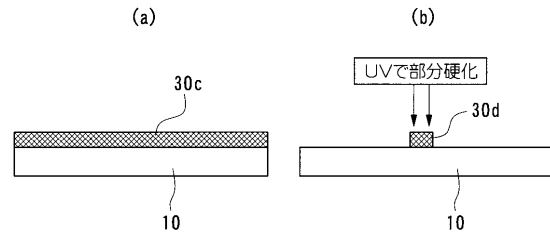
【 図 8 】



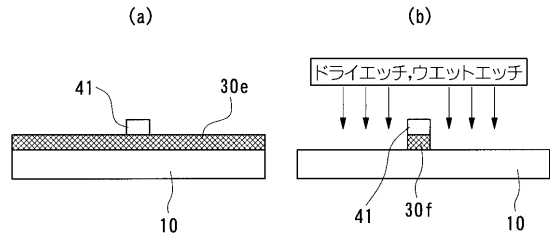
【図9】



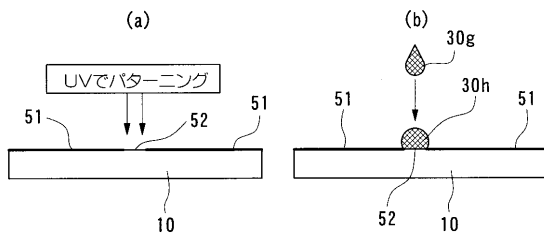
【図10】



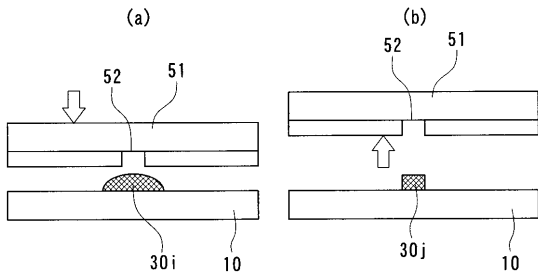
【図11】



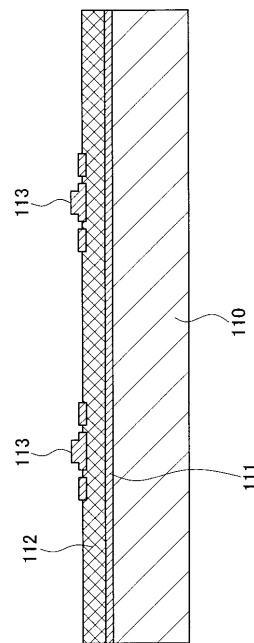
【図12】



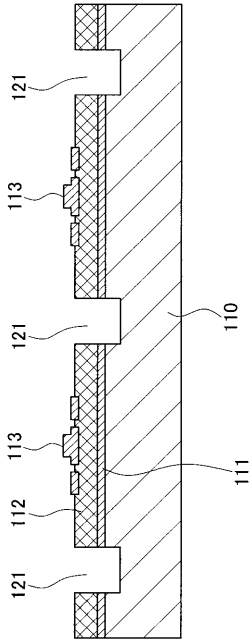
【図13】



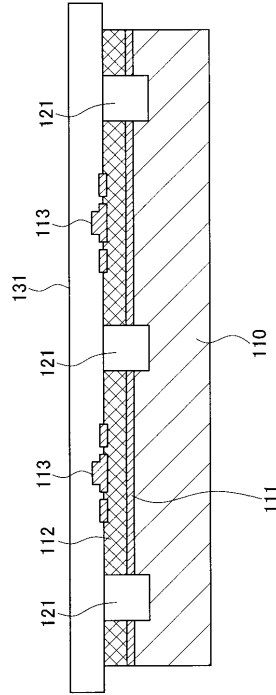
【図14】



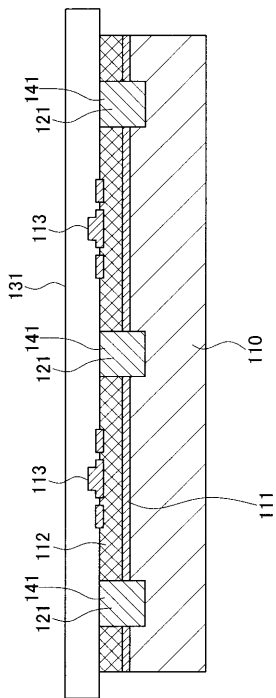
【 図 1 5 】



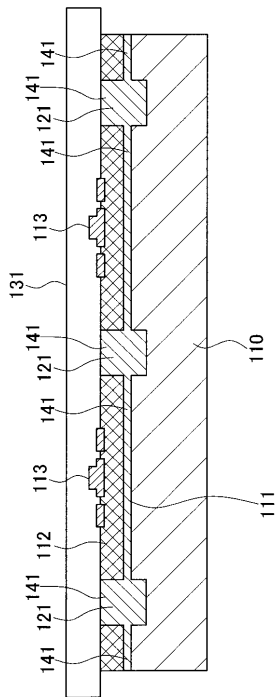
【 図 1 6 】



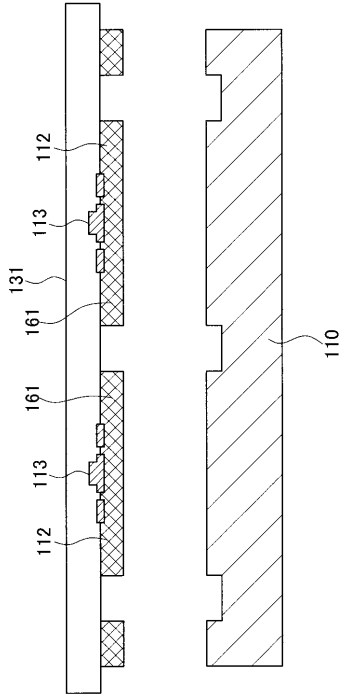
【 図 1 7 】



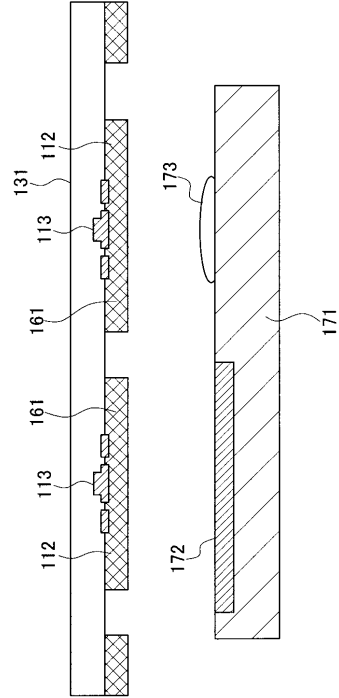
【 図 1 8 】



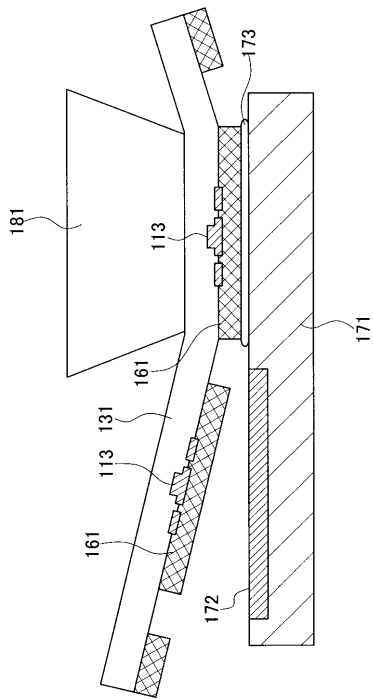
【図 19】



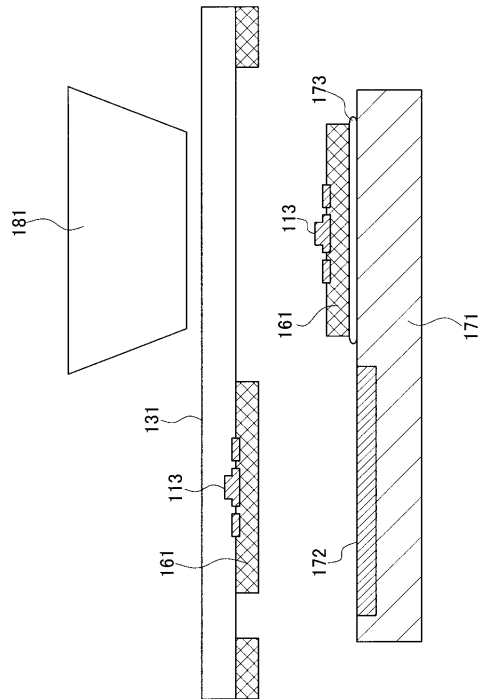
【図 20】



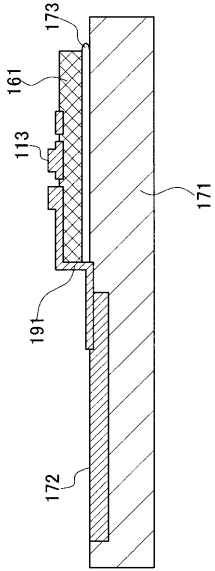
【図 21】



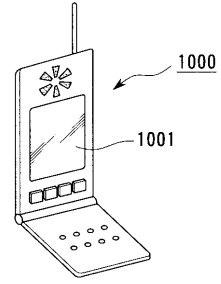
【図 22】



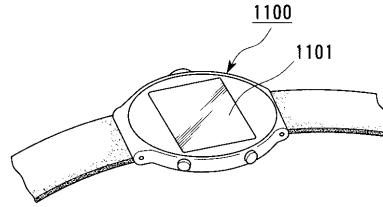
【 図 2 3 】



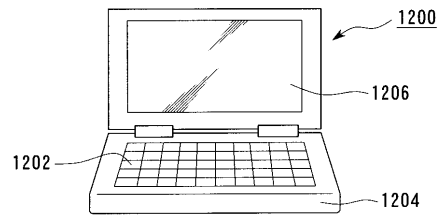
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

F ターム(参考) 2H047 KA03 KA06 MA07 PA02 PA28 QA04 QA05 TA01
2H093 NA21 NA41 NA51 NA61 NA79 NC00 NC09 NC11 NC21 NC41
ND31 ND32 ND42 NE03 NE10