

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年3月19日(19.03.2020)



(10) 国際公開番号

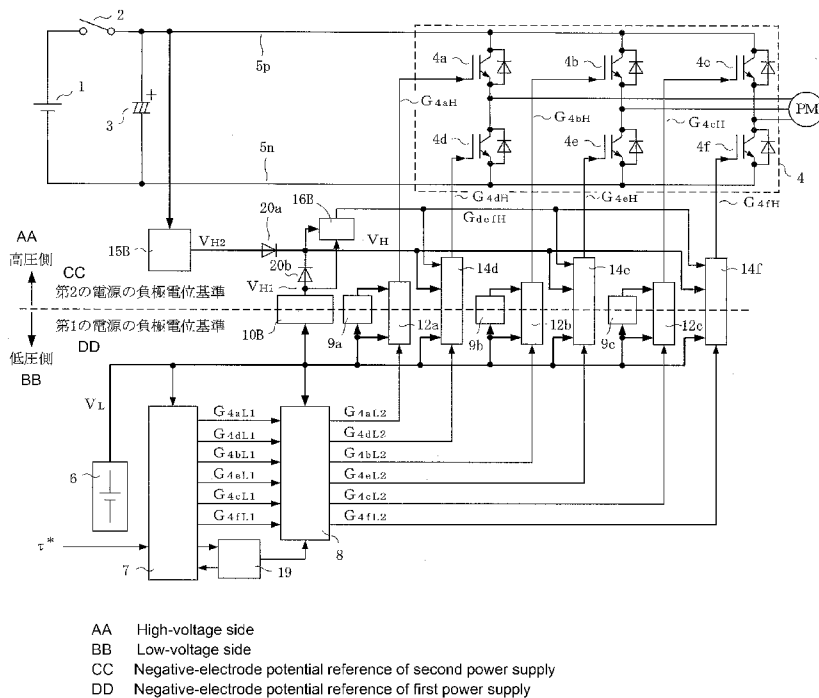
WO 2020/054054 A1

- (51) 国際特許分類:  
*H02M 7/48* (2007.01) *H02M 1/08* (2006.01)
- (21) 国際出願番号: PCT/JP2018/034194
- (22) 国際出願日: 2018年9月14日(14.09.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 平形 政樹 (HIRAKATA Masaki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

- (74) 代理人: 森田 雄一 (MORITA YUICHI); 〒1010051 東京都千代田区神田神保町3-2-5 九段ロイヤルビル2階202号室 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: INVERTER DEVICE, CONTROL CIRCUIT THEREFOR, AND MOTOR DRIVE SYSTEM

(54) 発明の名称: インバータ装置及びその制御回路、並びにモータ駆動システム



(57) Abstract: The present invention comprises: gate drive circuits 12a, 12b, 12c, 14d, 14e, 14f for upper and lower arms of a bridge circuit 4; a power supply 6 which supplies power-supply voltage to the drive circuits; a second power supply 3 which has a reference potential that is different from that of the power supply 6; a fail-safe circuit 8 which has a reference potential in common with the power supply 6 and generates drive commands for the upper and lower arms; and a fail-safe circuit 16B which has a reference potential in common with the power supply 3 and generates drive commands

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

for the lower arms. The gate drive circuits for the lower arms are provided with two drive command input functions having different reference potentials. One has the function of inputting drive commands from the fail-safe circuit 8, and the other has the function of inputting drive commands from the fail-safe circuit 16B. As a result, an inverter device, a control circuit therefor and a motor drive system are provided, with which power supplies are not made redundant any more than necessary, the capacitance of a power supply generation circuit is reduced, and device compactness and cost-effectiveness are increased.

(57) 要約: ブリッジ回路4の上下アーム用のゲート駆動回路12a, 12b, 12c, 14d, 14e, 14fと、各駆動回路に電源電圧を供給する電源6と、この電源6とは基準電位が異なる第2の電源3と、電源6と共通の基準電位を有して上下アームに対する駆動指令を生成するフェイルセーフ回路8と、電源3と共通の基準電位を有して下アームに対する駆動指令を生成するフェイルセーフ回路16Bと、を有し、下アーム用のゲート駆動回路は基準電位が異なる二つの駆動指令入力機能を備え、一方はフェイルセーフ回路8からの駆動指令を入力し、他方はフェイルセーフ回路16Bからの駆動指令を入力する機能とする。これにより、電源を必要以上に冗長化せずに、電源生成回路の容量を低減し、装置の小型化、低コスト化を図ったインバータ装置及びその制御回路、モータ駆動システムを提供する。

## 明 細 書

発明の名称：

インバータ装置及びその制御回路、並びにモータ駆動システム

技術分野

[0001] 本発明は、フェイルセーフ機能を有するインバータ装置及びその制御回路、並びに、このインバータ装置を備えたモータ駆動システムに関するものである。

背景技術

[0002] ハイブリッド自動車等のモータをインバータ装置により駆動するモータ駆動システムにおいて、システムの構成部品に何等かの不具合が生じた場合や車両の衝突等による緊急時にフェイルセーフ回路を動作させることが知られている。

このフェイルセーフ回路は、例えば、インバータ主回路の半導体スイッチング素子を操作してモータの巻線を短絡させ、あるいは、正負の直流母線間に接続されたコンデンサを放電させるものであり、システムを継続的な損傷から保護し、かつ乗員の安全を確保するために高い信頼性が要求されている。

[0003] この種のモータ駆動システムにおいて、フェイルセーフ回路を含むインバータ制御回路には、一般的に、補機電源として例えば12[V]の低圧電源（以下、第1の電源ともいう）が供給されている。なお、インバータ制御回路は、モータ制御用のCPUやモータの電流センサ等を備えている。

上述した第1の電源が故障等により喪失すると、フェイルセーフ回路への電源供給が絶たれて動作不能になるため、その対策として、例えば特許文献1には、フェイルセーフ回路を含むインバータ制御回路に供給する電源を冗長化する技術が開示されている。

[0004] 図11は、特許文献1に記載されたモータ駆動システムの回路図である。

図11において、51は例えば400[V]の主バッテリー（以下、第2の

電源ともいう)、52は絶縁型のDC/DCコンバータ、53は作動状態検知装置、54は第1の電源、60はフェイルセーフ回路を含むインバータ制御回路、61は直流母線に接続されたコンデンサ63を放電させるスイッチング素子、62は半導体スイッチング素子62a~62fからなるブリッジ回路、Mは三相のモータである。

[0005] この従来技術では、第1の電源54の電圧と、第2の電源51の電圧をDC/DCコンバータ52により絶縁、降圧して得た電圧(何れも12[V])とが、OR条件でインバータ制御回路60に供給されている。このようにしてインバータ制御回路60内のフェイルセーフ回路への供給電源を冗長化することにより、緊急時におけるフェイルセーフ動作(上アームのスイッチング素子62a~62cまたは下アームのスイッチング素子62d~62fのオンによるモータMの巻線短絡、スイッチング素子61のオンによるコンデンサ63の放電等)の信頼性を高めている。

[0006] 図11のように電源を冗長化したモータ駆動システムにおいて、モータMの巻線を短絡してフェイルセーフ動作を行う場合について更に説明する。一例として、第1の電源54が喪失した場合の巻線短絡処理は次の通りである。

[0007] まず、インバータ制御回路60内のフェイルセーフ回路により第1の電源54の喪失を検出し、上アームまたは下アームの全相のスイッチング素子をオンさせるゲート信号を生成する。ここで、第1の電源54やインバータ制御回路60(フェイルセーフ回路)の基準電位は車両のボディー電位であり、ブリッジ回路62のスイッチング素子の基準電位は第2の電源51の電位であるため、これらの電位を跨ぐ信号や電源は絶縁する必要がある。

すなわち、基準電位がボディー電位であるフェイルセーフ回路では、DC/DCコンバータ52の出力電圧に基づいて絶縁機能のあるゲート駆動回路により生成したゲート信号を、基準電位が高圧電位であるスイッチング素子62a~62cまたは62d~62fに送出している。

[0008] 次に、図12は、図11と同様の原理に基づき、フェイルセーフ回路の電

源を冗長化したインバータ装置ないしモータ駆動システムの回路図であり、電源供給経路を太線によって表している。

図 1 2 において、1 は高圧の主バッテリー、2 は主開閉器、3 は正負の直流母線間に接続されたコンデンサ（第 2 の電源）、4 は半導体スイッチング素子 4 a ～ 4 f からなる三相のブリッジ回路、PM は永久磁石同期モータ等のモータである。

また、スイッチング素子 4 a ～ 4 f のゲート信号を生成する制御装置は、低圧の補機電源である第 1 の電源 6、トランスによる絶縁・降圧機能を有する絶縁電源回路 1 1、及び、インバータ制御回路 1 3 を備えている。

[0009] インバータ制御回路 1 3 は、モータ制御用 CPU 7 と、この CPU 7 により制御されて後述のゲート駆動回路 1 2 a ～ 1 2 f に対するゲート駆動指令を生成するフェイルセーフ回路 8 と、第 1 の電源 6 及び絶縁電源回路 1 1 から電源電圧が供給される上アーム用の絶縁電源回路 9 a, 9 b, 9 c 及び下アーム用の絶縁電源回路 1 0 と、上アームのスイッチング素子 4 a, 4 b, 4 c のゲート信号を生成するゲート駆動回路 1 2 a, 1 2 b, 1 2 c と、下アームのスイッチング素子 4 d, 4 e, 4 f のゲート信号を生成するゲート駆動回路 1 2 d, 1 2 e, 1 2 f と、を備えている。

[0010] 図 1 2 から明らかなように、フェイルセーフ回路 8、上アーム用の絶縁電源回路 9 a, 9 b, 9 c、下アーム用の絶縁電源回路 1 0 への供給電源は、第 1 の電源 6 と、第 2 の電源 3 に接続された絶縁電源回路 1 1 とによって冗長化されており、結果として全てのゲート駆動回路 1 2 a ～ 1 2 f への供給電源も冗長化されている。

なお、図 1 2 において、「低圧側」の回路部分の基準電位は第 1 の電源 6 の負極電位であり、「高圧側」の回路部分の基準電位は第 2 の電源 3 の負極電位（直流母線の負極電位）である。すなわち、上アーム用の絶縁電源回路 9 a, 9 b, 9 c、下アーム用の絶縁電源回路 1 0、絶縁電源回路 1 1、及びゲート駆動回路 1 2 a ～ 1 2 f は、何れも二つの基準電位を有しており、ゲート駆動回路 1 2 a ～ 1 2 f には、第 1 の電源 6 の負極電位を基準電位と

する電源電圧と、第2の電源3の負極電位を基準電位とする電源電圧とが供給されている。

## 先行技術文献

## 特許文献

[0011] 特許文献1：特開2000-14184号公報（段落[0028]～[0035]、図1等）

## 発明の概要

### 発明が解決しようとする課題

[0012] 図12における絶縁電源回路11は、低圧側に設けられたフェイルセーフ回路8やゲート駆動回路12a～12f、上アーム用の絶縁電源回路9a, 9b, 9c、下アーム用の絶縁電源回路10等、多くの回路に電源を供給している。更に、近年、この種のゲート駆動回路12a～12fはIC化されつつあり、信号絶縁機能、自己診断機能、スイッチング素子の温度検出機能や各種保護機能、通信機能等が内蔵されて高機能化していると共に、IC自体の消費電流も増加している。

以上のような理由により、絶縁電源回路11の電流供給責務は増大し、入出力間をトランスにより絶縁する必要性も相まって絶縁電源回路11は大型化する傾向にある。結果として、インバータ装置やモータ駆動システム全体の小型化が阻害されるという問題がある。

[0013] ところで、フェイルセーフ動作としてモータの巻線を短絡する際に、上アームの全相スイッチング素子のオンまたは下アームの全相スイッチング素子のオンの何れを選択するかは、着目したアームの全相のスイッチング素子をオン可能であるか否かによる。例えば、故障の事象として、上アームの何れかの相のスイッチング素子が短絡故障した場合や下アームの何れかの相のスイッチング素子がオープン故障した場合は、上アームの全相のスイッチング素子のオンが可能であるから、モータの巻線短絡は上アームの全相スイッチング素子をオンすることにより行う。

[0014] ここで、ゲート駆動回路の電源が第１の電源及び第２の電源によって冗長化されている状態で第１の電源を喪失する故障だけを考えた場合、第２の電源を用いれば、上アームまたは下アームの全相スイッチング素子をオンさせて巻線短絡を行うことができる。従って、第１の電源を喪失する故障に対するフェイルセーフ動作を担保する上では、必ずしも、上アームの全相のスイッチング素子、下アームの全相のスイッチング素子の両方に対して電源を冗長化する必要はなく、一方のアームのみに対して電源を冗長化すれば良い。

[0015] 但し、故障事象により、前述したように上アームまたは下アームのうち全相のスイッチング素子をオン可能である方のアームを選択せざるを得ない状況は存在するが、このような故障事象と第１の電源を喪失する故障とが同時に起きる可能性は極めて少ない。例えば、第１の電源を喪失する故障が発生していなければ、第１の電源から上アーム及び下アームの両方に給電されており、全相のスイッチング素子をオン可能なアームを選択して全相オンを行えば、巻線短絡によるフェイルセーフ動作を行うことができる。

[0016] 従って、本発明は、図１２のように上アーム用、下アーム用のゲート駆動回路の電源を冗長化することは無駄が多く、電源生成手段を構成する絶縁電源回路１１等の責務が過大になるため、これを回避するべくなされたものである。

すなわち、本発明の解決課題は、フェイルセーフ機能を担保するために電源を必要以上に冗長化することなく、電源生成手段の容量を低減し、装置全体の小型化、低コスト化を図ったインバータ装置及びその制御回路、並びにモータ駆動システムを提供することにある。

### 課題を解決するための手段

[0017] 上記課題を解決するため、請求項１に係るインバータ装置の制御回路は、直流母線間に接続された複数のスイッチング素子からなるブリッジ回路により直流／交流変換を行ってモータを駆動するインバータ装置の制御回路であって、前記ブリッジ回路の全相の上アームスイッチング素子または全相の下アームスイッチング素子をオンさせて前記モータの巻線を短絡させるフェイ

ルセーフ機能を有する制御回路において、

前記上アームスイッチング素子の駆動信号を生成する上アーム用駆動回路と、

前記下アームスイッチング素子の駆動信号を生成する下アーム用駆動回路と、

前記上アーム用駆動回路及び前記下アーム用駆動回路に電源電圧を供給する第 1 の電源と、

前記第 1 の電源とは基準電位が異なり、かつ、前記直流母線から前記上アーム用駆動回路または前記下アーム用駆動回路に電源電圧を供給する第 2 の電源と、

前記第 1 の電源と共通の基準電位を有し、かつ、前記上アーム用駆動回路及び前記下アーム用駆動回路に対する駆動指令を生成する第 1 のフェイルセーフ回路と、

前記第 2 の電源と共通の基準電位を有し、かつ、前記上アーム用駆動回路または前記下アーム用駆動回路に対する駆動指令を生成する第 2 のフェイルセーフ回路と、

を備え、

前記上アーム用駆動回路または前記下アーム用駆動回路は、基準電位が異なる二つの駆動指令入力機能を有し、

前記二つの駆動指令入力機能のうちの一方は、前記第 1 のフェイルセーフ回路から出力される駆動指令の入力機能であり、前記二つの駆動指令入力機能のうちの他方は、前記第 2 のフェイルセーフ回路から出力される駆動指令の入力機能であることを特徴とする。

[0018] 請求項 2 に係るインバータ装置は、直流母線間に接続された複数のスイッチング素子からなるブリッジ回路により直流／交流変換を行ってモータを駆動するインバータ装置であって、前記ブリッジ回路の全相の上アームスイッチング素子または全相の下アームスイッチング素子をオンさせて前記モータの巻線を短絡させるフェイルセーフ機能を有するインバータ装置において、

前記上アームスイッチング素子の駆動信号を生成する上アーム用駆動回路と、

前記下アームスイッチング素子の駆動信号を生成する下アーム用駆動回路と、

前記上アーム用駆動回路及び前記下アーム用駆動回路に電源電圧を供給する第1の電源と、

前記第1の電源とは基準電位が異なり、かつ、前記直流母線から前記下アーム用駆動回路に電源電圧を供給する第2の電源と、

前記第1の電源の負極電位を基準電位とし、かつ、前記上アーム用駆動回路及び前記下アーム用駆動回路に対する駆動指令を生成する第1のフェイルセーフ回路と、

前記第2の電源の負極電位を基準電位とし、かつ、前記下アーム用駆動回路に対する駆動指令を生成する第2のフェイルセーフ回路と、

を備え、

前記下アーム用駆動回路は、基準電位が異なる二つの駆動指令入力機能を有し、

前記二つの駆動指令入力機能のうちの一方は、前記第1のフェイルセーフ回路から出力される駆動指令の入力機能であり、前記二つの駆動指令入力機能のうちの他方は、前記第2のフェイルセーフ回路から出力される駆動指令の入力機能であることを特徴とする。

[0019] 請求項3に係るインバータ装置は、請求項2に記載したインバータ装置において、前記第2のフェイルセーフ回路は、前記第1の電源が供給される下アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると全相の前記下アームスイッチング素子をオンさせるための駆動指令を出力し、前記下アーム用絶縁電源回路の出力電圧が前記第1の閾値を上回ると全相の前記下アームスイッチング素子をオフさせるための駆動指令を出力することを特徴とする。

[0020] 請求項4に係るインバータ装置は、請求項2または3に記載したインバータ装置において、前記下アーム用駆動回路は、前記第1の電源が供給される

下アーム用絶縁電源回路の出力電圧が第 1 の閾値を下回ると、全相の前記下アームスイッチング素子をオンさせるために前記第 2 のフェイルセーフ回路から出力される駆動指令の入力を優先し、前記下アーム用絶縁電源回路の出力電圧が前記第 1 の閾値を上回ると、前記第 1 のフェイルセーフ回路から出力される駆動指令の入力を優先して、前記下アームスイッチング素子の駆動信号を生成することを特徴とする。

[0021] 請求項 5 に係るインバータ装置は、請求項 2 に記載したインバータ装置において、前記直流母線間の電圧を検出する電圧検出手段を備え、前記第 2 のフェイルセーフ回路は、前記電圧検出手段による電圧検出値が第 2 の閾値を下回ると全相の前記下アームスイッチング素子をオフさせるための駆動指令を出力すると共に、前記電圧検出手段による電圧検出値が前記第 2 の閾値を上回り、かつ、前記第 1 の電源が供給される下アーム用絶縁電源回路の出力電圧が第 1 の閾値を下回ると全相の前記下アームスイッチング素子をオンさせるための駆動指令を出力することを特徴とする。

[0022] 請求項 6 に係るインバータ装置は、直流母線間に接続された複数のスイッチング素子からなるブリッジ回路により直流／交流変換を行ってモータを駆動するインバータ装置であって、前記ブリッジ回路の全相の上アームスイッチング素子または全相の下アームスイッチング素子をオンさせて前記モータの巻線を短絡させるフェイルセーフ機能を有するインバータ装置において、

前記上アームスイッチング素子の駆動信号を生成する上アーム用駆動回路と、

前記下アームスイッチング素子の駆動信号を生成する下アーム用駆動回路と、

前記上アーム用駆動回路及び前記下アーム用駆動回路に電源電圧を供給する第 1 の電源と、

前記第 1 の電源とは基準電位が異なり、かつ、前記直流母線から前記上アーム用駆動回路に電源電圧を供給する第 2 の電源と、

前記第 1 の電源の負極電位を基準電位とし、かつ、前記上アーム用駆動回

路及び前記下アーム用駆動回路に対する駆動指令を生成する第１のフェイルセーフ回路と、

何れかの相の前記上アームスイッチング素子の出力端子の電位を基準電位とし、かつ、前記上アーム用駆動回路に対する駆動指令を生成する第２のフェイルセーフ回路と、

を備え、

前記上アーム用駆動回路は、基準電位が異なる二つの駆動指令入力機能を有し、

前記二つの駆動指令入力機能のうちの一方は、前記第１のフェイルセーフ回路から出力される駆動指令の入力機能であり、前記二つの駆動指令入力機能のうちの他方は、前記第２のフェイルセーフ回路から出力される駆動指令の入力機能であることを特徴とする。

[0023] 請求項７に係るインバータ装置は、請求項６に記載したインバータ装置において、前記第２のフェイルセーフ回路は、前記第１の電源が供給される上アーム用絶縁電源回路の出力電圧が第１の閾値を下回ると全相の前記上アームスイッチング素子をオンさせるための駆動指令を出力し、前記上アーム用絶縁電源回路の出力電圧が前記第１の閾値を上回ると全相の前記上アームスイッチング素子をオフさせるための駆動指令を出力することを特徴とする。

[0024] 請求項８に係るインバータ装置は、請求項６または７に記載したインバータ装置において、前記上アーム用駆動回路は、前記第１の電源が供給される上アーム用絶縁電源回路の出力電圧が第１の閾値を下回ると、全相の前記上アームスイッチング素子をオンさせるために前記第２のフェイルセーフ回路から出力される駆動指令の入力を優先し、前記上アーム用絶縁電源回路の出力電圧が前記第１の閾値を上回ると、前記第１のフェイルセーフ回路から出力される駆動指令の入力を優先して、前記上アームスイッチング素子の駆動信号を生成することを特徴とする。

[0025] 請求項９に係るインバータ装置は、請求項６に記載したインバータ装置において、前記直流母線間の電圧を検出する電圧検出手段を備え、前記第２の

フェイルセーフ回路は、前記電圧検出手段による電圧検出値が第2の閾値を下回ると全相の前記上アームスイッチング素子をオフさせるための駆動指令を出力すると共に、前記電圧検出手段による電圧検出値が前記第2の閾値を上回り、かつ、前記第1の電源が供給される上アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると全相の前記上アームスイッチング素子をオンさせるための駆動指令を出力することを特徴とする。

[0026] 請求項10に係るモータ駆動システムは、請求項2～9の何れか1項に記載のインバータ装置と、当該インバータ装置の交流出力電圧により駆動されるモータと、からなることを特徴とする。

### 発明の効果

[0027] 本発明によれば、フェイルセーフ機能の担保を目的として、従来技術のように上アーム及び下アームのスイッチング素子に対する駆動回路の電源を冗長化する必要がなく、何れか一方のアームに対する電源を冗長化すれば良い。このため、電源生成手段の容量を軽減して装置全体の小型化、低コスト化を図ることができる。

また、スイッチング素子の駆動回路に非絶縁電源回路を介して電源を供給する場合には絶縁機能が不要であるから、一層の小型化、低コスト化が可能になる。

### 図面の簡単な説明

[0028] [図1]本発明の第1実施形態を示す回路図である。

[図2]図1における下アーム用ゲート駆動回路14dの構成図である。

[図3]図1におけるフェイルセーフ回路16Bの構成図である。

[図4]本発明の第2実施形態を示す回路図である。

[図5]図4におけるフェイルセーフ回路17Bの構成図である。

[図6]本発明の第3実施形態を示す回路図である。

[図7]図6における上アーム用ゲート駆動回路12aの構成図である。

[図8]図6におけるフェイルセーフ回路16Tの構成図である。

[図9]本発明の第4実施形態を示す回路図である。

[図10]図9におけるフェイルセーフ回路17Tの構成図である。

[図11]特許文献1に記載されたモータ駆動システムの回路図である。

[図12]冗長化された電源及びインバータ装置を備えたモータ駆動システムの回路図である。

### 発明を実施するための形態

[0029] 以下、図に沿って本発明の実施形態を説明する。

図1は、本発明の第1実施形態を示す回路図である。この実施形態におけるインバータ装置の主回路の構成は図12と同様であり、高圧の主バッテリー1と、主開閉器2と、直流母線5p, 5n間に接続されたコンデンサ3（以下、第2の電源ともいう）と、半導体スイッチング素子4a, 4b, 4c, 4d, 4e, 4fからなるブリッジ回路4とを備え、ブリッジ回路4の交流出力端子に三相のモータPMが接続されている。

[0030] スwitchング素子4a～4fのゲート信号を生成する制御回路は、以下のように構成されている。なお、上記の「ゲート信号」は、請求項における「駆動信号」に相当する。

まず、第1の電源6から出力される低圧の電源電圧 $V_L$ は、モータ制御用CPU7と第1のフェイルセーフ回路8とに供給されている。モータ制御用CPU7は、トルク指令 $\tau^*$ に従ってモータPMを運転するようにスイッチング素子4a, 4b, 4c, 4d, 4e, 4fの駆動指令 $G_{4aL1}$ ,  $G_{4dL1}$ ,  $G_{4bL1}$ ,  $G_{4eL1}$ ,  $G_{4cL1}$ ,  $G_{4fL1}$ をそれぞれ生成して第1のフェイルセーフ回路8に出力する。フェイルセーフ回路8は、駆動指令 $G_{4aL1}$ ,  $G_{4dL1}$ ,  $G_{4bL1}$ ,  $G_{4eL1}$ ,  $G_{4cL1}$ ,  $G_{4fL1}$ に応じてゲート駆動指令 $G_{4aL2}$ ,  $G_{4dL2}$ ,  $G_{4bL2}$ ,  $G_{4eL2}$ ,  $G_{4cL2}$ ,  $G_{4fL2}$ を生成し、これらのゲート駆動指令がゲート駆動回路12a, 14d, 12b, 14e, 12c, 14fにそれぞれ入力されている。

[0031] また、電源電圧 $V_L$ は、上アーム用の絶縁電源回路9a, 9b, 9c、上アーム用のゲート駆動回路12a, 12b, 12c、及び下アーム用の絶縁電源回路10Bに入力されている。

なお、19は、モータ制御用CPU7の故障を検出して第1のフェイルセーフ回路8に通知するための故障検出回路である。

[0032] 一方、第2の電源3の電圧は、下アーム用の非絶縁電源回路15Bにより電圧 $V_{H2}$ に変換される。この電圧 $V_{H2}$ と、前述した下アーム用の絶縁電源回路10Bから出力される電圧 $V_{H1}$ とは、それぞれダイオード20a, 20bを介して、第2の電源3の負極電位を基準電位とする電源電圧 $V_H$ として下アーム用のゲート駆動回路14d, 14e, 14fに入力されている。

更に、電源電圧 $V_H$ は、第2のフェイルセーフ回路16Bに供給されると共に、このフェイルセーフ回路16Bから出力されるゲート駆動指令 $G_{defH}$ が、下アーム用のゲート駆動回路14d, 14e, 14fに入力されている。

従って、例えば下アーム用のゲート駆動回路14dは、基準電位が異なるゲート駆動指令 $G_{4dL2}$ ,  $G_{defH}$ に基づいてスイッチング素子4dに対するゲート信号 $G_{4dH}$ を生成する。このことは、下アームの他相のゲート駆動回路14e, 14fについても同様である。

[0033] 上記のように、この実施形態では、下アーム用のゲート駆動回路14d, 14e, 14fの供給電源が第1の電源6と非絶縁電源回路15Bとによって冗長化されているのに対し、上アーム用のゲート駆動回路12a, 12b, 12cの供給電源は、第1の電源6のみであって冗長化されていない。

このため、例えば第1の電源6が喪失してモータPMの巻線短絡が必要になった場合、フェイルセーフ回路8及びゲート駆動回路12a, 12b, 12cを動作させてゲート信号 $G_{4aH}$ ,  $G_{4bH}$ ,  $G_{4cH}$ を生成することにより上アームの全てのスイッチング素子4a, 4b, 4cをオンすることはできない。しかし、第2の電源3及び非絶縁電源回路15Bから電源が供給されている下アーム用のゲート駆動回路14d, 14e, 14f及び第2のフェイルセーフ回路16Bは動作可能であるため、フェイルセーフ回路16Bからのゲート駆動指令 $G_{defH}$ に基づいて、ゲート駆動回路14d, 14e, 14fが下アームの全てのスイッチング素子4d, 4e, 4fをオンさせてモータPMの巻線を短絡することができる。

[0034] この実施形態によれば、非絶縁電源回路 15 B による電源供給先がゲート駆動回路 14 d, 14 e, 14 f 及びフェイルセーフ回路 16 B であり、図 12 の絶縁電源回路 11 に比べて大幅に少ないため、非絶縁電源回路 15 B の容量の軽減が可能であると共に、絶縁トランスを不要にして装置の小型・軽量化、低コスト化を図ることができる。

[0035] 図 2 は、下アームのスイッチング素子 4 d に対するゲート駆動回路 14 d の構成図である。このゲート駆動回路 14 d には冗長化された電源電圧  $V_L$ ,  $V_H$  が供給されており、基準電位が異なる二つのゲート駆動指令  $G_{4dL2}$ ,  $G_{4defH}$  に基づいてスイッチング素子 4 d のゲート信号  $G_{4dH}$  を生成する。なお、下アームの他相のゲート駆動回路 14 e, 14 f の構成も図 2 と同様である。

図 2 において、141 は第 1 のフェイルセーフ回路 8 からのゲート駆動指令  $G_{4dL2}$  を絶縁して出力する信号絶縁手段、142 はアンプ、143 は第 2 のフェイルセーフ回路 16 B からのゲート駆動指令  $G_{4defH}$  が入力されるアンプ、144 はアンプ 142, 143 の出力信号が入力されてスイッチング素子 4 d に対するゲート信号  $G_{4dH}$  を生成する OR ゲートである。

[0036] 図 3 は、電源電圧  $V_H$  が供給される第 2 のフェイルセーフ回路 16 B の構成図である。このフェイルセーフ回路 16 B は、負入力端子に絶縁電源回路 10 B の出力電圧  $V_{H1}$  が入力され、正入力端子に抵抗 162 を介して第 1 の閾値 161 が入力される第 1 のコンパレータ 163 と、その帰還回路に接続された抵抗 164 と、を備えている。

このフェイルセーフ回路 16 B では、電圧  $V_{H1}$  が第 1 の閾値 161 を下回ると、下アーム用のゲート駆動回路 14 d, 14 e, 14 f に対するゲート駆動指令  $G_{4defH}$  が出力される。

[0037] 次に、図 4 は本発明の第 2 実施形態を示す回路図である。この第 2 実施形態において、図 1 の第 1 実施形態と同一の部分については同一の参照符号を付して説明を省略し、以下では異なる部分を中心に説明する。

[0038] 図 4 において、直流母線 5 p, 5 n 間には電圧検出手段 18 が接続されて

おり、この電圧検出手段 18 による直流電圧検出値  $V_{dc\ det}$  がフェイルセーフ回路 17 B に入力されている。なお、このフェイルセーフ回路 17 B も、図 1 のフェイルセーフ回路 16 B と同様に、請求項における第 2 のフェイルセーフ回路に相当する。

フェイルセーフ回路 17 B には電源電圧  $V_H$  が供給されていると共に、上述した直流電圧検出値  $V_{dc\ det}$  と絶縁電源回路 10 B の出力電圧  $V_{H1}$  とに基づいて、下アーム用のゲート駆動回路 14 d, 14 e, 14 f に対するゲート駆動指令  $G_{defH}$  が生成される。

[0039] 図 5 は、フェイルセーフ回路 17 B の構成図であり、図 3 のフェイルセーフ回路 16 B と共通する部分については同一の参照符号を付し、以下では異なる部分を中心に説明する。

図 5 において、電圧検出手段 18 による直流電圧検出値  $V_{dc\ det}$  が第 2 のコンパレータ 173 の正入力端子に入力され、その負入力端子には抵抗 172 を介して第 2 の閾値 171 が入力されている。なお、174 は帰還回路の抵抗である。

第 2 のコンパレータ 173 の出力は、第 1 のコンパレータ 163 の出力と共に AND ゲート 175 に入力され、この AND ゲート 175 の出力がゲート駆動指令  $G_{defH}$  となっている。

[0040] フェイルセーフ回路 17 B では、直流電圧検出値  $V_{dc\ det}$  が第 2 の閾値 171 を上回り、かつ、電圧  $V_{H1}$  が第 1 の閾値 161 を下回ると、AND ゲート 175 の二つの入力信号が「High」レベルとなり、ゲート駆動指令  $G_{defH}$  がオンとなる。

このため、ゲート駆動回路 14 d, 14 e, 14 f からのゲート信号  $G_{4dH}$ ,  $G_{4eH}$ ,  $G_{4fH}$  により下アームのスイッチング素子 4 d, 4 e, 4 f が全てオンし、モータ PM の巻線が短絡される。また、直流電圧検出値  $V_{dc\ det}$  が第 2 の閾値 171 を下回る場合には、コンパレータ 173 の出力信号が「Low」レベルになるので、電圧  $V_{H1}$  と第 1 の閾値 161 との大小関係に関わらずゲート駆動指令  $G_{defH}$  はオフとなり、下アームのスイッチング素子 4 d,

4 e, 4 f は全てオフする。

[0041] 次に、図 6 は本発明の第 3 実施形態を示す回路図である。

前述した第 1, 第 2 実施形態では、下アームのスイッチング素子 4 d, 4 e, 4 f を駆動するためのゲート駆動回路 1 4 d, 1 4 e, 1 4 f やフェイルセーフ回路 1 6 B, 1 7 B の電源を冗長化することにより、第 1 の電源 6 が喪失した場合でも、下アームの全相のスイッチング素子をオンさせてモータ PM の巻線短絡を可能にしている。

これに対し、第 3 実施形態及び後述の第 4 実施形態は、上アームのスイッチング素子 4 a, 4 b, 4 c に対するゲート駆動回路 1 2 a, 1 2 b, 1 2 c 等の電源を冗長化し、第 1 の電源 6 が喪失した場合でも上アームの全相のスイッチング素子のオンによる巻線短絡を可能にしたものである。

[0042] 図 6 において、1 0 T は第 1 の電源 6 が供給される上アーム用の絶縁電源回路であり、ゲート駆動回路 1 2 a, 1 2 b, 1 2 c にそれぞれ対応する電源電圧を、ダイオード 2 2 b を介して出力する。また、1 5 T は第 2 の電源 3 が供給される上アーム用の絶縁電源回路であり、ゲート駆動回路 1 2 a, 1 2 b, 1 2 c にそれぞれ対応する電源電圧  $V_{Ha2}$ ,  $V_{Hb2}$ ,  $V_{Hc2}$  を生成する。これらの電源電圧は、ダイオード 2 2 a, 2 2 b を介して電源電圧  $V_{Ha}$ ,  $V_{Hb}$ ,  $V_{Hc}$  となる。

[0043] 更に、電源電圧  $V_{Ha}$  はフェイルセーフ回路 1 6 T に入力されていると共に、フェイルセーフ回路 1 6 T には、絶縁電源回路 1 0 T から電圧  $V_{H1}$  が入力されている。

このフェイルセーフ回路 1 6 T も、前述したフェイルセーフ回路 1 6 B, 1 7 B と同様に、請求項における第 2 のフェイルセーフ回路に相当する。

[0044] フェイルセーフ回路 1 6 T からはゲート駆動指令  $G_{aH}$ ,  $G_{bH}$ ,  $G_{cH}$  が生成され、これらのゲート駆動指令  $G_{aH}$ ,  $G_{bH}$ ,  $G_{cH}$  は上アーム用のゲート駆動回路 1 2 a, 1 2 b, 1 2 c にそれぞれ入力されている。また、ゲート駆動回路 1 2 a, 1 2 b, 1 2 c には第 1 の電源 6 による電源電圧  $V_L$  も入力されているため、ゲート駆動回路 1 2 a, 1 2 b, 1 2 c は供給電源が冗長化さ

れている。

従って、例えば上アームのスイッチング素子 4 a に対するゲート駆動回路 1 2 a は、基準電位が異なるゲート駆動指令  $G_{4aL2}$ ,  $G_{aH}$  に基づいてスイッチング素子 4 a に対するゲート信号  $G_{4aH}$  を生成し、これは上アームの他相のゲート駆動回路 1 2 b, 1 2 c についても同様である。

[0045] 図 7 は、図 6 におけるゲート駆動回路 1 2 a の構成図である。このゲート駆動回路 1 2 a には冗長化された電源電圧  $V_L$ ,  $V_{Ha}$  が供給されており、基準電位が異なる二つのゲート駆動指令  $G_{4aL2}$ ,  $G_{aH}$  に基づいてスイッチング素子 4 a のゲート信号  $G_{4aH}$  を生成する。

図 7 において、1 2 1 は第 1 のフェイルセーフ回路 8 からのゲート駆動指令  $G_{4aL2}$  を絶縁して出力する信号絶縁手段、1 2 2 はアンプ、1 2 3 はフェイルセーフ回路 1 6 T からのゲート駆動指令  $G_{aH}$  が入力されるアンプ、1 2 4 はアンプ 1 2 2, 1 2 3 の出力信号が入力されてスイッチング素子 4 a に対するゲート信号  $G_{4aH}$  を生成する OR ゲートである。

[0046] また、図 8 は、電源電圧  $V_{Ha}$  が供給されるフェイルセーフ回路 1 6 T の構成図である。このフェイルセーフ回路 1 6 T は、負入力端子に絶縁電源回路 1 0 T の出力電圧  $V_{H1}$  が入力され、正入力端子に抵抗 1 6 2 を介して第 1 の閾値 1 6 1 が入力される第 1 のコンパレータ 1 6 3 と、その帰還回路に接続された抵抗 1 6 4 と、コンパレータ 1 6 3 の出力側に接続された信号絶縁手段 1 6 5 b, 1 6 5 c を備えている。

このフェイルセーフ回路 1 6 T では、電圧  $V_{H1}$  が第 1 の閾値 1 6 1 を下回るとコンパレータ 1 6 3 の出力が「High」レベルとなり、上アームのスイッチング素子 4 a, 4 b, 4 c に対するゲート駆動指令  $G_{aH}$ ,  $G_{bH}$ ,  $G_{cH}$  が生成されてゲート駆動回路 1 2 a, 1 2 b, 1 2 c にそれぞれ入力される。

[0047] この第 3 実施形態においては、上アーム用のゲート駆動回路 1 2 a, 1 2 b, 1 2 c の供給電源が第 1 の電源 6 と絶縁電源回路 1 5 T とによって冗長化されているのに対し、下アーム用のゲート駆動回路 1 4 d, 1 4 e, 1 4

fの供給電源は、第1の電源6のみである。

このため、例えば第1の電源6が喪失してモータPMの巻線短絡が必要になった場合、フェイルセーフ回路8及びゲート駆動回路14d, 14e, 14fを動作させてゲート信号 $G_{4dH}$ ,  $G_{4eH}$ ,  $G_{4fH}$ を生成することにより下アームの全てのスイッチング素子4d, 4e, 4fをオンすることはできない。しかし、第2の電源3及び絶縁電源回路15Tから電源が供給されている上アーム用のゲート駆動回路12a, 12b, 12c及びフェイルセーフ回路16Tは動作可能であるため、フェイルセーフ回路16Tからのゲート駆動指令 $G_{aH}$ ,  $G_{bH}$ ,  $G_{cH}$ に基づいて、ゲート駆動回路12a, 12b, 12cが上アームの全てのスイッチング素子4a, 4b, 4cをオンさせてモータPMの巻線を短絡することができる。

[0048] この実施形態によれば、絶縁電源回路15Tによる電源供給先がゲート駆動回路12a, 12b, 12c及びフェイルセーフ回路16Tであり、図12の絶縁電源回路11に比べて大幅に少ないため、絶縁電源回路15Tの容量を軽減して装置の小型・軽量化、低コスト化を図ることができる。

[0049] 次いで、図9は本発明の第4実施形態を示す回路図である。この第4実施形態が図6の第3実施形態と相違する点は、図6におけるフェイルセーフ回路16Tの代わりにフェイルセーフ回路17Tが設けられ、電圧検出手段18による直流電圧検出値 $V_{dc\ det}$ がフェイルセーフ回路17Tに入力されている点である。

このフェイルセーフ回路17Tも、前述したフェイルセーフ回路16B, 17B, 16Tと同様に、請求項における第2のフェイルセーフ回路に相当する。

[0050] 図10は、フェイルセーフ回路17Tの構成図である。図5におけるフェイルセーフ回路17Bと異なるのは、ANDゲート175の出力側に信号絶縁手段165b, 165cが接続されて上アームに対するゲート駆動指令 $G_{aH}$ ,  $G_{bH}$ ,  $G_{cH}$ が出力される点である。

[0051] フェイルセーフ回路17Tでは、直流電圧検出値 $V_{dc\ det}$ が第2の閾値17

1を上回り、かつ、電圧 $V_{H1}$ が第1の閾値161を下回ると、ANDゲート175の二つの入力信号が「High」レベルとなり、ゲート駆動指令 $G_{aH}$ 、 $G_{bH}$ 、 $G_{cH}$ がオンとなる。

このため、ゲート駆動回路12a、12b、12cからのゲート信号 $G_{4aH}$ 、 $G_{4bH}$ 、 $G_{4cH}$ により上アームのスイッチング素子4a、4b、4cが全てオンし、モータPMの巻線が短絡される。また、直流電圧検出値 $V_{dcdet}$ が第2の閾値171を下回る場合には、コンパレータ173の出力信号が「Low」レベルになるので、電圧 $V_{H1}$ と第1の閾値161との大小関係に関わらずゲート駆動指令 $G_{aH}$ 、 $G_{bH}$ 、 $G_{cH}$ がオフとなり、上アームのスイッチング素子4a、4b、4cは全てオフする。

[0052] 以上説明したように、図6の第3実施形態または図9の第4実施形態によれば、上アームのスイッチング素子4a、4b、4cに対するゲート駆動回路12a、12b、12cやフェイルセーフ回路16T、17T等の電源を冗長化したことにより、第1の電源6が喪失した場合でも上アームの全相のスイッチング素子4a、4b、4cのオンによる巻線短絡が可能である。

[0053] 上述した各実施形態では、三相のインバータ装置について説明したが、本発明は、単相インバータ装置のほか、三相以外の多相インバータ装置にも適用可能である。また、インバータのスイッチング素子には、IGBT以外にFETやパワートランジスタ等を使用しても良い。

### 産業上の利用可能性

[0054] 本発明は、電動車両用のモータだけでなく、電源が冗長化された制御回路により交流モータを駆動するインバータ装置、及び、モータ駆動システムに適用することができる。

### 符号の説明

- [0055] 1：主バッテリー  
2：主開閉器  
3：コンデンサ（第2の電源）  
4：ブリッジ回路

4 a, 4 b, 4 c, 4 d, 4 e, 4 f : 半導体スイッチング素子

5 p, 5 n : 直流母線

6 : 第1の電源（補機バッテリー）

7 : モータ制御用CPU

8 : 第1のフェイルセーフ回路

9 a, 9 b, 9 c : 上アーム用の絶縁電源回路

10 B : 下アーム用の絶縁電源回路

10 T : 上アーム用の絶縁電源回路

12 a, 12 b, 12 c : 上アーム用のゲート駆動回路

12 1 : 信号絶縁手段

12 2, 12 3 : アンプ

12 4 : ORゲート

14 d, 14 e, 14 f : 下アーム用のゲート駆動回路

14 1 : 信号絶縁手段

14 2, 14 3 : アンプ

14 4 : ORゲート

15 B : 非絶縁電源回路

15 T : 絶縁電源回路

16 B, 16 T, 17 B, 17 T : 第2のフェイルセーフ回路

16 1 : 第1の閾値

16 2, 16 4 : 抵抗

16 3 : 第1のコンパレータ

16 5 b, 16 5 c : 信号絶縁手段

17 1 : 第2の閾値

17 2, 17 4 : 抵抗

17 3 : 第2のコンパレータ

17 5 : ANDゲート

18 : 電圧検出手段

19 : 故障検出回路

20a, 20b, 22a, 22b : : ダイオード

21d, 21e, 21f : 下アーム用の絶縁電源回路

PM : モータ

## 請求の範囲

### [請求項1]

直流母線間に接続された複数のスイッチング素子からなるブリッジ回路により直流／交流変換を行ってモータを駆動するインバータ装置の制御回路であって、前記ブリッジ回路の全相の上アームスイッチング素子または全相の下アームスイッチング素子をオンさせて前記モータの巻線を短絡させるフェイルセーフ機能を有する制御回路において、

前記上アームスイッチング素子の駆動信号を生成する上アーム用駆動回路と、

前記下アームスイッチング素子の駆動信号を生成する下アーム用駆動回路と、

前記上アーム用駆動回路及び前記下アーム用駆動回路に電源電圧を供給する第1の電源と、

前記第1の電源とは基準電位が異なり、かつ、前記直流母線から前記上アーム用駆動回路または前記下アーム用駆動回路に電源電圧を供給する第2の電源と、

前記第1の電源と共通の基準電位を有し、かつ、前記上アーム用駆動回路及び前記下アーム用駆動回路に対する駆動指令を生成する第1のフェイルセーフ回路と、

前記第2の電源と共通の基準電位を有し、かつ、前記上アーム用駆動回路または前記下アーム用駆動回路に対する駆動指令を生成する第2のフェイルセーフ回路と、

を備え、

前記上アーム用駆動回路または前記下アーム用駆動回路は、基準電位が異なる二つの駆動指令入力機能を有し、

前記二つの駆動指令入力機能のうちの一方は、前記第1のフェイルセーフ回路から出力される駆動指令の入力機能であり、前記二つの駆動指令入力機能のうちの他方は、前記第2のフェイルセーフ回路から

出力される駆動指令の入力機能であることを特徴とする、インバータ装置の制御回路。

[請求項2]

直流母線間に接続された複数のスイッチング素子からなるブリッジ回路により直流／交流変換を行ってモータを駆動するインバータ装置であって、前記ブリッジ回路の全相の上アームスイッチング素子または全相の下アームスイッチング素子をオンさせて前記モータの巻線を短絡させるフェイルセーフ機能を有するインバータ装置において、

前記上アームスイッチング素子の駆動信号を生成する上アーム用駆動回路と、

前記下アームスイッチング素子の駆動信号を生成する下アーム用駆動回路と、

前記上アーム用駆動回路及び前記下アーム用駆動回路に電源電圧を供給する第1の電源と、

前記第1の電源とは基準電位が異なり、かつ、前記直流母線から前記下アーム用駆動回路に電源電圧を供給する第2の電源と、

前記第1の電源の負極電位を基準電位とし、かつ、前記上アーム用駆動回路及び前記下アーム用駆動回路に対する駆動指令を生成する第1のフェイルセーフ回路と、

前記第2の電源の負極電位を基準電位とし、かつ、前記下アーム用駆動回路に対する駆動指令を生成する第2のフェイルセーフ回路と、

を備え、

前記下アーム用駆動回路は、基準電位が異なる二つの駆動指令入力機能を有し、

前記二つの駆動指令入力機能のうちの一方は、前記第1のフェイルセーフ回路から出力される駆動指令の入力機能であり、前記二つの駆動指令入力機能のうちの他方は、前記第2のフェイルセーフ回路から出力される駆動指令の入力機能であることを特徴とするインバータ装置。

- [請求項3]           請求項2に記載したインバータ装置において、
- 前記第2のフェイルセーフ回路は、前記第1の電源が供給される下アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると全相の前記下アームスイッチング素子をオンさせるための駆動指令を出力し、前記下アーム用絶縁電源回路の出力電圧が前記第1の閾値を上回ると全相の前記下アームスイッチング素子をオフさせるための駆動指令を出力することを特徴とするインバータ装置。
- [請求項4]           請求項2または3に記載したインバータ装置において、
- 前記下アーム用駆動回路は、前記第1の電源が供給される下アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると、全相の前記下アームスイッチング素子をオンさせるために前記第2のフェイルセーフ回路から出力される駆動指令の入力を優先し、前記下アーム用絶縁電源回路の出力電圧が前記第1の閾値を上回ると、前記第1のフェイルセーフ回路から出力される駆動指令の入力を優先して、前記下アームスイッチング素子の駆動信号を生成することを特徴とするインバータ装置。
- [請求項5]           請求項2に記載したインバータ装置において、
- 前記直流母線間の電圧を検出する電圧検出手段を備え、
- 前記第2のフェイルセーフ回路は、前記電圧検出手段による電圧検出値が第2の閾値を下回ると全相の前記下アームスイッチング素子をオフさせるための駆動指令を出力すると共に、前記電圧検出手段による電圧検出値が前記第2の閾値を上回り、かつ、前記第1の電源が供給される下アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると全相の前記下アームスイッチング素子をオンさせるための駆動指令を出力することを特徴とするインバータ装置。
- [請求項6]           直流母線間に接続された複数のスイッチング素子からなるブリッジ回路により直流／交流変換を行ってモータを駆動するインバータ装置であって、前記ブリッジ回路の全相の上アームスイッチング素子また

は全相の下アームスイッチング素子をオンさせて前記モータの巻線を短絡させるフェイルセーフ機能を有するインバータ装置において、

前記上アームスイッチング素子の駆動信号を生成する上アーム用駆動回路と、

前記下アームスイッチング素子の駆動信号を生成する下アーム用駆動回路と、

前記上アーム用駆動回路及び前記下アーム用駆動回路に電源電圧を供給する第1の電源と、

前記第1の電源とは基準電位が異なり、かつ、前記直流母線から前記上アーム用駆動回路に電源電圧を供給する第2の電源と、

前記第1の電源の負極電位を基準電位とし、かつ、前記上アーム用駆動回路及び前記下アーム用駆動回路に対する駆動指令を生成する第1のフェイルセーフ回路と、

何れかの相の前記上アームスイッチング素子の出力端子の電位を基準電位とし、かつ、前記上アーム用駆動回路に対する駆動指令を生成する第2のフェイルセーフ回路と、

を備え、

前記上アーム用駆動回路は、基準電位が異なる二つの駆動指令入力機能を有し、

前記二つの駆動指令入力機能のうちの一方は、前記第1のフェイルセーフ回路から出力される駆動指令の入力機能であり、前記二つの駆動指令入力機能のうちの他方は、前記第2のフェイルセーフ回路から出力される駆動指令の入力機能であることを特徴とするインバータ装置。

[請求項7]

請求項6に記載したインバータ装置において、

前記第2のフェイルセーフ回路は、前記第1の電源が供給される上アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると全相の前記上アームスイッチング素子をオンさせるための駆動指令を出力し、前

記上アーム用絶縁電源回路の出力電圧が前記第1の閾値を上回ると全相の前記上アームスイッチング素子をオフさせるための駆動指令を出力することを特徴とするインバータ装置。

[請求項8]

請求項6または7に記載したインバータ装置において、

前記上アーム用駆動回路は、前記第1の電源が供給される上アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると、全相の前記上アームスイッチング素子をオンさせるために前記第2のフェイルセーフ回路から出力される駆動指令の入力を優先し、前記上アーム用絶縁電源回路の出力電圧が前記第1の閾値を上回ると、前記第1のフェイルセーフ回路から出力される駆動指令の入力を優先して、前記上アームスイッチング素子の駆動信号を生成することを特徴とするインバータ装置。

[請求項9]

請求項6に記載したインバータ装置において、

前記直流母線間の電圧を検出する電圧検出手段を備え、

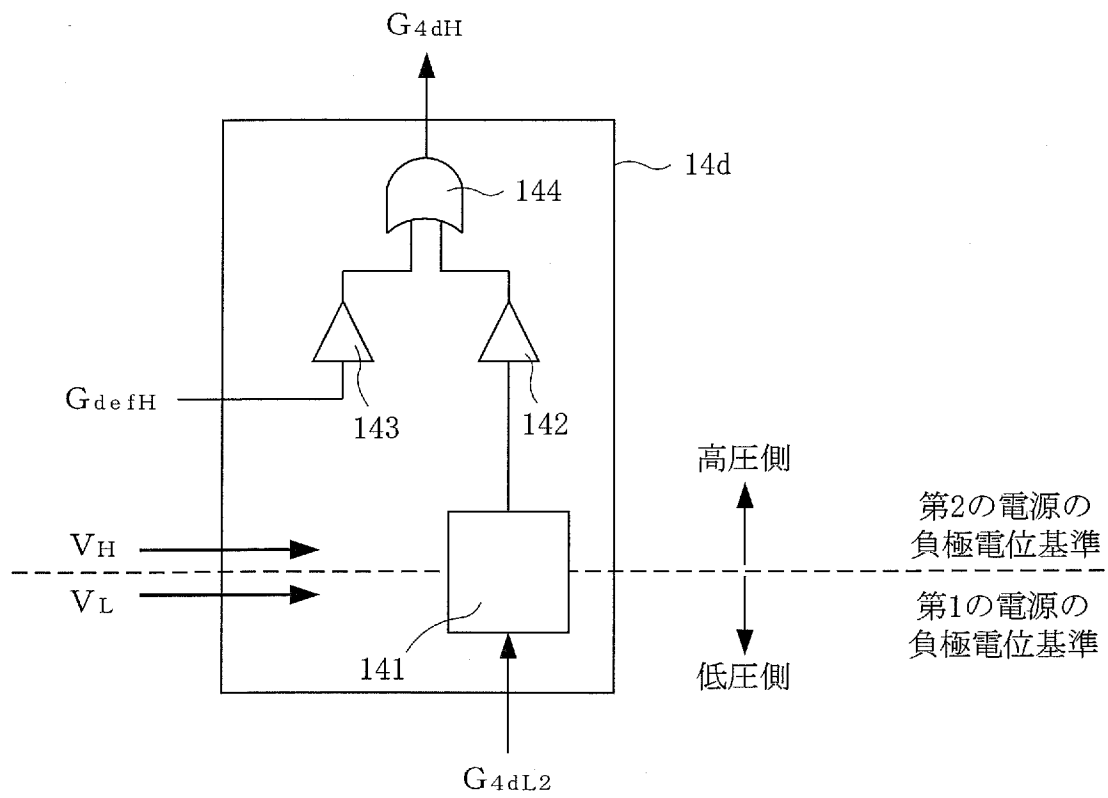
前記第2のフェイルセーフ回路は、前記電圧検出手段による電圧検出値が第2の閾値を下回ると全相の前記上アームスイッチング素子をオフさせるための駆動指令を出力すると共に、前記電圧検出手段による電圧検出値が前記第2の閾値を上回り、かつ、前記第1の電源が供給される上アーム用絶縁電源回路の出力電圧が第1の閾値を下回ると全相の前記上アームスイッチング素子をオンさせるための駆動指令を出力することを特徴とするインバータ装置。

[請求項10]

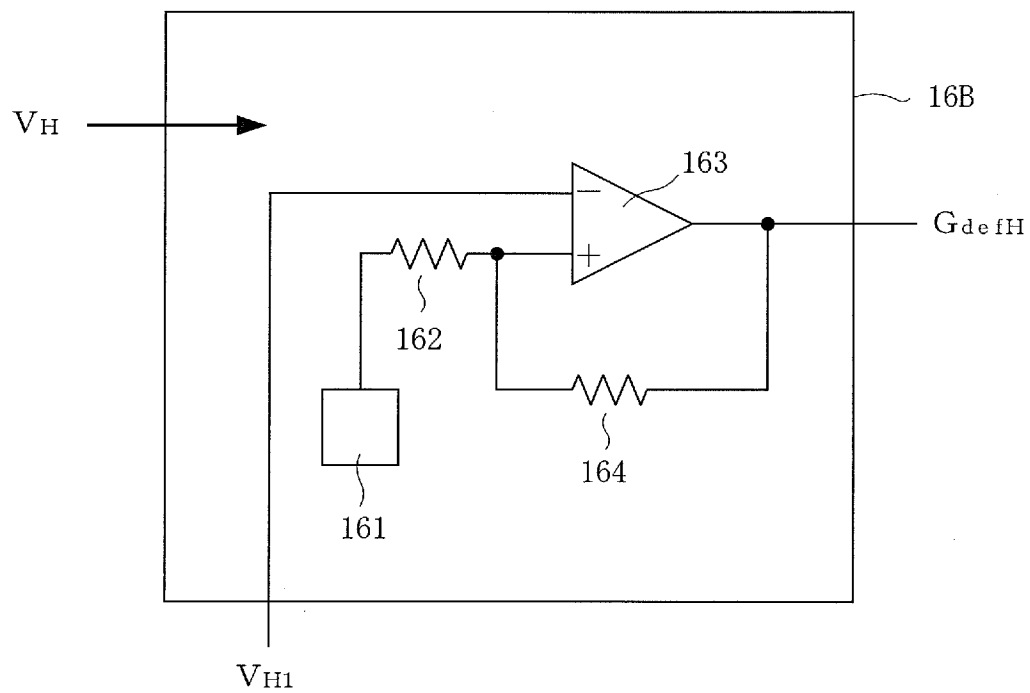
請求項2～9の何れか1項に記載のインバータ装置と、当該インバータ装置の交流出力電圧により駆動されるモータと、からなることを特徴とするモータ駆動システム。



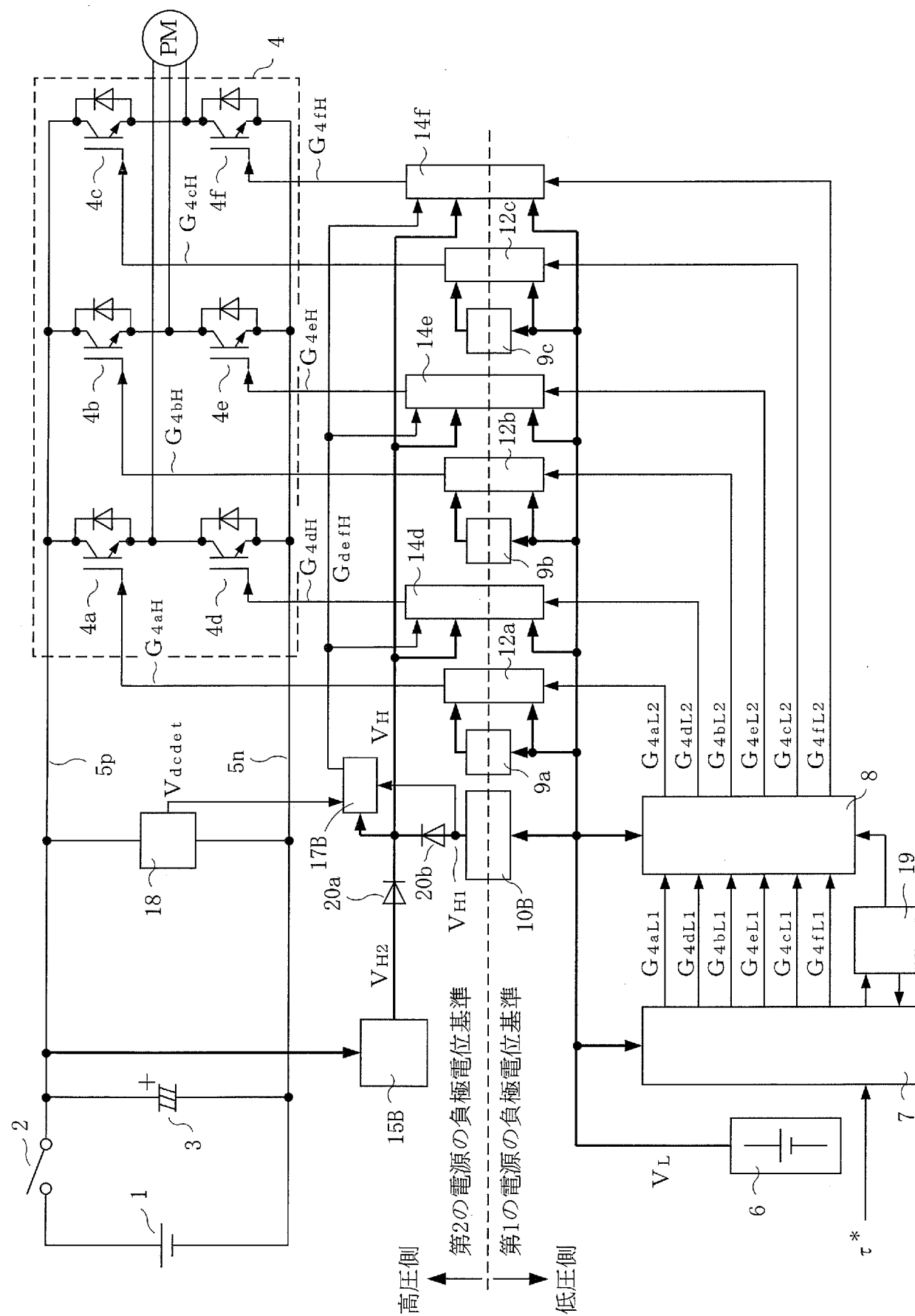
[図2]



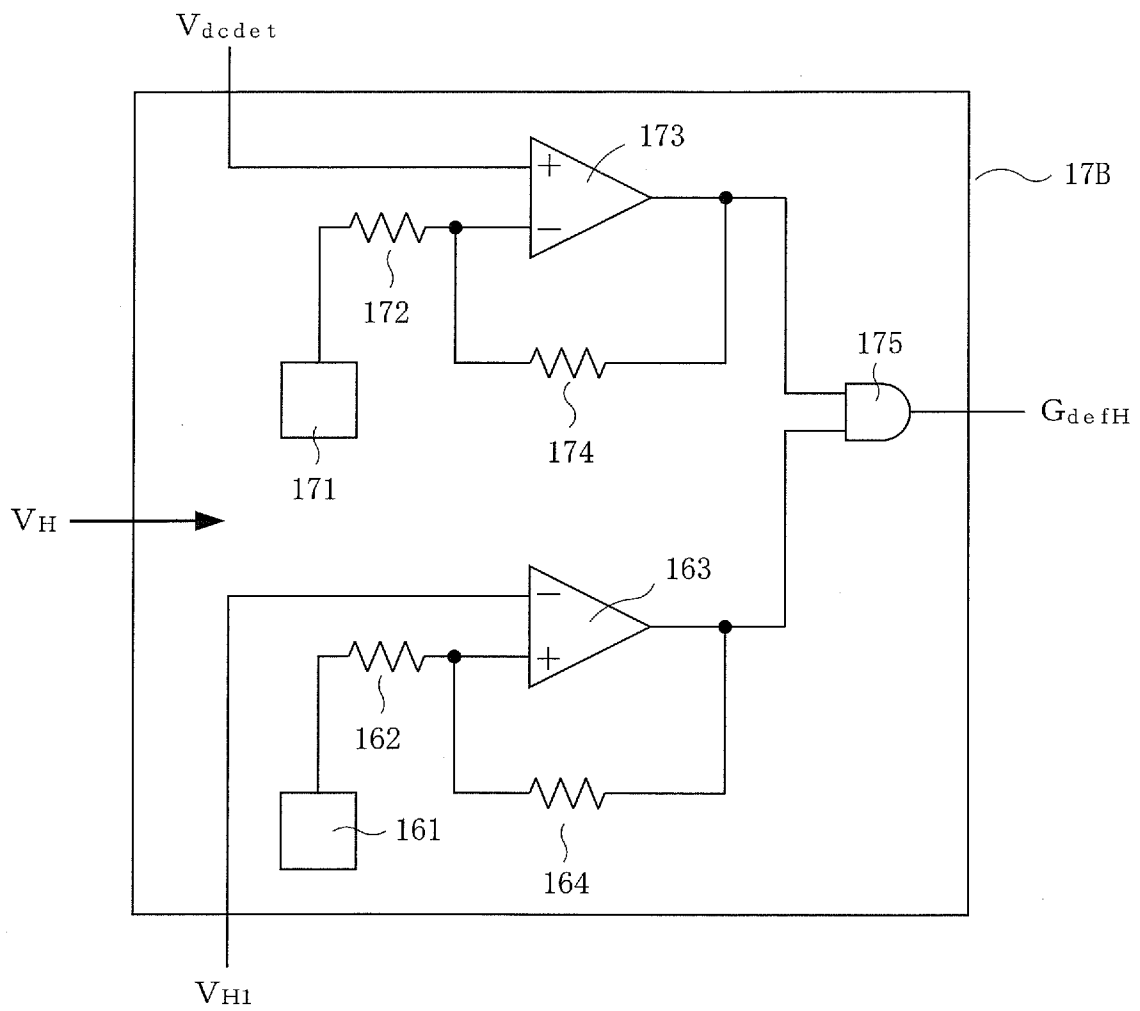
[図3]



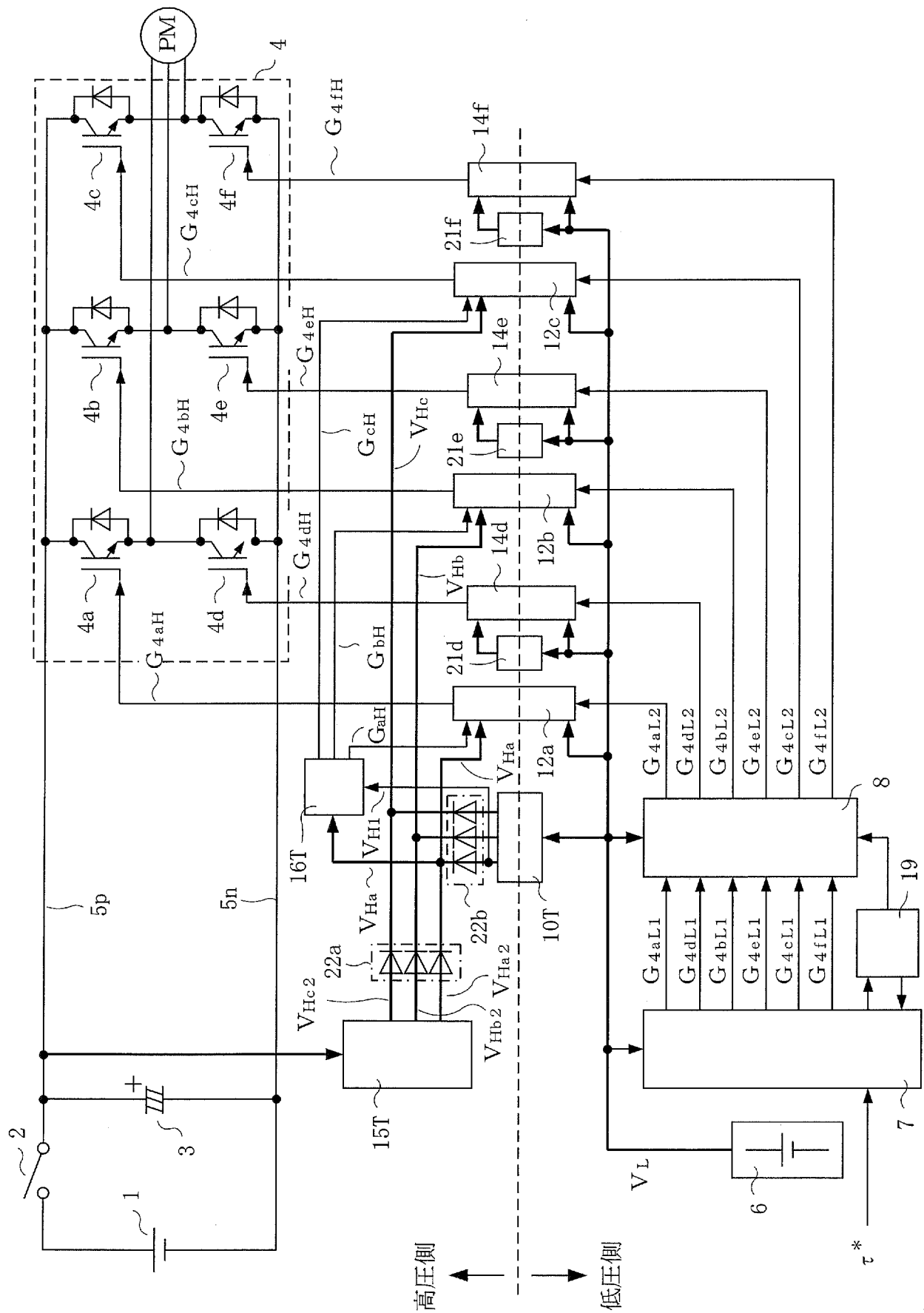
[図4]



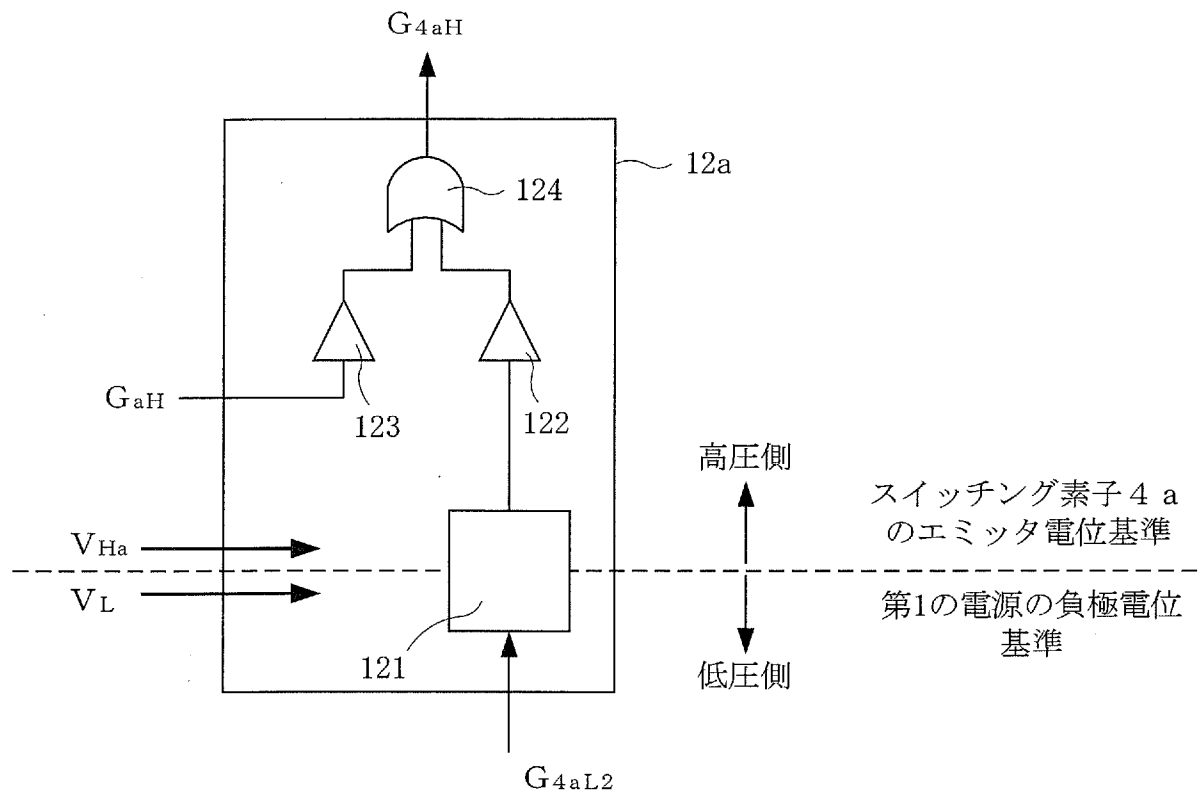
[図5]



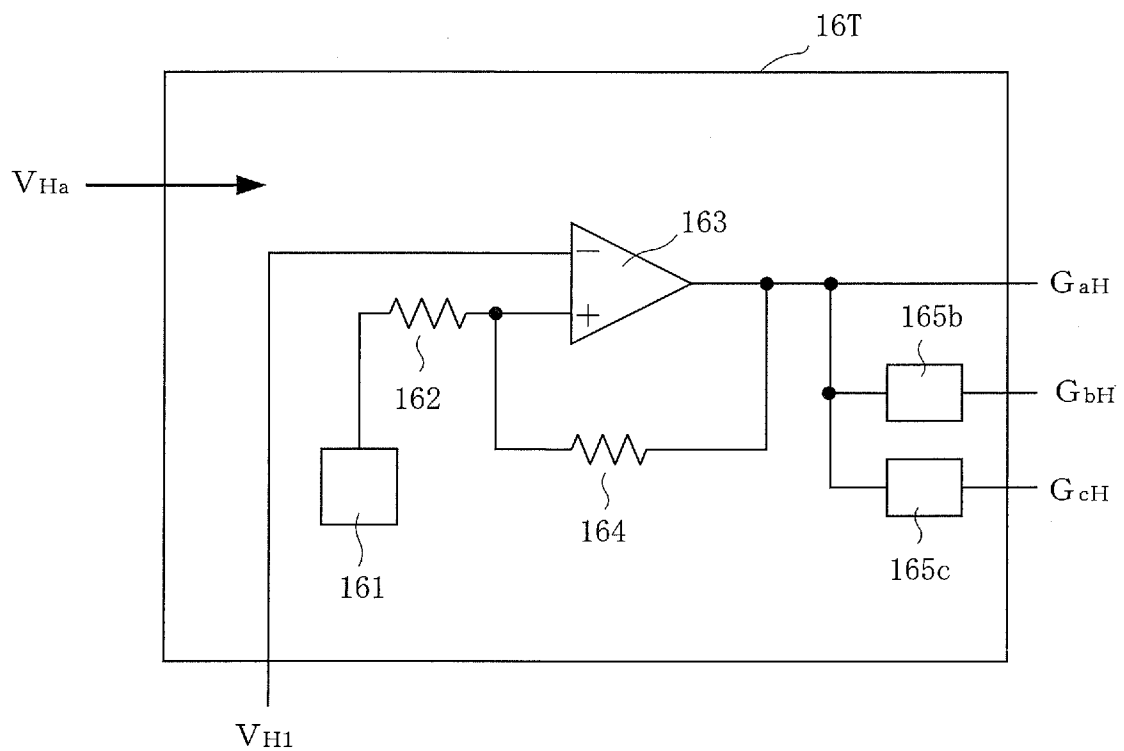
[図6]



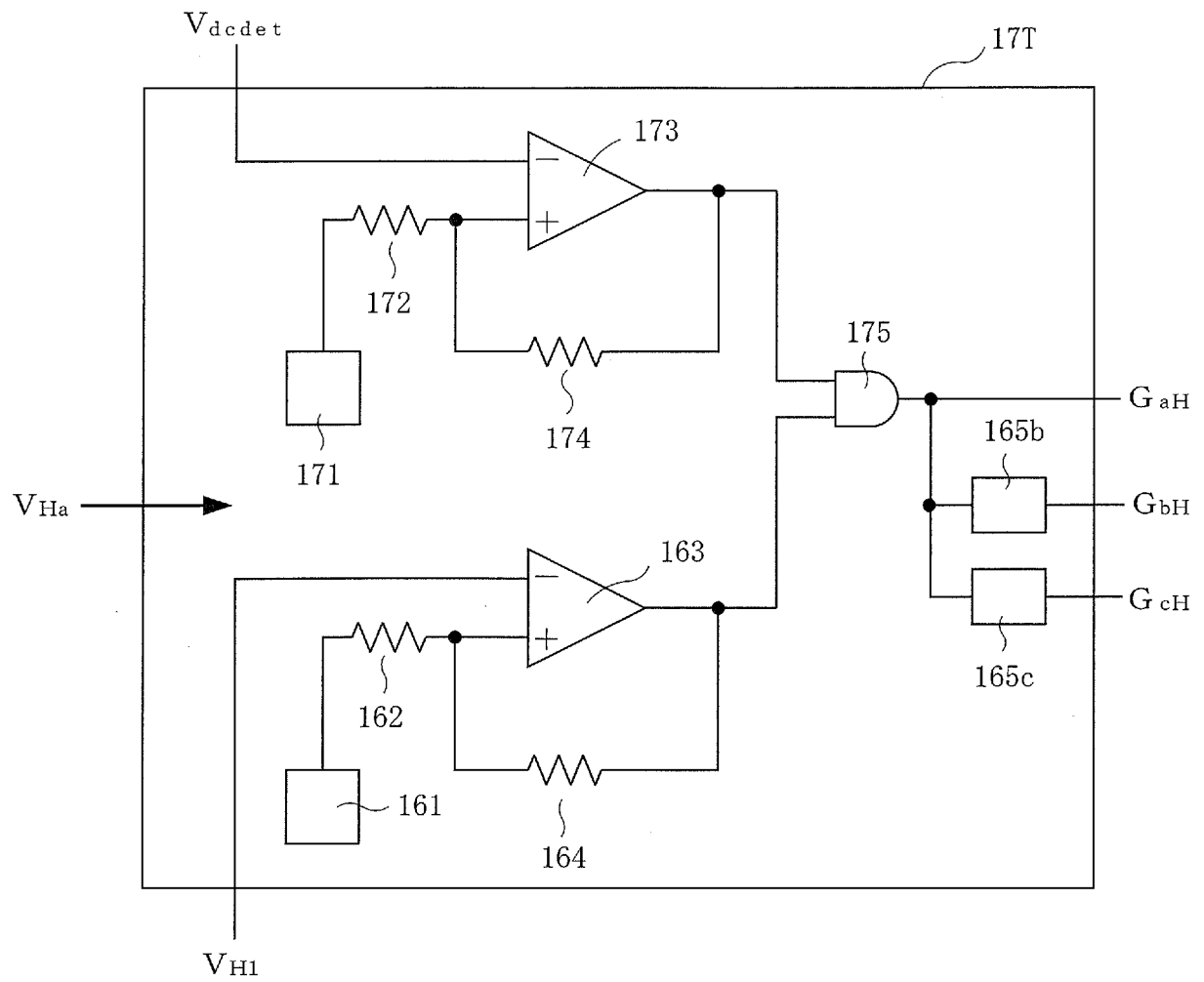
[図7]



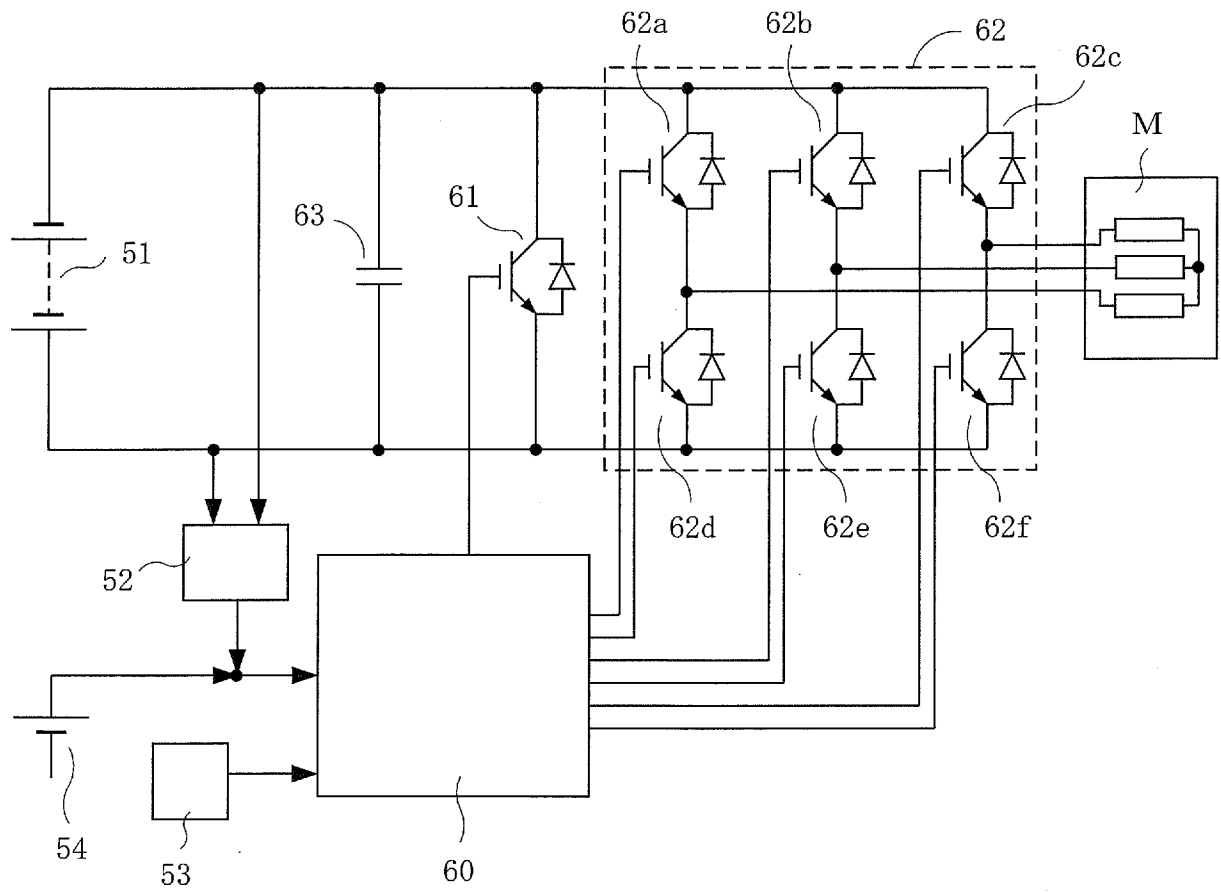
[図8]



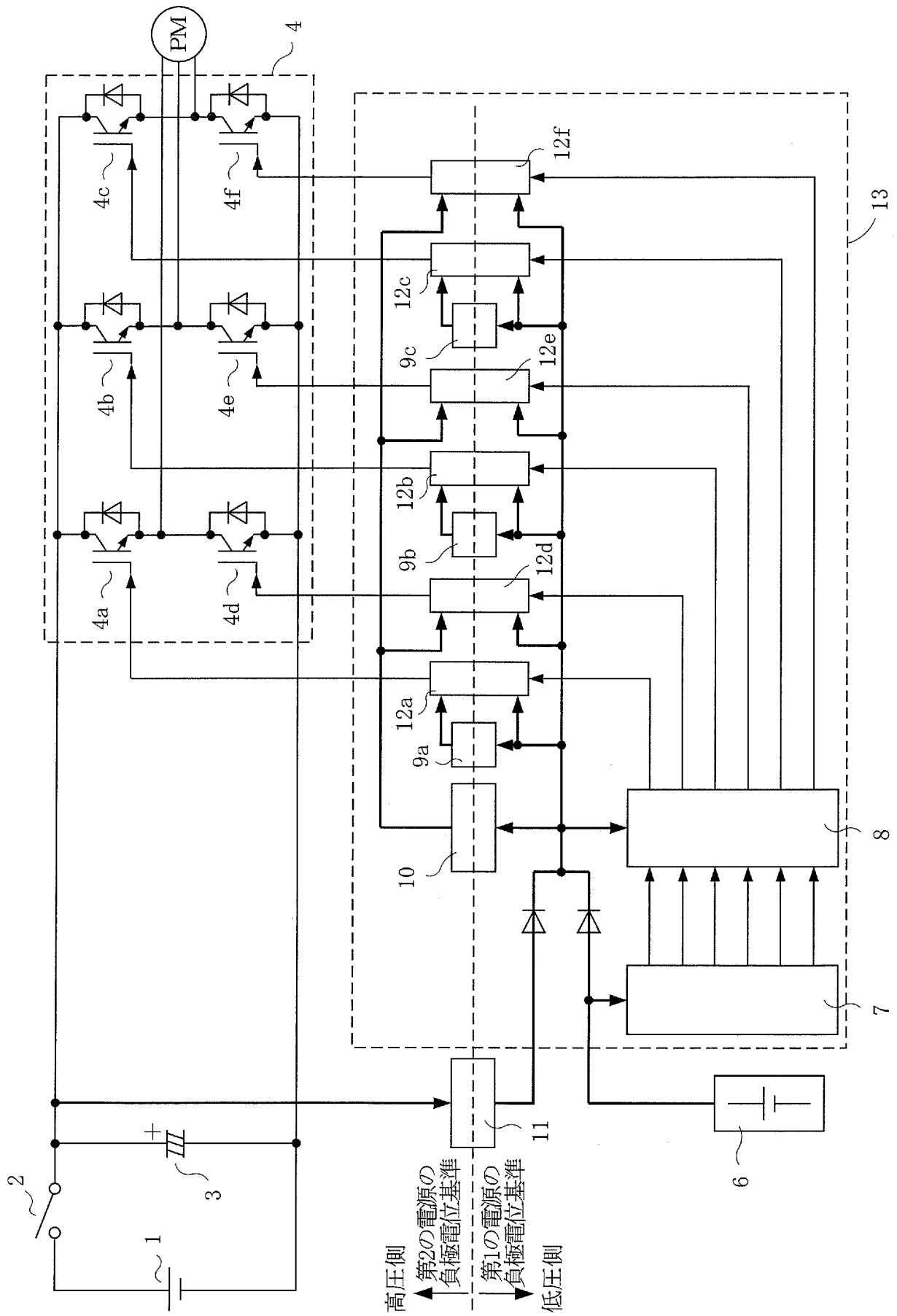




[図11]



[図12]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/034194

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H02M7/48 (2007.01) i, H02M1/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M7/48, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | WO 2018/030381 A1 (FUJI ELECTRIC CO., LTD.) 15<br>December 2018 (Family: none)                                                     | 1-10                  |
| A         | WO 2014/010061 A1 (MITSUBISHI ELECTRIC CORP.) 16<br>January 2014, & US 2015/0155816 A1 & KR 10-2015-<br>0032689 A & CN 104704724 A | 1-10                  |
| A         | JP 2011-259517 A (TOYOTA MOTOR CORP.) 22 December<br>2011 (Family: none)                                                           | 1-10                  |
| A         | JP 2008-236994 A (TOSHIBA MITSUBISHI-ELECTRIC<br>INDUSTRIAL SYSTEMS CORP.) 02 October 2008 (Family:<br>none)                       | 1-10                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
01.11.2018

Date of mailing of the international search report  
13.11.2018

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/034194

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                     | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2000-14184 A (MANNESMANN SACHS AG) 14 January 2000, & US 6239566 B1 & GB 2338847 A & DE 19835576 A1 & FR 2778799 A1 | 1-10                  |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i, H02M1/08(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/48, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2018年 |
| 日本国実用新案登録公報 | 1996-2018年 |
| 日本国登録実用新案公報 | 1994-2018年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                      | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------------------------------------------------|----------------|
| A               | WO 2018/030381 A1（富士電機株式会社）2018.02.15,（ファミリーなし）                                                        | 1-10           |
| A               | WO 2014/010061 A1（三菱電機株式会社）2014.01.16, & US 2015/0155816 A1<br>& KR 10-2015-0032689 A & CN 104704724 A | 1-10           |
| A               | JP 2011-259517 A（トヨタ自動車株式会社）2011.12.22,（ファミリーなし）                                                       | 1-10           |
| A               | JP 2008-236994 A（東芝三菱電機産業システム株式会社）2008.10.02,<br>（ファミリーなし）                                             | 1-10           |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

01.11.2018

国際調査報告の発送日

13.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5G

3987

電話番号 03-3581-1101 内線 3526

| C (続き) . 関連すると認められる文献 |                                                                                                                           |                |
|-----------------------|---------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                         | 関連する<br>請求項の番号 |
| A                     | JP 2000-14184 A (マンネスマン ザックス アクチエンゲゼルシャフト)<br>2000.01.14, & US 6239566 B1 & GB 2338847 A & DE 19835576 A1 & FR 2778799 A1 | 1 - 1 0        |