[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/34
H01L 27/10

[12] 发明专利说明书

[21] ZL 专利号 99126508.4

[45] 授权公告日 2005 年 5 月 4 日

[11] 授权公告号 CN 1200431C

[22] 申请日 1999.12.22 [21] 申请号 99126508.4
[30] 优先权
[32] 1998.12.24 [33] JP [31] 365887/1998
[71] 专利权人 株式会社日立制作所
地址 日本东京
[72] 发明人 坂本达哉 永岛靖 竹村理一郎
审查员 林 甦

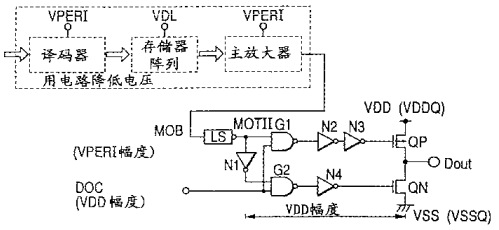
[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 王永刚

权利要求书 6 页 说明书 27 页 附图 13 页

[54] 发明名称 半导体存储器件

[57] 摘要

开关 MOSFET 插入在读出放大器与互补位线之间：在信号电压被字线从多个被选定的动态存储器单元读出到多对互补位线之后，开关 MOSFET 的开关控制信号从选择电平被改变到预定的中间电位，由于读出节点根据读出放大器的放大操作而被开通。 由放大操作产生的放大信号，响应于列选择信号，通过列选择电路，被传输到输入/输出线，且开关控制信号响应于列选择电路的选择操作而从中间电位电平返回到选择电平。



ISSN1008-4274

1. 一种半导体存储器件，它包含：

其上分别连接有多个动态存储器单元的地址选择端子的多个字线；

其上分别连接有多个动态存储器单元的多对互补位线；

被列选择信号控制的列选择电路；

输出控制信号的电路，所述控制信号可以被选择性地设定为选择电平、不选择电平和中间电平三者中的一个电平，在信号电压被所述字线的选择操作根据其各自存储的信息从动态存储器单元读出到多对互补位线之后，所述电路将所述控制信号从选择电平改变到中间电平，并且所述电路响应于所述列选择电路的选择操作，将所述控制信号从中间电平改变到选择电平，

插入在所述多对互补位线和多对读出节点之间，用来在其栅处接收控制信号的多对传输 MOSFET，在信号从存储器单元被读出到所述互补位线时，所述传输 MOSFET 具有关断状态或比较高的导通电阻，在读出节点的信号被读出放大器的放大操作放大时，所述传输 MOSFET 中的一个具有开通状态或比较低的电阻，而另一个具有关断状态或比较高的导通电阻；

多个读出放大器，所述读出放大器被馈以工作电压，以便响应于所述控制信号到中间电平的改变而开始放大操作，所述读出放大器具有连接到所述多对读出节点且适合于响应操作时间信号而被馈以工作电压的分立的输入/输出端子；以及

其上通过被所述列选择信号控制开关的所述列选择电路连接有所述读出节点的数据输出线，

其中所述放大操作产生的放大信号，响应于列选择信号，通过列选择电路，被传输到所述输入/输出线。

2. 根据权利要求 1 的半导体存储器件，

其中还提供了用来对所述互补位线进行预充电且连接到所述读出

节点的预充电电路，

其中当所述字线处于未被选定的状态时，所述控制信号被设定为选择电平，致使互补位线通过所述传输 MOSFET，被位于读出节点处的预充电电路预充电。

3. 根据权利要求 1 或 2 的半导体存储器件，

其中互补位线被安置在所述读出节点周围的左右二侧上，

其中所述传输 MOSFET 与排列在左右的所述互补位线的选择开关 MOSFET 一起使用，且

其中对应于未被选定的互补位线的传输 MOSFET 的开关控制信号，在所述字线被选定之前，被设定为不选择电平。

4. 根据权利要求 3 的半导体存储器件，

其中响应于所述列选择电路的选择操作，所述控制信号在平稳的改变中，从所述中间电平回到选择电平，而不是从选择电平到中间电平。

5. 根据权利要求 3 的半导体存储器件，

其中包括具有被连接的输入/输出端子的 CMOS 锁存电路的主放大器，被连接到所述数据输出线，

其中所述数据输出线被预充电到极性与所述读出节点的一个电平极性相反的另一电平，且

其中所述主放大器当进入操作状态时，对所述 CMOS 锁存电路馈以对应于此另一电位的工作电压。

6. 根据权利要求 3 的半导体存储器件，

其中所述字线包括主字线和共用地分配给所述主字线的多个子字线，

其中所述动态存储器单元的地址选择 MOSFET 的栅，被连接到所述子字线，

其中所述子字线中的一个被接收所述主字线的信号和所述子字选择线的信号的子字驱动器选定，

其中所述子字驱动器产生位于除存储器单元阵列端部外的左右二

侧上的子字线的选择信号，且

其中所述读出放大器从位于除存储器单元阵列端部外的左右二侧上的互补位线，读出被放大了的信号。

7. 根据权利要求 3 的半导体存储器件，

其中待要馈至所述读出放大器的工作电压，是从外部端子馈入的电源电压降低了的电压，

其中所述字线的选择电平和所述传输 MOSFET 的选择电平，是从所述电源电压升高了的电压；且

其中所述中间电平使用对应于所述读出放大器的工作电压的降低了的电压。

8. 一种半导体存储器件，它包含：

多个字线；

一对互补位线；

多个各自连接到所述多个字线的存储器单元；

用来对存储器单元被选定时出现在所述一对互补位线上的读出信号进行放大的读出放大器；

插入在所述读出放大器的一对读出节点与所述一对互补位线之间的，在其栅处接收控制信号的一对 MOSFET；以及

输出控制信号的电路，所述控制信号具有选择电平、不选择电平和中间电平，在所述读出信号出现在所述一对互补位线上之后，所述电路将所述控制信号从所述选择电平改变到中间电平，且在所述读出放大器开始工作之后，所述电路将所述控制信号从所述中间电平改回到所述选择电平。

9. 根据权利要求 8 的半导体存储器件，

其中在其栅处接收所述中间电平的控制信号的所述成对的 MOSFET 被采用，使之在所述读出信号出现在所述成对的互补位线上的状态下，具有关断状态即比较高的导通电阻，且在所述一对读出节点的信号被读出放大器的操作放大的状态下，所述成对的 MOSFET 中的一个 MOSFET 具有开通状态即比较低的导通电阻，而另一个

MOSFET 具有关断状态即比较高的导通电阻。

10. 根据权利要求 9 的半导体存储器件，

其中在其栅处接收所述选择电平的控制信号的所述成对的 MOSFET 被开通，而

其中在其栅处接收所述不选择电平的控制信号的所述成对的 MOSFET 被关断。

11. 一种半导体存储器件，它包含：

包括多个第一字线、一对与所述多个第一字线相交的互补位线、和多个存储器单元的第一存储器阵列；

包括多个第二字线、一对与所述多个第二字线相交的互补位线、和多个存储器单元的第二存储器阵列；

在所述第一存储器阵列与所述第二存储器阵列之间共用的，用来对存储器单元被选定时出现在一对相应的互补位线上的读出信号进行放大的读出放大器；以及

各自插入在所述第一存储器阵列侧上的所述读出放大器的一对读出节点与成对的互补位线之间，以及所述第二存储器阵列侧上的所述成对的读出节点与成对的互补位线之间的 MOSFET 对，

控制各个 MOSFET 对的栅电压的电路，该电路使该栅电压选择性地设定为选择电平、不选择电平、它们的中间电平三者中的一个电平，

当所述第一存储器阵列的存储器单元被选定时，所述第二存储器阵列侧上的 MOSFET 对的栅电压被设定为不选择电平，当所述第二存储器阵列的存储器单元被选定时，所述第一存储器阵列侧上的 MOSFET 对的栅电压被设定为不选择电平，在所述读出信号出现在所述一对互补位线上之后，对应的 MOSFET 对的栅电压从所述选择电平改变到所述中间电平，且在所述读出放大器开始工作之后，对应的 MOSFET 对的栅电压从所述中间电平回到所述选择电平。

12. 根据权利要求 11 的半导体存储器件，

其中接收所述中间电平的栅电压的所述 MOSFET 对被采用，使之在所述读出信号出现在所述成对的互补位线上的状态下，具有关断状

态即比较高的导通电阻，且在所述一对读出节点的信号被读出放大器的操作放大的状态下，所述 MOSFET 对中的一个 MOSFET 具有开通状态即比较低的电阻，而另一个 MOSFET 具有关断状态即比较高的导通电阻。

13. 根据权利要求 12 的半导体存储器件，

其中接收所述选择电平的栅电压的所述传输 MOSFET 对被开通，而

其中接收所述不选择电平的栅电压的所述传输 MOSFET 对被关断。

14. 一种半导体存储器件，它包含：

多个字线；

一对互补位线；

多个各自连接到所述多个字线的动态存储器单元；

用来对存储器单元被选定时出现在所述一对互补位线上的读出信号进行放大的读出放大器；

插入在所述读出放大器的一对读出节点与所述一对互补位线之间的，在其栅处接收控制信号的一对 MOSFET；以及

控制控制信号的电路，所述电路使所述控制信号选择性地设定为选择电平、不选择电平和中间电平三者中的一个电平，在所述读出信号出现在所述一对互补位线上之后，所述电路将所述控制信号从所述选择电平改变到中间电平，在所述读出放大器开始工作之后，所述电路将所述控制信号从所述中间电平改变到所述选择电平，且

其中在所述选择电平下，所述成对的 MOSFET 被开通；在所述不选择电平下，所述成对的 MOSFET 被关断；而在所述中间电平下，所述 MOSFET 对被采用，使之在所述读出信号出现在所述成对的互补位线上的状态下，具有关断状态即比较高的导通电阻，且在所述一对读出节点的信号被读出放大器的操作放大的状态下，所述 MOSFET 对中的一个 MOSFET 具有开通状态即比较低的导通电阻，而另一个 MOSFET 具有关断状态即比较高的导通电阻。

15. 根据权利要求 14 的半导体存储器件，

其中所述读出放大器包括用来将高电平和低电平的信号输出到所述一对读出节点的 CMOS 锁存电路，

其中所述一个适合具有所述开通状态即所述比较低的导通电阻的 MOSFET，接收所述低电平的信号，且

其中所述另一个适合具有所述关断状态即所述比较高的导通电阻的 MOSFET，接收所述高电平的信号。

16. 根据权利要求 15 的半导体存储器件，

其中所述 MOSFET 对是 N 沟道型的，

其中所述选择电平是所述字线的选择电平，

其中所述不选择电平是所述 CMOS 锁存电路的输出信号的低电平，且

其中所述中间电平是所述 CMOS 锁存电路的输出信号的高电平。

半导体存储器件

本发明涉及到半导体存储器件，主要是涉及到能够用于包括读出放大器与位线之间的开关 MOSFET 的动态 RAM（随机存取存储器）的技术。

日本专利公开 No.64-73596、5-62463 和 8-106781 已经举例说明了动态 RAM，它借助于关断共用的选择 MOSFET 的选定侧以暂时减轻读出放大器上的负载而被用来提高读出放大器的速度。另一方面，在日本专利公开 No.4-167293 中，公开了此动态 RAM。在这种动态 RAM 中，开关 MOSFET 被插入在读出放大器的输入/输出节点和互补位线之间，并在每当读出放大器开始放大时，被设定到不选定电平，致使读出放大器与互补位线隔离以开始放大操作。在列选择之后，开关 MOSFET 的栅电压被设定到中间电位，以执行同时输出一个读出放大器的放大信号到 IO 线并在位线中恢复另一个放大信号。然后，使开关 MOSFET 的栅电压回到选择电平，使一个放大信号通过位线重新储存在存储器单元中。

此处，术语“MOS（金属氧化物半导体）FET”包括一般公认的“MIS（金属绝缘体半导体）FET”，且广泛地意味着场效应晶体管。

如在日本专利公开 No.64-73596、5-62463 和 8-106781 公开的动态 RAM 中那样，在读出放大器开始放大之前，共用的选择 MOSFET 被关断，以便隔离互补位线和读出放大器的读出节点。当共用的选择 MOSFET 被再次回到开通状态时，即使在完全放大的电平状态下，各个读出节点也被降低到其电平。如我们的研究所澄清的那样，借助于保持在位线的相当高的寄生电容中的来自存储器单元的读出电荷与读出节点中的电荷之间的电荷共用，读出节点的电位下降，致使信号幅度暂时降低。另一方面，如我们的研究所澄清的那样，即使当各个读出节点被列选择操作连接到数据输出线时，借助于保持在数据输出线

的寄生电容中的预充电电荷与读出节点中的电荷之间的电荷共用，读出节点的信号幅度也暂时下降。结果，也如我们的研究所澄清的那样，在列选择操作中，为了将读出节点的信号传送到数据输入/输出线，列选择操作必然需要相当长的时间，且这一长时间对高速度造成阻碍。

在日本专利公开 No.4-167293 中，开关 MOSFET 的栅被设定到中间电位，以便影响低电平时读出放大器到 I/O 线的输出操作。与此同时，高电平侧上的位线中的数据重新存储（即重新装载）受到影响。但如本技术领域熟知的那样，存储器单元存储二值信息。如上所述。即使高电平侧上数据的重新存储被单独地加速，如我们的研究所澄清的那样，考虑到在开关 MOSFET 回到开通态之前不执行低电平侧上的数据重新存储，就整个存储器的存取而言，此效应也是有问题的。另一方面，如我们的研究所澄清的那样，考虑到待要馈至一个开关 MOSFET 的栅的栅电压，在对位线的恢复操作刚刚开始读出操作之前的短时间内，在不选择电平-选择电平-中间电平-不选择电平之间改变，考虑到若在读出输出足够上升之前没有形成从选择电平到中间电平的转换，则开关 MOSFET 的提供没有意义，以及考虑到各个元件具有工艺分散性，故此效应涉及到电平的时间控制被复杂化的问题。我们的研究还澄清了，从中间电平到不选择电平的改变增大了对高速重新存储操作的阻碍。

本发明的目的是，提供一种用简单的结构实现稳定的放大操作和高速读出放大器的半导体存储器件。从参照附图进行的描述中，本发明的上述和其它的目的和新颖特点将变得明显。

下面简要地总结一下此处公开的本发明的典型代表。具体地说，开关 MOSFET 被插入在位于动态 RAM 中的读出放大器和互补位线之间：在信号电压根据其各自的存储信息被所述字线的选择操作，从多个选定的动态存储器单元读出到多对互补位线之后，所述开关 MOSFET 的开关控制信号从选择电平改变到中间电位，它对信号电压读出到所述互补位线具有关断状态即有比较高的导通电阻；对各个读出节点被读出放大器的放大操作设定到的一个电平具有比较低的导通

电阻的开通状态；以及在其它电平电位下的关断状态；所述放大器被馈以工作电压，以便响应所述开关控制信号的改变而开始放大操作；所述放大操作产生的放大信号，响应列选择信号，通过列选择电路被传输到所述输入/输出线；以及所述开关控制信号，响应所述列选择电路的选择操作，回到选择电平。

用迄今所述的结构，在读出放大器的放大操作中，一个读出节点被连接到位线，致使位线上的寄生电容能够建立高的信号电荷。因此，在列选择操作中，高的读出信号能够被输出到数据输入/输出线，从而影响读出输出操作的高速度。

图 1 是示意布局图，示出了使用本发明的动态 RAM 的实施例；

图 2 是示意布局图，示出了根据本发明的动态 RAM 中的子阵列及其外围电路的实施例；

图 3 是根据本发明的动态 RAM 的简化实施例其读出放大器部分周围从地址输入到数据输出的电路图；

图 4 是电路图，示出了根据本发明的动态 RAM 的读出放大器部分的实施例；

图 5 是电路图，示出了图 3 的实施例所示的主放大器的实施例；

图 6 是电路图，示出了根据本发明的动态 RAM 的输出缓冲器的实施例；

图 7 是解释根据本发明的动态 RAM 的读出操作的一个例子的时间图；

图 8 是解释根据本发明的动态 RAM 的读出操作的时间图；

图 9 是解释根据本发明的动态 RAM 的读出操作的另一个例子的时间图；

图 10 是电路图，示出了用来产生共用的选择信号的时间发生电路的实施例；

图 11 是解释根据本发明的动态 RAM 的读出操作的另一个例子的时间图；

图 12 是电路图，示出了具有过驱动功能的读出放大器的实施例；

图 13 是元件布局示意图，示出了用于根据本发明的动态 RAM 中的读出放大器的实施例；

图 14 是解释根据本发明的动态 RAM 的读出操作的另一个例子的时间图；

图 15 是电路图，示出了根据本发明的动态 RAM 的另一个实施例的读出放大器部分；以及

图 16 是用来解释本发明用于同步 DRAM 时的操作的波形图。

图 1 是示意布局图，示出了使用本发明的动态 RAM 的实施例。在图 1 中，清楚地示出了构成使用本发明的动态 RAM 的各个电路方框的主要部分，并用制造半导体集成电路的熟知的技术，制作在单晶硅组成的半导体衬底上。

在此实施例中，存储器阵列被一分为 4，虽然不特别局限于此。在中心部分 14 沿半导体芯片 10 纵向提供有包括地址输入电路、数据输入/输出电路和键合焊点阵列的输入/输出接口电路、包括降压电路的电源电路、等等。在与存储器阵列接触的中心部分 14 的二侧上，安置有列译码区 13。

如上所述，相对于半导体芯片纵向分成左右二部分和上下二部分的 4 个存储器阵列中的每一个，构成一个存储器组（bank）。在各个存储器阵列中，主行译码器区 11 相对于纵向提供在上下中心部分。在此主行译码器上方和下方，制作有分别驱动被分成上下二部分的存储器阵列的主字线的主字驱动器区 12。

如放大图所示，存储器单元阵列（即子阵列）15 被制作成被读出放大器区 16 和子字驱动器区 17 围绕。读出放大器区和子字驱动器区在其交叉部分提供了交叉区（或相交区）18。提供在读出放大器区 16 中的读出放大器，由共用读出方法构成。在读出放大器周围左右二侧上而不是排列在存储器单元阵列二端上的那些侧上，提供有选择性地连接到左或右存储器单元阵列的互补位线的互补位线。

如上所述，相对于半导体芯片的纵向被分成左右 4 部分的存储器阵列，被排列成二对。在这样排列成对的二个存储器阵列的中心部分，

安置有主行译码器区 11 和主字驱动器 12。这些主字驱动器 12 产生选择信号，用来选择延伸通过一个存储器阵列的主字线。另一方面，如下面将要描述的那样，主字驱动器 12 配备有平行于主字线延伸的子字选择驱动器，以便产生子字选择线信号。

虽然未示出，但如放大图所示的一个存储器单元阵列（即子阵列）15 配备有 256 个子字线和 256 对垂直于前者的互补位线（即数据线），虽然不特别局限于此。作为变通，提供有 512 个子字线和 512 对垂直于前者的互补位线。如所示，若一个存储器阵列沿位线方向配备有 16 个存储器单元阵列（即子阵列）15，则对 256 构造总共提供大约 4K 个子字线，而对 512 构造提供大约 8K 个子字线。由于沿字线方向提供了 8 个存储器单元阵列，故对 256 构造总共提供大约 4K 个互补位线，而对 512 构造提供 8K 个互补位线。由于这 8 个存储器阵列作为一个整体提供，故整体给定的存储量为 8 × 2K × 4K = 64 兆位或 8 × 4K × 8K = 256 兆位。

存储器阵列相对于主字线方向被分成 8 部分。对这样分成的各个存储器单元阵列 15，提供有子字驱动器（即子字线驱动器）17。此子字驱动器 17 被分成具有八分之一的主字线长度，以便产生用来选择平行于前者延伸的子字线的选择信号。在此实施例中，为了减少主字线的数目，亦即为了加宽主字线的布线间距，沿互补位线方向相对于一个主字线安置了 4 个子字线，虽然不特别局限于此。子字选择驱动器被安置来选择一个这样沿主字线方向分成 8 部分并沿互补位线方向每 4 个指定的子字线。子字选择驱动器产生用来选择 4 个沿子字驱动器的阵列方向延伸的子字选择线中的一个的选择信号。

如上所述，相对于互补位线方向，一个存储器阵列具有 4K 位或 8K 位的存储量。然而，若高达 4K 或 8K 的存储器单元被连接到互补位线，则互补位线的寄生电容增大，致使由于对信息存储电容器的电容比率小而无法得到待要读出的信号电平。因此，还相对于互补位线方向分成 16 部分。具体地说，如粗黑线所示，互补位线被读出放大器 16 分成 16 部分。虽然不特别局限于此，读出放大器 16 由共用读出方法构

成，且互补位线被提供在除排列在存储器阵列二端之外的左右读出放大器 16 上，致使读出放大器 16 被选择性地连接到左或右互补位线。

为了保持待要被读出到位线的信号量，子阵列可以构造成待要连接的存储器单元的数目设定为 256（备用单元除外），以便使位线的分割数目大于字线（即子字线）的分割数目。在具有大约 256 兆位的存储量的这种动态 RAM 中，各个四分之一的存储器阵列具有 8K × 8K = 64 兆位的存储量。结果，位线被分成 32 部分，而字线被分成 16 部分，并相应地提供子阵列。

图 2 是布局示意图，示出了根据本发明的动态 RAM 中的子阵列及其外围电路的实施例。在图 2 中，用画斜线的方法来区别具有子阵列 SBARY 的区域与提供在前者外围中的子字驱动器区域、读出放大器区和相交区域。

子阵列 SBARY 在 256 × 256 构造的例子中被分成下列 4 类。若字线的延伸方向是水平的，更具体地说，位于右下位置的第一子阵列 SBARY 被安排具有 256 个子字线 SWL，且互补位线由 256 对构成。因此，对应于 256 个子字线 SWL 的 256 个子字驱动器 SWD 被分成 128 的二半，且被安置在此子阵列的左右二侧上。除了共用的读出放大器结构外，对应于 256 对互补位线 BL 提供的 256 个读出放大器 SA，被 128 交替地安置在子阵列上方和下方。

位于右上位置的第二子阵列 SBARY，除了 256 个正常子字线 SWL 外，还配备有 8 个预备的（即备用的）字线，虽然不特别局限于此，且互补位线由 256 对组成。因此，对应于（256 + 8）个子字线 SWL 的 264 个子字驱动器 SWD，被 132 分隔安置在此子阵列的左右上。与上面相似，128 个读出放大器被安置在上方和下方。具体地说，制作在安置于右侧上方和下方的子阵列 SBARY 中的 256 对中的 128 对互补位线，通过共用的开关 MOSFET，被共接到插入在其间的读出放大器 SA。

如在邻近的右侧子阵列 SBARY 中那样，位于左下位置的第三子阵列 SBARY 被构造成具有 256 个子字线 SWL。与上面相似，128 个

子字驱动器被分隔安置。位于左下和右下位置的子阵列 SBARY 的 256 个字线 SWL 中的 128 个，被共接到制作在插入其间的区域中的 128 个子字驱动器 SWD。如上所述，位于左下位置的子阵列 SBARY，除了 256 对正常互补位线 BL 外，还配备有 4 对预备的（即备用的）位线 4RED。因此，对应于 260 对互补位线 BL 的 260 个读出放大器 SA，被 130 分隔安置在此子阵列上方和下方。

如在相邻的右侧子阵列 SBARY 中那样，位于左上位置的第四子阵列 SBARY 配备有 256 个正常子字线 SWL 和 8 个备用子字线，且如相邻的下方子阵列那样，除了 256 对正常互补位线外，还配备有 4 对备用位线。因此，子字驱动器被 132 分隔安置在左右二侧上，而读出放大器 SA 被 130 分隔安置在上方和下方。

各个主字线 MWL 沿水平方向如此延伸，以至于其中的一个可以作为范例。另一方面，列选择线 YS 沿垂直方向如此延伸，以至于其中的一个可以作为范例。子字线 SWL 平行于主字线 MWL 排列，而（未示出的）互补位线 BL 平行于列选择线 YS 排列。

对于 4 个子阵列，8 个子字选择线 FX0B-FX7B 像主字线 MWL 那样延伸通过 4 组(或 8 个)子阵列。而且，4 个子字选择线 FX0B-FX3B 和 4 个子字选择线 FX4B-FX7B 分隔延伸在上下子阵列上。将一组子字选择线 FX0B-FX7B 如此分配给二个子阵列并延伸在子阵列上的理由是为了减小存储器芯片尺寸。

具体地说，如在图 1 的存储器阵列中那样，当 8 个子字选择线 FX0B-FX7B 被分配给各个子阵列且制作在读出放大器区域上的布线沟道中时，对于沿短边方向的 32 个读出放大器，必须有多达 $8 \times 32 = 256$ 个布线沟道。相反，在上述实施例中，借助于将 8 个子字选择线 FX0B-FX7B 一般地分配给二个上下子阵列，并平行于主字线和以混合方式将它们安置在子阵列上，能够制作布线线条而无需任何特别的专用区域。

实质上，在子阵列上为 8 个子字线提供一个主字线，而为了选择 8 个子字线中的一个，需要子字选择线。由于为 8 个根据存储器单元

的间距而制作的子字线 SWL 制作一个主字线 MWL，故主字线 MWL 具有宽的布线间距。因此，利用与主字线 MWL 相同的布线层，借助于稍许牺牲布线间距的宽度来制作主字线 MWL 之间的子字选择线，可以相当容易地实现。

此实施例的子字驱动器 SWD 采用了用通过子字选择线 FX0B 等馈送的选择信号和由前者倒相的选择信号来选择一个子字线 SWL 的构造。而且，子字驱动器 SWD 采用了选择排列在其左右侧上的子阵列的子字线 SWL 的构造。因此，对于共用 FX0B 的二个子阵列，4 个子字选择线被共用，并被馈至多达 128 × 2 = 256 个子字驱动器。换言之，注意子字选择线 FX0B，对于二个子阵列，选择信号必须馈至多达 256 ÷ 4 = 64 个子字驱动器 SWD。

若第一子字选择线 FX0B 平行于主字线 MWL 延伸，则在左上交叉区中提供有第二子字选择线 FX0，以便通过用来从第一子字选择线 FX0B 接收选择信号的子字选择线驱动器 FXD 将选择信号馈至排列在上下二侧上的 64 个子字驱动器。此第一子字选择线 FX0B 平行于主字线 MWL 和子字线 SWL 延伸，而第二子字选择线平行于列选择线 YS 和垂直于第一子字选择线 FX0B 的互补位线 BL 延伸在子字驱动器区上。像 8 个第一子字选择线 FX0B- FX7B 那样，第二子字选择线 FX0-FX7 被分成偶数选择线 FX0、2、4、6 和奇数选择线 FX1、3、5、7，并被分隔安置在位于子阵列 SBARY 左右二侧上的子字驱动器 SWD 中。

子字选择线驱动器 FXD 被图 2 中实心方框所示的二个上下交叉区分隔安置。在左上交叉区中，更具体地说，子字选择线驱动器排列在对应于第一子字选择线 FX0B 的下侧上；二个子字选择线驱动器 FXD 位于对应于第一子字选择线 FX2B 和 FX4B 的左侧中间的交叉区中；而子字选择线驱动器排列在对应于第一子字选择线 FX6B 的左下交叉区的上侧上。

在中上交叉区中，子字选择线驱动器排列在对应于第一子字选择线 FX1B 的下侧上；二个子字选择线驱动器 FXD 位于对应于第一子字

选择线 FX3B 和 FX5B 的中心中间的交叉区中；而子字选择线驱动器排列在对应于第一子字选择线 FX7B 的中下交叉区的上侧上。而且，在右上交叉区中，子字选择线驱动器排列在对应于第一子字选择线 FX0B 的下侧上；二个子字选择线驱动器 FXD 位于对应于第一子字选择线 FX2B 和 FX4B 的右侧中间的交叉区中；而子字选择线驱动器排列在对应于第一子字选择线 FX6B 的右下交叉区的上侧上。在这样位于存储器阵列端部的子字驱动器中，其右侧上没有子阵列，致使左侧上的子字线 SWL 被单独驱动。

用本实施例的结构，其中子字选择线 FXB 排列在子阵列上的各个主字线 MWL 的间距间隙之间，可以不要求特别的布线沟道，致使即使每个子阵列安排 8 个子字选择线，也不加大存储器芯片。然而，随着子字选择线驱动器 FXD 的制作，交叉区被加大，以致阻碍更高密度的集成。更具体地说，在这些交叉区中，没有面积余地来制作诸如对应于图 2 中虚线所示的主输入/输出线 MIO 或本地输入/输出线 LIO 而提供的开关电路 IOSW、用来驱动读出放大器的功率 MOSFET、用来驱动共用的开关 MOSFET 的驱动器、或用来驱动预充电 MOSFET 的驱动器之类的外围电路。因此，在图 3 的实施例中，二个上/下子阵列共用子字选择线驱动器 FXD，以便防止面积的增大。

在交叉区域中，沿第二偶数子字选择线 FX0-FX6 的延伸方向 A 排列的一个，配备有 N 沟道功率 MOSFET Q15（以及 N 沟道功率 MOSFET Q16）和 N 沟道功率 MOSFET Q14，如下面将要描述的那样，Q15 用来将内部恒定的电压 VDL 馈送到读出放大器，Q16 用来馈送过驱动的功率电压 VDD，Q14 用来将电路的地电位 VSS 馈送到读出放大器。

在交叉区域中，沿第二奇数子字选择线 FX1-FX7 的延伸方向 B 排列的一个，配备有用来关断位线预充电和平衡用的 MOSFET 的倒相电路；以及用来将电路的地电位 VSS 馈送到读出放大器的 N 沟道功率 MOSFET，虽然不特别局限于此。此 N 沟道功率 MOSFET 将地电位馈送到用来放大 N 沟道功率 MOSFET 的由读出放大器阵列二侧构成

读出放大器的 MOSFET 的公共源线（CSN）。更具体地说，地电位从位于 A 侧交叉区中的 N 沟道功率 MOSFET 和位于 B 侧交叉区中的 N 沟道功率 MOSFET 二者，被馈送到属于读出放大器区的 128 个或 130 个读出放大器。

如上所述，子字线驱动器 SWD 选择其左右二侧上的子阵列的子字线。另一方面，左右二个读出放大器被激活以对应于被选择的二个子阵列的子字线。更具体地说，当子字线进入被选定状态时，地址选择 MOSFET 被开通，致使存储电容器的电荷与位线电荷合成。因此，必须执行重新装载以激活读出放大器来恢复起始电荷状态。因此，除了对应于端部子阵列的那些外，各个功率 MOSFET 被用来激活其二侧上的读出放大器。相反，在位于端部子阵列右侧或左侧上的子字线驱动器 SWD 中，只有子阵列的子字线被选定，致使功率 MOSFET 仅仅激活对应于此子阵列的一侧上的读出放大器组。

读出放大器被制作成具有共用的读出构造。在排列于各个读出放大器二侧上的子阵列中，这些读出放大器执行重新装载操作，以便借助于关断从而隔离对应于未被选定的子字线侧上的互补位线的共用开关 MOSFET 而放大对应于被选定的子字线的互补位线的读出信号，并使存储器单元的存储电容器回到起始电荷状态。在实施例的这种状态下，对应于被选定的子字线的互补位线的各个共用的开关 MOSFET，响应读出放大器的放大操作，被降低到中间电位，并在存储器单元的读出信号被放大且通过列选择电路传输到输入/输出线之后，再次回到选择电平。

图 3 示出了根据本发明的动态 RAM 其读出放大器部分周围从地址输入到数据输出的一个简化实施例的电路图。在图 3 中，示出了垂直夹在二个子阵列 15 之间的读出放大器 16 以及交叉区 18 的电路，其它被示于方框形式。另一方面，由虚线所示的电路方框用参考号单独表示。

作为代表，示出了插入在所述一个子阵列 15 和互补位线 BLT 和 BLB 中的一个 BLT 之间的一个动态存储器单元。此动态存储器单元被

构造成包括地址选择 MOSFET Qm 和存储电容器 Cs。此处，位线 BLT 的字母 T 表示其上高电平对应于逻辑 1 的真实侧（true side），而位线 BLB 的 B 字母表示其上低电平对应于逻辑 1 的条形侧（bar side）。

地址选择 MOSFET Qm 具有连接于子字线 SWL 的栅、连接于位线 BL 的漏、以及连接于存储电容器 Cs 的源。存储电容器 Cs 的其它电极被公共馈以电容器板电压 VPLT。负的反向偏置电压 VBB 被施加于 MOSFET Qm 的衬底（即沟道）。子字线 SWL 的选择电平被设定为高电压 VPP，它被地址选择 MOSFET Qm 的阈值电压从位线的高电平升高。

当读出放大器以内部降低了的电压 VDL 工作时，待要被读出放大器放大并馈至位线的高电平，被设定为内部电压 VDL 的电平。因此，对应于字线的选择电平的高电压 VPP 是 VDL + Vth + α。如图 3 所示，位于读出放大器左侧上的子阵列的成对的互补位线 BLT 和 BLB 被平行安置，且若有需要，则被适当地交叉，以便平衡各个位线的电容。这些互补位线 BLT 和 BLB 通过共用的开关 MOSFET Q1 和 Q2，被连接到读出放大器的单元电路的各个输入/输出节点。

读出放大器的单元电路被构造成包括具有交叉连接成锁存器形状的栅和漏的 N 沟道放大 MOSFET Q5 和 Q6 以及 P 沟道放大 MOSFET Q7 和 Q8。N 沟道 MOSFET Q5 和 Q6 的源被连接于公共源 CSN。P 沟道 MOSFET Q7 和 Q8 的源被连接于公共源线 CSP。功率开关 MOSFET 被各自连接于公共源线 CSN 和 CSP。虽然不特别局限于此，N 沟道放大 MOSFET Q5 和 Q6 与之连接的公共源线 CSN 被位于交叉区 18 中的 N 沟道功率开关 MOSFET Q14 馈以对应于地电位的工作电压。与 P 沟道放大 MOSFET Q7 和 Q8 的源连接的公共源线 CSP，配备有位于交叉区 18 中的 N 沟道功率 MOSFET Q15，用来馈送内部电压 VDL。

待要馈送到 N 沟道功率 MOSFET Q14 和 Q15 的栅的读出放大器激活信号 SAN 和 SAP1 是相位相同的信号，且信号 SAN 的选择电平被设定为诸如 VDL 之类的较低的电位，而信号 SAP1 采用电源电压

VDD（或如有需要，采用对应于字线选择电平的提升了的电压 VPP），以便从 MOSFET Q15 输出操作电压例如 VDL。

读出放大器的单元电路的读出节点即输入/输出节点配备有预充电电路，它构造成包括用来短路互补位线的平衡 MOSFET Q11 以及用来将预充电电压 VBLR 的一半馈送到互补位线的开关 MOSFET Q9 和 Q10。这些 MOSFET Q9-Q11 被共同馈以预充电信号 PCB。虽然未示出，用来产生预充电信号 PCB 的驱动器电路与倒相电路一起被制作在交叉区中，用来提高其下降速度。更具体地说，在存储器存取开始时，在字线选择计时之前，构成预充电电路的 MOSFET Q9-Q11 通过分散在各个交叉区中的倒相电路，被迅速地开关。

除了图 3 所示的电路外，如有需要，还在交叉区 18 中提供有用来在不激活时将读出放大器的公共源线 CSP 和 CSN 设定到预充电电压的一半（VDL/2）的半预充电电路、用于本地输入/输出线 LIOT 和 LIOB 的半预充电电路、用于共用的选择信号 SHR 和 SHL 的分散驱动器电路、等等。

读出放大器的单元电路通过共用的开关 MOSFET Q3 和 Q4，被连接于图下侧上的子阵列 15 的相似的互补位线 BLT 和 BLB。对于具有本地输入/输出线 LIO1T、LIO1B、LIO2T 和 LIO2B 的读出放大器的单元电路的读出节点即输入/输出节点，开关 MOSFET Q12 和 Q13 构成一个列转换电路，当选择信号 YS 被设定为选择电平（即高电平）时，此电路开通。例如，当上侧子阵列的子字线 SWL 被选定时，读出放大器上侧上的共用的开关 MOSFET Q1 和 Q2 保持开通，而下侧上的共用的开关 MOSFET Q3 和 Q4 被关断。

结果，读出放大器的输入/输出节点被连接于上侧互补位线 BLT 和 BLB，以便放大与选定的子字线 SWL 连接的存储器单元的微弱信号，从而通过列转换电路（Q12 和 Q13）将放大了的信号传输到本地输入/输出线 LIO1T 和 LIO1B。这些本地输入/输出线 LIO1T 和 LIO1B，通过位于交叉区 18 中的由 N 沟道 MOSFET Q19 和 Q20 组成的开关电路 IOSW，被连接到与主放大器 61 的输入端子连接的主输入/输出

线 MIOT 和 MIOB。虽然未示出，利用所谓“模拟栅”，速度可以提得更高，其中平行于 MOSFET Q19 和 Q20，提供了一个 P 沟道 MOSFET。另一方面，利用电源电压 VDD 取代降低了的电压 VPERI 作为 MOSFET Q19 和 Q20 的栅电压，可以降低导通电阻，从而提高速度。另一方面，虽然未示出，写入放大器的输出端子被连接到主输入/输出线 MIOT 和 MIOB。

虽然不特别局限于此，响应于一个选择信号 YS，列转换电路将二对互补位线 BL 和 BLB 连接到二对本地输入/输出线 LIO1T 和 LIO1B 以及 LIO2T 和 LIO2B。因此，在被一个主字线的选择操作选定的子阵列中，总共 4 对互补位线被用来对应二侧上的一对读出放大器的二对列转换电路选定，致使借助于选择一个信号 YS，能够同时读写 4 位。

地址信号 Ai 被馈至地址缓冲器 51。此地址缓冲器以时间共用方式工作，以便提取 X 地址信号和 Y 地址信号。X 地址信号被馈至预译码器 52，致使通过主行译码器 11 和主字驱动器 12 产生主字线 MWL 的选择信号。地址缓冲器 51 从外部端子接收地址信号 Ai，致使其以从外部端子馈送的电源电压 VDD 工作，且预译码器以降低了的电压 VPERI 工作，而主字驱动器 12 以提高了的电压 VPP 工作。列译码器（或驱动器）53 响应由地址缓冲器 51 的时间共用操作馈送的 Y 地址信号，产生列选择信号 YS。

主放大器 61 以降低了的电压 VPERI 工作，致使其信号通过以馈自外部端子的电源电压 VDD 工作的输出缓冲器 62，从外部端子 Dout（或 DQ）输出。从外部端子 Din（或 DQ）输入的写入信号通过输入缓冲器 63 提取，并如所示，通过稍后描述的包含在主放大器 61 中的写入放大器，被馈至主输入/输出线 MIOT 和 MIOB。如下面将要描述的那样，输出缓冲器在其输入部分配备有电平移位电路以及用来与时间信号同步地输出具有移了位的电平的信号的逻辑单元。

虽然不特别局限于此，馈自外部端子的电源电压 VDD 被设定为 2.5V，且馈至内部电路的降低了的电压 VPERI 和读出放大器的工作电压 VDL 二者都设定为 1.8V。在这种情况下，这些电压虽然在同一电

平上，但都由各个功率电路（即降压电路）彼此独立地产生，致使外围电路运行造成的功率噪声可以不影响读出放大器的放大工作。待要用于字线（即子字线或主字线）的选择信号和不选择信号的提高了的电压 VPP，被设定为 3.5V。位线的预充电电压 VBLR 被设定 0.9V，等于 VDL/2，而电容器板电压 VPLT 也被设定 0.9V。而且，衬底电压 VBB 被设定为－1.0V。

图 4 是电路图，示出了根据本发明的动态 RAM 的读出放大器部分的一个实施例。图 4 的电路基本上与图 3 所示的电路完全相同。构成读出放大器的单元电路的 CMOS 锁存电路，被构造成包括制作成锁存器形状的 N 沟道 MOSFET Q5 和 Q6 以及 P 沟道 MOSFET Q7 和 Q8。这些锁存器形状的 N 沟道 MOSFET Q5 和 Q6 以及 P 沟道 MOSFET Q7 和 Q8，被连接到与构成位于相应的同一个子阵列的另一个未示出的相似的读出放大器的 N 沟道 MOSFET 和 P 沟道 MOSFET 的源共接的公共源线 CSN 和 CSP。

工作电压 VSSA 通过用来接收时间信号 SAN 的 N 沟道 MOSFET Q14，被馈至公共源线 CSN，而工作电压 VDL 通过用来接收时间信号 SAP1 的 N 沟道 MOSFET Q15，被馈至公共源线 CSP。在此实施例中，用作读出放大器的一个工作电压的地电位 VSSA，被与地电位 VSS 分隔开的地线馈以从外部端子馈送的地电位，以便不受到来自外围电路之类的噪声的影响。简而言之，馈至读出放大器的地电位 VSSA 是通过与外围电路或输入/输出电路分隔提供的布线线条，被馈以直接来自外部端子的地电位。

在锁存电路的一对输入/输出节点（即读出节点）SAT 和 SAB 处，提供有预充电电路，它构造成包括用来短路这些输入/输出节点的平衡 MOSFET Q12 以及用来将一半的预充电电压 VBLR 传输到读出节点 SAT 和 SAB 的预充电 MOSFET Q10。另一方面，读出节点 SAT 和 SAB 通过具有馈以列选择信号 YS 的列转换 MOSFET Q12 和 Q13，被连接到本地输入/输出线 LIOT 和 LIOB。而且，共用的开关 MOSFET Q1 和 Q2 被提供在位于读出放大器部分左侧上的互补位线 BLLT 和 BLLB

之间，且共用的开关 MOSFET Q3 和 Q4 被提供在位于右侧上的互补位线 BLRT 和 BLRB 之间。

控制信号 SHL 被馈至共用的开关 MOSFET Q1 和 Q2 的栅，而控制信号 SHR 被馈至共用的开关 MOSFET Q3 和 Q4 的栅。如上所述，构造成包括地址选择 MOSFET Qm 和存储电容器 Cs 的动态存储器单元，位于读出放大器部分左侧上的互补位线 BLLT 和 BLLB 与排列成与前者正交的子字线 SWL1、SWL2 等之间的各个交叉处。同样，如上所述，构造成包括地址选择 MOSFET Qm 和存储电容器 Cs 的动态存储器单元，位于读出放大器部分右侧上的互补位线 BLRT 和 BLRB 与排列成与前者正交的子字线 SWL3、SWL4 等之间的各个交叉处。

图 5 是电路图，示出了图 3 实施例所示的主放大器的实施例。此主放大器被构造成包括：具有读出放大器中锁存器形状的 N 沟道 MOSFET Q21 和 Q22 以及 P 沟道 MOSFET Q24 和 Q25 的 CMOS 锁存电路；以及连接在 N 沟道 MOSFET Q21 和 Q22 的共接的源与电路地电位之间的 N 沟道 MOSFET Q23。如上所述，CMOS 锁存电路的输入/输出节点被连接到主输入/输出线 MIOT 和 MIOB。锁存器形状的 P 沟道 MOSFET Q24 和 Q25 的共接的源，被馈以工作电压 VPERI。此电压 VPERI 被设定为与读出放大器的工作电压 VDL 相同。

虽然不特别局限于此，主输入/输出线 MIOT 和 MIOB 与本地输入/输出线 LIOT 和 LIOB 一起，被位于这些本地输入/输出线 LIOT 和 LIOB 上的未示出的预充电电路预充电到 VPERI（VDL）。因此，当输出信号被读出放大器的放大操作读出到本地输入/输出线 LIOT 和 LIOB 以及主输入/输出线 MIOT 和 MIOB 时，主输入/输出线 MIOT 和 MIOB 中的一个就从预充电电位（VPERI=VDL）改变到降低成低电平侧的电压，且 MOSFET Q23 被时间信号 MAE 开通，致使电位差被锁存器形状的 N 沟道 MOSFET Q21 和 Q22 放大。

图 6 是电路图，示出了根据本发明的动态 RAM 的输出缓冲器的实施例。在图 6 中，还示出了电路方框图，示出了动态 RAM 的整个工作。具体地说，译码器以降低了的电压 VPERI 工作，以产生具有相

应信号幅度的译码信号。主字驱动器以提高了的电压 VPP 工作。如上所述，存储器阵列输出具有对应于读出放大器的工作电压 VDL 的信号幅度的读出信号。主放大器以降低了的电压 VPERI 工作，以产生相应的读出信号 MOB。此处，MOB 中的字母 B 表示逻辑“1”处于低电平，而逻辑“0”处于高电平，且被倒相的信号用 MOT 表示。

在输出缓冲器中，用移位电路 LS，主放大器的输出信号 MOB 将对应于降低了的电压 VPERI 的信号电平转换（即放大）成对应于外部电源电压 VDD 的电压电平。这一放大了的信号 MOTH 被馈至 NAND 门电路 G1 的一个输入。另一方面，信号 MOTH 被倒相电路 N1 倒相，并被馈至 NAND 门电路 G2 的一个输入。这些 NAND 门电路 G1 和 G2 的其它输入被馈以信号电平对应于电源电压 VDD 的数据输出时间信号 DOC。输出 MOSFET QP 和 QN 由于为了获得大负载驱动能力而被制作成具有比较大的尺寸，因而具有大的栅电容。为了高速驱动这些输出 MOSFET QP 和 QN，门电路 G1 和 G2 的输出信号通过倒相器电路 N2-N4 被相继传输。

待要馈至输出缓冲器的 P 沟道输出 MOSFET QP 的源的电源电压 VDD，通过独立的功率端子 VDDQ 和具有工作电压的功率线馈送，致使 P 沟道 MOSFET QP 可以流过相当大的工作电流。同样，待要馈至 P 沟道输出 MOSFET QN 的源的地电位，通过独立的接地端子 VSSQ 和功率线馈送。可以用 N 沟道输出 MOSFET 来替代 P 沟道输出 MOSFET QP。然而，为了达到高达电源电压 VDD 的输出电平，可以将提高了的电压馈送到栅。这一提高了的电压可以利用字线等的提高了的电压 VPP，但通常用自举电路来产生。

图 7 是时间图，用来解释根据本发明的动态 RAM 的读出操作。对预充电期设定共用的选择信号 SHR 和 SHL，以便选择诸如提高了的电压 VPP 之类的电平。因此，利用位于读出放大器的读出节点处的预充电电路，位于预充电电路左右二侧上的互补位线 BLLT 和 BLLB 被设定为预充电电压 VBLR 的一半（=VDL/2）。

在子字线 SWL1 被选定之前，对应于未被选定的侧上的子阵列的

共用选择信号 SHR 被设定为诸如电路的地电位 VSS 之类的不选择电平。因此，读出放大器被隔离于右侧上的互补位线，致使由于子字线 SWL1 的选择操作而在左侧上的互补位线 BLLT 和 BLLB 上产生对应于被选定的存储器单元所存储的电荷的微弱电压差。

在产生微弱电压致使读出放大器开始放大操作之前，共用的选择信号 SHL 被降低到诸如降低了的电压 VDL 之类的中间电压。然后，读出放大器激活信号 SAN 和 SAP1 被提高到高电平，以便开始读出放大器的放大操作。具体地说，由读出放大器激活信号 SAN 开通功率开关 MOSFET Q14，以便将读出放大器的公共源线 CSN 从预充电电压的一半降低到诸如电路的地电位 VSSA 之类的电位，并由读出放大器激活信号 SAP1 开通功率开关 MOSFET Q15，以便将读出放大器的公共源线 CSP 从预充电电压的一半提高到工作电压 VDL。

如放大图所示，在这一放大操作中，被选择的侧上的共用选择信号 SHL 的电位降低到例如 VDL 这样的低电位，且由于读出节点 SAT 和 SAB 之间的电位低达大约 0.9V，故开关 MOSFET Q1 和 Q2 以相当大的导通电阻连接位线 BLLT 和 BLLB。因此，位线 BLLT 和 BLLB 的大的寄生电容不直接连接到读出节点 SAT 和 SAB，致使读出节点 SAT 和 SAB 由于读出放大器开始放大而以对应于微弱电位差的方式迅速增大。

具体地说，由于开关 MOSFET Q1 处于关断状态，对应于读出信号的读出节点 SAT 在高电平下迅速提高到 VDL。另一方面，在对应于低电平读出信号的读出节点 SAB 中，开关 MOSFET Q2 的栅与源之间的电位响应于电位的降低而增大，以便加强对位线 BLLB 的耦合，从而降低位线 BLLB 的电位。

更具体地说，在读出放大器开始放大时，开关 MOSFET Q1 被关断，而开关 MOSFET Q2 以大的电阻被开通，以便增大读出节点与位线 BLLT 和 BLLB 之间的耦合。结果，微弱的电位差被读出放大器的放大操作迅速地放大，而低电位侧上的开关 MOSFET Q2 以对应于放大电压的增大的方式，增强对位线 BLLB 的耦合，从而促进了位线

BLLB 的电位的下降。换言之，此时的开关 MOSFET Q2 用作所谓的“线性放大 MOSFET Q2”，它具有接地的栅和源输入，从而降低了位线 BLB 的电位。

读出放大器利用正反馈回路使微弱电压传输到读出节点 SAT 和 SAB 而执行高速操作。因此，若在放大开始时噪声升高从而使电位差相对于读出电平倒相，则引起错误的读出操作，亦即，被放大了的输出被重新载入存储器单元从而引起错误的存储操作。因此，在读出放大器开始放大时，即使共用的开关 MOSFET Q1 和 MOSFET Q2 处于开通状态，由于栅-源电压处于阈值电压附近，对位线的耦合也被增强。因此，微弱的电位差被迅速放大，同时防止来自位线侧的噪声的影响。响应于这一放大，高电平侧上的开关 MOSFET Q1 被关断，且开关 MOSFET Q2 的导通电阻响应于放大信号的放大被逐渐降低到低电平侧，致使当放大操作被迅速而稳定地执行时，电位由于增强了对位线的耦合而降低。

于是，读出节点 SAB 由于通过开关 MOSFET Q2 与具有比较高的寄生电容的位线 BLLB 连接而赋予明显高的信号电荷。因此，当读出节点 SAB 响应于列选择信号 YS 被连接到本地位线时，由与本地位线的电荷共用读出的信号量能够增大，从而实现快速读出。

图 8 是时间图，用来解释根据本发明的动态 RAM 的读出操作。借助于对被选定的侧上的共用开关 MOSFET 被完全关断的现有技术进行比较，此时间图被用来解释本发明中在中间电位下的读出操作的优越性。

如图 8 所示，当借助于将共用的选择信号 SHL 设定为诸如电路的地电位 VSSA 之类的低电平而激活读出放大器时，读出节点 SAT 和 SAB 的电位突然放大其微弱的读出电位差。但当共用的选择信号 SHL 回到选择电平时，读出节点 SAT 和 SAB 被具有相当高的寄生电容的位线 BLT 和 BLB 之间的电荷共用移位到位线电位侧，致使其电位差变得小至 V2。此时，当列选择信号 YS 被设定为高电平且连接到读出操作的本地输入/输出线时，待要通过本地输入/输出线传输到主输入/输出线

MIOT 和 MIOB 的信号量被延迟达到连接于其中的主放大器的放大操作所需的电压 V3。因此，直至达到电压 V3 之前，列选择信号 YS 被设定在选择电平，致使必须保持读出节点与本地输入/输出线之间的连接。

相反，如在本发明中，如虚线所示，当被选定的侧上的共用选择信号 SHL 被降低到中间电位 VDL 时，即使共用的选择信号 SHL 回到选择电平，由于低电平侧上的放大了的输出在读出放大器的放大期间被传输到位线 BLB，位线 BLB 的电位也已经下降。结果，读出节点 SAT 和 SAB 之间的电位差如 V1 所示被放大。因此，当为了实现用与本地输入/输出线进行连接的读出操作而将列选择信号 YS 提高到高电平时，如图 8 中的虚线所示，能够增大待要通过本地输入/输出线传输到主输入/输出线 MIOT 和 MIOB 的信号量，致使能够缩短达到连接于其中的主放大器的放大操作所需的电压 V3 的时间。据此，主放大器的激活信号 MAE 可以提前，并能够缩短列选择信号 YS 的选择周期。

中间电压应该不局限于读出放大器的工作电压 VDL。若 MOSFET Q1 和 Q2 的阈值电压表示为 VT1 和 VT2，则理想的中间电位可以在 VT2<中间电位<VT1 的范围内。但即使中间电位大于 VT1 和 VT2，只要导通电阻不大到对读出放大器开始放大有重大影响，也不会出现问题。

阈值电压 VT1 和 VT2 由下列公式（1）和（2）表示：

$$VT1 = VT10 + K\sqrt{|VBB - VSAT|} + 2\Phi F - \sqrt{2}\Phi F \cdots\cdots (1)$$；以及

$$VT2 = VT20 + K\sqrt{|VBB - VSAB|} + 2\Phi F - \sqrt{2}\Phi F \cdots (2)$$。

此处，VT10 是 VBB-VSAT=0 时的阈值电压；VT20 是 VBB-VSAB=0 时的阈值电压；K 是衬底效应常数；VSAT 是读出节点 SAT 的电压；VSAB 是读出节点 SAB 的电压；VBB 是衬底电压；ΦF 是费米能级。

图 9 是时间图，用来解释根据本发明的动态 RAM 的读出操作的另一个例子。在此实施例中，当被选定的侧上的共用选择信号 SHL 被设定为中间电位 VDL 然后回到诸如电压 VPP 之类的选择电平时，上

升时间 tr 被延迟到 tr1。结果，高电平侧上的位线 BTL 与读出节点 SAT 之间的耦合被减弱，以便减小位线 BLT 的下降。结果，读出节点 SAT 与 SAB 之间的电位差可以从 V1 放大到 V5。这使得有可能将读出输出高速地读出到数据输入/输出线。

图 10 是电路图，示出了用来产生共用的选择信号的时间发生电路的实施例。用 SH 选择逻辑方框产生了 3 个时间信号 φA、φB 和 φC。例如，时间信号 φB 和 φC 产生在被选定的侧上，而时间信号 φA 和 φC 产生在未被选定的侧上。更具体地说，在被选定的侧上，产生时间信号 φC、φB 和 φC 来相应地开通输出 MOSFET Q27、Q26 和 Q27，致使 SHL（SHR）电位被设定为二值电压 VPP-VDL-VPP。在未被选定的侧上，产生时间信号 φC、φA 和 φC 来相应地开通输出 MOSFET Q27、Q28 和 Q27，致使 SHL（SHR）电位被设定为二值电压 VPP-VSS-VPP。

如上所述，当选择电平被设定为 VPP 电平时，对于由 N 沟道 MOSFET 组成的 MOSFET Q27 的时间信号 φC 的选择电平被设定为提高了的电压 VPP+VT27。对于由 P 沟道 MOSFET 组成的 MOSFET Q27，时间信号 φC 的不选择电平为 VPP，而选择电平为 VSS。

如图 9 所示，当从中间电压 VDL 到选择电平 VPP 的上升要延迟时，MOSFET Q27 可以由并联连接的二个 MOSFET 组成，以便同时开通二个 MOSFET 从 VSS 上升到 VPP，其中的一个从 VDL 上升到 VPP。作为变通，时间信号 φC 的上升可以延迟。借助于这样改变 MOSFET 的尺寸和栅输入电压，有可能改变选择信号电平。

图 11 是时间图，用来解释根据本发明的动态 RAM 的读出操作的另一个例子。在此实施例中，读出放大器被过驱动。具体地说，高于工作电压 VDL 的电压 VDD 被馈至读出放大器的 P 沟道 MOSFET 的公共源线 CSP，以便使其上升更陡，从而加快高电平侧上的读出输出的上升。为此，增加时间信号 SAP2 作为驱动公共源线 CSP 的时间信号。此时间信号 SAP2 与时间信号 SAN 同时被暂时升高到例如 VPP 电平的高电压，从而使公共源线 CSP 暂时高于 VDL。响应于这一时

间信号 SAP2 向不选择电平的改变，延迟产生时间信号 SAP1 来将工作电压 VDL 馈至公共源线 CSP。

利用读出放大器的这一过驱动，读出节点 SAT 与 SAB 之间的电压差可以增大到高达 V4。结果，当共用的选择信号 SHL 从中间电压 VDL 回到选择电压 VPP 时，读出节点 SAT 的下降可以被过驱动电压补偿，从而加快列选择信号 YS 对数据输入/输出线的读出操作。

图 12 是电路图，示出了具有过驱动功能的读出放大器的一个实施例。对于与读出放大器的 P 沟道 MOSFET Q7 和 Q8 的源连接的公共源线 CSP，不仅增加了构成过驱动部分的功率开关 MOSFET Q15，而且增加了 N 沟道 MOSFET Q16。此 MOSFET Q16 响应于时间信号 SAP2 而工作，以便将电源电压 VDD 馈至公共源线 CSP。为了从 MOSFET Q16 的源输出电源电压 VDD，待要馈至栅的时间信号 SAP2 的选择电平被设定为高达提高了的电压 VPP 的电压。

为了减轻读出放大操作速度对电源电压 VDD 的依赖，作为过驱动电压，可以对栅施加提高了的电压 VPP 来取代从外部端子馈入的电源电压 VDD，而漏可以连接到电源电压 VDD，致使可以从源利用从电源电压 VDD 稍许下降了的电压。借助于增加这种过驱动部分，响应于时间信号 SAP2，公共源线 CSP 的电位，即读出放大器的工作电压可以暂时升高到高达 VDD 的电压。

图 13 是元件布局示意图，示出了待要用于根据本发明的动态 RAM 中的读出放大器部分的一个实施例。在此实施例中，用来驱动读出放大器的功率开关 MOSFET Q14 和 Q15 沿读出放大器阵列分散安置。换言之，功率开关 MOSFET Q14 和 Q15 不如上所述那样安置在一起使截面积很大，而是分散在读出放大器阵列中，以便元件尺寸更小。

在此实施例中，虽然不特别局限于此，对应于 16 个单元电路，安置二个 MOSFET Q14 和 Q15。下面以左边的单元电路作为例子来进行具体描述。从上侧依次安置：共用的开关 MOSFET Q1 和 Q2；构成预充电电路的 MOSFET Q10-Q12；构成列选择电路的开关 MOSFET Q12 和 Q13；构成 CMOS 锁存电路的 P 沟道放大 MOSFET Q7 和 Q8；

跨越制作功率开关 MOSFET Q14 和 Q15 的区域构成 CMOS 锁存电路的 N 沟道放大 MOSFET Q5 和 Q6；以及共用的开关 MOSFET Q3 和 Q4。

为了沿读出放大器阵列延长栅，提供了功率开关 MOSFET Q14 和 Q15，以便具有比共用的开关 MOSFET 更大的沟道宽度，亦即，具有更大的元件尺寸，从而能够在其中流过更大的电流。此时，用来驱动 N 沟道 MOSFET 的公共源线 CSN 的 MOSFET Q14，在其栅处被馈以诸如 VDL 的比较低的电位，致使具有比栅馈以电源电压 VDD 或提高了的电压 VPP 的 MOSFET Q15 更大的尺寸。当用来驱动读出放大器的功率开关 MOSFET 被这样分散安置时，读出节点和功率开关 MOSFET 之间的距离可以缩短，以便平衡提供在子阵列中的多个读出放大器的操作时间，并将截面积有效地用于其它电路。

图 14 是时间图，用来解释根据本发明的动态 RAM 的读出操作的另一个例子。在此实施例中，示出了对应于共用的开关 MOSFET 由 P 沟道 MOSFET 构成的例子。当共用的开关 MOSFET 由 P 沟道 MOSFET 构成时，选择电平被设定为地电位，例如电路的 VSSA，而不选择电平被设定为诸如对应于位线的高电平降低了的电压 VDL 之类的电压。

因此，在子字线 SWL 被选定，致使在读出放大器的读出节点 SAT 和 SAB 处出现读出电压差之后，待要馈至被选定侧上的共用的开关 MOSFET 的共用的选择信号 SHL，被设定为对应于诸如 VDL/2 之类的预充电电压 VBLR 的一半的电位。当读出节点 SAT 和 SAB 之间的电位差被读出放大器的放大操作放大时，高电平侧上的位线 BLLT 上的电位被构造成具有比较低的栅电位，且被连接到高电平侧上的位线 BLT 的开关 MOSFET Q1 升高，从而放大了读出节点 SAT 和 SAB 之间的电位差。

当这些 P 沟道 MOSFET 被用作共用的选择 MOSFET 以提高其高电平侧上的信号量时，希望将数据输入/输出线的预充电电位设定为地电位侧，并使构成主放大器的 CMOS 锁存电路由 P 沟道 MOSFET 执

行放大操作。更具体地说，当采用图 5 的主放大器时，诸如 VDL 的工作电压被 P 沟道 MOSFET 馈至 P 沟道 MOSFET Q24 和 Q25 的源侧，且电路的地电位被馈至 N 沟道 MOSFET Q21 和 Q22 的源。结果，主放大器能够响应读出放大器的输出信号而工作于极为敏感的区域。

图 15 是电路图，示出了根据本发明的动态 RAM 的另一个实施例的读出放大器部分。借助于以对应于读出放大器的方式提供一对互补位线的方法，来示范地说明此实施例。当成对的互补位线 BLT 和 BLB 被这样分配给读出放大器时，穿过 MOSFET Q1'和 Q2'的位线也被插入在位线与读出放大器的读出节点 SAT 和 SAB 之间。而且，与前述日本专利公开 No.4-167293 中的三值电平控制不同，待要馈至这些 MOSFET Q1'和 Q2'的栅的控制信号 BC，以诸如 VPP 的选择电平与诸如 VDL 的中间电平之间的二值电压方式改变。

即使提供了这些穿过 MOSFET 的位线，借助于不像上述专利公开中那样以三值电平，而如上所述以二值来控制此控制信号 BC，也能够将读出输出快速地读出到数据输入/输出线 IOT 和 IOB。如上所述，当存储器单元被分成子阵列时，这些数据输入/输出线 IOT 和 IOB 对应于本地输入/输出线，并被选择电路连接到配备有主放大器的主输入/输出线。

图 16 是波形图，用来解释当本发明应用于同步 RAM 时的操作。图 16 示范地说明了脉冲串长度 BL=2 和 CAS 等数时间 CL=2 的情况。这些 BL=2 和 CL=2 被设定在模式寄存器中。对于 BL=2，二个列开关被读/写二个相继的周期，而对于 CL=2，在读出命令之后，输出数据被从输出端子 DQ 输出二个周期。

响应于组激活命令，行系统的地址信号从地址输入端子被提取并译码，以便将子字线 SWL 设定为诸如 VPP 的选择电平。结果，在互补位线 BLT 和 BLB 上出现微弱的读出信号。由于读出放大器被操作时间信号激活，故互补位线 BLT 和 BLB 的微弱的读出信号被放大到诸如 VDL 之类的高电平和诸如 VSS 之类的低电平，致使被选定的存储器单元中的子字线 SWL 被重新装载（即刷新）。然后，如上所述，

在读出放大器开始工作时，未示出的被选定的侧上的共用开关 MOSFET 的栅电压，被暂时设定到中间电压，然后回到选择电平，致使刷新被执行。

在二个周期的组激活命令之后，读出命令被输入，致使未示出的列系统的地址信号被提取，以便提高列选择信号 YS1。结果，主输入/输出线 MIOT 和 MIOB 在刚刚列选择之前被预充电到 VDL 电平，并被信号 MAE 激活的主放大器放大，从而产生输出信号 MO。如上所述，主放大器的这一输出信号 MO 是对应于降低了的电压 VPER1 的低幅度信号，并且其电平在输出缓冲器的输入部分处被向 VDD 电平移位，致使与输出时间信号 DOC 同步地被输出。对于 BL=2，Y 系统的地址与读出命令的下一个时钟 CLK 同步地被转换，致使相应地产生主放大器的输出信号 MO.

从组激活命令到决定第一输出信号 DQ 的存取时间是 tRACeq；从读出命令到决定输出信号 DQ 的存取时间是 tAAeq；而从时钟信号 CLK 到决定输出信号 DQ 的存取时间是 tAC。根据本发明，对主放大器的必须的读出信号量在 Y 选择操作时被迅速达到，致使可以缩短存取时间 tAC。而且，借助于用大幅度信号进行控制，可以增大流向待要驱动的 MOSFET 的电流，以减小信号延迟，从而有助于提高速度。结果，可以相应地缩短时钟信号 CLK 的周期，以提高同步 RAM 的速度。

从上述各个实施例可以得到下列效果。它们是:

（1）开关 MOSFET 被插入在位于动态 RAM 中的读出放大器与互补位线之间：在信号电压根据其各自的存储信息被所述字线的选择操作从多个被选定的动态存储器单元读出到多对互补位线之后，所述开关 MOSFET 的开关控制信号从选择电平被改变到中间电位，对于读出到所述互补位线的信号电压，具有关断状态或相当高的导通电阻；对于读出节点被读出放大器的放大器操作设定到一个电平的电位，具有比较低的电阻的开通状态；而在其它电平的电位下具有关断状态；所述读出放大器被馈以工作电压，以便响应于所述开关控制信号的改

变而开始放大操作；由所述放大操作产生的放大信号，响应于列选择信号，通过列选择电路，被传输到所述输入/输出线；且所述开关信号响应于所述列选择电路的选择操作而返回到选择电平。结果，提供了可以稳定而迅速地执行微弱信号的读出放大操作，从而将放大了的信号高速地输出到数据输入/输出线的效果。

（2）在所述读出节点处，还提供了用来对所述互补位线进行预充电的预充电电路；且当所述字线处于未被选定的状态时，所述开关控制信号被设定为选择电平，致使互补位线通过所述开关 MOSFET，被位于读出节点处的预充电电路预充电。结果，能够稳定而快速地执行微弱信号的读出放大操作，且被放大了的信号能够快速地输出到数据输入/输出线。同时，可以在读出节点与互补位线之间共用预充电电路，从而提供了能够简化电路的效果。

（3）互补位线被安置在所述读出节点的左右；所述开关 MOSFET 与排列在左右的所述互补位线的选择开关 MOSFET 一起使用；而对应于未被选定的互补位线的开关 MOSFET 的开关控制信号，在所述字线被选定之前，被设定为不选择电平。利用这种共用的读出结构，能够稳定而快速地执行微弱信号的读出放大操作，并能够将放大了的信号快速地输出到数据输入/输出线，从而提供了能够简化电路的效果。

（4）响应于所述列选择电路的选择操作，所述开关控制信号从所述中间电位平稳地改变到选择电平。结果，能够放大其它电平侧上的信号电压，从而提供了可以稳定而迅速地执行微弱信号的读出放大操作，以便将放大了的信号更快速地输出到数据输入/输出线的效果。

（5）包括具有被连接的输入/输出端子的 CMOS 锁存电路的主放大器，被连接到所述数据输入/输出线；所述数据输入/输出线被预充电到极性与所述读出节点的一个电平相反的其它电平；且所述主放大器当进入操作状态时，对所述 CMOS 锁存电路馈以对应于此其它电位的工作电压。结果，提供了由 CMOS 锁存电路构成的主放大器能够以高灵敏度工作的效果。

（6）所述字线包括主字线和一般分配给所述主字线的多个子字线；所述动态存储器单元的地址选择 MOSFET 的栅，被连接到所述子字线；所述子字线中的一个被接收所述主字线的信号和所述子字选择线的信号的子字驱动器选定；所述子字驱动器产生位于除存储器单元阵列端部外的左右二侧上的子字线的选择信号；且所述读出放大器从位于除存储器单元阵列端部外的左右二侧上的互补位线，读出此放大了的信号。结果，提供了能够实现大存储量的动态 RAM，以便稳定微弱信号的读出放大操作并将放大了的信号高速输出到数据输入/输出线的效果。

（7）待要馈至所述读出放大器的工作电压是从外部端子馈入的电源电压降低了的电压；所述字线的选择电平和所述开关 MOSFET 的选择电平是从所述电源电压升高了的电压；而所述中间电位使用对应于所述读出放大器的工作电压的降低了的电压。结果，提供了能够稳定和加快微弱信号的读出放大操作而无需增加任何特别的内部功率电路，从而将放大了的信号高速输出到数据输入/输出线的效果。

虽然结合其实施例已经具体地描述了本发明，但本发明应该不局限于这些实施例，而是当然能够以各种各样的方式加以修正而不超越其要旨。例如，如不采用子字驱动器的字分路结构所示范的那样，在图 1 或 2 所示的动态 RAM 中，存储器阵列、子阵列以及子字驱动器的构造可以有各种各样的修正。用来对读出放大器施加工作电压 VDL 的功率开关 MOSFET Q15 可以用 P 沟道 MOSFET 来示范说明。

其实，读出放大器的工作电压可以采用馈自外部端子的电源电压。此时的中间电压可以采用预充电电压的一半，或可以采用其特别产生的电压。除了使用 CMOS 锁存电路外，主放大器还可以采用差分放大器。本发明能够被广泛地用于诸如待要封装在微计算机之类的数字集成电路上的半导体存储器件之类的采用动态存储器单元的半导体存储器件中。

下面简要地描述一下用此处公开的本发明的典型代表得到的效果。具体地说，开关 MOSFET 被插入在位于动态 RAM 中的读出放大

器与互补位线之间：在信号电压根据其各自的存储信息被所述字线的选择操作从多个被选定的动态存储器单元读出到多对互补位线之后，所述开关 MOSFET 的开关控制信号从选择电平被改变到中间电位，对于读出到所述互补位线的信号电压，具有关断状态或相当高的导通电阻；对于读出节点被读出放大器的放大器操作设定到一个电平的电位，具有比较低的导通电阻的开通状态；而在其它电平的电位下具有关断状态；所述读出放大器被馈以工作电压，以便响应于所述开关控制信号的改变而开始放大操作；由所述放大操作产生的放大信号，响应于列选择信号，通过列选择电路，被传输到所述输入/输出线；且所述开关信号响应于所述列选择电路的选择操作而返回到选择电平。结果，可以稳定而迅速地执行微弱信号的读出放大操作，并能够将放大了的信号高速地输出到数据输入/输出线。

图1

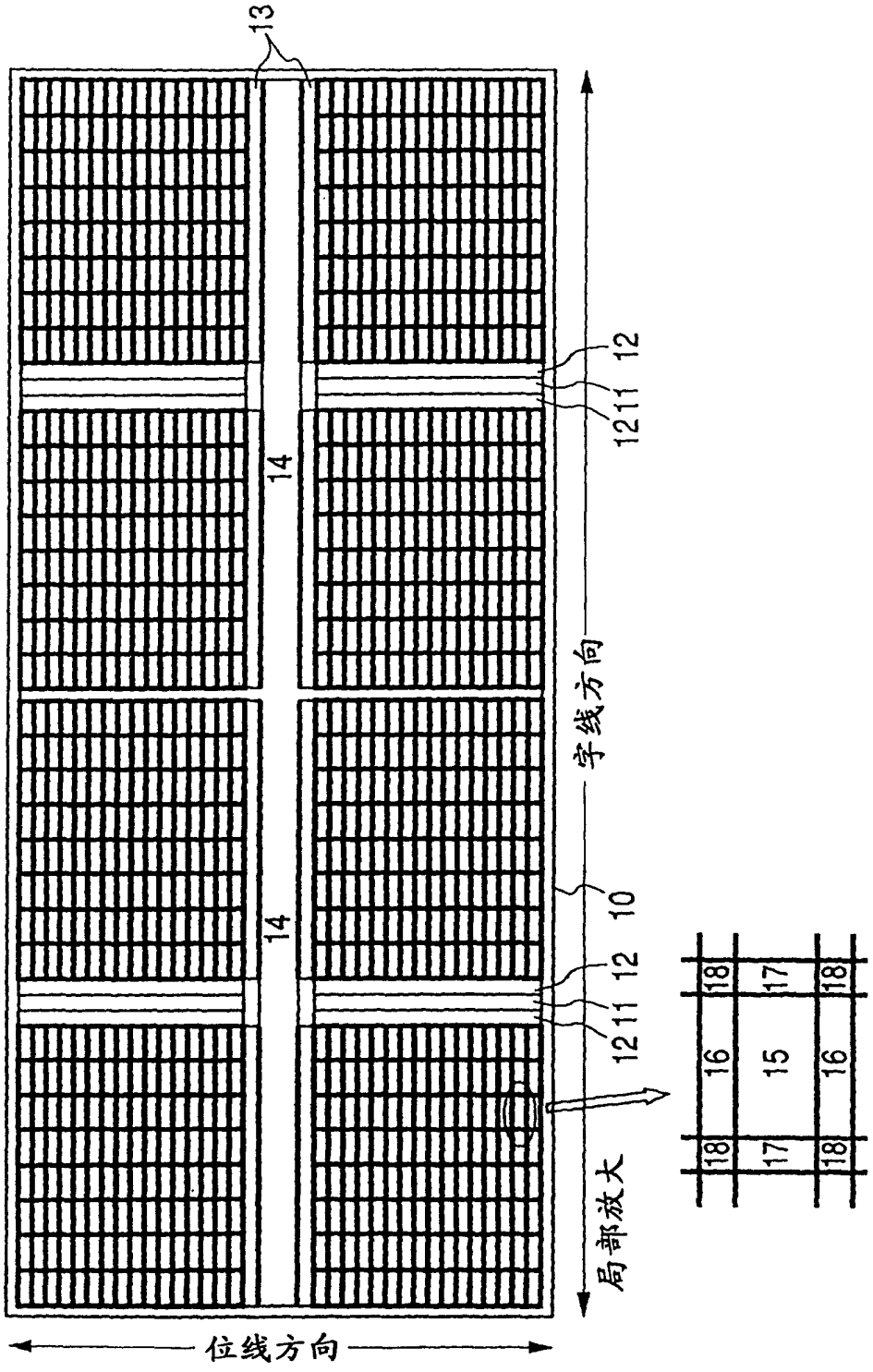

13
14
14
12
11
12
字线方向
10
12
11
12
局部放大
18
17
18
16
15
16
18
17
18
位线方向

图2

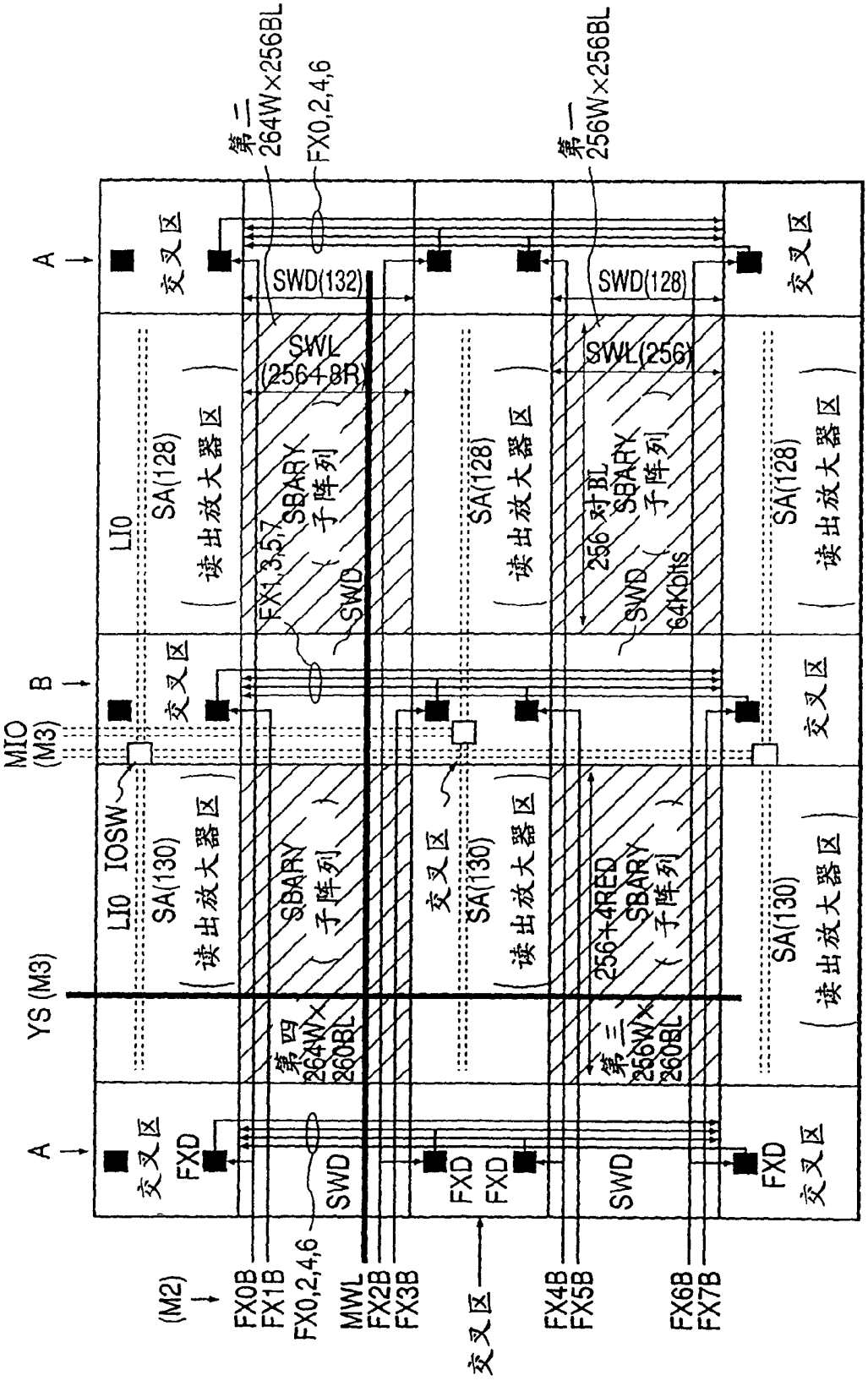

第二 264W×256BL
FX0,2,4,6
第一 256W×256BL
SWD(132)
SWD(128)
SWL (256+8R)
SWL(256)
交叉区
读出放大器区
SA(128)
SA(130)
LIO
IOSW
MIO (M3)
YS (M3)
SBARY 子阵列
256对BL
64Kbits
256+4RED
第四 264W×260BL
第三 256W×260BL
FXD
SWD
MWL
(M2)
FX0B
FX1B
FX0,2,4,6
FX2B
FX3B
FX4B
FX5B
FX6B
FX7B

图3

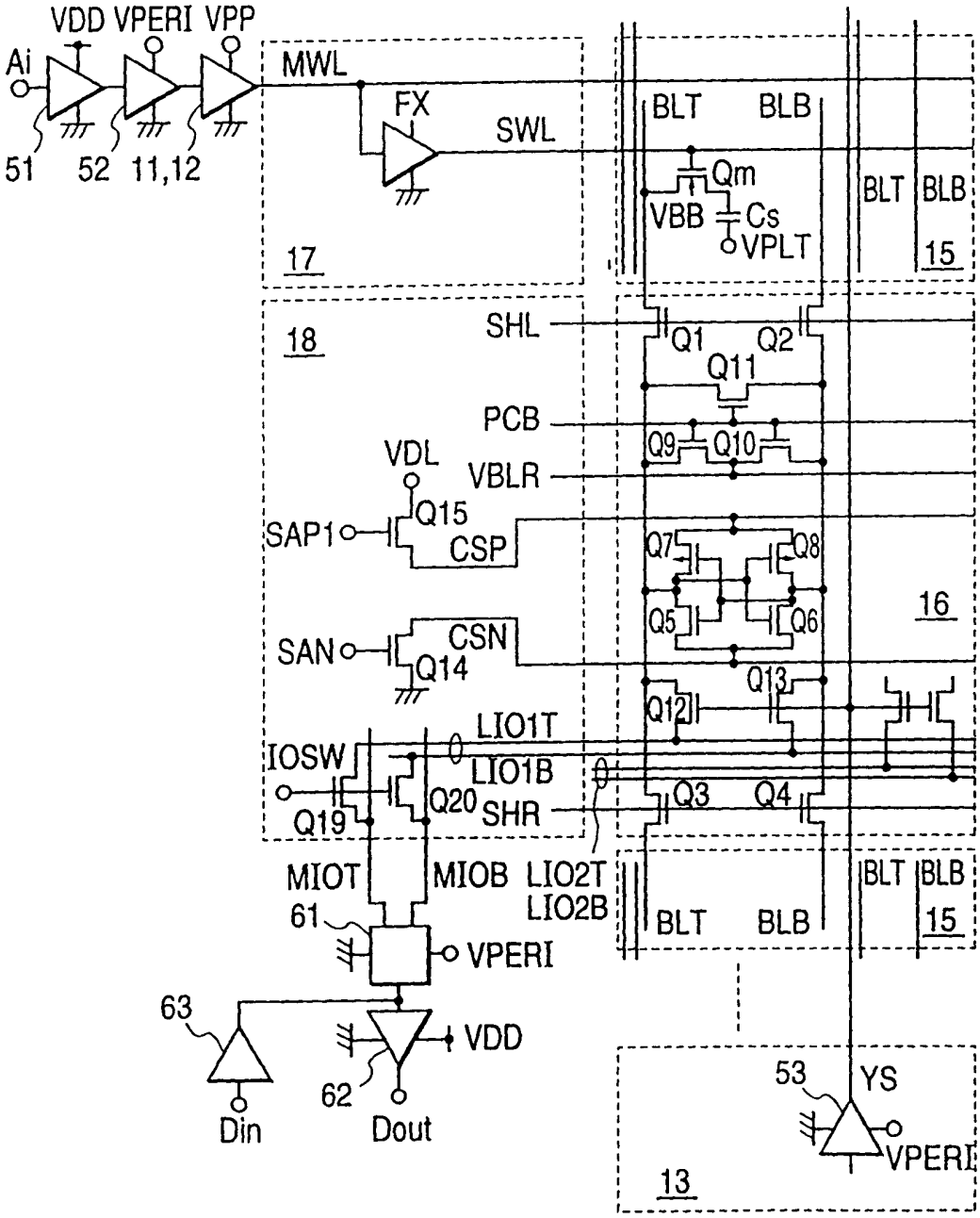

VDD VPERI VPP
Ai
MWL
FX
SWL
51
52
11,12
17
BLT
BLB
Qm
VBB
Cs
VPLT
15
18
SHL
Q1
Q2
Q11
PCB
Q9
Q10
VDL
VBLR
Q15
SAP1
CSP
Q7
Q8
Q5
Q6
16
SAN
CSN
Q14
Q13
Q12
LIO1T
IOSW
LIO1B
Q20
SHR
Q19
Q3
Q4
MIOT
MIOB
LIO2T
LIO2B
61
VPERI
63
VDD
62
Din
Dout
53
YS
VPERI
13

图4

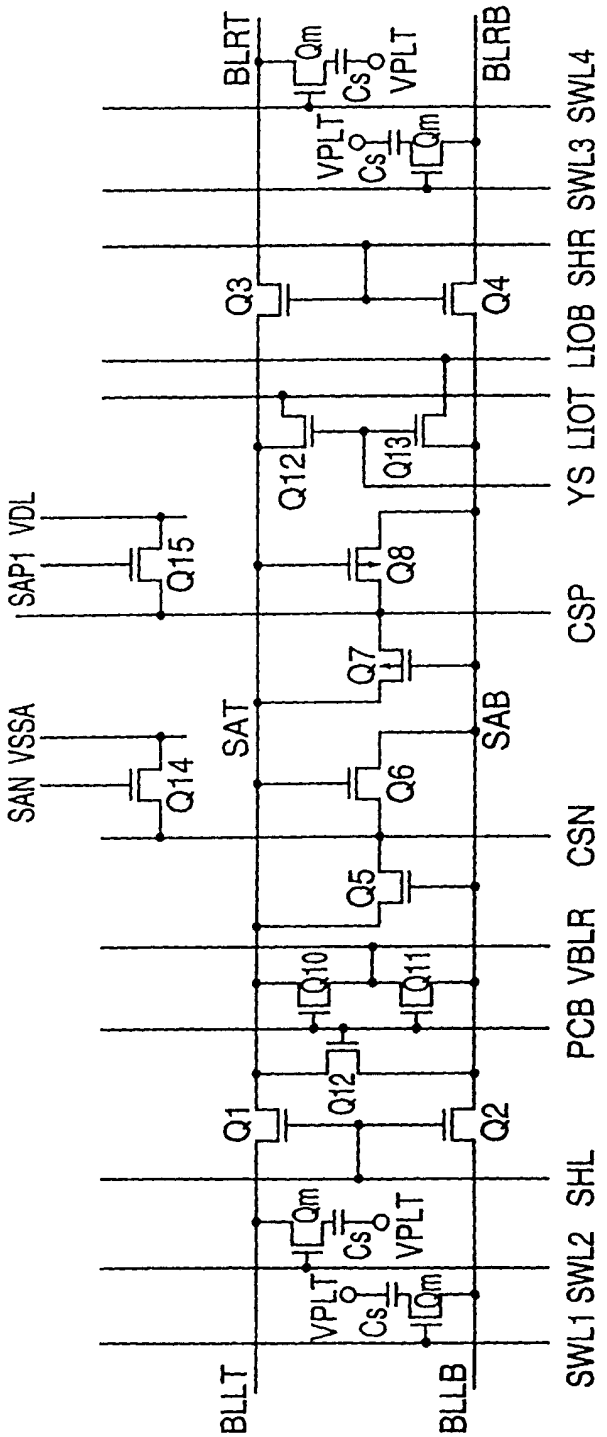

BLRT
BLRB
BLLT
BLLB
Qm
Cs
VPLT
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q10
Q11
Q12
Q13
Q14
Q15
SAN VSSA
SAP1 VDL
SAT
SAB
CSP
CSN
PCB VBLR
YS LIOT LIOB SHR SHL
SWL1 SWL2 SWL3 SWL4

图5

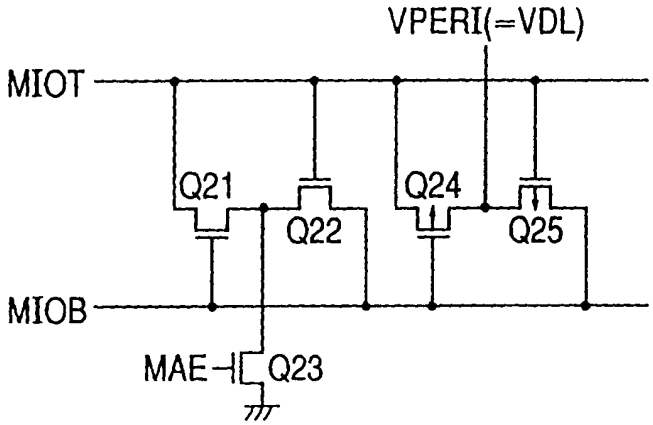

VPERI(=VDL)
MIOT
Q21
Q22
Q24
Q25
MIOB
MAE
Q23

图6

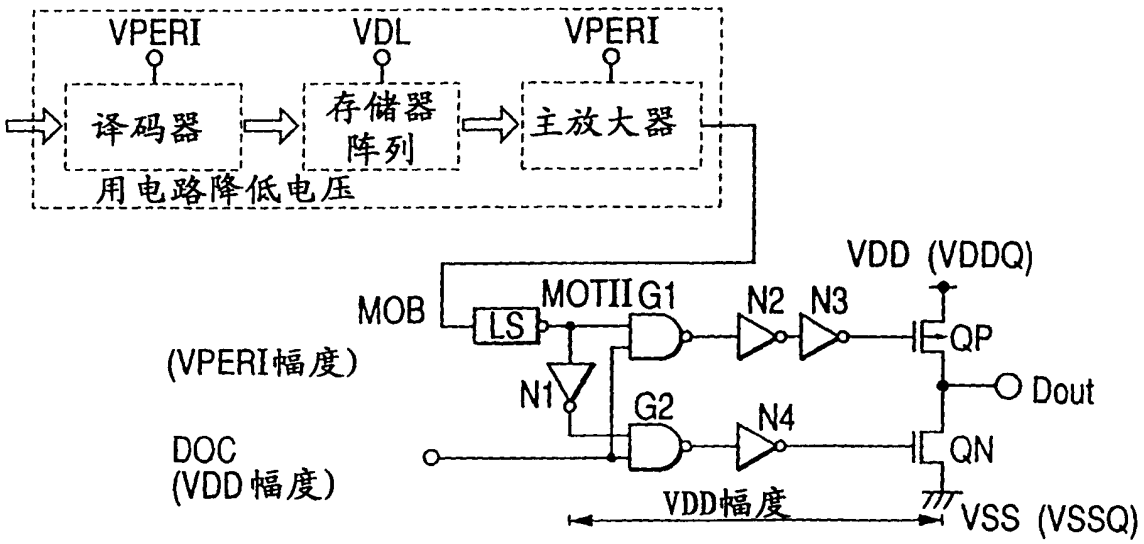

VPERI
VDL
VPERI
译码器
存储器阵列
主放大器
用电路降低电压
VDD (VDDQ)
MOB
LS
MOTII
G1
N2
N3
QP
(VPERI幅度)
N1
G2
N4
Dout
DOC
(VDD幅度)
QN
VDD幅度
VSS (VSSQ)

图7

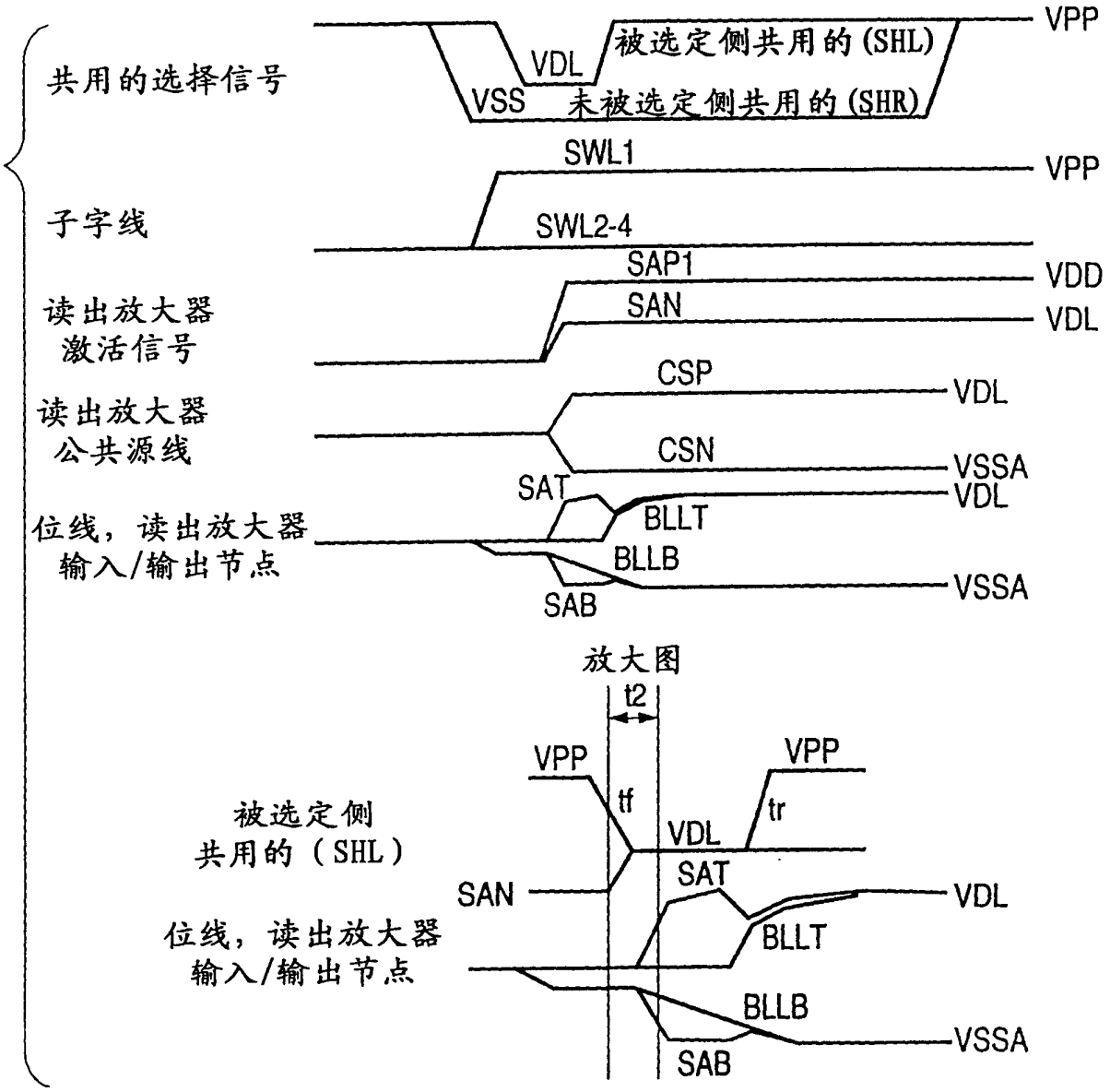

共用的选择信号
VPP
被选定侧共用的(SHL)
VDL
VSS
未被选定侧共用的(SHR)
子字线
SWL1
VPP
SWL2-4
读出放大器
激活信号
SAP1
VDD
SAN
VDL
读出放大器
公共源线
CSP
VDL
CSN
VSSA
SAT
VDL
位线，读出放大器
输入/输出节点
BLLT
BLLB
VSSA
SAB
放大图
t2
VPP
VPP
tf
tr
被选定侧
共用的（SHL）
VDL
SAN
SAT
VDL
位线，读出放大器
输入/输出节点
BLLT
BLLB
VSSA
SAB

图8

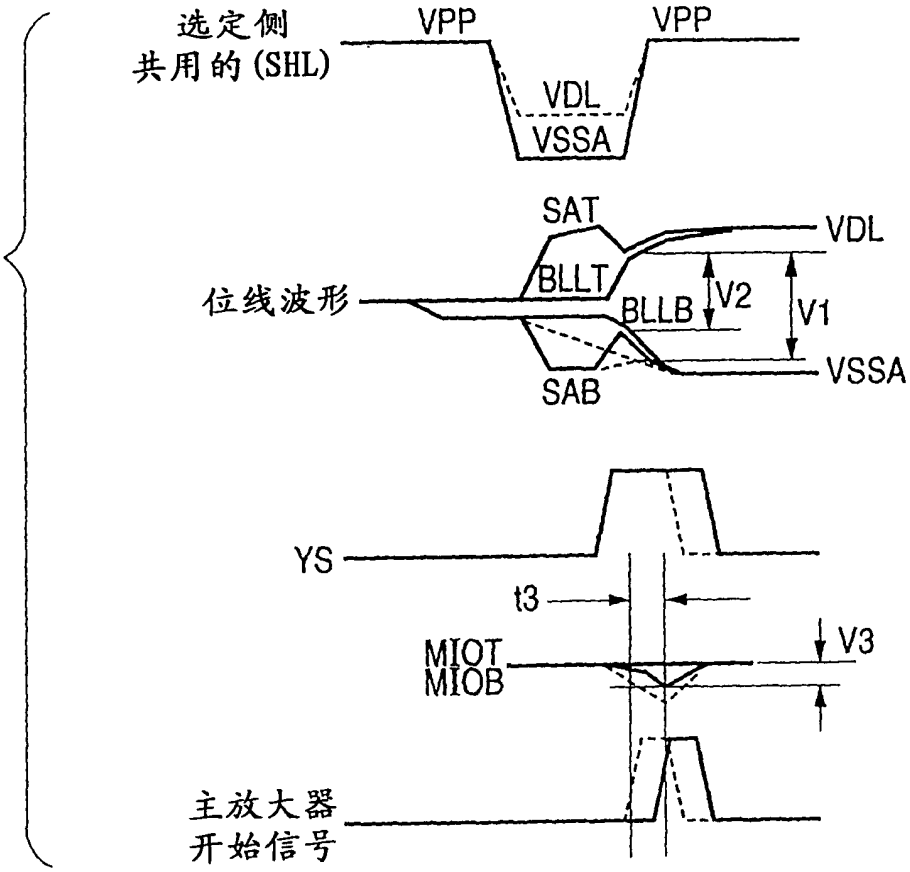

选定侧
共用的(SHL)
VPP
VPP
VDL
VSSA
SAT
VDL
BLLT
位线波形
BLLB
V2
V1
VSSA
SAB
YS
t3
V3
MIOT
MIOB
主放大器
开始信号

图9

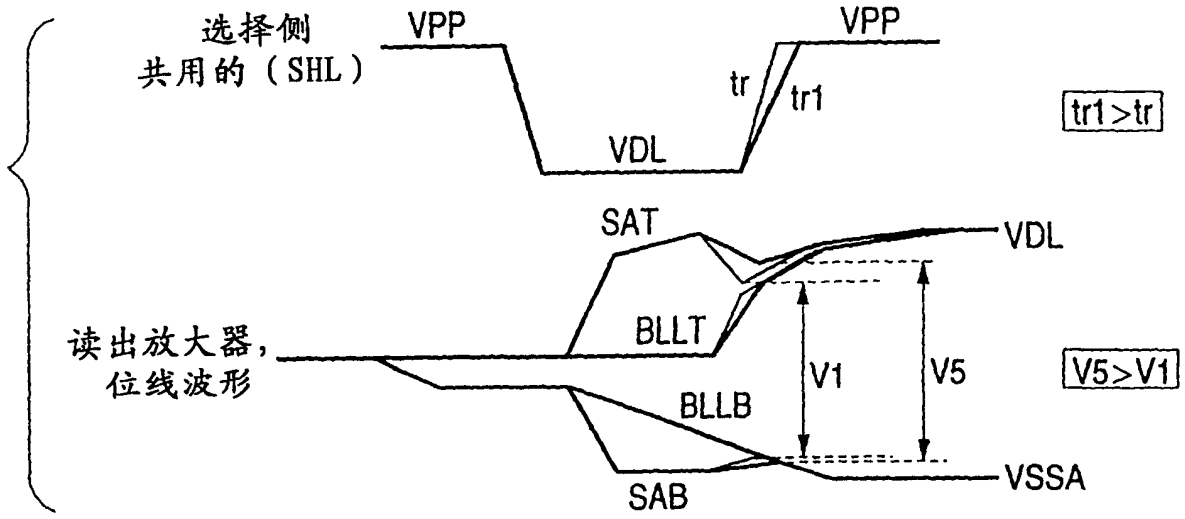

选择侧
共用的（SHL）
VPP
VPP
tr
tr1
tr1>tr
VDL
SAT
VDL
BLLT
读出放大器，
位线波形
V1
V5
V5>V1
BLLB
VSSA
SAB

图10

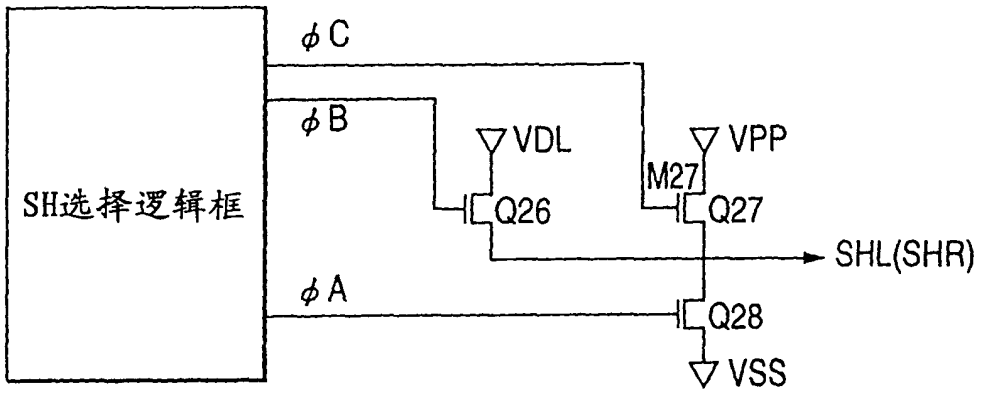

SH选择逻辑框
φC
φB
φA
VDL
VPP
M27
Q26
Q27
Q28
SHL(SHR)
VSS

图11

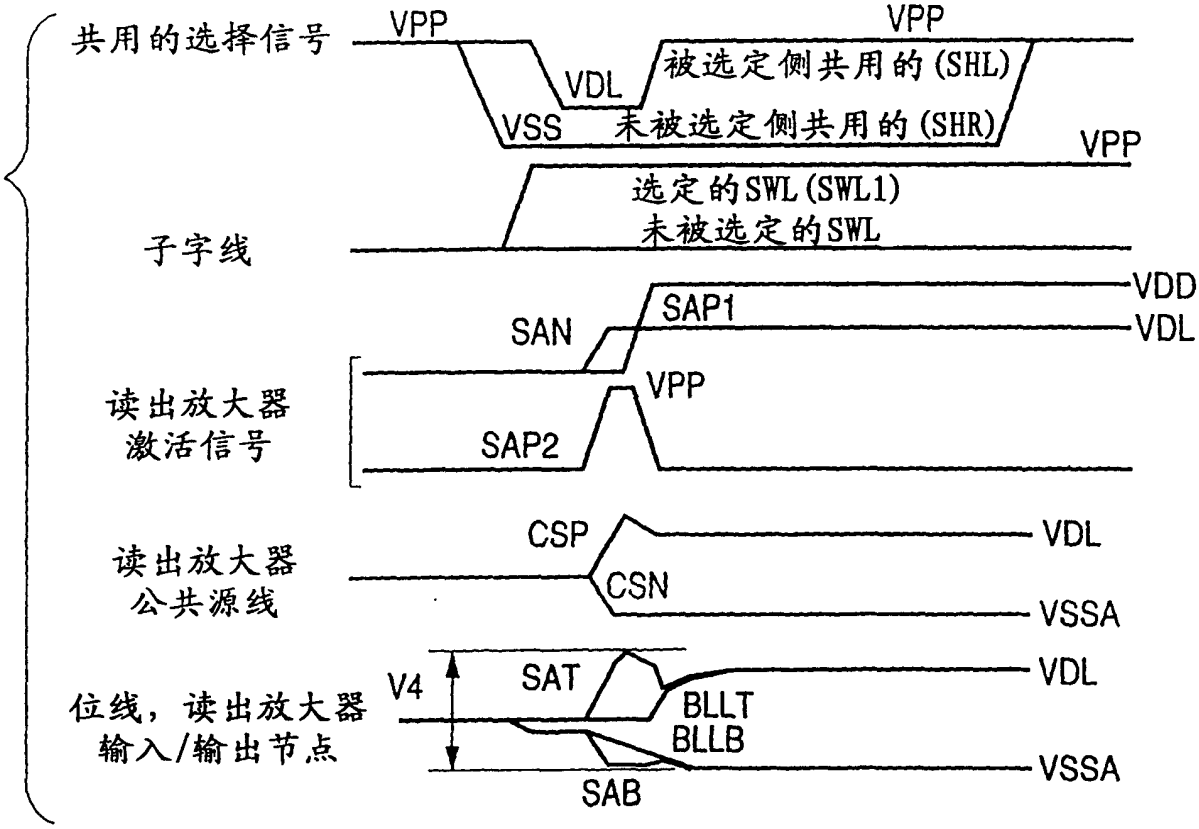

共用的选择信号
VPP
VDL
VSS
被选定侧共用的(SHL)
未被选定侧共用的(SHR)
子字线
选定的SWL(SWL1)
未被选定的SWL
读出放大器
激活信号
SAN
SAP1
SAP2
VDD
读出放大器
公共源线
CSP
CSN
VSSA
位线，读出放大器
输入/输出节点
V4
SAT
BLLT
BLLB
SAB

图12

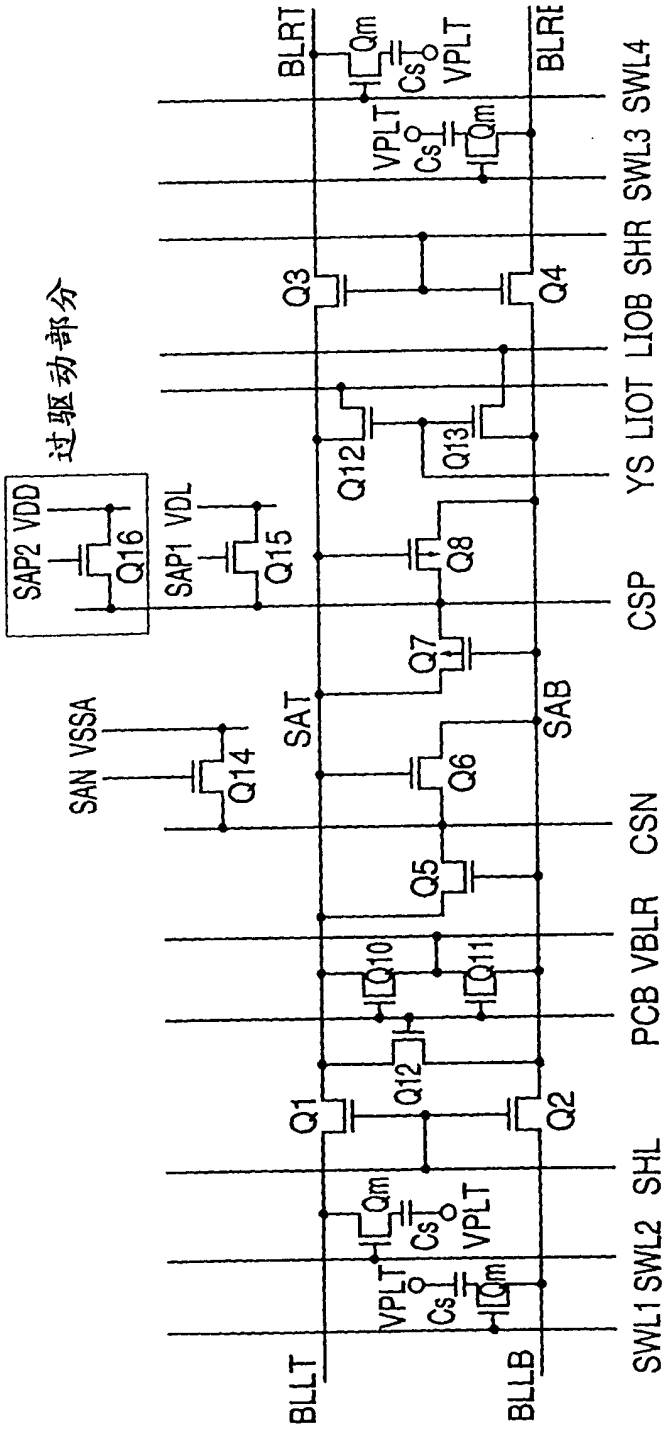

过驱动部分
SAP2 VDD
Q16
SAP1 VDL
Q15
SAN VSSA
Q14
SAT
SAB
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q10
Q11
Q12
Q12
Q13
Qm
Cs
VPLT
BLLT
BLLB
BLRT
BLRB
SWL1 SWL2 SHL PCB VBLR CSN CSP YS LIOT LIOB SHR SWL3 SWL4

图13

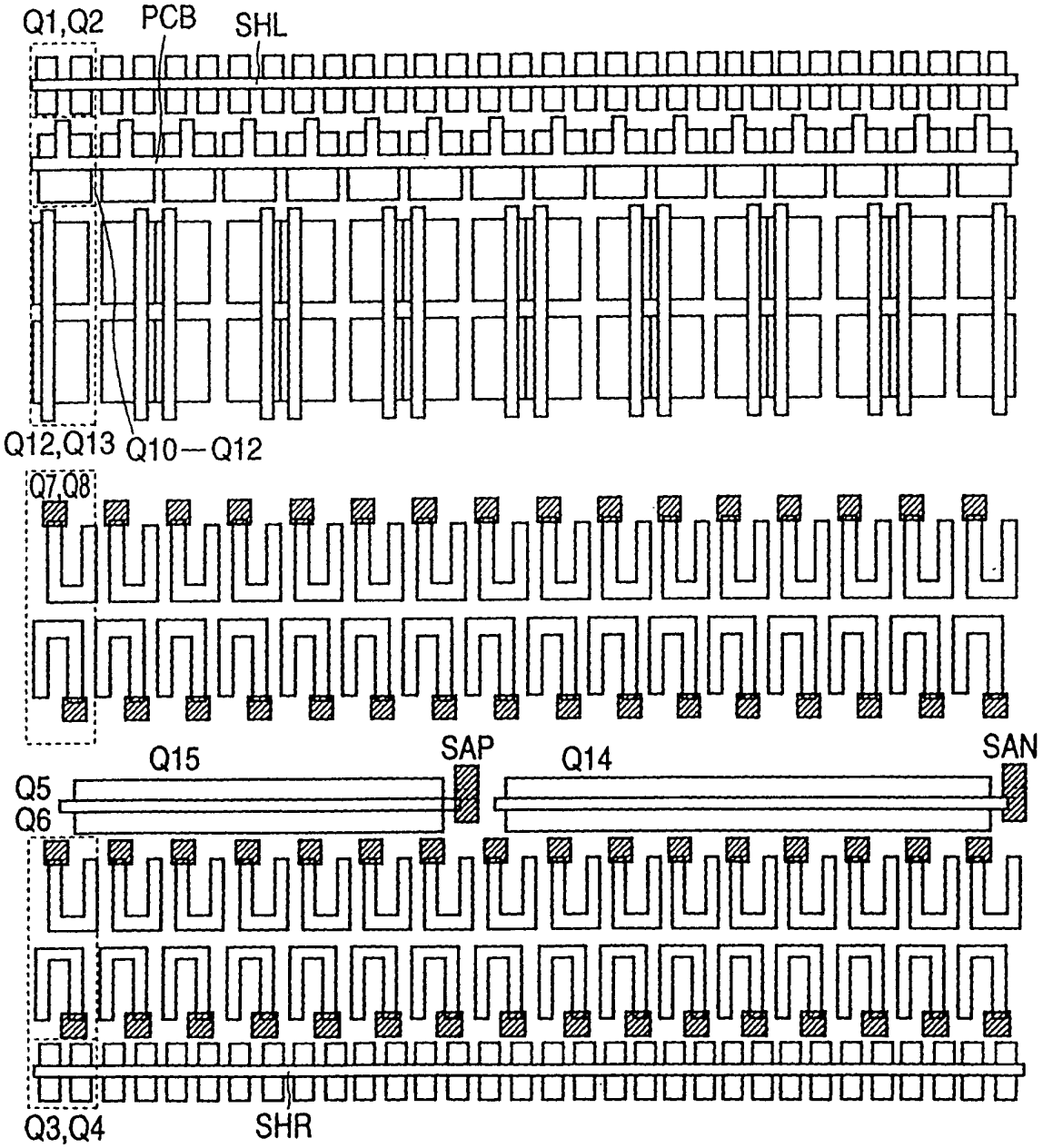


图14

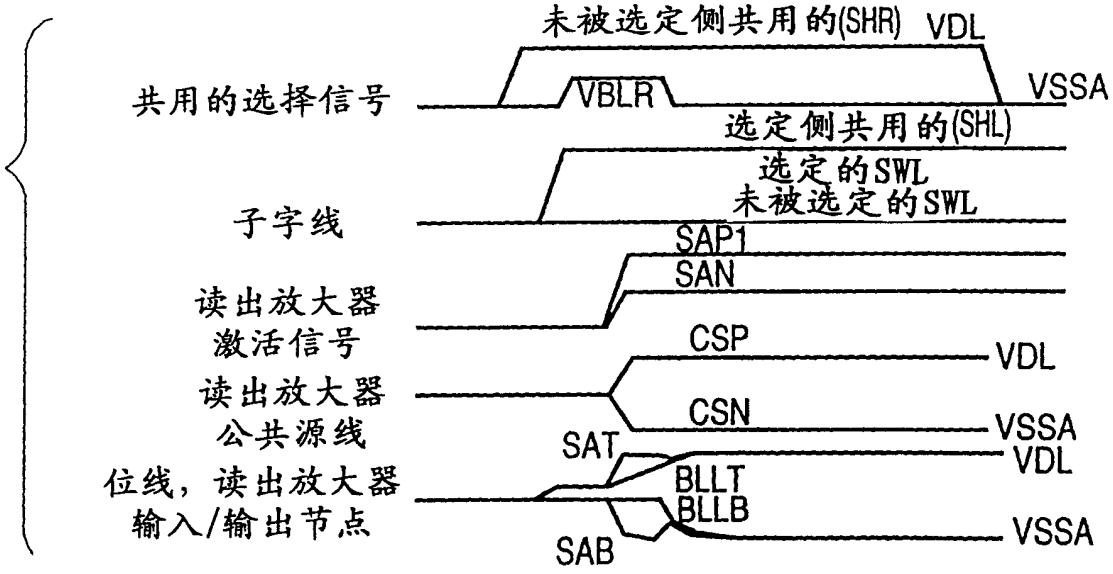

未被选定侧共用的(SHR)
VDL
共用的选择信号
VBLR
VSSA
选定侧共用的(SHL)
选定的SWL
子字线
未被选定的SWL
SAP1
SAN
读出放大器
激活信号
CSP
VDL
读出放大器
公共源线
CSN
VSSA
SAT
VDL
位线，读出放大器
输入/输出节点
BLLT
BLLB
VSSA
SAB

图15

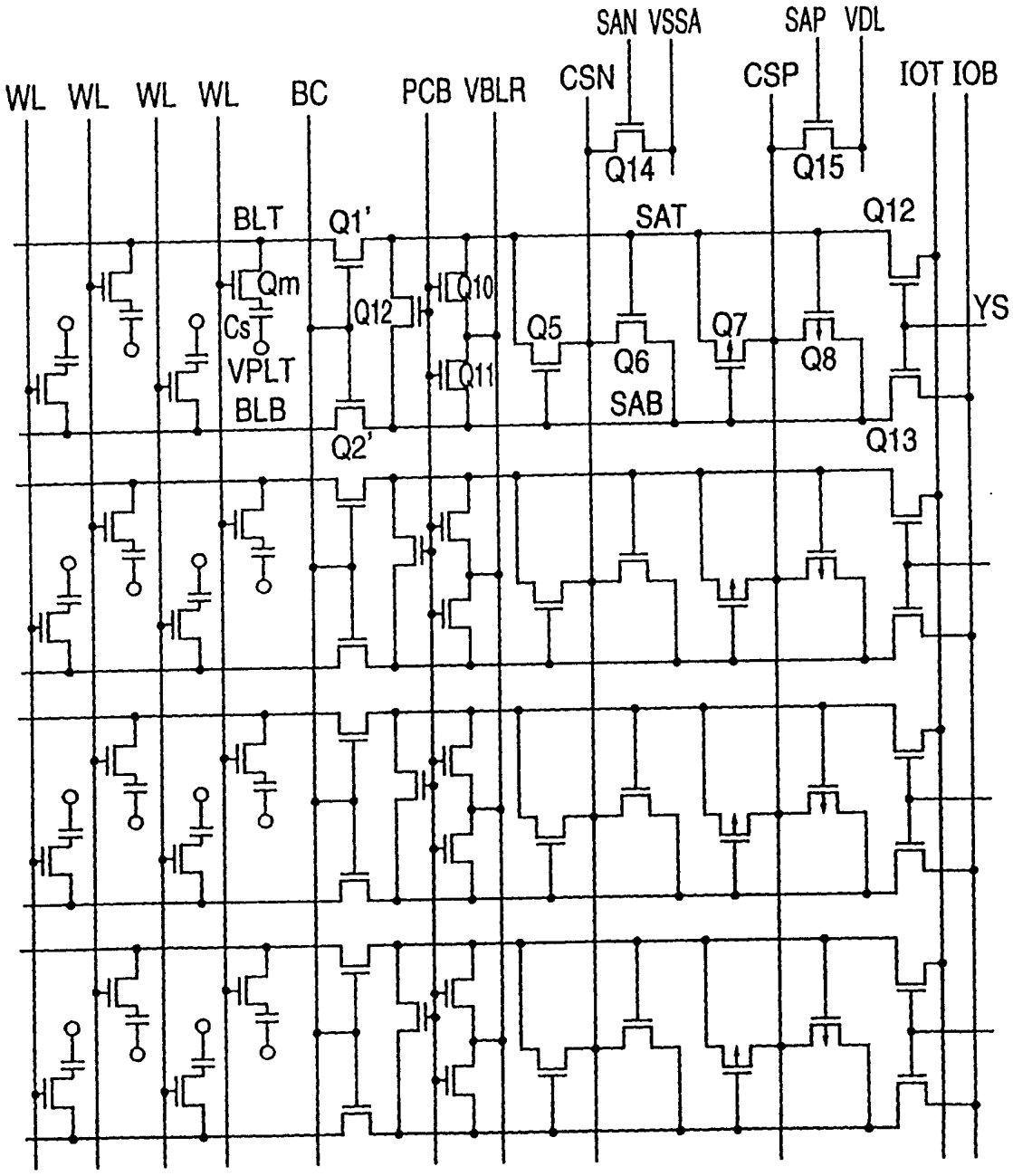
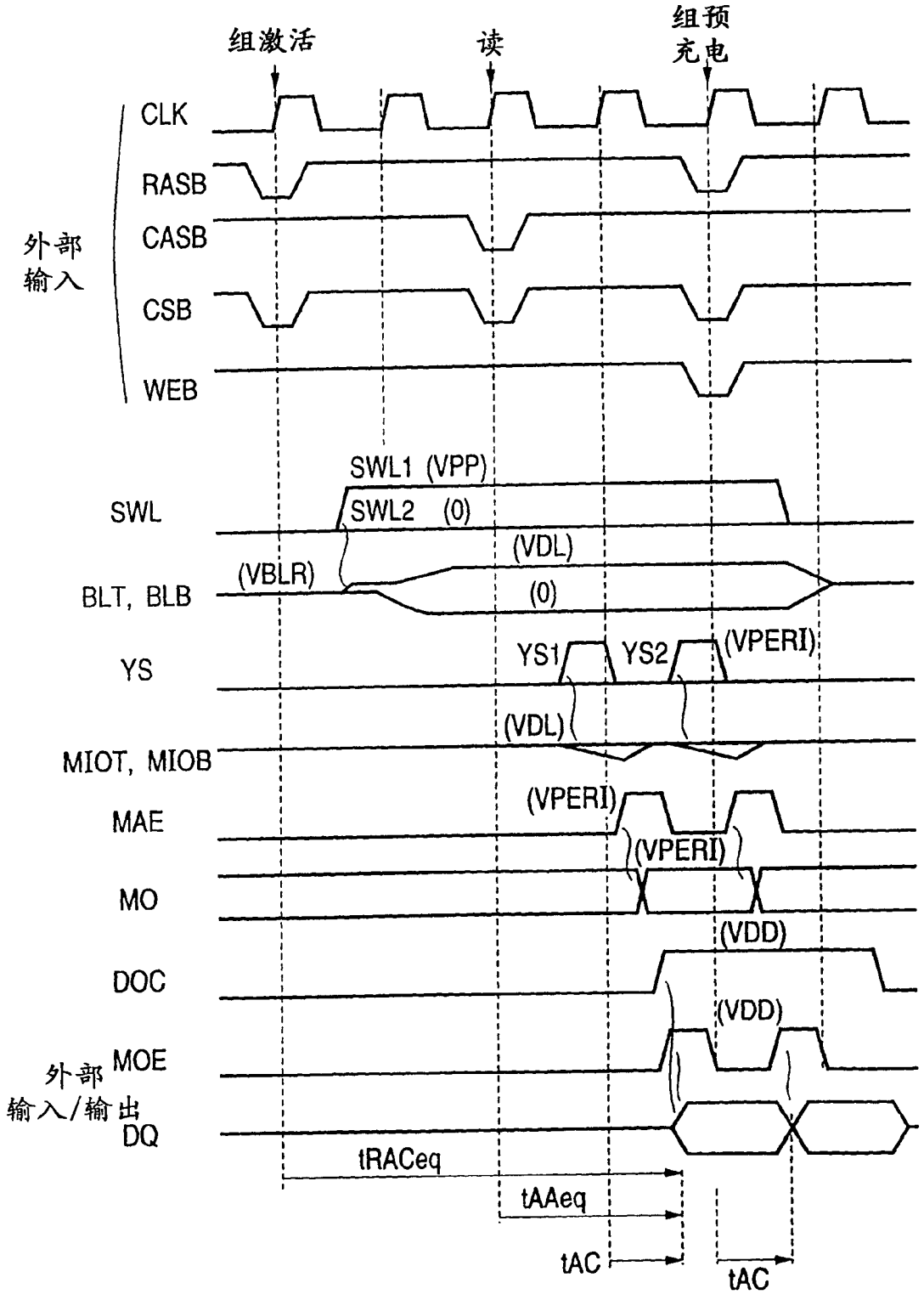

SAN VSSA
SAP VDL
WL WL WL WL
BC
PCB VBLR
CSN
CSP
IOT IOB
Q14
Q15
BLT
Q1'
SAT
Q12
Qm
Cs
VPLT
BLB
Q12
Q10
Q11
Q5
Q6
SAB
Q7
Q8
YS
Q2'
Q13

图16


组激活
读
组预充电
外部输入
CLK
RASB
CASB
CSB
WEB
SWL
SWL1 (VPP)
SWL2 (0)
BLT, BLB
(VBLR)
(VDL)
(0)
YS
YS1
YS2
(VPERI)
MIOT, MIOB
(VDL)
MAE
(VPERI)
(VPERI)
MO
DOC
(VDD)
(VDD)
外部输入/输出
MOE
DQ
tRACeq
tAAeq
tAC
tAC