



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월20일  
(11) 등록번호 10-1980148  
(24) 등록일자 2019년05월14일

(51) 국제특허분류(Int. Cl.)  
G11C 7/10 (2015.01) G11C 7/22 (2015.01)  
(21) 출원번호 10-2013-0058629  
(22) 출원일자 2013년05월23일  
심사청구일자 2017년12월06일  
(65) 공개번호 10-2014-0137752  
(43) 공개일자 2014년12월03일  
(56) 선행기술조사문헌  
KR1020100108792 A

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
임유리  
대전 서구 만년로16번길 36, (만년동)  
김재일  
경기 이천시 구مان리로 42, 105동 902호 (증일동, 이천현대홈타운)  
(74) 대리인  
특허법인아주

전체 청구항 수 : 총 2 항

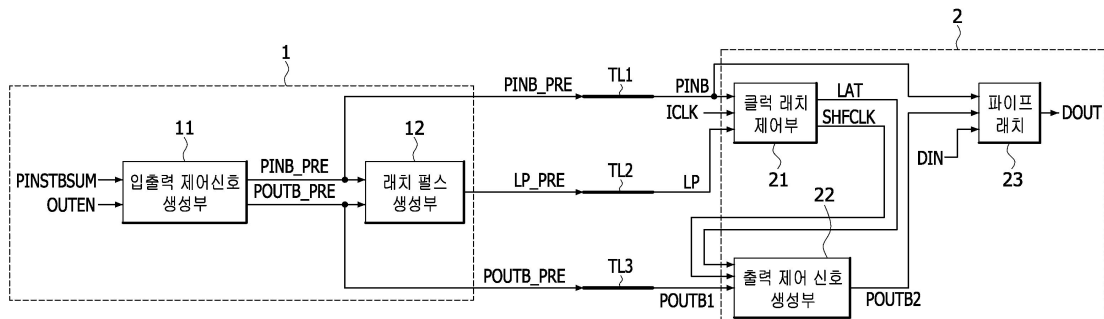
심사관 : 윤석재

(54) 발명의 명칭 반도체장치

(57) 요약

반도체장치는 전치입력제어신호 및 전치출력제어신호를 생성하고, 전치입력제어신호 및 전치출력제어신호의 생성 시점을 감지하여 전치래치펄스를 생성하는 전치신호생성부; 및 상기 전치입력제어신호를 제1 전송라인을 통해 입력제어신호로 입력받고, 상기 전치래치펄스를 제2 전송라인을 통해 래치펄스로 입력받으며, 상기 전치출력제어신호를 제3 전송라인을 통해 제1 출력제어신호로 입력받고, 상기 입력제어신호 및 상기 래치펄스에 응답하여 내부 클럭으로부터 시프팅클럭을 생성하며, 상기 시프팅클럭에 응답하여 상기 제1 출력제어신호를 시프팅하여 제2 출력제어신호를 생성하는 데이터출력부를 포함한다.

대표도



## 명세서

### 청구범위

#### 청구항 1

전치입력제어신호 및 전치출력제어신호를 생성하고, 전치입력제어신호 및 전치출력제어신호의 생성 시점을 감지하여 전치래치펄스를 생성하는 전치신호생성부; 및

상기 전치입력제어신호를 제1 전송라인을 통해 입력제어신호로 입력받고, 상기 전치래치펄스를 제2 전송라인을 통해 래치펄스로 입력받으며, 상기 전치출력제어신호를 제3 전송라인을 통해 제1 출력제어신호로 입력받고, 상기 입력제어신호 및 상기 래치펄스에 응답하여 내부클럭으로부터 시프팅클럭을 생성하며, 상기 시프팅클럭에 응답하여 상기 제1 출력제어신호를 시프팅하여 제2 출력제어신호를 생성하는 데이터출력부를 포함하는 반도체장치.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서, 상기 전치래치펄스는 상기 전치입력제어신호의 생성 시점부터 상기 전치출력제어신호의 생성 시점까지의 구간을 펄스폭으로 갖거나, 상기 전치출력제어신호의 생성 시점부터 상기 전치입력제어신호의 생성 시점까지의 구간을 펄스폭으로 갖는 반도체장치.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서, 상기 전치신호생성부는

입출력스트로브신호 및 출력인에이블신호에 응답하여 상기 전치입력제어신호 및 상기 전치출력제어신호를 생성하는 입출력제어신호생성부; 및

상기 전치입력제어신호 및 상기 전치출력제어신호로부터 상기 전치래치펄스를 생성하는 래치펄스생성부를 포함하는 반도체장치.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 3 항에 있어서, 상기 입출력스트로브신호는 메모리셀에 저장된 데이터가 출력되는 시점부터 파이프래치에 도달할 때까지 걸리는 시간에 동기하여 인에이블되고, 상기 출력인에이블신호는 레이턴시 정보에 동기하여 인에이블되는 반도체장치.

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 4 항에 있어서, 상기 레이턴시 정보는 컬럼어드레스스트로브신호가 생성된시점부터 데이터가 출력될 때까지 걸리는 시간으로, 모드레지스터셋 동작에 의해 설정되는 반도체장치.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 3 항에 있어서, 상기 래치펄스생성부는

상기 전치입력제어신호에 응답하여 전원전압을 래치하여 제1 레벨신호로 출력하는 제1 래치;

상기 전치출력제어신호에 응답하여 상기 전원전압을 래치하여 제2 레벨신호로 출력하는 제2 래치; 및

상기 제1 및 제2 레벨신호의 레벨이 다른 구간을 펄스폭으로 갖는 상기 전치래치펄스를 생성하는 논리소자를 포함하는 반도체장치.

#### 청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서, 상기 데이터출력부는

상기 래치펄스에 응답하여 상기 입력제어신호를 래치하여 래치신호를 생성하고, 상기 래치신호에 응답하여 상기 내부클럭으로부터 상기 시프팅클럭을 생성하는 클럭래치제어부; 및

상기 시프팅클럭이 생성되는 경우 상기 제1 출력제어신호를 시프팅하여 상기 제2 출력제어신호로 출력하는 출력제어신호생성부를 포함하는 반도체장치.

#### 청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서, 상기 클럭래치제어부는

상기 래치펄스를 지연시켜 지연래치펄스를 생성하고, 상기 지연래치펄스에 동기하여 상기 입력제어신호를 래치하여 상기 래치신호로 출력하는 래치신호생성부; 및

상기 래치신호가 인에이블되는 구간에서 상기 내부클럭으로부터 상기 시프팅클럭을 생성하는 클럭출력부를 포함하는 반도체장치.

#### 청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서, 상기 출력제어신호생성부는

상기 시프팅클럭에 동기하여 상기 제1 출력제어신호를 기설정된 구간만큼 시프팅하여 시프팅신호로 출력하는 시프팅부; 및

상기 래치신호에 응답하여 상기 제1 출력제어신호 또는 상기 시프팅신호를 선택적으로 상기 제2 출력제어신호로 출력하는 선택출력부를 포함하는 반도체장치.

#### 청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서, 상기 데이터출력부는

상기 입력제어신호에 응답하여 입력데이터를 입력받아 래치하고, 상기 제2 출력제어신호에 응답하여 상기 래치된 입력데이터를 출력하는 파이프래치를 더 포함하는 반도체장치.

**청구항 11**

입력제어신호 및 제1 출력제어신호의 생성 시점을 감지하여 래치펄스를 생성하는 래치펄스생성부;

상기 래치펄스에 응답하여 상기 입력제어신호를 래치하여 래치신호를 생성하고, 상기 래치신호에 응답하여 내부 클럭으로부터 시프팅클럭을 생성하는 클럭래치제어부; 및

상기 시프팅클럭이 생성되는 경우 상기 제1 출력제어신호를 시프팅하여 제2 출력제어신호로 출력하는 출력제어 신호생성부를 포함하는 반도체장치.

**청구항 12**

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서, 상기 래치펄스는 상기 입력제어신호의 생성 시점부터 상기 제1 출력제어신호의 생성시점까지의 구간을 펄스폭으로 갖거나, 상기 제1 출력제어신호의 생성 시점부터 상기 입력제어신호의 생성시점까지의 구간을 펄스폭으로 갖는 반도체장치.

**청구항 13**

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서, 상기 래치펄스생성부는

상기 입력제어신호에 응답하여 전원전압을 래치하여 제1 레벨신호로 출력하는 제1 래치;

상기 제1 출력제어신호에 응답하여 상기 전원전압을 래치하여 제2 레벨신호로 출력하는 제2 래치; 및

상기 제1 및 제2 레벨신호의 레벨이 다른 구간을 펄스폭으로 갖는 상기 래치펄스를 생성하는 논리소자를 포함하는 반도체장치.

**청구항 14**

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서, 상기 클럭래치제어부는

상기 래치펄스를 지연시켜 지연래치펄스를 생성하고, 상기 지연래치펄스에 동기하여 상기 입력제어신호를 래치하여 상기 래치신호로 출력하는 래치신호생성부; 및

상기 래치신호가 인에이블되는 구간에서 상기 내부클럭으로부터 상기 시프팅클럭을 생성하는 클럭출력부를 포함하는 반도체장치.

**청구항 15**

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서, 상기 출력제어신호생성부는

상기 시프팅클럭에 동기하여 상기 제1 출력제어신호를 기설정된 구간만큼 시프팅하여 시프팅신호로 출력하는 시프팅부; 및

상기 래치신호에 응답하여 상기 제1 출력제어신호 또는 상기 시프팅신호를 선택적으로 상기 제2 출력제어신호로 출력하는 선택출력부를 포함하는 반도체장치.

**청구항 16**

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서,

입출력스트로브신호 및 출력인에이블신호에 응답하여 상기 입력제어신호 및 상기 제1 출력제어신호를 생성하는 입출력제어신호생성부를 더 포함하는 반도체장치.

**청구항 17**

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제 16 항에 있어서, 상기 입출력스트로브신호는 메모리셀에 저장된 데이터가 출력되는 시점부터 파이프래치에 도달할 때까지 걸리는 시간에 동기하여 인에이블되고, 상기 출력인에이블신호는 레이턴시 정보에 동기하여 인에이블되는 반도체장치.

**청구항 18**

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 17 항에 있어서, 상기 레이턴시 정보는 컬럼어드레스스트로브신호가 생성된시점부터 데이터가 출력될 때까지 걸리는 시간으로, 모드레지스터셋 동작에 의해 설정되는 반도체장치.

**청구항 19**

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서, 상기 입력제어신호에 응답하여 입력데이터를 입력받아 래치하고, 상기 제2 출력제어신호에 응답하여 래치된 입력데이터를 출력하는 파이프래치를 더 포함하는 반도체장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 파이프래치의 입출력을 제어할 수 있는 반도체장치에 관한 것이다.

**배경 기술**

[0002] 일반적으로, DDR2 SDRAM은 외부적으로는 커맨드를 연속적으로 인가받을 수 있지만, 입력받은 커맨드를 바로 수행하는 것은 아니다. 리드(read)동작의 경우, CAS(Column Address Strobe)가 활성화 되어야 하는데, DDR2에서는 CAS의 활성화 시점을 지연시킴으로써, 연속된 커맨드의 수행을 위한 시간을 내부적으로 확보한다. 리드커맨드가 인가될 때부터 CAS가 활성화되기까지의 지연시간을 AL(Additive Latency)이라고 한다. 또한, AL에 의해 활성화된 CAS로부터 유효한 데이터가 출력될 때까지 걸리는 시간이 CL(Cas Latency)이다. 즉, 리드커맨드가 인가되고 내부 데이터가 출력될 때까지 걸리는 RL(Read Latency)는 AL와 CL의 합이 된다.

[0003] 이와같이, 반도체장치는 리드커맨드에 의해 셀어레이블로부터 출력된 데이터를 래치에 저장하여, 설정된 CL에 대응하는 시점에 이를 출력한다. 이는 설정된 카스레이턴시 보다 미리 데이터가 셀어레이블로부터 출력된 경우, 다음 연속하여 출력되는 데이터와의 충돌을 방지하기 위한 것이다.

[0004] 한편, 한번의 리드커맨드의 인가로 복수 비트의 데이터가 출력될 수 있는데, 한번에 출력되는 데이터의 비트 수는 MRS(Mode Register Set)의 BL(Burst Length)의 설정을 통해 결정할 수 있다. 또한, 출력되는 데이터의 순서 역시 모드레지스터(MRS)의 버스트 타입(Burst Type)의 설정을 통해서 결정할 수 있으며, 설정에 따라 인터리브

모드(Interleave Mode)와 시퀀셜모드(Sequential Mode)로 나뉘어 각기 다른 데이터 출력순서를 갖는다.

[0005] DDR2에서는 리드동작 시 하나의 데이터 핀 당 4비트의 데이터를 데이터 라인 GIO를 통해 전송하는 4비트 프리패치스킴을 사용한다. 프리패치 스킴이란 반도체장치의 코어(core) 영역의 동작 스피드를 늘리는데 따르는 제약을 극복하기 위한 것으로, 동작 스피드를 늘리기 힘든 코어 영역에서는 데이터를 병렬(parallel)로 처리하고, 데이터의 입/출력 시에는 직렬(serial)로 빠르게 데이터를 /출력하는 방식을 말한다. 프리패치스킴은 다수의 파이프래치를 포함하는 프리패치회로에 의해 구현된다.

본 발명의 배경기술은 미국 특허 공개번호 US2012/0154186에 개시되어 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 파이프래치의 입출력을 제어할 수 있는 반도체장치를 제공한다.

**과제의 해결 수단**

[0007] 이를 위해 본 발명은 전치입력제어신호 및 전치출력제어신호를 생성하고, 전치입력제어신호 및 전치출력제어신호의 생성 시점을 감지하여 전치래치펄스를 생성하는 전치신호생성부; 및 상기 전치입력제어신호를 제1 전송라인을 통해 입력제어신호로 입력받고, 상기 전치래치펄스를 제2 전송라인을 통해 래치펄스로 입력받으며, 상기 전치출력제어신호를 제3 전송라인을 통해 제1 출력제어신호로 입력받고, 상기 입력제어신호 및 상기 래치펄스에 응답하여 내부클럭으로부터 시프팅클럭을 생성하며, 상기 시프팅클럭에 응답하여 상기 제1 출력제어신호를 시프팅하여 제2 출력제어신호를 생성하는 데이터출력부를 포함하는 반도체장치를 제공한다.

[0008] 또한, 본 발명은 입력제어신호 및 제1 출력제어신호의 생성 시점을 감지하여 래치펄스를 생성하는 래치펄스생성부; 상기 래치펄스의 생성 시점에서 상기 입력제어신호의 레벨에 따라 인에이블되는 래치신호를 생성하고, 상기 래치신호에 응답하여 내부클럭을 시프팅클럭으로 출력하는 클럭래치제어부; 및 상기 시프팅클럭이 생성되는 경우 상기 제1 출력제어신호를 시프팅하여 상기 제2 출력제어신호로 출력하는 출력제어신호생성부를 포함하는 반도체장치를 제공한다.

**발명의 효과**

[0009] 본 발명에 의하면 파이프래치의 입력제어신호가 출력제어신호보다 늦게 인에이블되는 것을 감지하여 출력제어신호를 시프팅함으로써, 파이프래치의 입출력시 발생하는 오동작을 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 일 실시예에 따른 반도체장치의 구성을 도시한 블록도이다.
- 도 2는 도 1에 도시된 반도체장치에 포함된 래치펄스생성부의 일 실시예에 따른 구성을 도시한 회로도이다.
- 도 3은 도 1에 도시된 반도체장치에 포함된 클럭래치제어부의 일 실시예에 따른 구성을 도시한 회로도이다.
- 도 4는 도 1에 도시된 반도체장치에 포함된 출력제어신호생성부의 일 실시예에 따른 구성을 도시한 회로도이다.
- 도 5 및 도 6은 도 1 내지 도 4에 도시된 반도체장치의 동작을 설명하기 위한 타이밍도이다.
- 도 7은 본 발명의 다른 실시예에 따른 반도체장치의 구성을 도시한 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.

[0012] 도 1은 본 발명의 일 실시예에 따른 반도체장치의 구성을 도시한 블록도이다.

- [0013] 도 1에 도시된 바와 같이, 본 실시예에 따른 반도체장치는 전치신호생성부(1) 및 데이터출력부(2)로 구성된다. 전치신호생성부(1)는 입출력제어신호생성부(11) 및 래치펄스생성부(12)로 구성된다. 데이터출력부(2)는 클럭래치제어부(21), 출력제어신호생성부(22) 및 파이프래치(23)로 구성된다. 전치신호생성부(1)에서 생성된 전치입력제어신호(PINB\_PRE)는 제1 전송라인(TL1)을 통해 입력제어신호(PINB)로 데이터출력부(2)에 전송된다. 전치신호생성부(1)에서 생성된 전치래치펄스(LP\_PRE)는 제2 전송라인(TL2)을 통해 래치펄스(LP)로 데이터출력부(2)에 전송된다. 전치신호생성부(1)에서 생성된 전치출력제어신호(POUTB\_PRE)는 제3 전송라인(TL3)을 통해 제1 출력제어신호(POUTB1)로 데이터출력부(2)에 전송된다.
- [0014] 입출력제어신호생성부(11)는 입출력스트로브신호(PINSTBSUM) 및 출력인에이블신호(OUTEN)에 응답하여 전치입력제어신호(PINB\_PRE) 및 전치출력제어신호(POUTB\_PRE)를 생성한다. 좀 더 구체적으로, 입출력제어신호생성부(11)는 입출력스트로브신호(PINSTBSUM)가 인에이블되는 경우 전치입력제어신호(PINB\_PRE)를 생성하고, 출력인에이블신호(OUTEN)가 인에이블되는 경우 전치출력제어신호(POUTB\_PRE)를 생성한다. 입출력스트로브신호(PINSTBSUM)는 메모리셀에 저장된 데이터가 출력될 시점부터 파이프래치에 도달할 때까지 걸리는 시간에 동기하여 인에이블된다. 출력인에이블신호(OUTEN)는 카스레이턴시(CAS LATENCY) 정보에 동기하여 인에이블된다. 카스레이턴시(CAS LATENCY)는 모드레지스터셋(Mode Register Set) 동작에 의해 설정되는 정보로, 컬럼어드레스스트로브(Column Address Strobe) 신호가 생성된 시점부터 데이터가 출력될 때까지 걸리는 시간으로 정의된다. 출력인에이블신호(OUTEN)는 모드레지스터셋에 의해 설정된 카스레이턴시(CAS LATENCY) 정보를 토대로 인에이블되므로, 인에이블시점이 일정하게 유지된다. 반면, 입출력스트로브신호(PINSTBSUM)는 메모리셀에 저장된 데이터가 출력될 시점부터 파이프래치에 도달할 때까지의 시간이 변동됨에 따라 인에이블시점이 변동된다. 따라서, 전치출력제어신호(POUTB\_PRE)의 생성시점은 일정하게 유지되는데 반해, 전치입력제어신호(PINB\_PRE)의 생성시점은 데이터가 출력되는 시간에 의존하여 변동된다.
- [0015] 래치펄스생성부(12)는 전치입력제어신호(PINB\_PRE) 및 전치출력제어신호(POUTB\_PRE)가 생성되는 시점을 감지하여 전치래치펄스(LP\_PRE)를 생성한다. 좀 더 구체적으로, 래치펄스생성부(12)는 전치입력제어신호(PINB\_PRE)가 전치출력제어신호(POUTB\_PRE)보다 빨리 생성되는 경우 전치입력제어신호(PINB\_PRE)의 생성 시점부터 전치출력제어신호(POUTB\_PRE)의 생성 시점까지의 구간을 펄스폭으로 갖는 전치래치펄스(LP\_PRE)를 생성한다. 한편, 래치펄스생성부(12)는 전치입력제어신호(PINB\_PRE)가 전치출력제어신호(POUTB\_PRE)보다 늦게 생성되는 경우 전치출력제어신호(POUTB\_PRE)의 생성 시점부터 전치입력제어신호(PINB\_PRE)의 생성 시점까지의 구간을 펄스폭으로 갖는 전치래치펄스(LP\_PRE)를 생성한다.
- [0016] 클럭래치제어부(21)는 래치펄스(LP)에 응답하여 입력제어신호(PINB)를 래치하여 래치신호(LAT)를 생성하고, 래치신호(LAT)에 응답하여 내부클럭(ICLK)으로부터 시프팅클럭(SHFCLK)을 생성한다. 본 실시예에서, 클럭래치제어부(21)는 래치펄스(LP)가 생성되는 시점보다 기설정된 구간만큼 지연된 시점에서 입력제어신호(PINB)의 레벨이 로직하이레벨인 경우 로직하이레벨의 래치신호(LAT)를 생성한다. 또한, 클럭래치제어부(21)는 래치신호(LAT)가 로직하이레벨인 구간에서 내부클럭(ICLK)으로부터 시프팅클럭(SHFCLK)을 생성한다.
- [0017] 출력제어신호생성부(22)는 래치신호(LAT)가 생성되는 구간동안 토글링되는 시프팅클럭(SHFCLK)이 입력되는 경우 제1 출력제어신호(POUTB1)를 기설정된 구간만큼 시프팅하여 제2 출력제어신호(POUTB2)로 출력한다. 출력제어신호생성부(22)에서 시프팅되는 구간은 실시예에 따라서 다양하게 설정할 수 있다.
- [0018] 파이프래치(23)는 입력제어신호(PINB)에 동기하여 입력데이터(DIN)를 래치한다. 또한, 파이프래치(23)는 제2 출력제어신호(POUTB2)에 동기하여 래치된 데이터를 출력데이터(DOUT)로 전달한다. 제2 출력제어신호(POUTB2)는 전치입력제어신호(PINB\_PRE)가 전치출력제어신호(POUTB\_PRE)보다 늦게 생성되더라도 시프팅되어 입력제어신호(PINB)보다 늦은 시점에 생성된다. 따라서, 입력데이터(DIN)가 래치되기 전에 출력데이터(DOUT)가 출력되는 오동작이 발생하지 않는다.
- [0019] 도 2를 참고하면 래치펄스생성부(12)는 제1 래치(121), 제2 래치(122) 및 논리소자(123)로 구성된다. 제1 래치(121)는 전치입력제어신호(PINB\_PRE)의 폴링에지에서 전원전압을 래치하여 로직로우레벨에서 로직하이레벨로 천이하는 제1 레벨신호(LEV1)를 생성한다. 제2 래치(122)는 전치출력제어신호(POUTB\_PRE)의 폴링에지에서 전원전압을 래치하여 로직로우레벨에서 로직하이레벨로 천이하는 제2 레벨신호(LEV2)를 생성한다. 논리소자(123)는 제1 레벨신호(LEV1) 및 제2 레벨신호(LEV2)의 레벨이 상이한 구간에서 로직하이레벨로 인에이블되는 구간을 펄스폭으로 갖는 전치래치펄스(LP\_PRE)를 생성한다. 본 실시예에서 제1 래치(121) 및 제2 래치(122)는 플립플롭으로 구현되며, 논리소자(123)는 배타적논리합 연산을 수행하는 XOR 게이트로 구현된다.
- [0020] 도 3을 참고하면 클럭래치제어부(21)는 래치신호생성부(211) 및 클럭출력부(212)로 구성된다. 래치신호생성부



(211)는 제1 지연부(213) 및 제3 래치(214)로 구성된다. 클럭출력부(212)는 버퍼부(215) 및 제2 지연부(216)로 구성된다. 제1 지연부(213)는 래치펄스(LP)를 제1 지연구간만큼 지연시켜 지연래치펄스(LPd)를 생성한다. 제3 래치(214)는 지연래치펄스(LPd)가 생성되는 시점에서 입력제어신호(PINB)를 래치하여 래치신호(LAT)를 생성한다. 버퍼부(215)는 래치신호(LAT)가 로직하이레벨인 구간에서 내부클럭(ICLK)을 반전버퍼링한다. 제2 지연부(216)는 버퍼부(215)의 출력신호를 제2 지연구간만큼 지연시켜 시프팅클럭(SHFCLK)을 생성한다. 제1 지연부(213)의 제1 지연구간 및 제2 지연부(216)의 제2 지연구간은 실시예에 따라 다양하게 설정할 수 있고, 실시예에 따라 제1 지연부(213) 및 제2 지연부(216) 중 적어도 하나를 제거할 수도 있다. 본 실시예에서 제3 래치(214)는 플립플롭으로 구현된다.

[0021] 도 4를 참고하면 출력제어신호생성부(22)는 시프팅부(221) 및 선택출력부(222)로 구성된다. 시프팅부(221)는 토글링되는 시프팅클럭(SHFCLK)이 입력되는 경우 제1 출력제어신호(POUTB1)를 기설정된 구간만큼 시프팅하여 시프팅신호(POUTB\_S)로 출력한다. 선택출력부(222)는 래치신호(LAT)에 응답하여 선택적으로 턴온되는 전달게이트들(223, 224)로 구성된다. 따라서, 선택출력부(222)는 래치신호(LAT)가 로직로우레벨인 구간동안 제1 출력제어신호(POUTB1)를 제2 출력제어신호(POUTB2)로 출력하고, 래치신호(LAT)가 로직하이레벨인 구간동안 시프팅신호(POUTB\_S)를 제2 출력제어신호(POUTB2)로 출력한다.

[0022] 이상 살펴본 반도체장치의 동작을 도 5 및 도 6을 참고하여 살펴보면, 전치입력제어신호(PINB\_PRE)가 전치출력제어신호(POUTB\_PRE)보다 생성시점이 빠른 경우와 느린 경우로 나누어 살펴보면 다음과 같다.

[0023] 도 5에 도시된 바와 같이, T11 시점에서 전치입력제어신호(PINB\_PRE)가 생성된 후 T13시점에서 전치출력제어신호(POUTB\_PRE)가 생성되는 경우 제1 레벨신호(LEV1)는 T11 시점에서 로직로우레벨에서 로직하이레벨로 천이하고, 제2 레벨신호(LEV2)는 T13 시점에서 로직로우레벨에서 로직하이레벨로 천이한다. 따라서, 전치래치펄스(LP\_PRE)는 T11~T13 구간동안 로직하이레벨을 갖는다. 이와 같이 생성된 전치입력제어신호(PINB\_PRE), 전치출력제어신호(POUTB\_PRE) 및 전치래치펄스(LP\_PRE)는 제1 내지 제3 전송라인(TL1~TL3)을 통해 입력제어신호(PINB), 제1 출력제어신호(POUTB1) 및 래치펄스(LP)로 데이터출력부(2)에 전송된다. 래치펄스(LP)를 기설정된 지연구간(td1)만큼 지연시켜 생성된 지연래치펄스(LPd)가 로직하이레벨로 생성되는 T12 시점에서 입력제어신호(PINB)는 로직로우레벨이다. 따라서, T12 시점부터 래치신호(LAT)는 로직로우레벨을 갖고, 시프팅클럭(SHFCLK)은 내부클럭(ICLK)에 무관하게 로직하이레벨을 갖는다. 토글링하지 않는 시프팅클럭(SHFCLK)에 의해 제2 출력제어신호(POUTB2)는 제1 출력제어신호(POUTB1)와 동일하게 T14 시점에서 생성된다.

[0024] 도 6에 도시된 바와 같이, T21 시점에서 전치출력제어신호(POUTB\_PRE)가 생성된 후 T24시점에서 전치입력제어신호(PINB\_PRE)가 생성되는 경우 제1 레벨신호(LEV1)는 T24 시점에서 로직로우레벨에서 로직하이레벨로 천이하고, 제2 레벨신호(LEV2)는 T21 시점에서 로직로우레벨에서 로직하이레벨로 천이한다. 따라서, 전치래치펄스(LP\_PRE)는 T21~T24 구간동안 로직하이레벨을 갖는다. 이와 같이 생성된 전치입력제어신호(PINB\_PRE), 전치출력제어신호(POUTB\_PRE) 및 전치래치펄스(LP\_PRE)는 제1 내지 제3 전송라인(TL1~TL3)을 통해 입력제어신호(PINB), 제1 출력제어신호(POUTB1) 및 래치펄스(LP)로 데이터출력부(2)에 전송된다. 래치펄스(LP)를 기설정된 지연구간(td1)만큼 지연시켜 생성된 지연래치펄스(LPd)가 로직하이레벨로 생성되는 T23 시점에서 입력제어신호(PINB)는 로직하이레벨이다. 따라서, T23 시점부터 래치신호(LAT)는 로직하이레벨을 갖고, 시프팅클럭(SHFCLK)은 내부클럭(ICLK)이 반전버퍼링되어 생성된다. T23 시점이후의 구간에서 토글링하는 시프팅클럭(SHFCLK)에 의해 T22 시점에서 생성되는 제1 출력제어신호(POUTB1)는 기설정된시프팅구간(SHF\_D)동안 시프팅되어 제2 출력제어신호(POUTB2)로 출력된다.

[0025] 이상 살펴본 바와 같이, 본 실시예에 따른 반도체장치는 전치입력제어신호(PINB\_PRE)가 전치출력제어신호(POUTB\_PRE)보다 늦게 생성되더라도 시프팅클럭(SHFCLK)에 의해 시프팅되어 생성되는 제2 출력제어신호(POUTB2)를 이용하여 파이프래치(23)에서 데이터가 출력되도록 제어한다. 따라서, 메모리셀에 저장된 데이터가 출력된 시점부터 파이프래치에 도달할 때까지의 시간이 변동되더라도 파이프래치(23)가 데이터를 래치하기 전에 데이터를 출력하는 오동작이 발생되지 않는다.

[0026] 도 7은 본 발명의 다른 실시예에 따른 반도체장치의 구성을 도시한 블럭도이다.

[0027] 도 7에 도시된 바와 같이, 본 실시예에 따른 반도체장치는 입출력제어신호생성부(31) 및 래치펄스생성부(32), 클럭래치제어부(33), 출력제어신호생성부(34) 및 파이프래치(35)로 구성된다.

[0028] 입출력제어신호생성부(31)는 입출력스트로브신호(PINSTBSUM) 및 출력인에이블신호(OUTEN)에 응답하여 입력제어신호(PINB) 및 제1 출력제어신호(POUTB1)를 생성한다. 좀 더 구체적으로, 입출력제어신호생성부(31)는 입출력스



트로브신호(PINSTBSUM)가 인에이블되는 경우 입력제어신호(PINB)를 생성하고, 출력인에이블신호(OUTEN)가 인에이블되는 경우 제1 출력제어신호(POUTB1)를 생성한다. 입출력스트로브신호(PINSTBSUM)는 메모리셀에 저장된 데이터가 출력된 시점부터 파이프래치에 도달할 때까지 걸리는 시간 동기하여 인에이블된다. 출력인에이블신호(OUTEN)는 카스레이턴시(CAS LATENCY) 정보에 동기하여 인에이블된다. 카스레이턴시(CAS LATENCY)는 모드레지스터셋(Mode Register Set) 동작에 의해 설정되는 정보로, 컬럼어드레스스트로브(Column Address Strobe) 신호가 생성된 시점부터 데이터가 출력될 때까지 걸리는 시간으로 정의된다. 출력인에이블신호(OUTEN)는 모드레지스터셋에 의해 설정된 카스레이턴시(CAS LATENCY) 정보를 토대로 인에이블되므로, 인에이블시점이 일정하게 유지된다. 반면, 입출력스트로브신호(PINSTBSUM)는 메모리셀에 저장된 데이터가 출력된 시점부터 파이프래치에 도달할 때까지의 시간이 변동됨에 따라 인에이블시점이 변동된다. 따라서, 제1 출력제어신호(POUTB1)의 생성시점은 일정하게 유지되는데 반해, 입력제어신호(PINB)의 생성시점은 데이터가 출력되는 시간에 의존하여 변동된다.

[0029] 래치펄스생성부(32)는 입력제어신호(PINB) 및 제1 출력제어신호(POUTB1)가 생성되는 시점을 감지하여 래치펄스(LP)를 생성한다. 좀 더 구체적으로, 래치펄스생성부(32)는 입력제어신호(PINB)가 제1 출력제어신호(POUTB1)보다 빨리 생성되는 경우 입력제어신호(PINB)의 생성 시점부터 제1 출력제어신호(POUTB1)의 생성 시점까지의 구간을 펄스폭으로 갖는 래치펄스(LP)를 생성한다. 한편, 래치펄스생성부(32)는 입력제어신호(PINB)가 제1 출력제어신호(POUTB1)보다 늦게 생성되는 경우 제1 출력제어신호(POUTB1)의 생성 시점부터 입력제어신호(PINB)의 생성 시점까지의 구간을 펄스폭으로 갖는 래치펄스(LP)를 생성한다.

[0030] 클럭래치제어부(33)는 래치펄스(LP)에 응답하여 입력제어신호(PINB)를 래치하여 래치신호(LAT)를 생성하고, 래치신호(LAT)에 응답하여 내부클럭(ICLK)으로부터 시프팅클럭(SHFCLK)을 생성한다. 본 실시예에서, 클럭래치제어부(33)는 래치펄스(LP)가 생성되는 시점보다 기설정된 구간만큼 지연된 시점에서 입력제어신호(PINB)의 레벨이 로직하이레벨인 경우 로직하이레벨의 래치신호(LAT)를 생성한다. 또한, 클럭래치제어부(33)는 래치신호(LAT)가 로직하이레벨인 구간에서 내부클럭(ICLK)으로부터 시프팅클럭(SHFCLK)을 생성한다.

[0031] 출력제어신호생성부(34)는 래치신호(LAT)가 생성되는 구간동안 토글링되는 시프팅클럭(SHFCLK)이 입력되는 경우 제1 출력제어신호(POUTB1)를 기설정된 구간만큼 시프팅하여 제2 출력제어신호(POUTB2)로 출력한다. 출력제어신호생성부(34)에서 시프팅되는 구간은 실시예에 따라서 다양하게 설정할 수 있다.

[0032] 파이프래치(35)는 입력제어신호(PINB)에 동기하여 입력데이터(DIN)를 래치한다. 또한, 파이프래치(35)는 제2 출력제어신호(POUTB2)에 동기하여 래치된 데이터를 출력데이터(DOUT)로 전달한다. 제2 출력제어신호(POUTB2)는 입력제어신호(PINB)가 제1 출력제어신호(POUTB1)보다 늦게 생성되더라도 시프팅되어 입력제어신호(PINB)보다 늦은 시점에 생성된다. 따라서, 입력데이터(DIN)가 래치되기 전에 출력데이터(DOUT)가 출력되는 오동작이 발생하지 않는다.

[0033] 이상 살펴본 바와 같이, 본 실시예에 따른 반도체장치는 입력제어신호(PINB)가 제1 출력제어신호(POUTB)보다 늦게 생성되는 경우 시프팅클럭(SHFCLK)에 의해 시프팅되어 생성되는 제2 출력제어신호(POUTB2)를 이용하여 파이프래치(35)에서 데이터가 출력되도록 제어한다. 따라서, 메모리셀에 저장된 데이터가 출력된 시점부터 파이프래치에 도달할 때까지의 시간이 변동되더라도 파이프래치(35)가 데이터를 래치하기 전에 데이터를 출력하는 오동작이 발생되지 않는다.

**부호의 설명**

- |        |                |               |
|--------|----------------|---------------|
| [0034] | 1: 전치신호생성부     | 2: 데이터출력부     |
|        | 11: 입출력제어신호생성부 | 12: 래치펄스생성부   |
|        | 21: 클럭래치제어부    | 22: 출력제어신호생성부 |
|        | 23: 파이프래치      | 121: 제1 래치    |
|        | 122: 제2 래치     | 123: 논리소자     |
|        | 211: 래치신호생성부   | 212: 클럭출력부    |
|        | 213: 제1 지연부    | 214: 제3 래치    |
|        | 215: 버퍼부       | 216: 제2 지연부   |

221: 시프팅부

222: 선택출력부

31: 입출력제어신호생성부

32: 래치펄스생성부

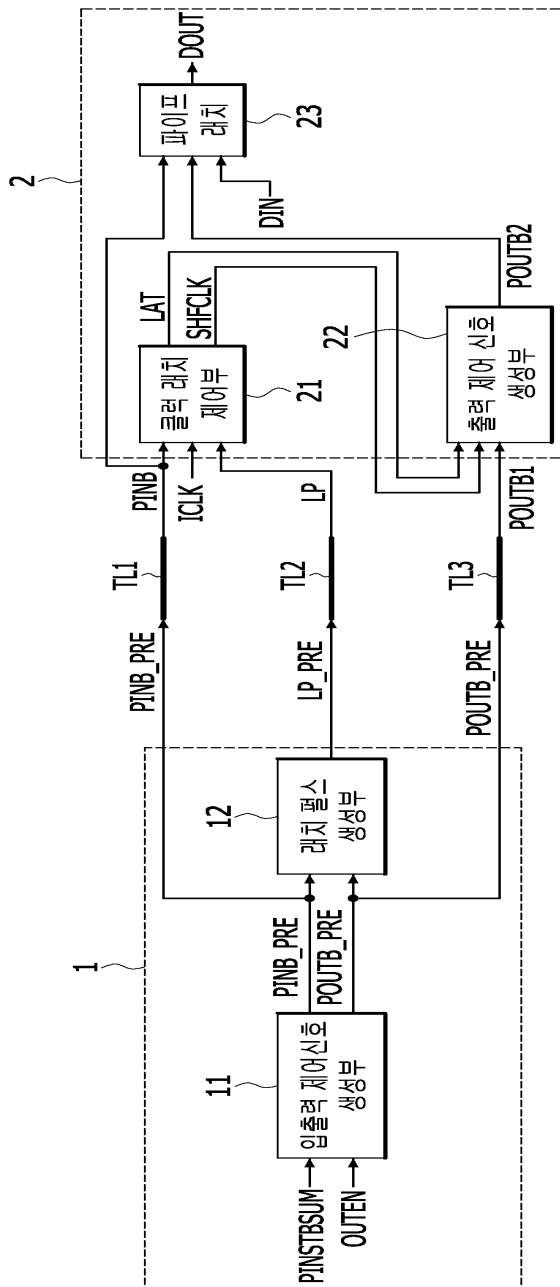
33: 클럭래치제어부

34: 출력제어신호생성부

35: 파이프래치

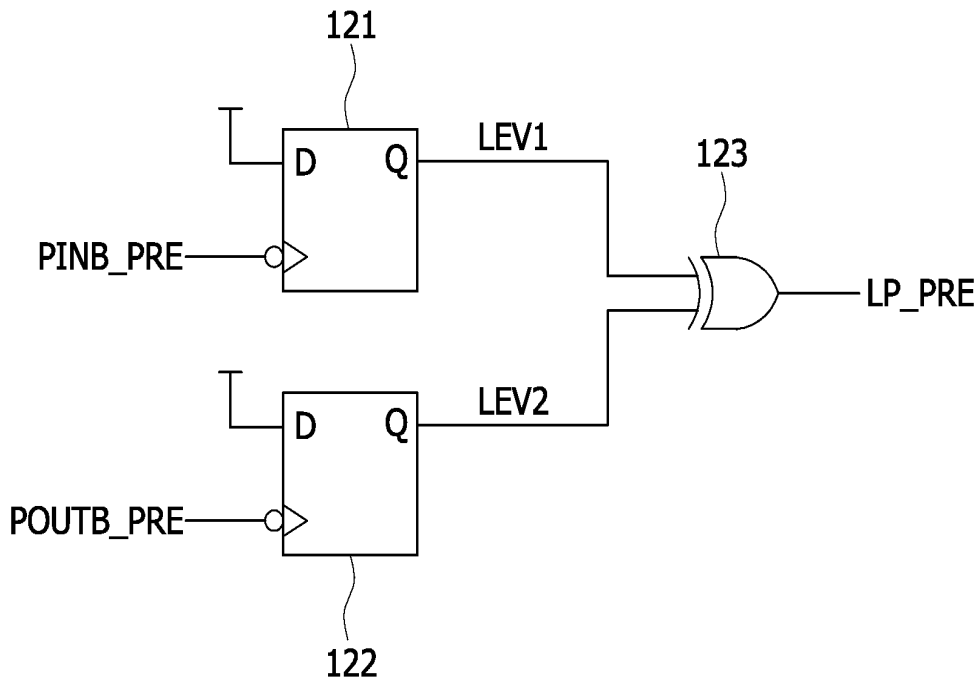
도면

도면1



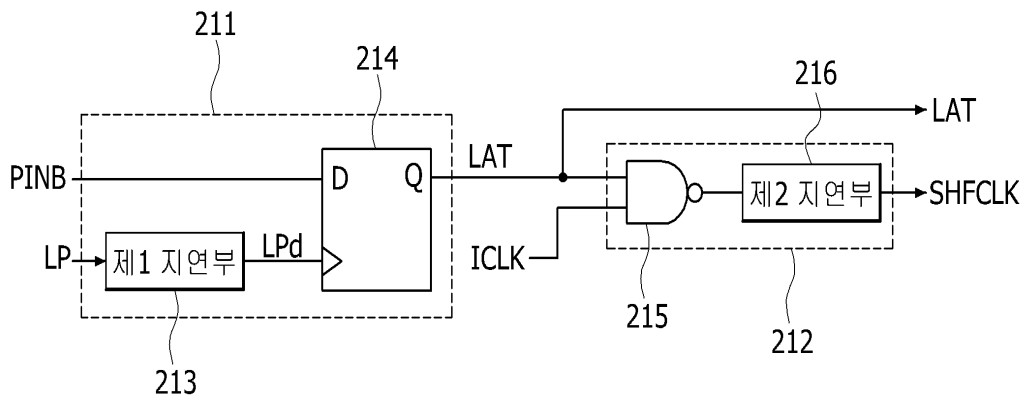
도면2

12



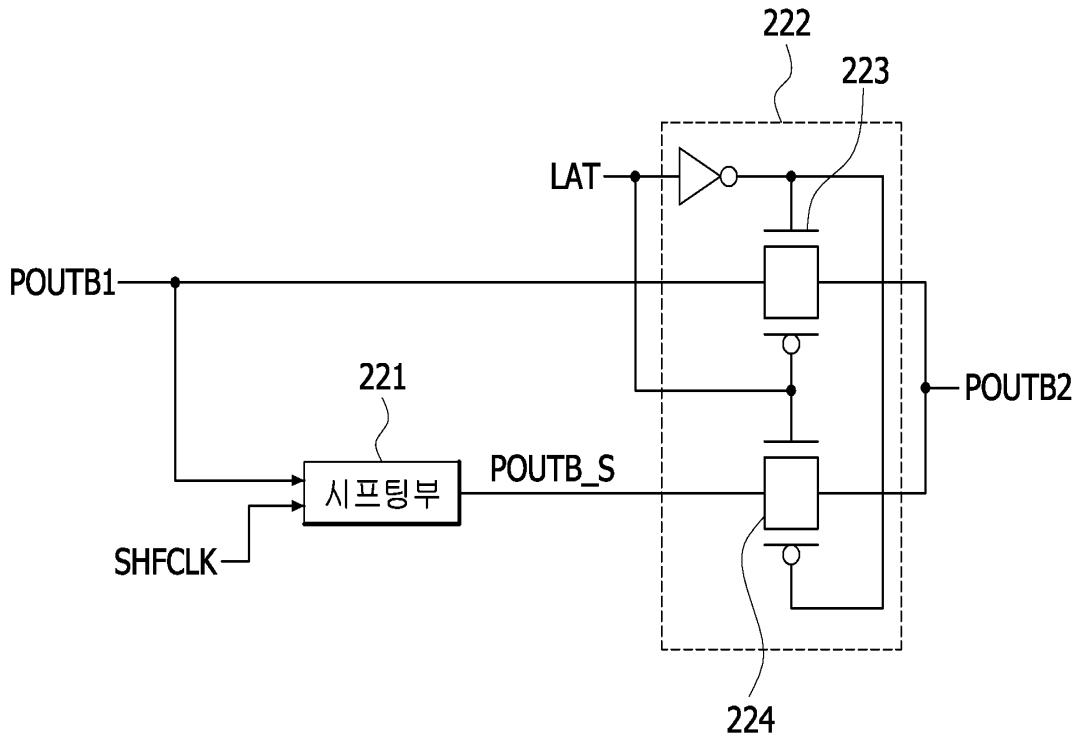
도면3

21

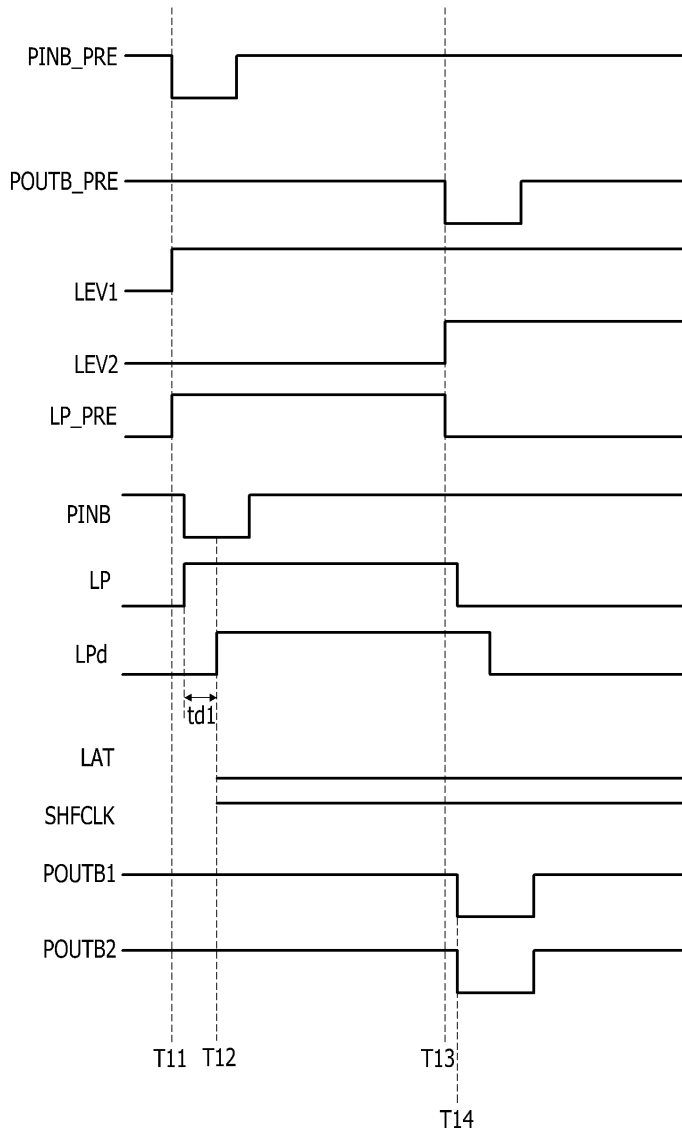


도면4

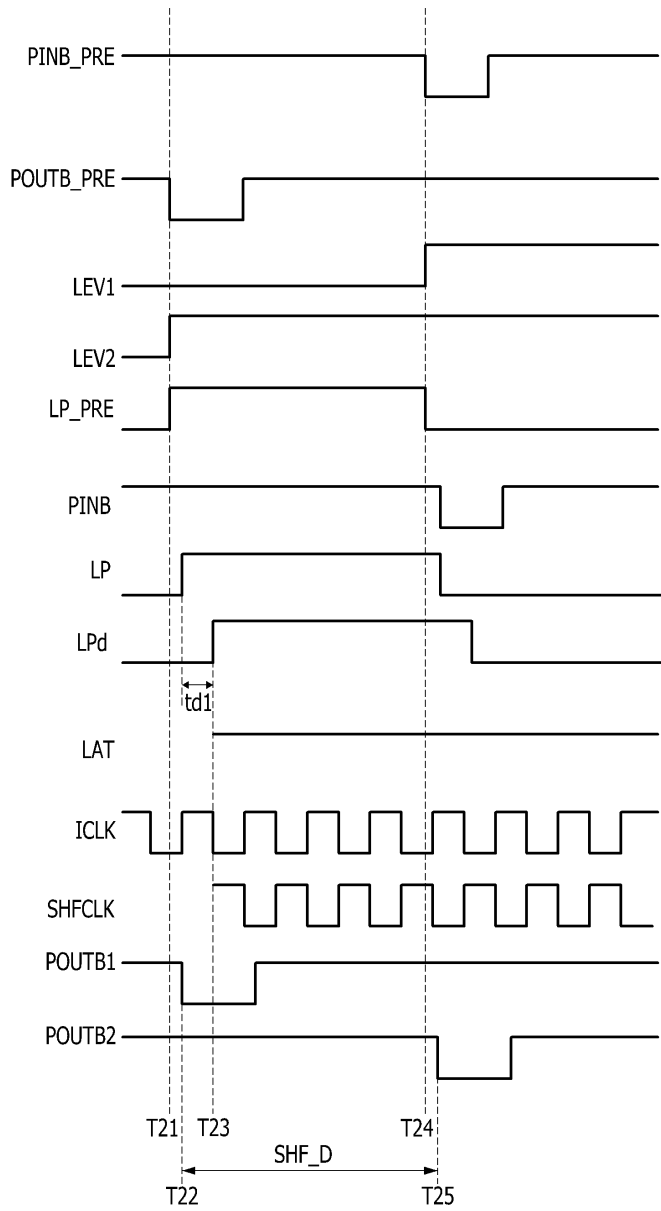
22



도면5



도면6



도면7

