

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/092

H01L 21/8238 H01L 21/00

H01L 23/58



[12] 发明专利说明书

[21] ZL 专利号 97121893.5

[45] 授权公告日 2003 年 11 月 5 日

[11] 授权公告号 CN 1127142C

[22] 申请日 1997. 12. 11 [21] 申请号 97121893.5

[30] 优先权

[32] 1996. 12. 11 [33] JP [31] 330783/1996

[71] 专利权人 日本电气株式会社

地址 日本国东京都

[72] 发明人 平田守央 寺井弘治 八田敏也

审查员 赵百令

[74] 专利代理机构 中科专利商标代理有限责任公司

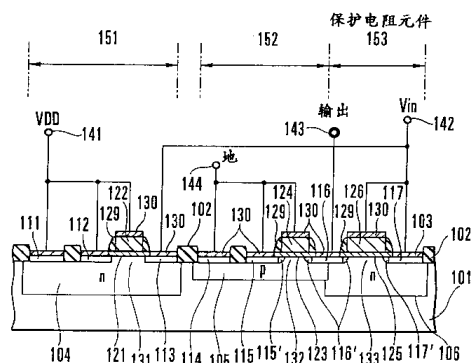
代理人 朱进桂 刘晓峰

权利要求书 2 页 说明书 11 页 附图 3 页

[54] 发明名称 半导体器件

[57] 摘要

一种半导体器件包括晶体管和保护电阻元件。晶体管有形成在半导体基片表面上分别为源极和漏极的第一导电型第一和第二杂质区，通过栅绝缘膜形成在第一和第二杂质区所夹沟道区上的栅极。保护电阻元件有在基片表面上形成与第二杂质区以预定距离隔开的第三杂质区，穿过第二和第三杂质区所夹区表面绝缘膜在基片上形成的控制极，在第二和第三杂质区所夹表面内基片表面上形成，并与它们接触的第一导电型阱。控制极与第二杂质区连接。



ISSN 1008-4274

1. 一种半导体器件, 其特征在于它包括:

一场效应晶体管(152), 它具有形成在半导体基片(101)表面上分别作为源极和漏极的第一导电型的第一和第二扩散层(115, 116), 该半导体器件还包含通过一栅绝缘膜(123)在所述第一和第二扩散层所夹区域(132)上形成的一栅极(124), 所述的场效应晶体管(152)是形成在半导体基片(101)表面上形成的第二导电型阱(105)中; 及

一保护电阻元件(153), 它具有形成在所述半导体基片表面上以一预定距离与所述第二扩散层分开的第一导电型的第三扩散层(117), 通过绝缘膜(125)在所述第二和第三扩散层间所夹区域(133)内所述半导体基片上形成的一控制极(126), 及在所述第二和第三扩散层(116, 117)间所夹所述区域(133)内所述半导体基片表面上形成的并且与第二导电型阱(105)相邻的第一导电型阱(106), 其与所述第二和第三扩散层(116, 117)形成接触,

其中所述的控制极(126)是与所述第三扩散层(117)连接, 而且所述第一导电型阱(106)的杂质浓度低于所述第二和第三扩散层(116, 117)的浓度; 其特征在于:

所述半导体器件还包括: 第一导电型的另一阱(105'), 它形成在第一扩散层(115)下面并与其形成接触, 它的杂质浓度低于第一扩散层(115)的杂质浓度。

2. 根据权利要求1所述的半导体器件, 其特征在于还包括第二导电型的扩散层构成的保护环(114a), 它形成在所述半导体基片(101)表面上以围绕形成所述场效应晶体管(152)和所述保护电阻元件(153)的区域。

3. 根据权利要求1所述的半导体器件, 其特征在于, 其中所述保护电阻元件(153)的电阻值被设定为致使在所述保护电阻元件(153)被设为恢复状态时的电压变为低于所述场效应晶体管(152)产生击穿时的电压。

4. 根据权利要求1所述的半导体器件, 其特征在于其中所述的第一至第三扩散层(115, 116, 117)和将与其连接的线电极通过可连接区的整个

部分相接触。

5. 根据权利要求1所述的半导体器件，其特征在于其中所述控制极（126）和所述第三扩散层（117）之间连接部分被设在所述保护电阻元件（153）的所述阱（106）的区域上。

6. 根据权利要求1所述的半导体器件，其特征在于：

所述保护电阻元件（153）具有用于将外部信号输入连接到所述保护电阻元件另一端的一输入接点（142）；及

连接于所述第二扩散层（116）以根据输入的外部信号输出信号的一输出端（143）。

半导体器件

技术领域

本发明涉及一种具有 CMOS（互补金属氧化物半导体）结构的半导体器件，尤其是具有作为输入输出保护电路的保护电阻元件的半导体器件。

背景技术

常规的半导体具有一设置在输入端和内电路之间的保护电阻元件用于保护内电路。图 3 示出了这样一个常规半导体器件。参照图 3，在有一主平面 3 的 P 型硅基片 1 的表面形成一 P 型阱 5。在 P 型阱 5 中形成一具有 n 沟道 MOS 结构的晶体管 52。形成一由隔离区与 P 型阱与分开的第一 n 型阱 4，在第一 n 型阱 4 中形成具有 P 沟道 MOS 结构的晶体管 51。

邻近 P 型阱 5 形成一第二 n 型阱 6。第二 n 型阱 6 作为充当保护电路的保护电阻元件 53 的扩散层。各个区域是被硅氧化膜 2 分区的。硅氧化膜 2 是通过使用选择的氧化，例如 LOCOS（硅的局部氧化），在基片 1 上选择地形成的。硅氧化膜 2 离基片 1 的主表面 3 有例如 400nm(毫微米)的深度，且其总厚度为 800nm。

在晶体管 51 中，在对应于第一 n 型阱 4 的基片 1 主表面 3 内形成 P 型源极 12、P 型漏极 13 和 n 型基片接触区 11。通过厚为 30nm-50nm 的栅绝缘膜 21 在第一 n 型阱的沟道区 31 内形成多晶硅栅极 22。为遮住栅极 22 的两侧形成一侧壁 29。

在晶体管 52 中，在对应于 P 型阱 5 的基片 1 的主表面内形成一 n 型源极 15、作为漏极的一 n 型杂质区 16 和一 P 型基片接触区 14。通过厚为 30nm-50nm 的栅绝缘膜 23 在 P 型阱 5 的沟道区 32 形成一多晶硅电极 24。为遮住栅极 24 的两侧形成另一侧壁 29。

在保护电阻元件 53 中，第二 n 型阱 6 是与第一 n 型阱 4 同步扩散形成

的。在表面区 33 中第二 n 型阱 6 的 n 型杂质浓度是 $1 \times 10^{15} \text{cm}^{-3}$ ，该杂质浓度确定电阻元件的电阻。对应于第二 n 型阱 6 在基片 1 的主表面 3 内形成一 n⁺型杂质区 17。在晶体管 52 的 P 型阱 5 中形成的杂质区 16 延伸到第二 n 型阱 6 中。

通过厚为 10nm-70nm 的绝缘膜 25，在表面区 33 内（沟道）形成多晶硅控制电极 26，作为抵挡在第二 n 型阱 6 中电流的一电阻。为遮住控制电极 26 的两侧，形成另一侧壁 29。

源极 12、基片接触区 11 和晶体管 51 的栅极 22、及保护电阻元件 53 的控制电极 26 与电源线 41 连接，对它们施加作为高电势电源电压的正电压 VDD。源极 15、基片接触区 14 和晶体管 52 的栅极 24 通过地线 44 与作为低电势电源电压的地电势 V_{GND} 连接。

保护电阻元件 53 的杂质区 17 和晶体管 51 的漏极 13 连接到输入接点 42 和与内电路连接的输出接点 43 之间。即，上面所述的保护电路连接在外部输入端和内电路之间。

按照以上的结构，当从外部施加一异常电压时，上面所述的保护电路被设定在一恢复状态以使异常电压流至地线 44。在晶体管的栅绝缘膜构成的内电路击穿之前，在恢复状态起作用时，内电路则得到保护。

作为漏极的杂质区 16 和晶体管 52 的 n⁺型源极 15 分别与 n⁻型区 16' 和 n⁻型区 15' 连接以形成 LDD (线性延迟失真) 结构。同样，在保护电阻元件 53 中，杂质区 17 和杂质区 16 通过控制电极 26 下面的一区与 n⁻型区 17' 和 n⁻型区 16' 连接，因此形成一 LDD 结构。

这些 LDD 结构均化了杂质浓度梯度以调和施加至它们的电场。n⁺型区和 n⁺型源极和漏极是同步形成的，它们的 n 型表面杂质浓度是 $5 \times 10^{20} \text{cm}^{-3}$ 。构成 LDD 的 n⁻型区的表面杂质浓度是 $1 \times 10^{17} \text{cm}^{-3}$ 。

通过采用硅化物结构，为实现高速操作通过自对准并通过使用硅氧化膜 2 和相应侧壁 29 作为掩膜，在形成预期源极和漏极的每个 P⁺和 n⁺型区的表面上形成一硅化物膜 30。同样，通过使用相应侧壁 29 作为掩膜，在每个硅栅电极的上表面通过自对准形成另一硅化物膜 30。

随着近来在操作速度和 CMOS 半导体器件微图案形成的发展中这种硅化物构形已变成必需的。根据硅化物形成技术，为实现 MOS 晶体管的较高运行

速度，当一层耐热的金属膜被形成在包括一源极、一漏极和类似电极的硅基片表面上时，并且是形成在硅栅极的表面上并被热处理过时，在这些表面上的硅化物薄膜可以通过自对准以降低它们的表面电阻。

如上所述，由于在基片 1 上形成了保护电阻元件 53，所以输入到晶体管 52 漏极 16 的信号通过保护电阻元件 53。其结果，即使输入到漏极 16 的信号是一异常电压，也产生一电压降，从而防止晶体管 52 被加上一高电平异常电压。

由于在保护电阻元件 53 的扩散层表面上形成一栅极结构（控制电极 26），即使采用硅化物结构，在这个表面区也不能形成硅化物膜。因此也可相应地避免该表面区电阻不需要的下降，以致依据具有一小区域的扩散层（第二 n 型阱 6）就能获得大到足以降低涌浪电压峰值的预定电阻值。

为避开硅化物膜的形成，可以构成像元件隔离区那么厚的氧化膜。在这种情况下，由于在厚的氧化膜的端部上形成的鸟嘴形尖头，所以需要额外区域。那么在每一边上氧化膜扩延 $0.5\mu\text{m}$ 。然而，实际上由于在保护电阻元件 53 的扩散层的表面区形成的仅是一层厚约 $10\text{nm}-70\text{nm}$ 的薄栅绝缘膜，所以这个额外区可以被忽略。其结果，使集成度进一步增加。还有，也不会厚氧化膜端部产生由晶体无序引起的不适宜的载流子抑制。

当保护电阻元件 53 的控制或栅极 26 被维持在一固定电势时，这个保护电阻元件 53 成为具有一稳定电阻的保护电阻元件。具体地说，在常规保护电阻元件扩散层的表面形成某一绝缘膜，例如，隔离层间膜或钝化膜。在这种情况下，作为 n 型扩散层的载流子的电子被诸如硅氧化膜的绝缘膜所抑制，那么，流过确定电阻的扩散层的表面区的电流变化且输出特性起伏。与此相对，如果保护电阻元件 53 的控制电极 26 被固定在如 V_{DD} 的正电势，那么不会产生这样的不适宜情况。

保护电阻元件 53 是形成在将作为源极的晶体管 51 和 52 中晶体管 52 的杂质区 16 和输出接点 43（输入接点 42）之间。与此相对，晶体管 51 的漏极 13 是不通过保护电阻元件 53 直接连到输入接点 42。

这样做的原因如下。由于 n 沟道 MOS 晶体管的多数载流子是电子，它的迁移率较大而且 MOS 晶体管可以很容易地设在恢复状态。那么，P 型阱的电势（基片的电势）增加且 ESD（静电损伤）击穿电压趋于降低。与此相对，

在 P 沟道 MOS 晶体管中，由于多数载流子是空穴，所以 MOS 晶体管不易设在恢复状态，而且 ESD 击穿电压也高于 n 沟道 MOS 晶体管。对于 P 沟道 MOS 晶体管，通过采用保护电阻元件其可靠性进一步提高。

上面所描述的常规结构中存在下面不适之处。在上面的结构中，保护电阻元件 53 的控制电极 26 与电源线 41 连接并且固定在正电压 V_{DD} ， V_{DD} 是高电势电源电压。因此，随着电源线 41 的电势从 0 变到 V_{DD} ，第二 n 型阱 6 和控制电极 26 之间的电势 V_{DD} 变到 0，另外 n 型阱的电阻也变化。常规的结构设计是困难的。

假如电源线 41 的电势变为基本上等于地电势，而且对地线 44 施加一正的波动。在这种情况下，当输入接点 42 的电势增加时，一个应力被加至第二 n 型阱 6 和控制极 26 之间的薄隔膜 25 上，且载流子被绝缘膜 25 抑制。当载流子以这种方式被抑制时，第二 n 型阱 6 的电阻变化。在最坏的情况下，产生第二 n 型阱 6 和控制电极 26 间绝缘膜 25 的击穿。

在常规的结构中，由于在基片 1 上形成了保护电阻元件 53，可以向内电路输入较高电势。因此，当加上一波动时，由于流入保护电阻元件 53 的电流引起的电压增加，一较高的电压不时地输入到内电路。在这种情况下，内电路没有被保护，而且在最坏的情况下，构成内电路的晶体管的栅绝缘膜可能被击穿。

发明内容

本发明的目的是提供一种易于设计并且能在任何情况下得到异常电压保护的半导体器件。

为实现上述目的，根据本发明提供了一种半导体器件，它包括一场效应晶体管和保护电阻元件，场效应晶体管具有在半导体基片表面上形成并分别作为源极和漏极的第一导电型的第一扩散层和第二扩散层，和通过一栅绝缘膜在第一和第二扩散层之间相夹的一区域上形成的一栅极，场效应晶体管是形成在半导体基片表面上形成的第二导电型阱中；半导体器件还包括形成在半导体基片表面上以一预间距离与第二扩散区分隔开的具有第一导电型的第三扩散层的保护电阻元件，通过夹在第二和第三扩散层的之间区域的绝缘膜在半导体基片上形成的一控制极，在第二和第三扩散层间所夹区域中半导体

表面上形成的并且与第二导电型阱相邻的第一导电型的阱，以形成与第一和第三扩散层的接触，其中控制极与第三扩散层连接，该第一导电型阱的杂质浓度低于第二和第三扩散层的浓度；还包括：第一导电型的另一阱，它形成在第一扩散层下面并与其形成接触，它的杂质浓度低于第一扩散层的杂质浓度。

附图说明

图 1A 是本发明第一实施例半导体器件主要部分的剖视图；

图 1B 是图 1A 所示半导体器件的一种变化形式的主要部分剖视图；

图 2A 是沿图 2B 的 A—A' 线的剖视图；

图 2B 是本发明第二实施例半导体器件的主要部分剖视图；

图 3 是常规 CMOS 电路的主要部分的剖视图。

具体实施方式

下面将参照附图对本发明进行详细的描述。

第一实施例

图 1A 示出了本发明第一实施例半导体器件的主要部分。第一实施例的特征在于控制电极 126 与杂质区 117 连接，除此之外，第一实施例的结构是与上面所述常规结构相同的。

参照图 1A，在有一主平面 103 的 P 型硅基片 101 的表面上形成一 P 型阱 105。n 沟道 MOS 结构的晶体管 152 形成在 P 型阱 105 内。第一 n 型阱 104 是由一隔离区与 P 型阱 105 分隔开构成的，在第一 n 型阱 104 中形成一 P 型 MOS 结构晶体管 151。

第二 n 型阱 106 是相邻于 P 型阱 105 构成的。第二 n 型阱 106 作为用作保护电路的保护电阻元件 153 的扩散层。各个区是由通过使用选择的如 LOCOS 的氧化而在基片 101 上选择形成的硅氧化膜 102 分区的。硅氧化膜 102 与基片 101 的主表面 103 有例如 400nm 的深度，并且形成 800nm 的总厚度，第二 n 型阱 106 可以形成在控制电极 126 下面的一区域，控制极 126 并夹在杂质区 116（后面将描述）和杂质区 117 之间与它们相邻。

在晶体管 151 中，在与第一 n 型阱 104 对应的基片 101 的主表面 103 形

成一 P⁺型源极 112、一 P⁺型漏极 113 和一 n⁺型基片接触区 111。通过原为 30nm—50nm 的栅绝缘膜 123 在第一 n 型阱 104 的沟道区 131 上形成一多晶硅栅极 122。形成一侧壁 129 以遮住栅极 122 的两侧。

在晶体管 152 中,在与 D 型阱 105 相对应的基片 101 的主表面 103 中形成一 n⁺型源极 115,作为漏极的 n⁺型杂质区 116 和一 P⁺型基片接触区 114。通过厚为 30nm—50nm 的栅绝缘膜 123 在 P 型阱 105 的沟道区 132 上形成多晶硅栅极 124。为遮住栅极 124 的两侧形成另一侧壁 129。

晶体管 151 和 152 是形成在基片 101 上以夹住元件隔离区 102,接着晶体管 152 形成保护电阻元件 153。

在保护电阻元件 153 中,第二 n 型阱 106 是与第一 n 型阱 104 同步扩散构成的。在表面区 133 中确定电阻元件的电阻的第二 n 型阱 106 的 n 型杂质浓度是 $1 \times 10^{15} \text{cm}^{-3}$ 。在对应于第二 n 型阱 106 的基片 101 的主表面中形成 n⁺型杂质区 117。在晶体管 152 的 P 型阱 105 中形成的杂质区 116 扩散进第二 n 型阱 106。

多晶硅控制极 126 通过厚 10nm—70nm 的绝缘膜 125 形成在夹在第二 n 型阱 106 的第一和第二杂质区 116 和 117 之间的表面区 133 (沟道) 内。为遮住控制极 126 的两侧形成另一侧壁 129。在保护电阻元件 153 中,控制极 126,杂质区 116 和 117 及在形成有控制极 126 的绝缘膜 125 下面的表面区 133 构成 MOS 晶体管。

晶体管 151 的源极 112、基片接触区 111 和栅极 122 与电源线 141 连接,而且作为高电势电源电压的正向电压 V_{DD} 被提供给它们。晶体管 152 的源极 115、基片接触区 114 和栅极 124 通过地线 144 与作为低电势电源电压的地电势 V_{GND} 连接。

在第一实施例中,外部信号被输入到控制极 126 和连接于输入接点 142 的保护电阻元件 153 的杂质区 117,并到晶体管 151 的漏极 130。晶体管 151 的 P⁺型漏极 113 连接到与内电路连接的输出端 143。

按照上面的连接结构,当电源线 141 的电势变为基本等于地电势时,即使对地线 144 施加一正的浪涌电势,由于控制极 126 被设在与杂质区 117 的电势相同的电势,所以不会有任何应力施加于绝缘膜 125。

第二 n 型阱 106 和控制极 126 之间的最大电势差大约为 $1/10 V_{DD}$ 。用作

保护电阻元件 153 的电阻的第二 n 型阱 106 的电阻变化是很小的，易于设计。

将描述在第二 n 型阱 106 的电阻变化，作电阻用的第二 n 型阱 106 的电导率主要是由电子（载流子）的漂移电流确定的。漂移电流 I_e 是下面的公式 (1) 确定的：

$$I_e = e \cdot n \cdot \mu_e \cdot F = e \cdot n \cdot v_e \quad (1)$$

这里 e 是基本电荷， n 是电子密度， μ_e 是电子迁移率， v_e 是漂移的速度， F 是电场，应注意在此情况下电场 F 是（漏极电压—源极电压）/栅极长度。

电子密度根据控制电极 126 和第二 n 型阱 106 之间的电势差而变化。当栅极电压高于漏极电压时，在栅极下面的区域内形成一电子积聚层，另外电子密度也相应增加。更具体地说，当漏极电压根据栅极电压变化时，控制电极 126 下面的电子密度变化，而且在第二 n 型阱 106 中的漂移电流变化。

然而，如上面所述，由于控制电极 126 是与杂质区 117 且第二 n 型阱 106 的电阻因此而变化。（漏极）连接并将被设在与杂质区 117 相同的电势，所以第二 n 型阱 106 的电阻不改变。

根据第一实施例，由于控制极 126 与杂质区 117 连接，所以表现为保护电阻元件 153 的电阻功能的第二 n 型阱 106 的电阻基本上不变。即使正的浪涌电压被加至地线 144，也没有任何应力施加至绝缘膜 125。

在第一实施例中，由于对内电路的输入是从杂质区 116 中取出的，尽管存在保护电阻元件 153，没有任何不必要的高电势将被加至内电路。

控制极 126 和杂质区 117 的连接最好是在第二 n 型阱 106 的区域中实现。这是由于下面的原因。当一正的浪涌电压被施加到地线 144 时，如果连接部分（接触区）位于第二 n 型阱 106 之外的 P 型区，由于这个 P 型区被固定为地电势，所以施加到控制极 126 和杂质区 117 之间连接部分的高电场将击穿它。

与此相反，如果控制极 126 和杂质区 117 的连接是在第二 n 型阱 106 上区域内实现，由于第二 n 型阱 106 和连接部分是在同一电势上，所以连接部分不会造成击穿。

虽然已被描述的第一实施例涉及了用于电源保护使用 CMOS 晶体管的一

保护电路，但是本发明不限于此。如图 1 B 所示，在图 1 A 中所示的结构可以用于信号输出保护。

参照图 1B，源极 112 和基片接触区 111 与电源线 141 连接，栅极 122 和栅极 124 与输入接点 142 连接，源极 115 和基片接触区 114 通过地线 144 与作为低电势电源电压的地电势 V_{GND} 连接。漏极 113 杂质区 117 和控制极 126 与输出端 143 连接。

按照这种结构，作为 CMOS 晶体管的保护电阻元件用于响应来自输入接点 142 的信号输入输出—内部信号，并作为保护电路抑制由输出端 143 混入的浪涌电压。

第二实施例

图 2 A 示出了本发明第二实施例的半导体器件的主要部分。第二实施例的特征在于在晶体管 152 的源极 115 下面形成一第三 n 型阱 105'。

参照图 2 A，第一 n 型阱 104，P 型阱 105 和第二 n 型阱 106 是成形于由用作为基片 101 的元件隔离的硅氧化膜 102 所分区域的预定位置。第二 n 型阱 106 与 P 型阱 105 相邻。

在第二实施例中，晶体管 151 的成形区和晶体管 152 的成形区以及保护电阻元件 153 是分别被隔离保护环 111a 和 114a 环绕的。保护环 111a 是基片 101 的主表面 103 构成的 n⁺ 型杂质区，保护环 114a 是基片 101 的主表面 103 构成的 P⁺ 型杂质区。

如图 2 B 所示，保护环 111a 成形以围绕具有 P 沟道 MOS 结构的晶体管 151。保护环 114a 成形以围绕具有 n 沟道 MOS 结构的晶体管 152 和保护电阻元件 153。图 2A 示出了图 2B 沿 A—A' 线的剖面。

电极线（未画出）是从源极 112、源极 115 和漏极 113 穿过硅氧化膜 130 引出的。电极线通过多个具有预定尺寸接点与各自的连接区连接。换句话说，一个接点可被形成以基本上覆盖各接触区的整个接触区，不同的电极线可以通过相应的接点相互连接。这就降低了接触区的电流密度并使电流流动均匀，产生出较高的保护能力。

图 2 B 示出了半导体器件是由两个 P 沟道 MOS 晶体管，两个 n 沟道 MOS 晶体管和两个保护电阻元件构成的一种情况。具体地说，在第一 n 型阱 104 上由保护环 111a 环绕的区域中，形成由源极 112a、漏极 113 和栅极

122a 构成的一晶体管和由源极 112、漏极 113 和栅极 122 构成的晶体管 151。

在由保护环 114a 围绕的区域中，由源极 115、作为漏极的杂质区 116 和栅极 124 构成的晶体管和由源极 115a，作为漏极的杂质区 116a 和栅极 124a 构成的晶体管 152 分别形成在 P 型阱 105 和 P 型阱 105 a 上。

此外，由杂质区 116，杂质区 117 和控制极 126 构成的保护电阻元件 153 和由杂质区 116 a，杂质区 117 和控制极 126a 构成的另一保护电阻元件 153 形成在第二 n 型阱 106 上。

在第二实施例中，在 n 沟道 MOS 晶体管 152 的下面形成第三 n 型阱 105'。第三 n 型 105' 的杂质浓度低于源极 115 的浓度。

按照第二实施例，虽然采用了保护环结构，但是控制极 126 是以与第一实施例相同的方式与杂质区 117 连接。因此表现为保护电阻元件的电阻作用的第二 n 沟道阱 106 的电阻基本不变。即使向地线 144 施加一正的浪涌电压，也不会对绝缘膜施加任何应力。

在常规的结构中，当施加一浪涌电压时，由于流入保护电阻元件的电流引起的电压增高，所以一个较高的电压可能被输入到内电路。在第二实施例中，对内电路的输入是以第一实施例中相同的方式从杂质区 116 中取出的。因此，尽管有保护电阻元件 153 的存在，也没有任何不必要的高电势将被施加到内电路。

第二实施例中，由于形成了第三 n 型阱 105'，保护电路的安全性能进一步提高，具体地说，在这个半导体器的保护电路中，当一正的浪涌电压被加至地线 144 时，该浪涌电压可以用下述的方式滤除。

当一正的浪涌电压被加至地线 144 时，作为晶体管 152 漏极的杂质区 116 的栅极端产生击穿，且浪涌电流器由输入接点 142—第二 n 型阱 106—杂质区 116—P 型阱 105（基片 1）—基片接点（保护环 114a）的路径流动。

由于 P 型阱 105 的电阻，如果流入 P 型阱 105 的电流增加，P 型阱 105 的电势增加将是高于地电势。当 P 型阱 105 的电势增加时，由源极 115 和 P 型阱 104 构成的 p-n 结（二极管）的电势差超过固有电势以形成正向偏置。当这个 p-n 结形成正向偏置时，由晶体管 152 的漏极 / p 型阱 / 源极构成

的寄生 npn 双极晶体管工作，且该浪涌的电流也沿着输入接点 142—第二 n 型阱 106—杂质区 116—P 型阱 105—源极 115 的路径流出。

在 P 型阱 105（基片 101）和晶体管 152 之间 p-n 结固有电势越低，在这个 p-n 结就越容易发生击穿。如果第三 n 型阱 105' 被形成在源极 115 下面以具有比源极 115 低的杂质浓度，那么在第三 n 型阱 105' 和 P 型阱 105（基片 101）之间介面上形成较低的固有电势状态。所以在这个介面形成的二极管趋向于很容易地形成正向偏置，较易产生恢复状态。

如图 1 A 所示，本发明半导体器件的结构不限于输入保护而且也同样可用于输出保护。如前面所述，理所当然的由输入保护电路保护的电路可以与保护电阻元件连接。

虽然在上面所述的实施例中设置了同样导电型的一个或两个晶体管，但本发明是不限于此的。可以设计成并联的多个晶体管阵列，每个晶体管阵列有相同导电型的三个或多个晶体管。

如果仅是要使用一个晶体管，栅极的宽度必须增加。这使元件的排列混乱并且影响集成度的增加。与此相反，如果使用多个晶体管，集成度可进一步增加。应注意在这种情况下，在设定一恢复状态时，各个不同保护电阻元件的电阻必须被设定为致使导致恢复状态的电压低于与保护电阻元件连接的晶体管中产生击穿的电压。

更具体地说，当保护电阻元件是以这种方式连接时，而且恢复状态和击穿状态之间产生的电压被设定为等于或低于恢复状态起作用时的电压时，即使一个晶体管恢复状态被设为优先于其它晶体管的恢复状态，那么多个其它分开的晶体管也可被设在恢复状态。如果所有的晶体管被设定在恢复状态，那么该浪涌可以均匀地分散开。

如上面所描述的，根据本发明，由于通过一保护电阻元件将一信号输入到场效应晶体管的漏极，所以即使它是一异常电压它所产生的电压降，所以防止了高电平的异常电压直接施加到场效应晶体管。作为电阻的阱的电阻不会很大地改变。其结果，保护电阻元件的电阻不易变化，而且保护电阻元件的设计更进一步简化。

当电源线的电势基本上等于地电势时，即使对地线施加正的浪涌电势，也没有任何应力施加到控制极下的绝缘膜，且载流子将不会被绝缘膜抑制。

其结果不会轻易地产生由载流子抑止引起的阱电阻的变化。而且绝缘膜的击穿电阻可以提高。

更具体地说，按照本发明，设计更进一步简化，作为保护电路的功能在任何情况下都不易被削弱。由于较高的电势没被输入至内电路，所以内电路在任何情况下都能够得到保护。

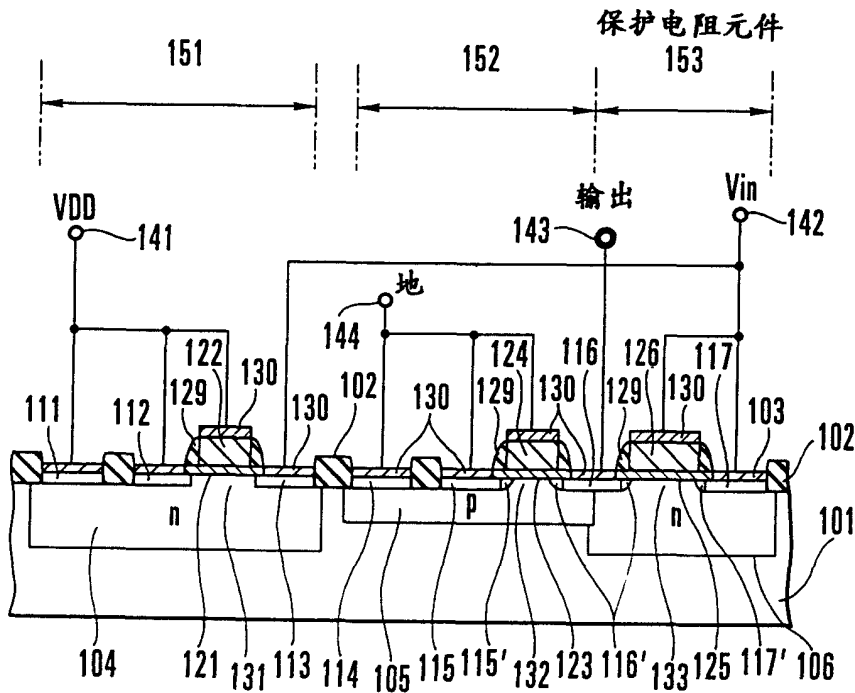


图 1A

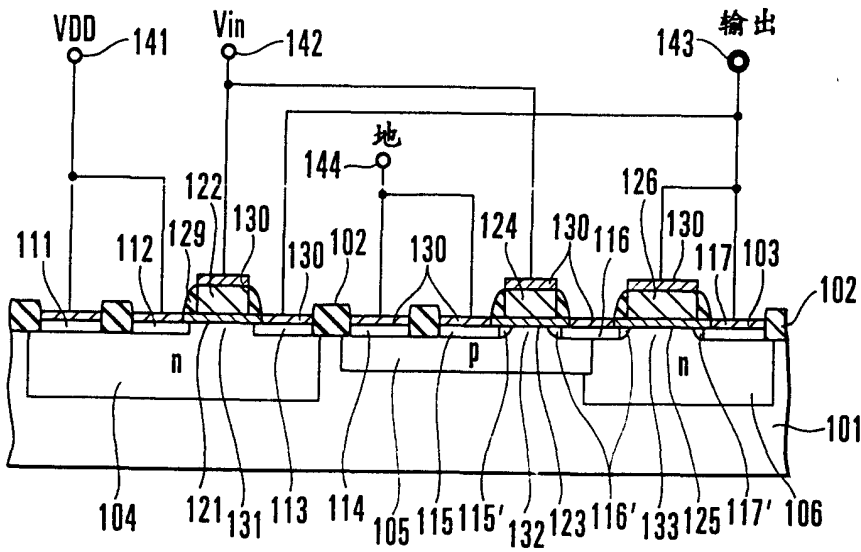


图 1B

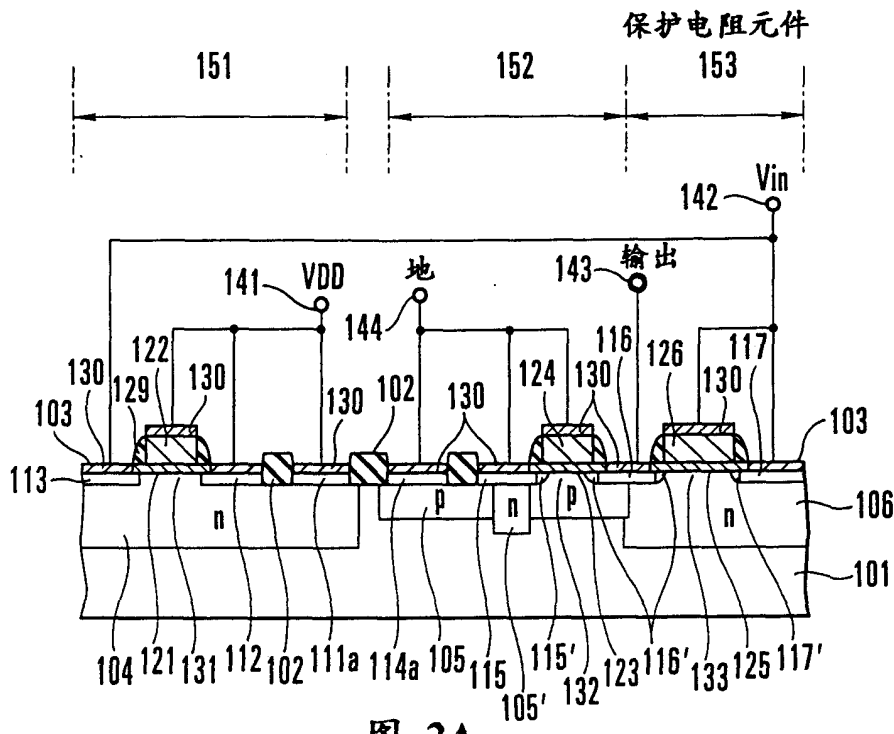


图 2A

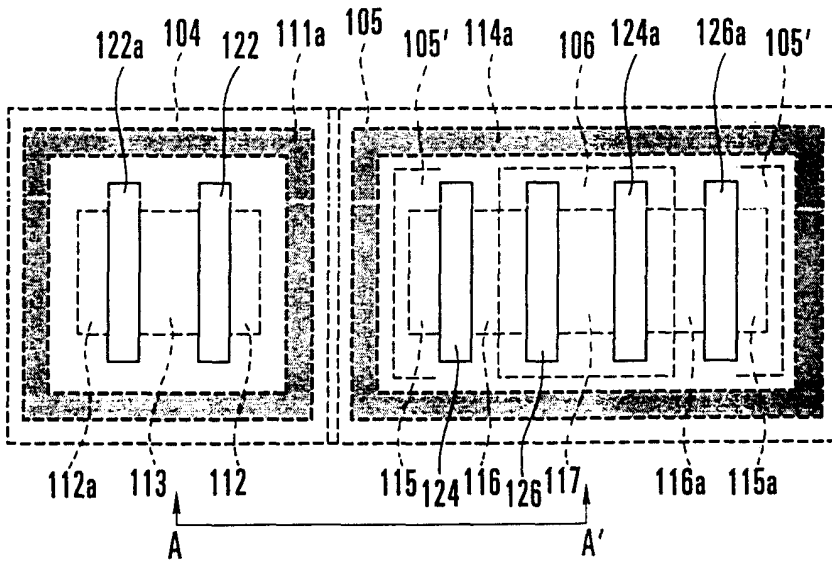


图 2B

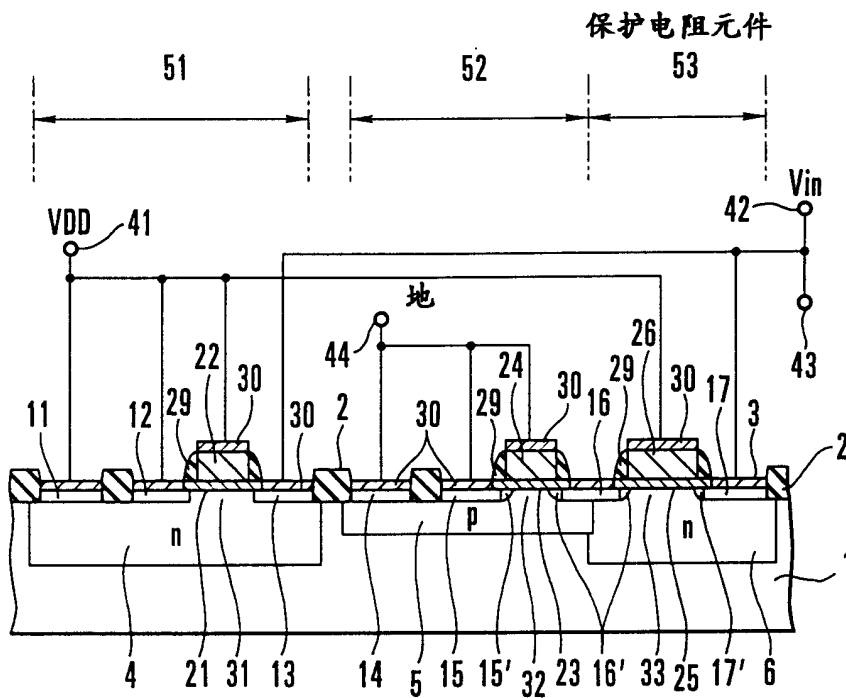


图 3